

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4049018号  
(P4049018)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
HO1L 51/50 (2006.01)	G09G 3/20 611H
	G09G 3/20 612F
	G09G 3/20 624B
請求項の数 17 (全 30 頁) 最終頁に続く	

(21) 出願番号	特願2003-140871 (P2003-140871)	(73) 特許権者	000002185
(22) 出願日	平成15年5月19日(2003.5.19)		ソニー株式会社
(65) 公開番号	特開2004-341444 (P2004-341444A)		東京都港区港南1丁目7番1号
(43) 公開日	平成16年12月2日(2004.12.2)	(74) 代理人	100094053
審査請求日	平成17年3月16日(2005.3.16)		弁理士 佐藤 隆久
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 画素回路、表示装置、および画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、  
 輝度情報に応じたデータ信号が供給されるデータ線と、  
 第1の制御線と、  
 第1、第2、および第3のノードと、  
 第1および第2の基準電位と、  
 所定の基準電流を供給する基準電流供給手段と、  
 上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、上記  
 第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制  
 御する駆動トランジスタと、  
 上記第1のノードに接続された第1のスイッチと、  
 上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、  
 上記データ線と上記第3のノードとの間に接続され、上記第1の制御線によって導通制  
 御される第3のスイッチと、  
 上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、  
 上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有し、  
 上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライ  
 ン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続され  
 ている

画素回路。

【請求項 2】

上記電気光学素子を駆動する場合、

第 1 ステージとして、上記第 2 のスイッチ、および上記第 4 のスイッチが所定時間導通させられ上記第 1 のノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに基準電流を供給し、

第 2 ステージとして、所定時間経過後に上記第 2 のスイッチおよび上記第 4 のスイッチが非導通状態に保持され、

第 3 ステージとして、上記第 1 の制御線により上記第 3 のスイッチが導通させられ、上記第 1 のスイッチが導通させられて、上記データ線を伝播されるデータが上記第 3 のノードに書き込まれた後、上記第 3 のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する

請求項 1 記載の画素回路。

【請求項 3】

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、

上記画素回路のマトリクス配列に対して行毎に配線された第 1 の制御線と、

第 1 および第 2 の基準電位と、

所定の基準電流を供給する基準電流供給手段と、を有し、

上記画素回路は、

第 1、第 2、および第 3 のノードと、

上記第 1 のノードに接続された第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 1 のノードに接続された第 1 のスイッチと、

上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、

上記データ線と上記第 3 のノードとの間に接続され、上記第 1 の制御線によって導通制御される第 3 のスイッチと、

上記第 1 のノードと上記基準電流供給手段との間に接続された第 4 のスイッチと、

上記第 2 のノードと上記第 3 のノードとの間に接続された結合キャパシタと、を有し、

上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続されている

表示装置。

【請求項 4】

上記基準電流供給手段は、基準電流源と、上記画素回路のマトリクス配列に対して列毎に配線され、上記基準電流源から基準電流が供給される基準電流供給線と、を含み、

上記第 4 のスイッチは、上記第 1 のノードと基準電流供給線との間に接続されている

請求項 3 記載の表示装置。

【請求項 5】

上記基準電流供給手段は、基準電流源と、上記画素回路のマトリクス配列に対して列毎に複数配線され、上記基準電流源から基準電流が供給される基準電流供給線と、を含み、

同一列の複数の画素回路は、上記第 4 のスイッチを介して異なる基準電流供給線と接続されている

請求項 3 記載の表示装置。

【請求項 6】

上記基準電流供給線に所定の基準電圧を選択的に供給する基準電圧供給手段を有する

請求項 4 記載の表示装置。

10

20

30

40

50

## 【請求項 7】

上記基準電圧供給手段は、基準電圧源を有し、  
 上記基準電流源と上記基準電圧源を、上記基準電流供給線に対して選択的に接続するスイッチ回路をさらに有する  
 請求項 6 記載の表示装置。

## 【請求項 8】

上記電気光学素子を駆動する場合、  
 第 1 ステージとして、上記第 2 のスイッチ、および上記第 4 のスイッチが所定時間導通させられ上記第 1 のノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに基準電流を供給し、  
 第 2 ステージとして、水平走査期間経過後に上記第 2 のスイッチおよび上記第 4 のスイッチが非導通状態に保持され、  
 第 3 ステージとして、上記第 1 の制御線により上記第 3 のスイッチが導通させられ、上記第 1 のスイッチが導通させられて、上記データ線を伝播されるデータが上記第 3 のノードに書き込まれた後、上記第 3 のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する  
 請求項 4 記載の表示装置。

10

## 【請求項 9】

上記電気光学素子を駆動する場合、  
 第 1 ステージとして、上記第 2 のスイッチ、および上記第 4 のスイッチが所定時間導通させられ上記第 1 のノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに基準電流を供給し、  
 第 2 ステージとして、水平走査期間の複数倍の時間経過後に上記第 2 のスイッチおよび上記第 4 のスイッチが非導通状態に保持され、  
 第 3 ステージとして、上記第 1 の制御線により上記第 3 のスイッチが導通させられ、上記第 1 のスイッチが導通させられて、上記データ線を伝播されるデータが上記第 3 のノードに書き込まれた後、上記第 3 のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する  
 請求項 5 記載の表示装置。

20

## 【請求項 10】

上記電気光学素子を駆動する場合、  
 第 1 ステージとして、上記基準電流供給線が、上記基準電圧供給手段により基準電圧が供給されてプリチャージされ、  
 第 2 ステージとして、上記第 2 のスイッチ、および上記第 4 のスイッチが所定時間導通させられ上記第 1 のノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに基準電流を供給し、  
 第 3 ステージとして、水平走査期間経過後に上記第 3 の制御線により上記第 2 のスイッチおよび上記第 4 のスイッチが非導通状態に保持され、  
 第 4 ステージとして、上記第 1 の制御線により上記第 3 のスイッチが導通させられ、上記第 1 のスイッチが導通させられて、上記データ線を伝播されるデータが上記第 3 のノードに書き込まれた後、上記第 3 のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する  
 請求項 4 記載の表示装置。

30

## 【請求項 11】

上記基準電圧の値は、上記駆動トランジスタのしきい値のバラツキの中間値に設定されている  
 請求項 10 記載の表示装置。

## 【請求項 12】

マトリクス状に複数配列された画素回路と、  
 上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号

40

50

が供給されるデータ線と、

上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、

第1および第2の基準電位と、を有し、

上記画素回路は、

所定の基準電流を供給する基準電流供給手段と、

第1、第2、および第3のノードと、

上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、  
上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流  
を制御する駆動トランジスタと、

上記第1のノードに接続された第1のスイッチと、

上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、

上記データ線と上記第3のノードとの間に接続され、上記第1の制御線によって導  
通制御される第3のスイッチと、

上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、

上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有  
し、

上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給  
ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続  
されている

表示装置。

#### 【請求項13】

流れる電流によって輝度が増減する電気光学素子と、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1、第2、および第3のノードと、

所定の基準電流を供給する基準電流供給手段と、

上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、上記  
第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制  
御する駆動トランジスタと、

上記第1のノードに接続された第1のスイッチと、

上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、

上記データ線と上記第3のノードとの間に接続され、上記第1の制御線によって導通制  
御される第3のスイッチと、

上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、

上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有し、

上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライ  
ン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続され  
ている画素回路の駆動方法であって、

上記第2のスイッチ、および上記第4のスイッチを所定時間導通させて上記第1のノー  
ドと上記第2のノードとを電氣的に接続し、かつ第1のノードに基準電流を供給し、

所定時間経過後に上記第2のスイッチおよび上記第4のスイッチが非導通状態に保持し

、  
上記第3のスイッチを導通させ、上記第1のスイッチを導通させて、上記データ線を伝  
播されるデータを上記第3のノードに書き込んだ後、上記第3のスイッチを非導通状態に  
保持して、上記電気光学素子に上記データ信号に応じた電流を供給する

画素回路の駆動方法。

#### 【請求項14】

流れる電流によって輝度が増減する電気光学素子を駆動する画素回路であって、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1の制御線と、

第1、第2、および第3のノードと、

10

20

30

40

50

第 1 および第 2 の基準電位と、  
 所定の基準電流を供給する基準電流供給手段と、  
 上記第 1 のノードに接続された第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、  
 上記第 1 のノードに接続された第 1 のスイッチと、  
 上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、  
 上記データ線と上記第 3 のノードとの間に接続され、上記第 1 の制御線によって導通制御される第 3 のスイッチと、  
 上記第 1 のノードと上記基準電流供給手段との間に接続された第 4 のスイッチと、を有し、  
 上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続され、  
 上記第 2 のスイッチ、および上記第 4 のスイッチを所定時間導通させて上記第 1 のノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに上記基準電流供給手段により基準電流を供給する  
 画素回路。

【請求項 15】

マトリクス状に複数配列された画素回路と、  
 上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、  
 上記画素回路のマトリクス配列に対して行毎に配線された第 1 の制御線と、  
 第 1 および第 2 の基準電位と、  
 所定の基準電流を供給する基準電流供給手段と、を有し、  
 上記画素回路は、  
 第 1、第 2、および第 3 のノードと、  
 上記第 1 のノードに接続された第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、  
 上記第 1 のノードに接続された第 1 のスイッチと、  
 上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、  
 上記データ線と上記第 3 のノードとの間に接続され、上記第 1 の制御線によって導通制御される第 3 のスイッチと、  
 上記第 1 のノードと上記基準電流供給手段との間に接続された第 4 のスイッチと、  
 を有し、  
 上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続され、  
 上記第 2 のスイッチ、および上記第 4 のスイッチを所定時間導通させて上記第 1 のノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに上記基準電流供給手段により基準電流を供給する  
 表示装置。

【請求項 16】

マトリクス状に複数配列された画素回路と、  
 上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、  
 上記画素回路のマトリクス配列に対して行毎に配線された第 1 の制御線と、  
 第 1 および第 2 の基準電位と、を有し、  
 上記画素回路は、

所定の基準電流を供給する基準電流供給手段と、  
 第 1、第 2、および第 3 のノードと、  
 上記第 1 のノードに接続された第 1 端子と第 2 端子間で電流供給ラインを形成し、  
 上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流  
 を制御する駆動トランジスタと、  
 上記第 1 のノードに接続された第 1 のスイッチと、  
 上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、  
 上記データ線と上記第 3 のノードとの間に接続され、上記第 1 の制御線によって導  
 通制御される第 3 のスイッチと、  
 上記第 1 のノードと上記基準電流供給手段との間に接続された第 4 のスイッチと、 10  
 を有し、  
 上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給  
 ライン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続  
 され、  
 上記第 2 のスイッチ、および上記第 4 のスイッチを所定時間導通させて上記第 1 の  
 ノードと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに上記基準電流供給手  
 段により基準電流を供給する  
 表示装置。

【請求項 17】

流れる電流によって輝度が変化する電気光学素子と、 20  
 輝度情報に応じたデータ信号が供給されるデータ線と、  
 第 1、第 2、および第 3 のノードと、  
 所定の基準電流を供給する基準電流供給手段と、  
 上記第 1 のノードに接続された第 1 端子と第 2 端子間で電流供給ラインを形成し、上記  
 第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制  
 御する駆動トランジスタと、  
 上記第 1 のノードに接続された第 1 のスイッチと、  
 上記第 1 のノードと上記第 2 のノードとの間に接続された第 2 のスイッチと、  
 上記データ線と上記第 3 のノードとの間に接続され、上記第 1 の制御線によって導通制  
 御される第 3 のスイッチと、 30  
 上記第 1 のノードと上記基準電流供給手段との間に接続された第 4 のスイッチと、を有  
 し、  
 上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライ  
 ン、上記第 1 のノード、上記第 1 のスイッチ、および上記電気光学素子が直列に接続され  
 ている画素回路の駆動方法であって、  
 上記第 2 のスイッチ、および上記第 4 のスイッチを所定時間導通させて上記第 1 のノー  
 ドと上記第 2 のノードとを電氣的に接続し、かつ第 1 のノードに基準電流を供給し、  
 所定時間経過後に上記第 2 のスイッチおよび上記第 4 のスイッチが非導通状態に保持し  
 、  
 上記第 3 のスイッチを導通させ、上記第 1 のスイッチを導通させて、上記データ線を伝 40  
 播されるデータを上記第 3 のノードに書き込んだ後、上記第 3 のスイッチを非導通状態に  
 保持して、上記電気光学素子に上記データ信号に応じた電流を供給する  
 画素回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 EL (Electroluminescence) ディスプレイなどの、電流値によって輝度  
 が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列  
 された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トラ  
 ンジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリ 50

クス型画像表示装置、並びに画素回路の駆動方法に関するものである。

【0002】

【従来の技術】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。

そのため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT (Thin Film Transistor、薄膜トランジスタ) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0004】

図18は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図18に示すように、画素回路(PXLC)2aがm×nのマトリクス状に配列された画素アレイ部2、水平セレクタ(HSEL)3、ライトスキャナ(WSCN)4、水平セレクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1~DTLn、およびライトスキャナ4により選択駆動される走査線WSL1~WSLmを有する。

【0005】

図19は、図18の画素回路2aの一構成例を示す回路図である(たとえば特許文献1、2参照)。

図19の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

【0006】

図19の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという)11およびTFT12、キャパシタC11、発光素子である有機EL素子(OLED)13を有する。また、図19において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図19その他では発光素子としてダイオードの記号を用いているが、以下の説明においてOLEDには必ずしも整流性を要求するものではない。

図19ではTFT11のソースが電源電位VCCに接続され、発光素子13のカソード(陰極)は接地電位GNDに接続されている。図19の画素回路2aの動作は以下の通りである。

【0007】

ステップST1:

走査線WSLを選択状態(ここでは低レベル)とし、データ線DTLに書き込み電位Vdataを印加すると、TFT12が導通してキャパシタC11が充電または放電され、TFT11のゲート電位はVdataとなる。

【0008】

ステップST2:

走査線WSLを非選択状態(ここでは高レベル)とすると、データ線DTLとTFT11

10

20

30

40

50

とは電氣的に切り離されるが、T F T 1 1 のゲート電位はキャパシタ C 1 1 によって安定に保持される。

【 0 0 0 9 】

ステップ S T 3 :

T F T 1 1 および発光素子 1 3 に流れる電流は、T F T 1 1 のゲート・ソース間電圧  $V_{gs}$  に応じた値となり、発光素子 1 3 はその電流値に応じた輝度で発光し続ける。

上記ステップ S T 1 のように、走査線 W S L を選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図 1 9 の画素回路 2 a では、一度  $V_{data}$  の書き込みを行えば、次に書き換えられるまでの間、発光素子 1 3 は一定の輝度で発光を継続する。

10

【 0 0 1 0 】

上述したように、画素回路 2 a では、駆動（ドライブ）トランジスタである F E T 1 1 のゲート印加電圧を変化させることで、E L 発光素子 1 3 に流れる電流値を制御している。このとき、p チャネルのドライブトランジスタのソースは電源電位  $V_{CC}$  に接続されており、この T F T 1 1 は常に飽和領域で動作している。よって、下記の式 1 に示した値を持つ定電流源となっている。

【 0 0 1 1 】

【 数 1 】

$$I_{ds} = 1 / 2 \cdot \mu (W / L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【 0 0 1 2 】

20

ここで、 $\mu$  はキャリアの移動度を、 $C_{ox}$  は単位面積当たりのゲート容量を、 $W$  はゲート幅を、 $L$  はゲート長を、 $V_{gs}$  は T F T 1 1 のゲート・ソース間電圧を、 $V_{th}$  は T F T 1 1 のしきい値  $V_{th}$  をそれぞれ示している。

【 0 0 1 3 】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【 0 0 1 4 】

しかしながら、T F T は一般的に  $V_{th}$  や移動度  $\mu$  のバラツキが大きい。そのため、同じ入力電圧が異なるドライブトランジスタのゲートに印加されても、そのオン電流はバラツキてしまい、その結果、画質のユニフォームリティが劣化してしまう。

30

【 0 0 1 5 】

この問題を改善するため多数の画素回路が提案されているが、代表例を図 3 に示す（たとえば特許文献 3、または特許文献 4 参照）。

【 0 0 1 6 】

図 2 0 の画素回路 2 b は、p チャネル T F T 2 1 ~ T F T 2 4、キャパシタ C 2 1, C 2 2、発光素子である有機 E L 発光素子 (O L E D) 2 5 を有する。また、図 2 0 において、D T L はデータ線を、W S L は走査線を、A Z L はオートゼロ線を、D S L は駆動線をそれぞれ示している。

40

【 0 0 1 7 】

この画素回路 2 b の動作について、図 2 1 ( A ) ~ ( G ) に示すタイミングチャートを参照しながら以下に説明する。

図 2 1 ( A ) は画素配列の第 1 行目の走査線 W S L 1 に印加される走査信号  $w_s [ 1 ]$  を、図 2 1 ( B ) は画素配列の第 2 行目の走査線 W S L 2 に印加される走査信号  $w_s [ 2 ]$  を、図 2 1 ( C ) は画素配列の第 1 行目のオートゼロ線 A Z L 1 に印加されるオートゼロ信号  $a_z [ 1 ]$  を、図 2 1 ( D ) は画素配列の第 2 行目のオートゼロ線 A Z L 2 に印加されるオートゼロ信号  $a_z [ 2 ]$  を、図 2 1 ( E ) は画素配列の第 1 行目の駆動線 D S L 1 に印加される駆動信号  $d_s [ 1 ]$  を、図 2 1 ( F ) は画素配列の第 2 行目の駆動線 D S L 2 に印加される駆動信号  $d_s [ 2 ]$  を、図 2 1 ( G ) は T F T 2 1 のゲート電位  $V_g$  をそ

50



れぞれ示している。

なお、以下では、第1行目の画素回路の動作について説明する。

【0018】

図21(C), (E)に示すように、駆動線DSL1への駆動信号 $ds[1]$ 、オートゼロ線AZL1へのオートゼロ信号 $az[1]$ を低レベルとし、TFT22およびTFT23を導通状態とする。このときTFT21はダイオード接続された状態で発光素子(OLED)25と接続されるため、TFT21に電流が流れる。このとき、TFT21のゲート電位 $Vg$ は、図21(G)に示すように、降下する。

【0019】

図21(E)に示すように、駆動線DSL1への駆動信号 $ds[1]$ を高レベルとし、TFT22を非導通状態とする。このとき走査線WSL1への走査信号 $ws[1]$ は、図21(A)に示すように、高レベルでTFT24が非導通状態に保持されている。

TFT22が非導通状態となったことに伴い、発光素子25に流れる電流が遮断されるため、図21(G)に示すように、TFT21のゲート電位 $Vg$ は上昇するが、その電位が $Vcc - |Vth|$ まで上昇した時点でTFT21は非導通状態となって電位が安定する。この動作を「オートゼロ動作」と称する。

【0020】

図21(C)に示すように、オートゼロ線AZL1へのオートゼロ信号 $az[1]$ を高レベルとしてTFT23を非導通状態としてオートゼロ動作( $Vth$ 補正動作)を終了させた後、駆動線DSL1への駆動信号 $ds[1]$ を低レベルとし、TFT22を導通状態とする。

【0021】

そして、走査線WSL1への走査信号 $ws[1]$ を、図21(A)に示すように、低レベルとしてTFT24が導通状態として、データ線DTL1に伝搬された所定電位のデータ信号をキャパシタC21に印加させる。これにより、図21(G)に示すように、キャパシタC21を介してTFT21のゲート電位を $Vg$ だけ低下させる。

図21(A)に示すように、走査線WSL1を高レベルとしてTFT24を非導通状態とする。

これにより、TFT21およびEL発光素子(OLED)25に電流が流れ、EL発光素子25が発光を開始する。

【0022】

【特許文献1】

USP5, 684, 365

【特許文献2】

特開平8-234683号公報

【特許文献3】

USP6, 229, 506

【特許文献4】

特表2002-514320号公報のFIG. 3

【0023】

【発明が解決しようとする課題】

上述したように、図20の画素回路では、EL発光素子25が発光していない期間に、オートゼロスイッチであるTFT23をオンすることで、ドライブトランジスタTFT21をカットオフの状態にする。カットオフ状態ではこのトランジスタTFT21に電流は流れないので、そのゲート・ソース電圧 $Vgs$ は各々のトランジスタのしきい値 $Vth$ と等しくなっており、画素毎の $Vth$ バラツキはキャンセルされている。

次に、TFT23をオフした後、TFT24をオンすることで、データ線電圧を画素内のキャパシタC21を通してドライブトランジスタTFT21のゲートに電圧 $V$ がカップリングされる。このカップリング量が $V0$ であるとすると、ドライブトランジスタTFT21は $Vth$ によらず、 $Vgs - Vth = V0$ に相当したオン電流が流れ、 $Vth$ バラツ

10

20

30

40

50

キによるユニフォーミティにむらの無い画質が得られる。

【 0 0 2 4 】

ところが、図 2 0 の画素回路においては、 $V_{th}$ バラツキを補正することができても、移動度  $\mu$  のバラツキを補正することはできない。

以下、この課題について、図面に関連付けてさらに詳細に説明する。

【 0 0 2 5 】

図 2 2 は、図 2 0 の画素回路での移動度の異なるドライブトランジスタの  $V (= V_{gs} - V_{th})$  とドレイン・ソース間電流  $I_{ds}$  の特性曲線を示す図である。

図 2 2 において、横軸が電圧  $V$  を、縦軸が電流  $I_{ds}$  をそれぞれ表している。また、図 2 2 において、実線で示す曲線が画素 A の特性を、破線で示す曲線が画素 B の特性を示している。

10

【 0 0 2 6 】

図 2 2 に示すように、実線で示す画素 A の特性と破線で示す画素 B の特性において、移動度が異なっている。

図 2 0 の画素回路方式では、オートゼロ点 ( $V = V_0$ ) では、移動度が異なる画素トランジスタでも電流値が等しい。

しかしながら、その後電圧が上昇するにつれて、移動度  $\mu$  のバラツキが電流値に現れてしまう。

たとえば、移動度が異なる画素 A と画素 B において、同じ電圧  $V = V_0$  が印加されているときも、上記式 1 に従い電流  $I_{ds}$  のバラツキが発生し、その画素の輝度が異なってしまう。

20

つまり、電流値が多く流れ、明るくなるにつれて電流値は移動度のバラツキを受けてしまい、ユニフォーミティはばらつき、画質は劣化してしまう。

【 0 0 2 7 】

また、図 2 3 は、ドライブトランジスタのしきい値  $V_{th}$  が異なる画素 C, D でのオートゼロ動作時のドライブトランジスタのゲート電圧の変化を示す図である。

図 2 3 において、横軸が時間  $t$  を、縦軸がゲート電圧  $v_g$  をそれぞれ表している。また、図 2 3 において、実線で示す曲線が画素 C の特性を、破線で示す曲線が画素 D の特性を示している。

30

【 0 0 2 8 】

オートゼロは、ドライブトランジスタのゲートとソースを接続することにより行われるが、カットオフ領域に近づくにつれて、そのオン電流も急速に減少してくる。

そのため、完全にカットオフししきい値のバラツキがキャンセルするまでには、長い時間を必要とする。図 2 3 に示したように、オートゼロ時間が不十分だと画素 C は完全にしきい値  $V_{th}$  のバラツキがキャンセルされない。

このように、しきい値  $V_{th}$  のバラツキにより、ゲート電圧の書込み状態もバラツキ、これによるユニフォーミティが劣化することも推察される。

【 0 0 2 9 】

また、十分にオートゼロの時間をとってしきい値  $V_{th}$  のバラツキをキャンセルしても、カットオフ後にドライブトランジスタにはオフ電流が微量ながら流れてしまう。

40

そのため、図 2 4 に示すように、ゲート電圧は電源電圧  $V_{cc}$  に向かって徐々に上昇してしまう。その結果、一度オートゼロにてしきい値  $V_{th}$  のバラツキのキャンセルがなされたにもかかわらず、最終的にしきい値  $V_{th}$  のばらついている画素のゲート電位が電源電圧に向かってそろうために、再度しきい値  $V_{th}$  のバラツキが現れてしまう。

【 0 0 3 0 】

以上より、実デバイスではしきい値  $V_{th}$  のバラツキのキャンセルを効果的に行うためには、オートゼロ期間をパネル毎に最適に調整する必要がある。

しかしながら、このパネル毎の最適なオートゼロ期間の調整には、膨大な調整時間がかかり、パネルのコストを上げてしまう。

【 0 0 3 1 】

50

本発明は、かかる事情に鑑みてなされたものであり、その目的は、画素内部の能動素子のしきい値のバラツキはもとより、移動度のバラツキによらず、安定かつ正確に各画素の発光素子に所望の値の電流を供給でき、その結果として高品位な画像を表示することが可能な画素回路、表示装置、および画素回路の駆動方法を提供することにある。

【 0 0 3 2 】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1の制御線と、第1、第2、および第3のノードと、第1および第2の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第3のノードとの間に接続され、上記第1の制御線によって導通制御される第3のスイッチと、上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている。

【 0 0 3 4 】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第2のスイッチ、および上記第4のスイッチが所定時間導通させられ上記第1のノードと上記第2のノードとを電氣的に接続し、かつ第1のノードに基準電流を供給し、第2ステージとして、所定時間経過後に上記第2のスイッチおよび上記第4のスイッチが非導通状態に保持され、第3ステージとして、上記第1の制御線により上記第3のスイッチが導通させられ、上記第1のスイッチが導通させられて、上記データ線を伝播されるデータが上記第3のノードに書き込まれた後、上記第3のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する。

【 0 0 3 6 】

本発明の第2の観点に係る表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、第1および第2の基準電位と、所定の基準電流を供給する基準電流供給手段と、を有し、上記画素回路は、第1、第2、および第3のノードと、上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第3のノードとの間に接続され、上記第1の制御線によって導通制御される第3のスイッチと、上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている。

【 0 0 3 7 】

好適には、上記基準電流供給手段は、基準電流源と、上記画素回路のマトリクス配列に対して列毎に配線され、上記基準電流源から基準電流が供給される基準電流供給線と、を含み、上記第4のスイッチは、上記第1のノードと基準電流供給線との間に接続されている。

【 0 0 3 8 】

好適には、上記基準電流供給手段は、基準電流源と、上記画素回路のマトリクス配列に対

して列毎に複数配線され、上記基準電流源から基準電流が供給される基準電流供給線と、を含み、同一列の複数の画素回路は、上記第4のスイッチを介して異なる基準電流供給線と接続されている。

【0039】

好適には、上記基準電流供給線に所定の基準電圧を選択的に供給する基準電圧供給手段を有する。

好適には、上記基準電圧供給手段は、基準電圧源を有し、上記基準電流源と上記基準電圧源を、上記基準電流供給線に対して選択的に接続するスイッチ回路をさらに有する。

【0040】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第2のスイッチ、および上記第4のスイッチが所定時間導通させられ上記第1のノードと上記第2のノードとを電氣的に接続し、かつ第1のノードに基準電流を供給し、第2ステージとして、水平走査期間経過後に上記第2のスイッチおよび上記第4のスイッチが非導通状態に保持され、第3ステージとして、上記第1の制御線により上記第3のスイッチが導通させられ、上記第1のスイッチが導通させられて、上記データ線を伝播されるデータが上記第3のノードに書き込まれた後、上記第3のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する。

10

【0041】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第2のスイッチ、および上記第4のスイッチが所定時間導通させられ上記第1のノードと上記第2のノードとを電氣的に接続し、かつ第1のノードに基準電流を供給し、第2ステージとして、水平走査期間の複数倍の時間経過後に上記第2のスイッチおよび上記第4のスイッチが非導通状態に保持され、第3ステージとして、上記第1の制御線により上記第3のスイッチが導通させられ、上記第1のスイッチが導通させられて、上記データ線を伝播されるデータが上記第3のノードに書き込まれた後、上記第3のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する。

20

【0042】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記基準電流供給線が、上記基準電圧供給手段により基準電圧が供給されてプリチャージされ、第2ステージとして、上記第2のスイッチ、および上記第4のスイッチが所定時間導通させられ上記第1のノードと上記第2のノードとを電氣的に接続し、かつ第1のノードに基準電流を供給し、第3ステージとして、水平走査期間経過後に上記第3の制御線により上記第2のスイッチおよび上記第3のスイッチが非導通状態に保持され、第4ステージとして、上記第1の制御線により上記第3のスイッチが導通させられ、上記第1のスイッチが導通させられて、上記データ線を伝播されるデータが上記第3のノードに書き込まれた後、上記第3のスイッチが非導通状態に保持され、上記電気光学素子に上記データ信号に応じた電流を供給する。

30

【0044】

好適には、上記基準電圧の値は、上記駆動トランジスタのしきい値のバラツキの中間値に設定されている。

40

【0045】

本発明の第3の観点に係る表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、第1および第2の基準電位と、を有し、上記画素回路は、所定の基準電流を供給する基準電流供給手段と、第1、第2、および第3のノードと、上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第3のノードとの間に接続さ

50

れ、上記第1の制御線によって導通制御される第3のスイッチと、上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている。

【0046】

本発明の第4の観点は、流れる電流によって輝度が増加する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、および第3のノードと、所定の基準電流を供給する基準電流供給手段と、上記第1のノードに接続された第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードに接続された第1のスイッチと、上記第1のノードと上記第2のノードとの間に接続された第2のスイッチと、上記データ線と上記第3のノードとの間に接続され、上記第1の制御線によって導通制御される第3のスイッチと、上記第1のノードと上記基準電流供給手段との間に接続された第4のスイッチと、上記第2のノードと上記第3のノードとの間に接続された結合キャパシタと、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、上記第1のスイッチ、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第2のスイッチ、および上記第4のスイッチを所定時間導通させて上記第1のノードと上記第2のノードとを電氣的に接続し、かつ第1のノードに基準電流を供給し、所定時間経過後に上記第2のスイッチおよび上記第3のスイッチが非導通状態に保持し、上記第3のスイッチを導通させ、上記第1のスイッチを導通させて、上記データ線を伝播されるデータを上記第3のノードに書き込んだ後、上記第3のスイッチを非導通状態に保持して、上記電気光学素子に上記データ信号に応じた電流を供給する。

【0047】

本発明によれば、たとえば基準電流供給線に定電流源により基準電流が流される。

そして、第2のスイッチ、および第4のスイッチを導通状態に保持する。このとき、第2のスイッチおよび第4のスイッチがオンし、第1のノード、第2のノードは、基準電流供給線を通して基準電流源に接続され、基準電流を引いているために、画素のオン電流が基準電流に一致するように、ドライブトランジスタのゲート電圧値が設定される。

これにより、しきい値や移動度 $\mu$ がばらついている全ての画素に対しての補正（オートゼロ動作）が実行される。

次に、第2および第4のスイッチを非導通状態としてオートゼロ動作（V<sub>t</sub>補正動作）を終了させた後、たとえば第1のスイッチを導通状態とする。

また、第1の制御線により第3のスイッチを導通状態として、データ線に伝搬された所定電位のデータ信号を結合キャパシタに印加させる。これにより、結合キャパシタを介して入力データ信号がドライブトランジスタのゲート電圧にカップリングされ、カップリング電圧Vに相当する値の電流が電気光学素子に流れる、発光する。

そして、第3のスイッチを非導通状態とする。

【0048】

【発明の実施の形態】

以下、本発明の実施形態を添付図面に関連付けて説明する。

【0049】

第1実施形態

図1は、本第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図2は、図1の有機EL表示装置において本第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0050】

この表示装置100は、図1および図2に示すように、画素回路（PXL）101がm

10

20

30

40

50

$m \times n$ のマトリクス状に配列された画素アレイ部102、水平セレクタ(HSEL)103、ライトスキャナ(WSCN)104、ドライブスキャナ(DSCN)105、オートゼロ回路(AZRD)106、リファレンス定電流源(RCIS)107、水平セレクタ103により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL101~DTL10n、ライトスキャナ104により選択駆動される走査線WSL101~WSL10m、ドライブスキャナ105により選択駆動される駆動線DSL101~DSL10m、オートゼロ回路106により選択駆動されるオートゼロ線AZL101~AZL10m、および定電流源(RCIS)107による基準電流が供給される基準電流供給線ISL101~ISL10nを有する。

#### 【0051】

なお、画素アレイ部102において、画素回路101は $m \times n$ のマトリクス状に配列されるが、図1においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図2においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

#### 【0052】

本第1の実施形態に係る画素回路101は、図2に示すように、pチャネルTFT111~TFT115、キャパシタC111、C112、有機EL素子(OLED:電気光学素子)からなる発光素子116、第1のノードND111、第2のノードND112、および第3のノードND113を有する。

また、図2において、DTL101はデータ線を、WSL101は走査線を、DSL101は駆動線、AZL101はオートゼロ線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係るドライブ(駆動)トランジスタを構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、TFT114が第3のスイッチを構成し、TFT115が第4のスイッチを構成し、キャパシタC111が本発明に係る結合キャパシタを構成している。

#### 【0053】

また、電流源I107と基準電流供給線ISL101とにより電流供給手段が構成されている。そして、基準電流供給線ISL101には基準電流Iref(たとえば $2 \mu A$ )が流されている。基準電流Irefは、移動度のバラツキも補正できるように、発光素子116の発光の中間色に相当する電流値に設定される。

また、走査線WSL101が本発明に係る第1の制御線に対応し、駆動線DSL101が第2の制御線に対応し、オートゼロ線AZL101が第3の制御線(および第4の制御線)に対応する。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

#### 【0054】

画素回路101において、電源電位VCCと接地電位GNDとの間にTFT111、第1のノードND111、TFT112、および発光素子116が直列に接続されている。

具体的には、ドライブトランジスタとしてのTFT111のソースが電源電圧VCCの供給ラインに接続され、ドレインが第1のノードND111に接続されている。第1のスイッチとしてのTFT112のソースが第1のノードND111に接続され、ドレインが発光素子116のアノードに接続され、発光素子116のカソードが接地電位GNDに接続されている。そして、TFT111のゲートが第2のノードND112に接続され、TFT112のゲートが第2の制御線としての駆動線DSL101に接続されている。

第1のノードND111と第2のノードND112とに、第2のスイッチとしてのTFT113ソース・ドレインが接続され、TFT113のゲートが第3の制御線としてのオートゼロ線AZL101に接続されている。

キャパシタC111の第1電極が第2のノードND112に接続され、第2電極が第3のノードND113に接続されている。また、キャパシタC112の第1電極が第3のノードND113に接続されている。

10

20

30

40

50

ドND113に接続され、第2電極が電源電位VCCに接続されている。

データ線DTL101と第3のノードND113とに第3のスイッチとしてのTFT114のソース・ドレインが接続され、TFT114のゲートが第1の制御線としての走査線101に接続されている。

さらに、第1のノードND111と基準電流供給線ISL101との間に第4のスイッチとしてのTFT115のソース・ドレインが接続され、TFT115のゲートが第3の制御線としてのオートゼロ線AZL101に接続されている。

#### 【0055】

次に、上記構成の動作を、画素回路の動作を中心に、図3(A)~(G)に関連付けて説明する。

図3(A)は画素配列の第1行目の走査線WSL101に印加される走査信号ws[1]を、図3(B)は画素配列の第2行目の走査線WSL102に印加される走査信号ws[2]を、図3(C)は画素配列の第1行目のオートゼロ線AZL101に印加されるオートゼロ信号az[1]を、図3(D)は画素配列の第2行目のオートゼロ線AZL102に印加されるオートゼロ信号az[2]を、図3(E)は画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[1]を、図3(F)は画素配列の第2行目の駆動線DSL102に印加される駆動信号ds[2]を、図3(G)はTFT111のゲート電位Vgをそれぞれ示している。また、Voは基準電流Irefを流すドライブトランジスタTFT111のゲート電圧値を示している。

なお、以下では、第1行目の画素回路の動作について説明する。

#### 【0056】

まず、基準電流供給線ISL101には定電流源107により基準電流Iref(たとえば2μA)が流される。

図3(C)、(E)に示すように、駆動線DSL101への駆動信号ds[1]が高レベルの状態(TFT112が非導通状態)で、オートゼロ線AZL101へのオートゼロ信号az[1]を低レベルとし、TFT113とTFT115を導通状態とする。

#### 【0057】

このとき、TFT115がオンし、第1のノードND111、第2のノードND112は、基準電流供給線ISL101を通して基準電流源107に接続され、基準電流Irefを引いているために、図3(G)に示すように、画素のオン電流が基準電流Irefに一致するように、ドライブトランジスタTFT111のゲート電圧値Voが設定される。これにより、しきい値や移動度μがばらついている全ての画素に対しての補正(オートゼロ動作)が実行される。

#### 【0058】

図3(C)に示すように、オートゼロ線AZL101へのオートゼロ信号az[1]を高レベルとしてTFT113、TFT115を非導通状態としてオートゼロ動作(Vth補正動作)を終了させた後、図3(E)に示すように、駆動線DSL1への駆動信号ds[1]を低レベルとし、TFT112を導通状態とする。

#### 【0059】

そして、走査線WSL101への走査信号ws[1]を、図3(A)に示すように、低レベルとしてTFT114を導通状態として、データ線DTL101に伝搬された所定電位のデータ信号をキャパシタC111に印加させる。これにより、図3(G)に示すように、キャパシタC111を介して入力データ信号がTFT111のゲート電圧にカップリングされ、カップリング電圧Vに相当する値の電流IdsがEL発光素子116に流れ、発光する。

そして、図3(A)に示すように、走査線WSL101を高レベルとしてTFT114を非導通状態とする。

#### 【0060】

図4は、図2の画素回路での移動度の異なるドライブトランジスタのV(=Vgs-Vth)とドレイン・ソース間電流Idsの特性曲線を示す図である。

10

20

30

40

50

図4において、横軸が電圧  $V$  を、縦軸が電流  $I_{ds}$  をそれぞれ表している。また、図4において、実線で示す曲線が画素Aの特性を、破線で示す曲線が画素Bの特性を示している。

【0061】

図4に示すように、本画素回路では、上述した通りにバラツキ補正時 ( $V = 0$ ) には、しきい値  $V_{th}$  や移動度  $\mu$  の異なる画素においても、ドライブトランジスタ T F T 1 1 1 には基準電流  $I_{ref}$  が流れる。その後、カップリング電圧  $V$  に相当するオン電流が流れる。

本画素回路は、従来方式での移動度が異なるグラフ (図22) を平行移動させ、電流値  $I_{ref}$  にて交わらせたものと同様である。

つまり、基準電流  $I_{ref}$  をセンタに移動度  $\mu$  のバラツキが発生するので、図4に示したように、白表示時の移動度バラツキによるオン電流のバラツキは抑制される。これにより、よりユニフォーミティの良い有機 E L パネルが得られるようになる。

【0062】

また、図5は、ドライブトランジスタのしきい値  $V_{th}$  が異なる画素 C, D でのオートゼロ動作時のドライブトランジスタのゲート電圧の変化を示す図である。

図5において、横軸が時間  $t$  を、縦軸がゲート電圧  $v_g$  をそれぞれ表している。また、図5において、実線で示す曲線が画素Cの特性を、破線で示す曲線が画素Dの特性を示している。

【0063】

上述したように、本画素回路では、基準電流  $I_{ref}$  が流れるように T F T 1 1 1 のゲート電位  $V_g$  が決定され、しきい値  $V_{th}$  のバラツキがキャンセルされる。

このように、基準電流  $I_{ref}$  が流れたまましきい値  $V_{th}$  のバラツキがキャンセルされるので、 $V_{th}$  バラツキのキャンセルまでの時間は従来方式に比べて短くてすみ、しきい値  $V_{th}$  のバラツキのキャンセルが不完全になることがなく、ユニフォーミティのバラツキは発生しない。

また、しきい値  $V_{th}$  のバラツキをキャンセルした後も、T F T 1 1 5 を導通状態に保持している限り、基準電流  $I_{ref}$  は流れ続け、図5に示すように、ゲート電圧は保持され続ける。

つまり、本画素回路では、ゲート電圧は保持され続けるので、しきい値  $V_{th}$  のバラツキに対して補正されたままゲート電圧は保持されている。

これにより、しきい値  $V_{th}$  が異なるパネルにおいても、オートゼロの設定時間に無関係にしきい値  $V_{th}$  の補正が行われる。その結果、ユニフォーミティが改善する。

【0064】

以上説明したように、本第1の実施形態によれば、スイッチを通して、画素のドライブトランジスタに基準電流ラインを接続し、しきい値  $V_{th}$  のバラツキの補正を行うので、いわゆる白表示時での移動度によるオン電流のバラツキを抑制することができ、従来方式に比べて移動度バラツキに対するユニフォーミティを大幅に改善することができる。

また、基準電流  $I_{ref}$  を流してしきい値  $V_{th}$  のバラツキのキャンセルを行うので、従来に比べてしきい値  $V_{th}$  のバラツキのキャンセルにかかる時間が短縮され、しきい値  $V_{th}$  のバラツキによるユニフォーミティの劣化を防止できる。

さらに、一度、しきい値のバラツキがキャンセルされたら、その後ゲート電位は変動しないため、オートゼロの時間はしきい値  $V_{th}$  の絶対値に依存せず、オートゼロ時間の設定による工数の増加を抑制することができる。

【0065】

なお、本実施形態では、基準電流源としていわゆる表示パネル内で生成する構成として説明したが、基準電流  $I_{ref}$  をネル外部から供給するように構成することも可能である。この場合、たとえば外部の M O S I C 等にて基準電流  $I_{ref}$  を生成し、パネルに入力するので、各々の基準電流供給線毎の電流値のバラツキは少ない。

【0066】

10

20

30

40

50



また、本実施形態では、第2のスイッチとしてのTFT113のゲートと第4のスイッチとしてのTFT115のゲートを第3の制御線としてのオートゼロ線AZL101に接続した構成としたが、第2のスイッチとしてのTFT113のゲートを第3の制御線としての第1のオートゼロ線AZL101-2に接続し、第4のスイッチとしてのTFT115のゲートを第4の制御線としての第2のオートゼロ線AZL101-2に接続するように構成することも可能である。

このように、TFT113とTFT115を異なる制御線によりオンさせる場合、オンさせるタイミングはいずれが先(後)でもオートゼロ動作に影響はない。

ただし、ドライブパルスを減少させることができることから、本実施形態のように、共用の制御線により同一タイミングでオンする方が好ましい。

10

#### 【0067】

また、本実施形態においては、ドライブスキャンとオートゼロとをオーバーラップしないように駆動制御しているが、オーバーラップさせることも可能である。オーバーラップさせた方が、ドライブトランジスタTFT111のカットオフを防止できる。

また、本実施形態においては、ライトスキャンの前にドライブスキャンをオンするように駆動制御しているが、これは同時であって、ドライブスキャンが後であっても構わない。ライトスキャンの前にドライブスキャンをオンさせた方が、信号電圧書き込み時に、ドライブトランジスタTFT111が飽和駆動になっており、ゲート容量が小さくなることから、ライトスキャンの前にドライブスキャンをオンさせた方が好ましい。

#### 【0068】

20

### 第2実施形態

図6は、本第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図7は、図6の有機EL表示装置において本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

#### 【0069】

本第2の実施形態が上述した第1の実施形態と異なる点は、リファレンス定電流源(RCIS)107を設けて、基準電流を基準電流供給線に流し、各画素回路のTFT115により第1のノードND111と基準電流供給線とを接続する代わりに、図7に示すように、各画素回路毎に基準電流を生成するように構成したことにある。

30

具体的には、図7に示すように、各画素回路101Aにおいて、定電流源としてのnチャンネルTFT117と、定電圧源118を設けている。その結果、図6に示すように、図1のリファレンス定電流源(RCIS)107は不要となっている。

#### 【0070】

第1のノードND111とTFT117のドレインとに、第4のスイッチとしてのTFT115のソース・ドレインを接続し、TFT117のソースを接地電位GNDに接続している。また、TFT117のゲートを定電圧源118に接続している。

TFT117に定電圧源118により低電圧のゲート電圧を印加し、同時に飽和領域で動作させることで、このnチャンネルTFT117を定電流源として用いる。

#### 【0071】

40

本第2の実施形態によれば、上述した第1の実施形態の効果に加えて、パネル外部から基準電流供給線を引き込む時に比べて、入力端子数を大幅に削減することができるという効果を得ることができる。

#### 【0072】

なお、本画素回路では、TFT117のしきい値 $V_{th}$ の問題になるが、それを極力回避するために、たとえばTFT117のソース電位を負電位に落とし、TFT117のゲート・ソース間電圧 $V_{gs}$ を大きくすることで、しきい値 $V_{th}$ のパラツキを吸収することができる。

#### 【0073】

### 第3実施形態

50

図 8 は、本第 3 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

図 9 は、図 8 の有機 E L 表示装置において本第 3 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 0 7 4 】

本第 3 の実施形態が上述した第 2 の実施形態と異なる点は、定電圧源 1 0 8 を設け、各列毎に共通の電圧供給線  $V S L 1 0 1 \sim V S L 1 0 n$  を配線し、各画素の T F T 1 1 7 のゲートに接続するようにしたことにある。そして、各電圧供給線  $V S L 1 0 1 \sim V S L 1 0 n$  に対応して電圧源  $V 1 0 8$  を接続する。

【 0 0 7 5 】

その他の構成は、上述した第 2 の実施形態と同様である。

【 0 0 7 6 】

本第 3 の実施形態によれば、上述した第 1 の実施形態の効果と同様の効果を得ることができる。

【 0 0 7 7 】

#### 第 4 実施形態

図 1 0 は、本第 4 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

図 1 1 は、図 1 0 の有機 E L 表示装置において本第 4 の実施形態に係る画素回路の具体的な構成を示す回路図である。

また、図 1 2 ( A ) ~ ( G ) は図 1 1 の回路の動作のタイミングチャートである。

【 0 0 7 8 】

本第 4 の実施形態が上述した第 1 の実施形態と異なる点は、画素列毎に 1 本の基準電流供給線  $I S L$  を設ける代わりに、複数本、たとえば  $N$  本 (たとえば  $N = m$ ) の基準電流供給線  $I S L 1 0 1 - 1 \sim I S L 1 0 1 - N$ 、 $I S L 1 0 2 - 1 \sim I S L 1 0 2 - N$ 、 $\dots$ 、 $I S L 1 0 m - 1 \sim I S L 1 0 m - N$  を設けて、たとえば各画素回路 1 0 1 毎に異なる基準電流供給線に接続するように構成したことにある。

【 0 0 7 9 】

その他の構成は第 1 の実施形態と同様である。

【 0 0 8 0 】

本第 4 の実施形態によれば、図 1 2 ( C ) に示すように、オートゼロ期間 (しきい値  $V t h$ 、移動度  $\mu$  の補正期間) として、第 1 の実施形態の場合の 1 H に対して  $N$  倍の期間設定が可能となる。

これにより、大画面で信号線容量が大きく (重く) ても、画素内のしきい値  $V t h$  のバラツキがキャンセルされ、ユニフォーミティの良い画質を得ることができる。

【 0 0 8 1 】

この第 4 の実施形態の効果について、図 1 3 ( A ) , ( B ) に関連付けてさらに詳細に説明する。

【 0 0 8 2 】

ここで、たとえば図 1 3 ( A ) に示すように、画素列毎に 1 本の基準電流供給線  $I S L$  を設けた場合の動作を簡単に説明する。

まず、第 1 行目の画素回路 1 0 1 - 1 の T F T 1 1 3 - 1 , T F T 1 1 5 - 1 をオンさせることにより、基準電流  $I r e f$  がドライブトランジスタ T F T 1 1 1 - 1 に流れ、基準電流  $I r e f$  に相当するゲート電圧がキャパシタ  $C 1 1 1 - 1$  に書き込まれる。このゲート電圧は飽和領域駆動のため、前記式 1 に基づく。

このとき、同時に基準電流供給線  $I S L$  の容量  $C s i g$  にも T F T 1 1 3 - 1 のゲート電圧が書き込まれる。次に、第 1 行目の画素回路 1 0 1 - 1 の T F T 1 1 3 - 1 , T F T 1 1 5 - 1 がオフされて、第 2 行目の画素回路 1 0 1 - 2 の T F T 1 1 3 - 2 , T F T 1 1 5 - 2 をオンさせる。以下、同様の動作が繰り返される。

【 0 0 8 3 】

10

20

30

40

50

ここで、画素回路のドライブトランジスタ  $TFT_{111}$  のしきい値  $V_{th}$  がばらついた時の書込みを考察する。

たとえば、第1行の画素回路  $101-1$  の  $TFT_{111-1}$  のしきい値  $V_{th}$  のバラツキの補正を行った後に、第2行目の画素回路  $101-2$  の  $TFT_{111-2}$  のしきい値  $V_{th}$  のバラツキの補正を行うときの基準電流供給線  $ISL$  におけるA点の電位変化を考える。たとえば、 $I_{ref} = 2 \mu A$  で、第1行の画素回路  $101-1$  の  $TFT_{111-1}$  と第2行目の画素回路  $101-2$  の  $TFT_{111-2}$  とでしきい値  $V_{th}$  が各々  $2.0V$  と  $2.3V$  と  $0.3V$  の差があるとする。

このしきい値  $V_{th}$  のバラツキのために、基準電流  $I_{ref}$  に対する第1行の画素回路  $101-1$  のドライブトランジスタ  $TFT_{111-1}$  のゲート電圧は  $8.0V$ 、第2行目の  $TFT_{111-2}$  のゲート電圧は  $7.7V$  となる。

つまり、基準電流供給線  $ISL$  の電位 (A) は  $8.0V$  から  $7.7V$  へと変化することになる。この電位変化時の動作図を図13(B)に示す。

#### 【0084】

A点の電位が変化する時に流れる電流のパスとしては図13(B)の電流  $I_0$ 、 $I_1$ 、 $I_2$  のパスがある。これらはキルヒホッフの法則に基づいて、 $I_{ref} = 2 \mu A = I_0 + I_1 + I_2$  となる。

$I_0$  はドライブトランジスタ  $TFT_{111-2}$  を流れる電流、 $I_1$  は画素容量  $C_{111-2}$  から流れ出す電流、 $I_2$  は基準電流供給線  $ISL$  の容量  $C_{sig}$  から流れ出す電流となる。

ここでは  $C_{111}$  と  $C_{sig}$  を  $8.0V$  から  $7.7V$  へと放電する必要がある。 $TFT_{111-2}$  がオンした当初、 $TFT_{111-2}$  のゲート電圧はA点の電位が書き込まれてしまい  $8.0V$  であり、 $I_0$  は  $2 \mu A$  より小さい電流が流れている。その差分の電流によって  $C_{111-2}$  と  $C_{sig}$  が放電され、 $TFT_{111-2}$  のゲート電圧とA点の電位が  $7.7V$  に近づく。

しかしながら、ゲート電圧が  $7.7V$  に近づくにつれ、 $I_0 = 2 \mu A$  となり、 $I_1$ 、 $I_2$  とともに非常に小さな値となる。この小さな電流で  $C_{111-2}$  と  $C_{sig}$  とを放電する必要があり、完全に  $7.7V$  まで放電するには長い時間を必要とする。

#### 【0085】

特に、パネルが大型化すると基準電流供給線  $ISL$  の容量  $C_{sig}$  は増加してゆく。つまり、しきい値  $V_{th}$  が異なる段でのゲート電圧の変移には非常に長い時間を必要とする。たとえば第1の実施形態のように、画素一列に対して一本の基準電流供給線  $ISL$  を設けた場合には、ドライブトランジスタである  $TFT_{111}$  のしきい値  $V_{th}$  のバラツキの補正は1H期間内に行う必要があるが、パネルが大型化されると、1H期間内ではしきい値  $V_{th}$  のバラツキの補正が終了させることができないおそれが生じる。

これに対して、本第4の実施形態では、画素列毎に基準電流供給線  $ISL$  を複数本設けて、オートゼロ期間(しきい値  $V_{th}$ 、移動度  $\mu$  の補正期間)として、 $N \times H$  と長い補正期間を設定可能となる。その結果、パネルが大型化されても画素回路内のしきい値  $V_{th}$  のバラツキを確実にキャンセルすることができ、大型画面においてもユニフォーミティの良い画質を得ることができる。

#### 【0086】

#### 第5実施形態

図14は、本第5の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図15は、図14の有機EL表示装置において本第5の実施形態に係る画素回路の具体的な構成を示す回路図である。

また、図16(A)~(H)は図15の回路の動作のタイミングチャートである。

#### 【0087】

本第5の実施形態が上述した第4の実施形態と異なる点は、パネルが大型化されても画素回路内のしきい値  $V_{th}$  のバラツキを確実にキャンセルするために、画素列毎に複数本の

10

20

30

40

50

基準電流供給線を設けて、各画素回路101毎に異なる基準電流供給線に接続する代わりに、しきい値 $V_{th}$ のバラツキの補正を行う前に、基準電圧 $V_{ref}$ を基準電流供給線に供給して、すなわちプリチャージするようにしたことにある。

【0088】

そのため、本第5の実施形態に係る表示装置100Dにおいては、図14に示すように、リファレンス定電流源(RCIS)107に加えて、リファレンス定電圧源(RCVS)109、およびスイッチ回路110を設け、スイッチ回路110を介して、基準電流供給線ISL101~ISL10nに基準電圧 $V_{ref}$ または基準電流 $I_{ref}$ を選択的に供給するように構成している。

【0089】

スイッチ回路110は、たとえば図15に示すように、ソース・ドレインが定電流源I107と基準電流供給線ISL101に接続されたpチャンネルTFT1011と、ソース・ドレインが定電圧源109と基準電流供給線ISL101に接続されたnチャンネルTFT1012からなるスイッチが、各基準電流供給線ISL101~ISL10nに対応して設けられている。

そして、図16(A)に示すようなパルス信号 $V_{ref}$ によりTFT1011とTFT1012が相補的にオン・オフされる。

【0090】

その他の構成は、上述した第1および第4の実施形態と同様である。

【0091】

本第5の実施形態に係る表示装置は、基準電流供給線の数を極力増やさないでしきい値 $V_{th}$ のバラツキをキャンセルすることが可能となっている。

図16(A)~(H)に示すように、しきい値 $V_{th}$ のバラツキの補正を行う前に、パルス信号 $V_{ref}$ をスイッチ回路110に入力して、スイッチのTFT1012を所定期間オンさせて基準電流供給線ISL101~ISL10nに基準電圧 $V_{ref}$ を供給する。基準電圧 $V_{ref}$ は、たとえばしきい値 $V_{th}$ のバラツキの中間値に設定される。これにより、しきい値 $V_{th}$ のバラツキの補正期間を短縮でき、バラツキを軽減することが可能とある。

【0092】

このように、プリチャージ期間において、しきい値 $V_{th}$ のバラツキの中間値(センター値)の基準電圧 $V_{ref}$ を基準電流供給線ISL101~ISL10nに書き込む。この場合、電圧書き込みであり、基準電流供給線ISL101~ISL10nの容量が大きくても短時間に書き込める。

【0093】

ここで、隣接画素のしきい値 $V_{th}$ が $\pm 0.3V$ 異なる時の基準電流供給線の電位変化について考察する。

第1の実施形態のように、プリチャージを行わない場合、基準電流供給線の電位は、前段のゲート電圧から、自段のゲート電圧へと変化する。

このとき、隣接画素でしきい値 $V_{th}$ が $\pm 0.3V$ 異なると、この基準電流・電圧供給線の電圧変化量は $0.6V$ となる。この変移量が大きすぎるために、しきい値 $V_{th}$ のバラツキの補正期間では変異しきらず、その不足分 $V$ が $V_{th}$ バラツキとしてユニフォーミティばらつきに現れてしまうおそれがある。

この $V$ の値は変移量に比例することから、ばらつきの値が大きい程 $V$ も大きくなり、ユニフォーミティも悪くなるおそれがある。

【0094】

一方、本第5の実施形態のように、基準電圧 $V_{ref}$ を書き込んだ後に、図16(A)~(H)に示すように、しきい値 $V_{th}$ のバラツキの補正を行うと、基準電流供給線の変移量は $0.3V$ で良いことになる。

つまり、プリチャージを行わない場合と比較して、補正すべき量が半減する。よって、 $V_{th}$ 補正内の変異不足分 $V$ もプリチャージを行わない場合と比較して半分以下になる。

10

20

30

40

50

これにより、特に大型有機ELパネルにおけるしきい値 $V_{th}$ のバラツキによるユニフォームリティのバラツキ補正をより短い時間にて行うことができる。よって、第4の実施形態に比較して基準電流供給線の本数の削減もできる。画素レイアウトも容易となる。また、全てのしきい値 $V_{th}$ のバラツキの補正は基準電圧 $V_{ref}$ を基準に行われるので、前段画素の $V_{th}$ バラツキの影響を受けないで $V_{th}$ 補正を行うことができる。

【0095】

また、基準電圧 $V_{ref}$ を外部から調整できるようにすることで、パネル毎に最適の基準電圧 $V_{ref}$ を調整することができる。

これにより、面内の $V_{th}$ バラツキを画質を見ながら、そのばらつきが最小になる点に調整することができ、画質ユニフォームリティでの歩留まりを向上することができる。

10

【0096】

#### 第6実施形態

図17は、本第7の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【0097】

本第5の実施形態が上述した第4の実施形態と異なる点は、スイッチ回路110AのTFT1011をpチャンネルTFTの代わりにnチャンネルTFTとし、TFT1012をnチャンネルTFTの代わりにpチャンネルTFTとしたことにある。

すなわち、スイッチ回路を構成するTFTは、選択的に電流、電圧を基準電流供給線ISLに供給可能であればnチャンネル、pチャンネルのいずれでもよい。

20

その他の構成は、上述した第5の実施形態と同様である。

【0098】

本第6の実施形態によれば、上述した第5の実施形態の効果と同様の効果を得ることができる。

【0099】

なお、上述した第1～第6の実施形態においては、オートゼロ回路(AZRD)106、ライトスキヤナ(WSCN)104およびドライブスキヤナ(DSCN)105のレイアウトとして、画素アレイ部102の図面において左側にオートゼロ回路(AZRD)106を配置し、右側にライトスキヤナ(WSCN)104およびドライブスキヤナ(DSCN)105を配置した場合を例に説明したが、すべて左側、あるいは右側に配置する、あるいは右側にオートゼロ回路(AZRD)106を配置し、左側にライトスキヤナ(WSCN)104およびドライブスキヤナ(DSCN)105を配置する、あるいは、オートゼロ回路(AZRD)106とライトスキヤナ(WSCN)104またはドライブスキヤナ(DSCN)105を組み合わせて左側あるいは右側に配置する等、種々の態様が可能である。

30

【0100】

#### 【発明の効果】

以上説明したように、本発明によれば、白表示時での移動度によるオン電流のバラツキを抑制することができ、従来方式に比べて移動度バラツキに対するユニフォームリティを大幅に改善することができる。

40

また、基準電流を流してしきい値のバラツキのキャンセルを行うので、しきい値のバラツキのキャンセルにかかる時間が短縮され、しきい値のバラツキによるユニフォームリティの劣化を防止できる。

さらに、一度しきい値のバラツキがキャンセルされたら、その後駆動トランジスタのゲート電位は変動しないため、いわゆるオートゼロの時間はしきい値の絶対値に依存せず、オートゼロ時間の設定による工数の増加を抑制することができる。

【0101】

また、画素列毎に1本の基準電流供給線を設ける代わりに、複数本設けて、たとえば各画素回路毎に異なる基準電流供給線に接続することにより、オートゼロ期間(しきい値 $V_{th}$ 、移動度 $\mu$ の補正期間)として、N倍の期間設定が可能となる。

50

これにより、大画面で信号線容量が大きく（重く）ても、画素内のしきい値  $V_{th}$  のバラツキがキャンセルされ、ユニフォーミティの良い画質を得ることができる。

【0102】

さらに、しきい値  $V_{th}$  のバラツキの補正を行う前にプリチャージを行うことにより、短いしきい値のバラツキの補正期間においても、ユニフォーミティの良い画質を得ることができる。また、基準電流供給線の本数を減らすことが可能となり、画素レイアウトも容易となる。

【0103】

以上のように、本発明によれば、画素内部の能動素子のしきい値のバラツキはもとより、移動度のバラツキによらず、安定かつ正確に各画素の発光素子に所望の値の電流を供給でき、その結果として高品位な画像を表示することが可能となる。

10

【図面の簡単な説明】

【図1】第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図2】図1の有機EL表示装置において第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図3】第1の実施形態の動作を説明するためのタイミングチャートである。

【図4】図2の画素回路での移動度の異なるドライブトランジスタの  $V (= V_{gs} - V_{th})$  とドレイン・ソース間電流  $I_{ds}$  の特性曲線を示す図である。

【図5】図2の画素回路でのドライブトランジスタのしきい値  $V_{th}$  が異なる画素でのオートゼロ動作時のドライブトランジスタのゲート電圧の変化を示す図である。

20

【図6】第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図7】図6の有機EL表示装置において第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図8】第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図9】図8の有機EL表示装置において第3の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図10】第4の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

30

【図11】図10の有機EL表示装置において第4の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図12】第4の実施形態の動作を説明するためのタイミングチャートである。

【図13】第4の実施形態の利点を説明するための図である。

【図14】第5の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図15】図14の有機EL表示装置において第5の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図16】第5の実施形態の動作を説明するためのタイミングチャートである。

40

【図17】第6の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図18】一般的な有機EL表示装置の構成を示すブロック図である。

【図19】図1の画素回路の一構成例を示す回路図である。

【図20】オートゼロ機能を有する画素回路の構成例を示す回路図である。

【図21】図20の回路の動作を説明するためのタイミングチャートである。

【図22】図20の画素回路での移動度の異なるドライブトランジスタの  $V (= V_{gs} - V_{th})$  とドレイン・ソース間電流  $I_{ds}$  の特性曲線を示す図である。

【図23】ドライブトランジスタのしきい値  $V_{th}$  が異なる画素でのオートゼロ動作時のドライブトランジスタのゲート電圧の変化を示す図である。

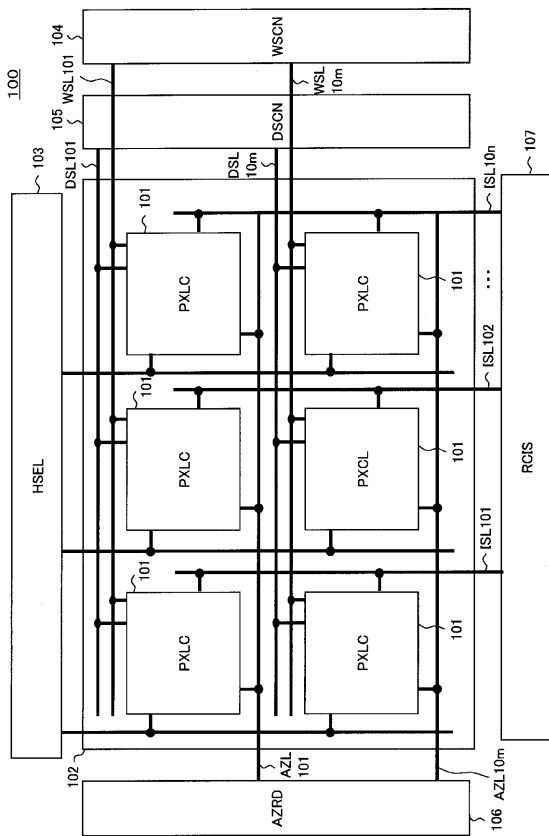
50

【図24】図20の回路の課題を説明するための図である。

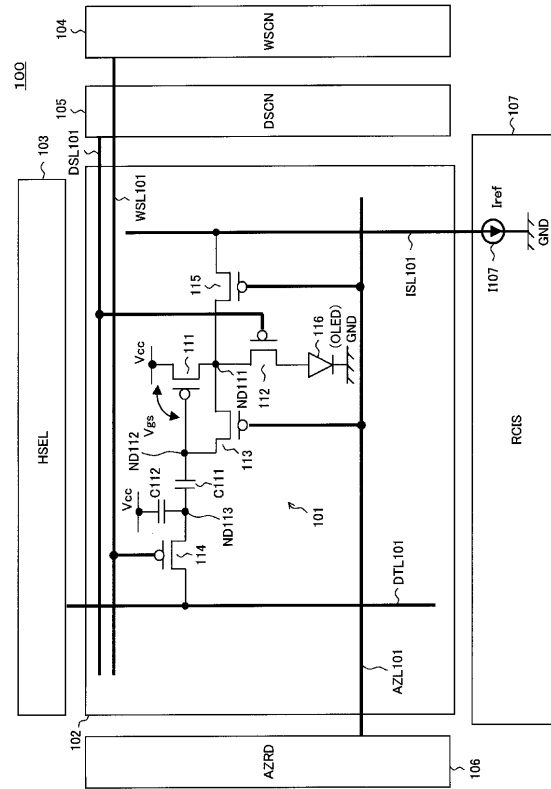
【符号の説明】

100, 100 ~ 100E ... 表示装置、101 ... 画素回路 (PXLC)、102 ... 画素アレイ部、103 ... 水平セレクタ (HSEL)、104 ... ライトスキャナ (WSCN)、105 ... ドライブスキャナ (DSCN)、106 ... オートゼロ回路 (AZRD)、107 ... リファレンス定電流源 (RCIS)、108 ... 定電圧源 (CVS)、109 ... リファレンス定電圧源 (RCVS)、110 ... スイッチ回路、111 ... 駆動トランジスタとしてのTFT、112 ... 第1のスイッチとしてのTFT、113 ... 第2のスイッチとしてのTFT、114 ... 第3のスイッチとしてTFT、115 ... 第4のスイッチとしてのTFT、DTL101 ~ DTL10n ... データ線、WSL101 ~ WSL10m ... 走査線、DSL101 ~ DSL10m ... 駆動線、AZL101 ~ AZL10m ... オートゼロ線、ISL101 ~ ISL10n ... 基準電流供給線。

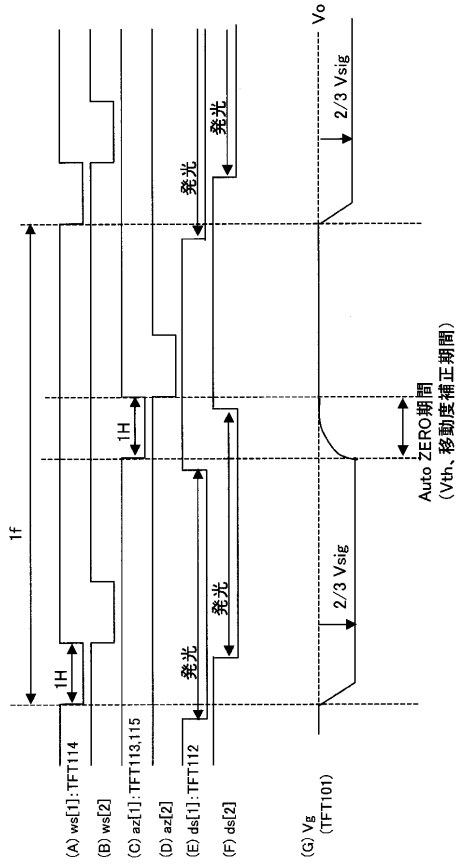
【図1】



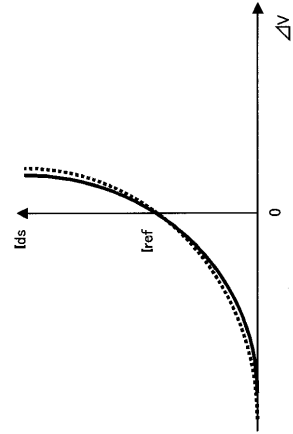
【図2】



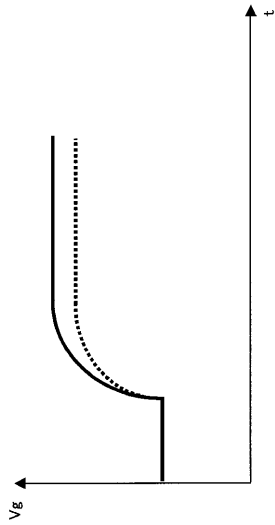
【 図 3 】



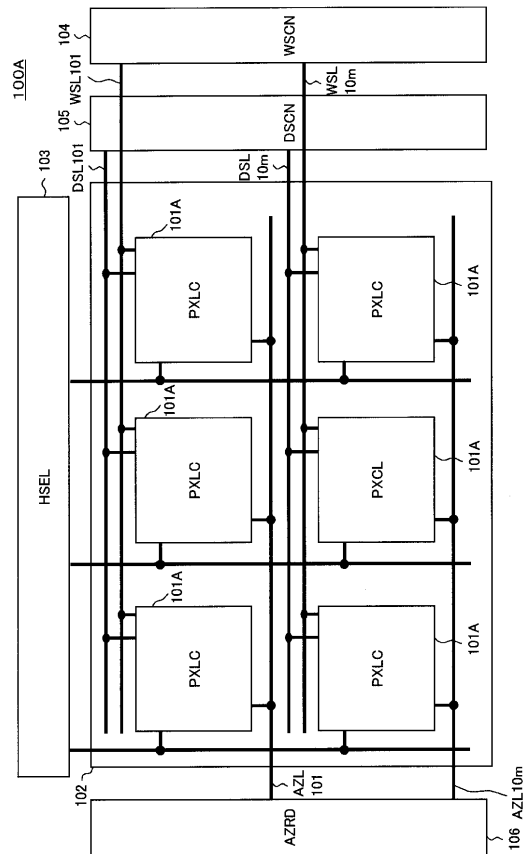
【 図 4 】



【 図 5 】

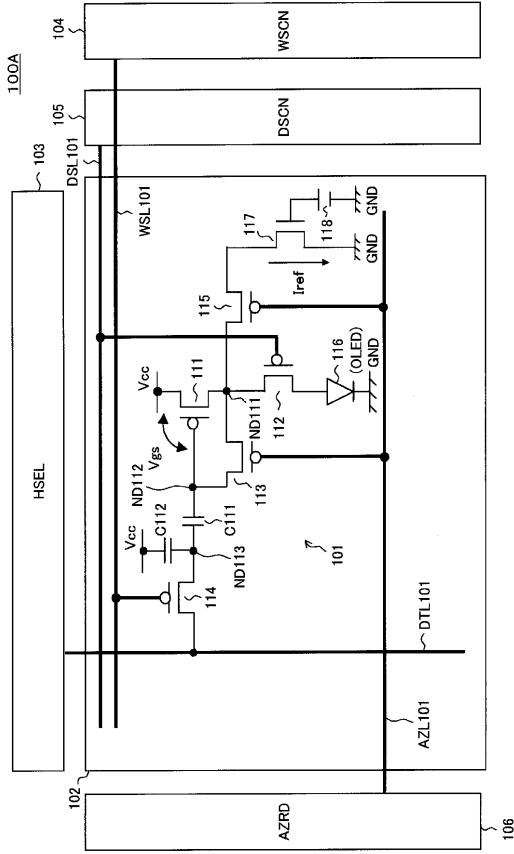


【 図 6 】

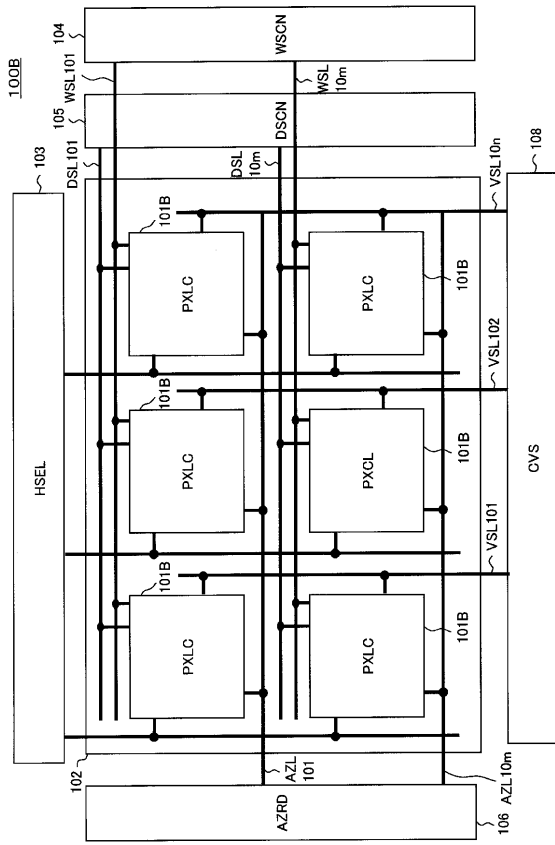




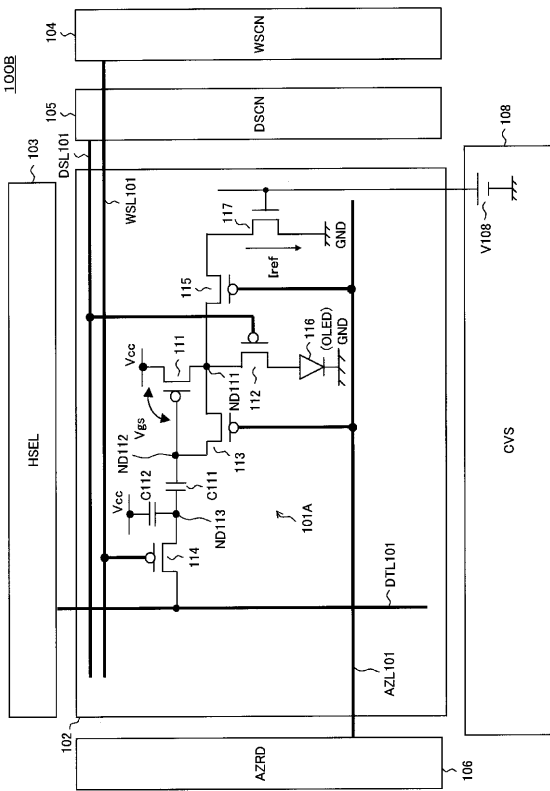
【 7 】



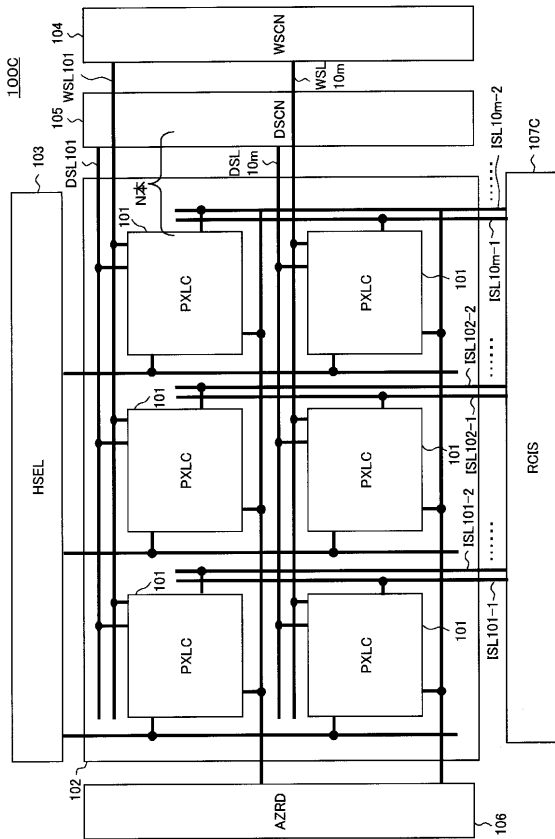
【 8 】



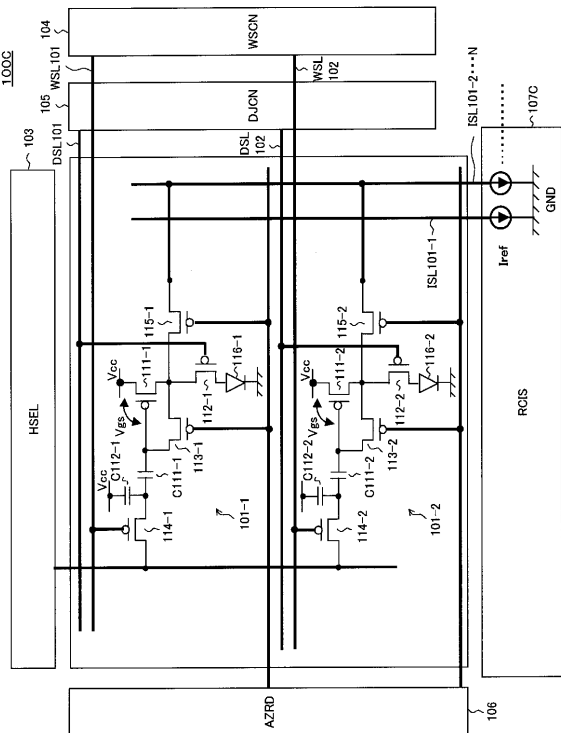
【 9 】



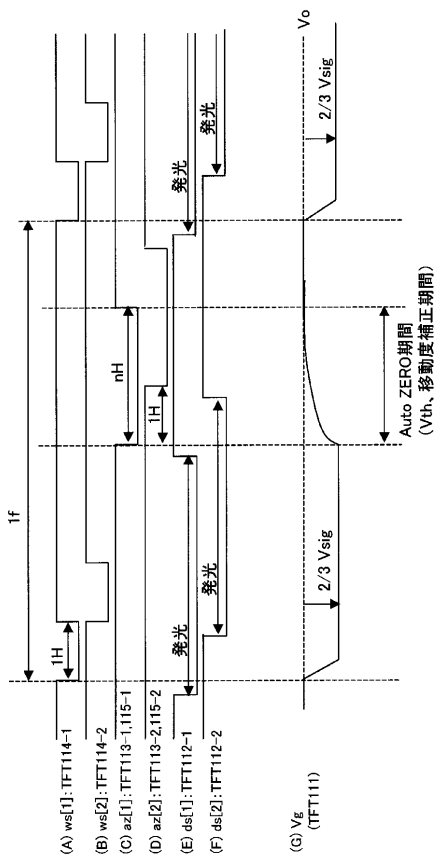
【 10 】



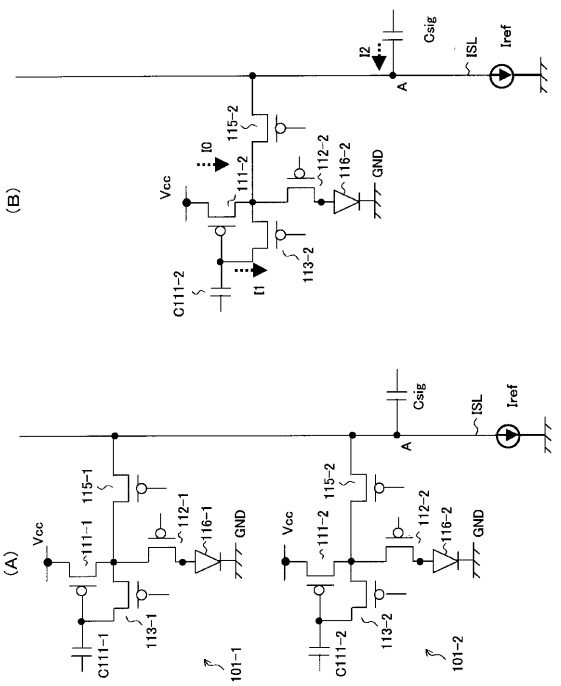
【 図 1 1 】



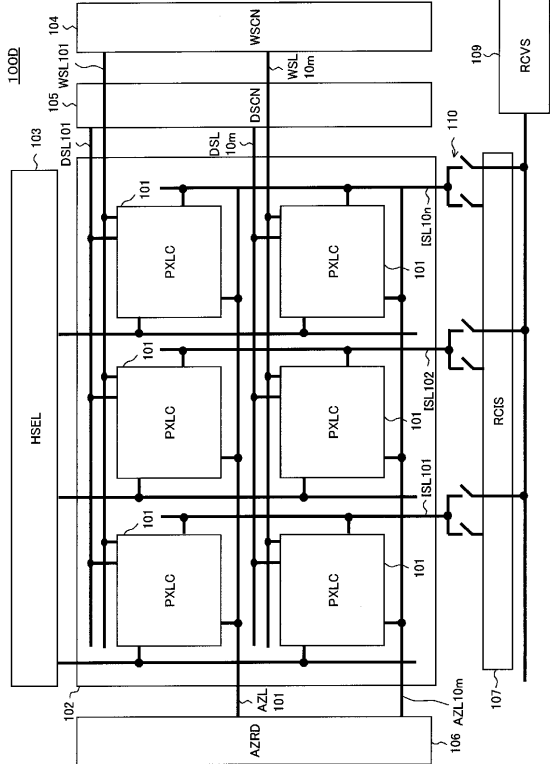
【 図 1 2 】



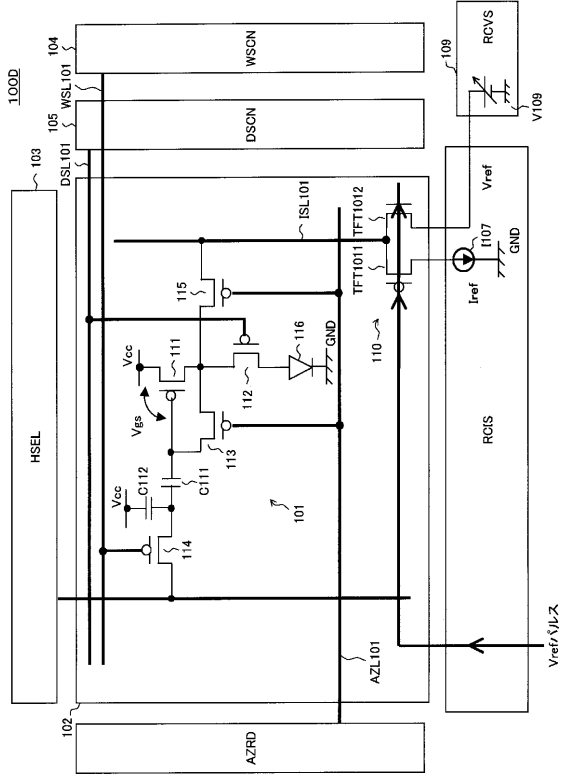
【 図 1 3 】



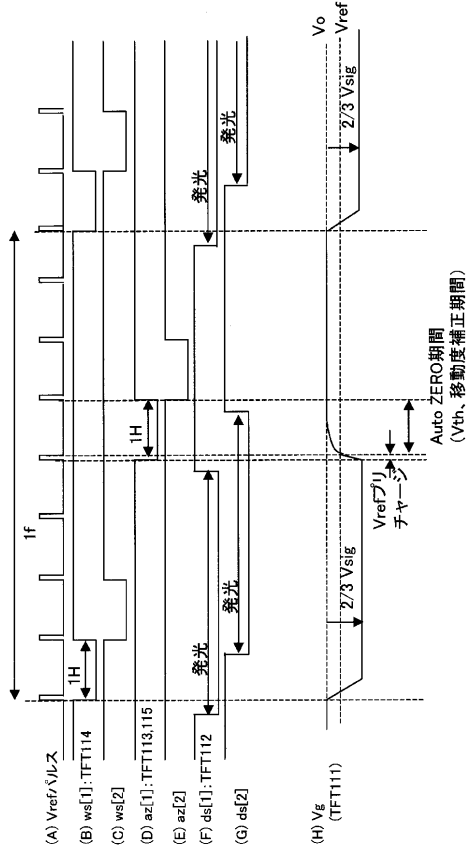
【 図 1 4 】



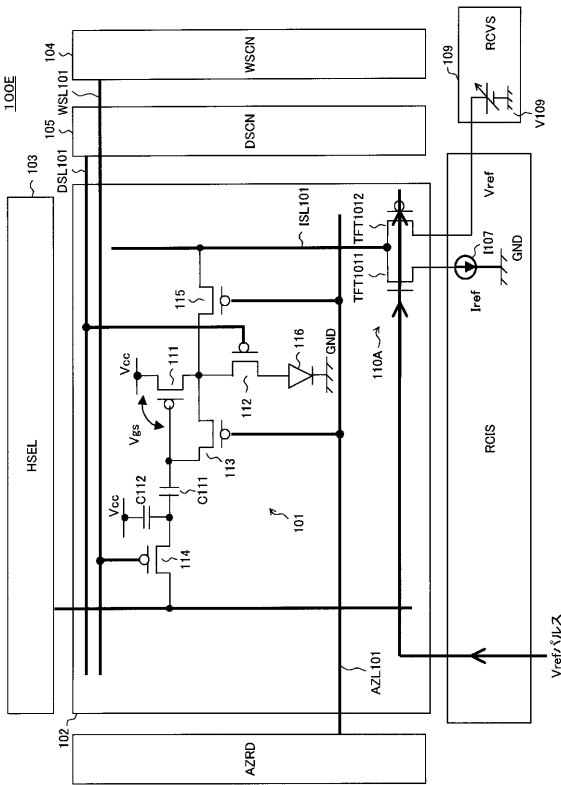
【 図 15 】



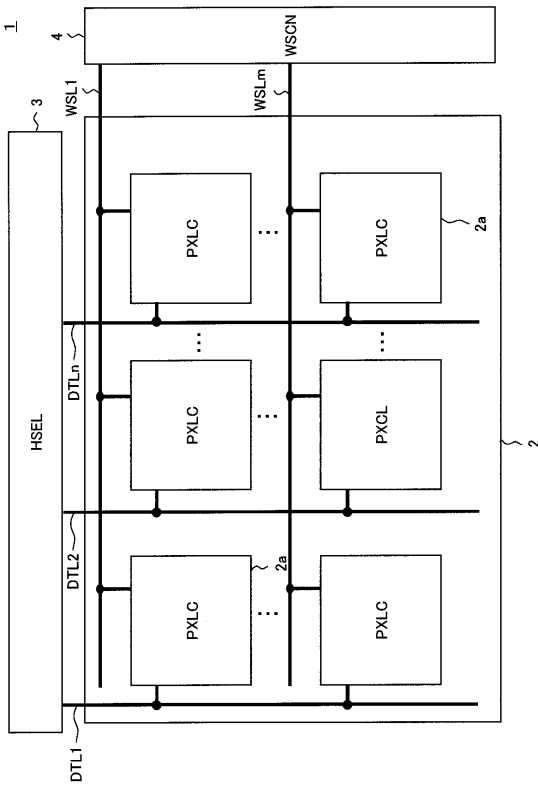
【 図 16 】



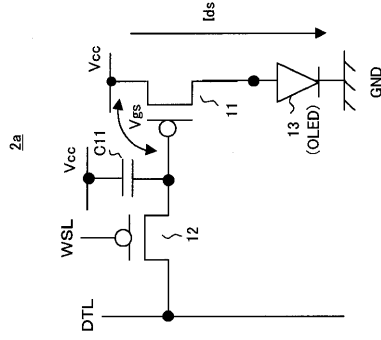
【 図 17 】



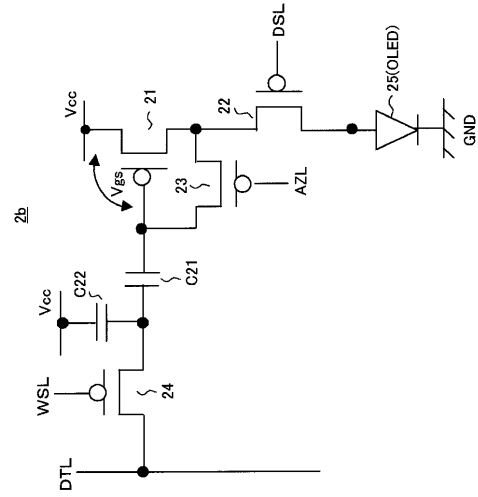
【 図 18 】



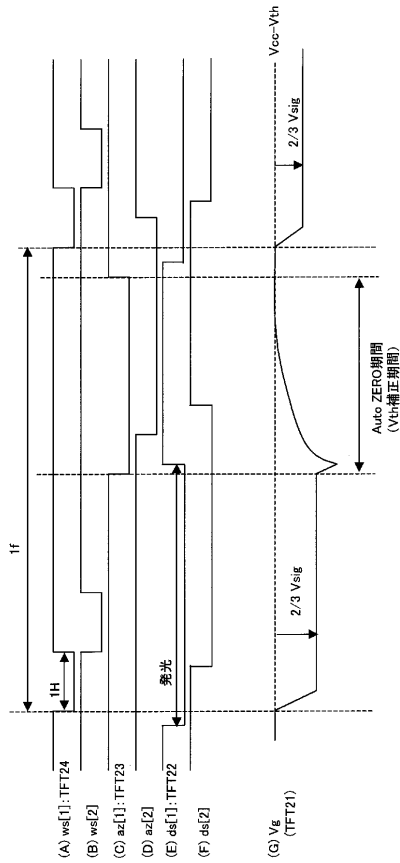
【図 19】



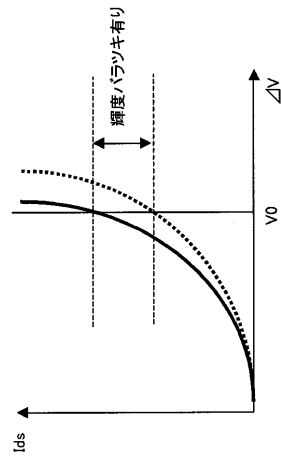
【図 20】



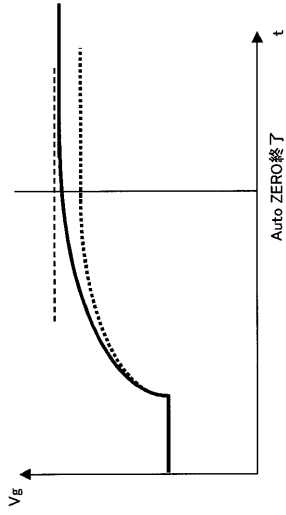
【図 21】



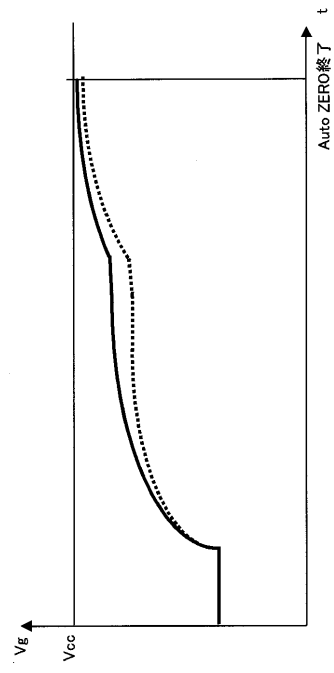
【図 22】



【 2 3 】



【 2 4 】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 D

H 0 5 B 33/14 A

審査官 一宮 誠

(56)参考文献 特開2001-083924(JP,A)

特開2003-005709(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38