



(12)发明专利申请

(10)申请公布号 CN 110622247 A

(43)申请公布日 2019.12.27

(21)申请号 201880031779.X

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(22)申请日 2018.05.09

代理人 王龙

(30)优先权数据

15/595,171 2017.05.15 US

(51)Int.Cl.

G11C 11/419(2006.01)

(85)PCT国际申请进入国家阶段日

2019.11.13

(86)PCT国际申请的申请数据

PCT/US2018/031766 2018.05.09

(87)PCT国际申请的公布数据

WO2018/213073 EN 2018.11.22

(71)申请人 美光科技公司

地址 美国爱达荷州

(72)发明人 P·V·莱亚 T·A·曼宁

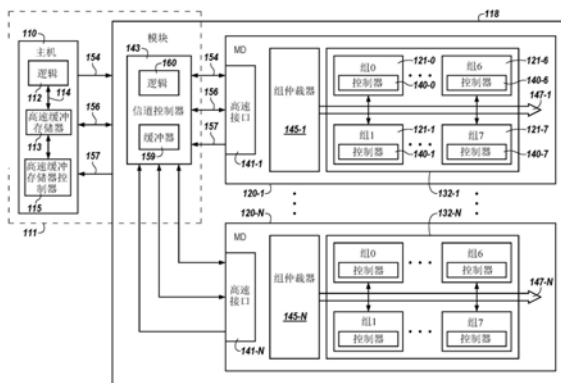
权利要求书2页 说明书16页 附图10页

(54)发明名称

组对组数据传送

(57)摘要

本公开包含用于组对组数据传送的设备和方法。实例设备包含存储器单元的多个组、经配置以在所述多个组与外部总线接口之间传送数据的内部总线,和经配置以在所述多个组之间传送数据的组对组传送总线。



1. 一种设备,其包括:  
存储器单元的多个组;  
内部总线,其经配置以在所述多个组与外部总线接口之间传送数据;及  
组对组传送BBT总线,其经配置以在所述多个组之间传送数据。
2. 根据权利要求1所述的设备,其进一步包括控制器,所述控制器经配置以与在所述BBT总线上传送数据并行地控制所述内部总线上的数据传送。
3. 根据权利要求1所述的设备,其进一步包括控制器,所述控制器经配置以使来自所述多个组当中的特定组的数据经由与所述多个存储器组当中的相应组相关联的共享输入/输出信号线传送到所述BBT总线。
4. 根据权利要求1至3中任一项所述的设备,其进一步包括控制器,所述控制器经配置以控制:  
响应于检测到与第一数据相关联的指示所述第一数据将在第一方向上传送的特定位置而在所述第一方向上传送所述第一数据;及  
响应于检测到与第二数据相关联的指示所述第二数据将在第二方向上传送的特定位置而在所述第二方向上传送所述第二数据。
5. 根据权利要求1至3中任一项所述的设备,其中所述BBT总线包含数个BBT控制组件,且其中至少所述BBT控制组件包括地址比较器。
6. 根据权利要求1至3中任一项所述的设备,其进一步包括控制器,所述控制器经配置以:  
确定与所述多个存储器组之间的所述数据传送相关联的最短传输时间;及  
根据所述确定控制所述多个组之间的所述数据传送。
7. 根据权利要求1至3中任一项所述的设备,其进一步包括控制器,所述控制器经配置以响应于所述数据已在所述多个组之间传送的确定而使所述BBT总线上的数据被去除。
8. 根据权利要求1至3中任一项所述的设备,其进一步包括控制器,所述控制器经配置以使:  
根据第一配置在所述多个组之间进行数据传送;及  
随后根据第二配置在所述多个组之间进行数据传送,其中所述第一配置和所述第二配置包括用以将数据传送到所述多个存储器组当中的特定存储器组的指令。
9. 一种设备,其包括:  
主机;及  
多个存储器装置,其中所述存储器装置中的至少一个包括:  
内部数据总线;及  
组对组传送BBT总线。
10. 根据权利要求9所述的设备,其中所述BBT总线经配置以:  
将数据从相应存储器装置的第一存储器组传送到所述相应存储器装置的第二存储器组,其中所述第一存储器组和所述第二存储器组不彼此邻近。
11. 根据权利要求9至10中任一项所述的设备,其中所述控制器经配置以使:  
数据从所述第一存储器组传送到与所述存储器组总线相关联的至少一个BBT控制组件;及

数据从所述至少一个BBT控制组件传送到所述第二存储器组。

12. 根据权利要求9至10中任一项所述的设备,其中所述BBT总线经配置以将数据从所述第一存储器组传送到所述第二存储器组,同时在所述内部数据总线上进行数据传送。

13. 根据权利要求9至10中任一项所述的设备,其中所述BBT总线包括环架构。

14. 一种用于操作存储器的方法,其包括:

通过执行数个组对组数据传送命令而在所述存储器上的多个存储器组之间传送数据,其中

所述数个组对组数据传送命令针对数个数据传送中的每一个识别源组和目的地组,且其中

所述数个组对组数据传送命令包含经由组对组传送BBT总线传送与所述数个数据传送中的每一个相关联的数据的命令。

15. 根据权利要求14所述的方法,其中所述数据的第一部分是在第一方向上在所述多个存储器组之间传送,且所述数据的第二部分是在第二方向上在所述多个存储器组之间传送。

16. 根据权利要求14至15中任一项所述的方法,其进一步包括经由所述BBT总线在所述多个存储器组之间传送所述数据,同时经由内部总线将数据传送到存储器阵列。

17. 根据权利要求14至15中任一项所述的方法,其进一步包括经由所述BBT总线在所述多个存储器组之间传送所述数据,同时经由外部总线将数据传送到存储器阵列。

18. 根据权利要求14至15中任一项所述的方法,其进一步包括基于与多个地址比较器当中的相应地址比较器相关联的信息,针对数个数据传送中的每一个标识源组和目的地组,其中所述多个地址比较器耦合到所述BBT总线。

19. 根据权利要求14至15中任一项所述的方法,其进一步包括响应于所述数据已在所述多个存储器组之间传送的确定而去除所述BBT总线上的数据。

## 组对组数据传送

### 技术领域

[0001] 本公开大体上涉及半导体存储器和方法,且更确切地说,涉及用于组对组数据传送的设备和方法。

### 背景技术

[0002] 存储器装置通常被提供为计算机或其它电子系统中的内部半导体集成电路。存在许多不同类型的存储器,包含易失性和非易失性存储器。易失性存储器可能需要功率来维持其数据(例如主机数据、误差数据等)且包含随机存取存储器(RAM)、动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、同步动态随机存取存储器(SDRAM)和晶闸管随机存取存储器(TRAM)等等。非易失性存储器可通过在未被供电时保持所存储数据来提供持久数据,且可包含NAND快闪存储器、NOR快闪存储器和电阻可变存储器,例如相变随机存取存储器(PCRAM)、电阻性随机存取存储器(RRAM)和磁阻随机存取存储器(MRAM),例如自旋力矩转移随机存取存储器(STT RAM)等等。

[0003] 电子系统常常包含数个处理资源(例如一或多个处理器),所述处理资源可检索并执行指令且将所执行指令的结果存储到合适的位置。处理器可包括例如可用以通过对数据(例如一或多个操作数)执行运算来执行指令的数个功能单元,例如算术逻辑单元(ALU)电路系统、浮点单元(FPU)电路系统和组合逻辑块。如本文所使用,举例来说,运算可以是布尔运算,例如AND、OR、NOT、NAND、NOR和XOR,和/或其它运算(例如反转、移位、算术、统计以及许多其它可能的运算)。举例来说,功能单元电路系统可用以经由数个运算对操作数执行算术运算,例如加法、减法、乘法和除法。

[0004] 电子系统中的数个组件可涉及向功能单元电路系统提供指令以进行执行。所述指令可例如由例如控制器和/或主机处理器等处理资源执行。数据(例如将对其执行指令的操作数)可存储于可由功能单元电路系统存取的存储器阵列中。指令和/或数据可从存储器阵列检索,并且在功能单元电路系统开始对数据执行指令之前进行排序和/或缓冲。此外,由于可通过功能单元电路系统在一或多个时钟循环中执行不同类型的操作,因此指令和/或数据的中间结果也可进行排序和/或缓冲。在一或多个时钟循环中完成操作的序列可被称作操作循环。就计算设备和/或系统的处理和计算性能以及功率消耗而言,完成操作循环所消耗的时间成本较高。

[0005] 在许多情况下,处理资源(例如处理器和相关联功能单元电路系统)可在存储器阵列外部,且通过处理资源与存储器阵列之间的总线存取数据以执行一组指令。可在存储器内处理器(PIM)装置中改进处理性能,其中处理器可实施于存储器内部和附近(例如直接实施于与存储器阵列相同的芯片上)。存储器内处理装置可通过减少和/或消除外部通信来节约时间和/或功率。

### 附图说明

[0006] 图1A是根据本公开的数个实施例的呈包含存储器装置的计算系统形式的设备的

框图。

[0007] 图1B是根据本公开的数个实施例的呈包含存储器装置的计算系统形式的设备的另一框图。

[0008] 图2是说明根据本公开的数个实施例的存储器装置的感测电路系统的示意图。

[0009] 图3是说明根据本公开的数个实施例的用于存储器装置中的数据传送的电路系统的示意图。

[0010] 图4A是说明根据本公开的数个实施例的耦合到组对组总线的存储器装置的数个组的框图。

[0011] 图4B是根据本公开的数个实施例的说明耦合到组对组总线的存储器装置的数个组的另一框图。

[0012] 图4C是根据本公开的数个实施例的说明耦合到组对组总线的存储器装置的数个组的另一框图。

[0013] 图4D是根据本公开的数个实施例的说明耦合到组对组总线的存储器装置的数个组的另一框图。

[0014] 图5是说明根据本公开的数个实施例的能够实施XOR逻辑运算的感测电路系统的示意图。

[0015] 图6是说明根据本公开的数个实施例的由图5中所展示的感测电路系统实施的可选择逻辑运算结果的逻辑表。

### 具体实施方式

[0016] 本公开包含用以在存储器单元的组之间传送数据的设备和方法。实例设备包含存储器单元的多个组、经配置以在多个组之间传送数据的内部总线、外部总线(例如,外部总线接口)和经配置以在多个组之间传送数据的组对组传送总线。

[0017] 存储器(例如,一或多个存储器装置)可包含可经由内部总线将数据传送到外部接口(例如,主机接口)的多个组(例如,存储器组)。内部总线可用以将数据从一个组移动到另一组,这在正使用的数据跨越多个组的情况下可以是有用的。这可尤其适用于感测电路系统在逐列基础上,例如在存储器内处理(PIM)实施方案中充当数个1位处理元件的实例。然而,使用内部总线组对组地移动数据可能是低效的。

[0018] 除了其它益处以外,本公开的实施例还可改进组对组传送(BBT)的效率。举例来说,根据一些实施例,当内部总线在使用中时,可经由与内部总线分开的BBT总线组对组地传送数据。在一些实施例中,可在BBT总线上并行地执行多个组对组传送等。

[0019] 在一些实施例中,可在单向路径中沿BBT传送总线经由BBT总线将数据传送到各种存储器组;然而,实施例不限于此,且在一些实施例中,可经由BBT总线将数据双向传送到各种存储器组。可优化组之间经由BBT总线的的数据传送,使得功率消耗量和/或与数据传送相关联的时间量最小化。举例来说,可通过确定和/或选择最短路径和/或花费最短时间量的路径且经由最短路径和/或完成数据传送所花费的最短时间量的路径传送数据来执行组之间经由BBT总线的的数据传送。

[0020] 如下文更详细地描述,实施例可允许存储器组总线上的存储器单元组之间的数据传送,所述存储器组总线在存储器装置内部和/或使用BBT总线。存储器单元组之间的数据

传送可发生在BBT总线上而不使用单独内部和/或外部数据总线。外部数据总线(例如,I/O总线)可用以在包括存储器单元组的存储器装置与例如主机和/或另一存储器装置等其它外部设备之间传送数据。存储器单元组与存储器单元组外部的其它设备之间的数据传送可使用数据路径,所述数据路径包含BBT总线、内部数据总线和/或外部数据总线。本公开的一些实施例可允许在BBT总线上的存储器单元组之间传送数据,而不在单独内部数据总线和/或外部数据总线上传送数据,和/或同时在单独内部总线和/或外部数据总线上传送数据。

[0021] 在本公开的以下详细描述中,参考形成本公开的部分的附图,且图中通过图解方式展示可实践本公开的一或多个实施例的方式。足够详细地描述这些实施例以使得所属领域的一般技术人员能够实践本公开的实施例,且应理解,可利用其它实施例且可在不脱离本公开的范围的情况下进行工艺、电气和/或结构变化。

[0022] 如本文所使用,例如“X”、“Y”、“N”、“M”等指定符,尤其是关于图式中的附图标记,指示可包含数个如此指定的特定特征。还应理解,本文所用的术语仅出于描述特定实施例的目的,并且并不打算为限制性的。如本文中所使用,除非内容另外明确指示,否则单数形式“一”和“所述”可包含单个和多个指示物。另外,“数个”、“至少一个”和“一或多个”(例如,数个存储器组)可以指一或多个存储器组,而“多个”意图指代多于一个此类事物。此外,贯穿本申请在容许意义上(即,可能,能够)而非在强制性意义上(即,必须)使用词语“可(can/may)”。术语“包含”和其派生词意指“包含但不限于”。视上下文而定,术语“耦合(coupled/coupling)”意味着物理上直接或间接连接或存取和移动(传输)命令和/或数据。视上下文而定,术语“数据”和“数据值”在本文中可互换地使用且可具有相同含义。

[0023] 本文中的图遵循编号定则,其中第一一或多个数字对应于图号,且剩余的数字标识所述图式中的元件或组件。可通过使用类似数字来标识不同图式之间的类似元件或组件。举例来说,150可指代图1中的元件“50”,且类似元件可表示为图2中的250。如应了解,可添加、交换和/或去除本文中的各种实施例中展示的元件,以便提供本公开的数个额外实施例。另外,图中提供的元件的比例和相对尺度意图说明本公开的某些实施例,并且不应被视作限制性意义。

[0024] 图1A是根据本公开的数个实施例的呈包含存储器装置120的计算系统100形式的设备的框图。如本文中所使用,存储器装置120、控制器140、信道控制器143、组仲裁器145、高速接口(HSI)、存储器阵列130、感测电路系统150和/或数个额外锁存器170也可分别被视为“设备”。

[0025] 如本文中所使用,额外锁存器170意图提供额外功能性(例如,外围放大器),其感测(例如,读取、存储、缓存)阵列中的存储器单元的数据值且不同于本文中所描述的感测组件条带的感测放大器(例如,如在图2中的206处和在图3中的对应参考标号处所展示)。因而,额外锁存器可包含在“锁存组件170”中。举例来说,锁存组件170的锁存器可位于存储器装置组121的外围上。相比之下,位于多个感测组件条带中的感测放大器可在物理上与组(例如,图1B中所说明的组121)中的存储器单元的每一子阵列相关联。

[0026] 图1A中的系统100可包含耦合(例如,连接)到存储器装置120的主机110,存储器装置120包含存储器阵列130。主机110可以是例如个人笔记本电脑、台式计算机、数码相机、智能手机或存储卡读卡器等主机系统,以及各种其它类型的主机。主机110可包含系统母板和/或底板,且可包含数个处理资源(例如,一或多个处理器、微处理器或某一其它类型的控

制电路系统)。系统100可包含单独的集成电路,或主机110与存储器装置120两者可在同一集成电路上。举例来说,系统100可以是服务器系统和/或高性能计算(HPC)系统和/或其一部分。虽然图1A到1B中所展示的实例说明具有冯·诺依曼(VonNeumann)架构的系统,但本公开的实施例可实施于非冯·诺依曼架构中,非冯·诺依曼架构可不包含通常与冯·诺依曼架构相关联的一或多个组件(例如,CPU、ALU等)。

[0027] 为了清楚起见,已简化系统100以聚焦于与本公开特别相关的特征。存储器阵列130可以是DRAM阵列、SRAM阵列、STT RAM阵列、PCRAM阵列、TRAM阵列、RRAM阵列、NAND闪存阵列和/或NOR闪存阵列,以及其它类型的阵列。存储器阵列130可包含以通过存取线(其可在本文中被称为字线或选择线)耦合的行和由感测线(其在本文中被称为数据线或数字线)耦合的列配置的存储器单元。虽然在图1中展示单个阵列130,但实施例不限于此。举例来说,存储器装置120可包含数个阵列130(例如,DRAM单元、NAND闪存单元等的数组合)。

[0028] 存储器装置120可包含地址电路系统142,所述地址电路系统用以锁存由I/O电路系统144经由组合数据/地址总线156(例如,连接到主机110的外部I/O总线)提供的地址信号,所述组合数据/地址总线可包括内部I/O总线。举例来说,内部I/O总线(例如,图1B中所说明的内部总线147-1、…、147-N)可在存储器组与I/O引脚(例如,DRAM DQ)之间传送数据。在一些实施例中,内部I/O总线可经配置以在存储器组与I/O引脚之间传送数据,同时BBT总线在存储器组之间传送数据。

[0029] 举例来说,可通过带外(OOB)总线157将状态和异常信息从存储器装置120的控制器140提供到信道控制器143,所述状态和异常信息又可从信道控制器143提供到主机110。信道控制器143可包含逻辑组件160,所述逻辑组件用以在每一相应组的阵列中分配多个位置(例如,用于子阵列的控制器)以存储组命令、应用程序指令(例如,用于操作序列),以及与多个存储器装置(例如,如图1B中所展示的120-1、…、120-N)中的每一个的操作相关联的各种组的自变量(例如,PIM命令)。信道控制器143可将命令(例如,PIM命令)发送到多个存储器装置120-1、…、120-N以将那些程序指令存储在存储器装置的给定组内。如本文中所使用,“PIM命令”是由存储器组内的处理元件(例如,经由感测电路系统150)执行的命令,而非导致数据由例如主机110等外部处理组件操作的正常DRAM命令(例如,读取/写入命令)。

[0030] 地址信号通过地址电路系统142接收且由行解码器146和列解码器152解码以存取存储器阵列130。可通过使用感测电路系统150的如本文所描述的数个感测放大器来感测感测线(数字线)上的电压和/或电流变化而从存储器阵列130感测(读取)数据。感测放大器可读取并锁存来自存储器阵列130的数据的页面(例如,行)。如本文所描述,额外计算电路系统可耦合到感测电路系统150且可与感测放大器组合使用以感测、存储(例如,缓存和/或缓冲)、执行计算功能(例如,操作)和/或移动数据。I/O电路系统144可用于经由数据总线156(例如,64位宽数据总线)与主机110进行双向数据通信。写入电路系统148可用于将数据写入到存储器阵列130。

[0031] 控制器140(例如,组控制逻辑和排序器)可对由控制总线154从主机110提供的信号(例如,命令)进行解码。这些信号可包含芯片启用信号、写入启用信号和/或地址锁存信号,其可用以控制在存储器阵列130上执行的操作,包含数据感测、数据存储、数据移动(例如,复制、传送和/或输送数据值)、数据写入和/或数据擦除操作,以及其它操作。在各种实施例中,控制器140可负责执行来自主机110的指令并存取存储器阵列130。控制器140可以

是状态机、排序器或某一其它类型的控制器。

[0032] 下文(例如,在图2和3中)进一步描述感测电路系统150的实例。举例来说,在数个实施例中,感测电路系统150可包含数个感测组件(例如,数个感测放大器和计算组件),所述感测组件可充当累加器且可用以执行每一子阵列中的操作(例如,对与互补感测线相关联的数据)。

[0033] 在数个实施例中,感测电路系统150可用以使用存储在存储器阵列130中的数据作为输入来执行操作,且参与用于复制、传送、写入、逻辑和/或存储操作的数据到存储器阵列130中不同位置的移动,而不经由感测线地址存取传送数据(例如,不发射列解码信号)。因而,各种计算功能可使用感测电路系统150且在感测电路系统150内执行,而非由感测电路系统150外部的处理资源(例如,由与主机110和/或例如ALU电路系统等位于存储器装置120上,例如位于控制器140或其它地方上的其它处理电路系统相关联的处理器)执行(或与之相关联)。

[0034] 在各种先前方法中,例如与操作数相关联的数据将经由感测电路系统从存储器读取且经由I/O线(例如,经由局域I/O线和/或全局I/O线)和/或外部数据总线(例如,图1B中的数据总线156)提供到外部ALU电路系统。外部ALU电路系统可包含多个寄存器并将使用操作数执行计算功能,并且结果将经由I/O线传送回阵列。相比之下,在本公开的数个实施例中,感测电路系统150经配置以对存储在存储器阵列130中的数据执行操作,并将结果存储回到存储器阵列130,而不启用耦合到感测电路系统150的I/O线(例如,局域I/O线)。在各种实施例中,提供可充当PIM RAM的方法和设备。如本文中所使用,“PIM RAM”是指随机存取存储器,其中可在不经由外部总线(例如,总线156)将对其执行操作的数据传送到例如主机处理器等外部位置的情况下执行操作。在PIM RAM操作中,在不使用裸片外部的数据总线(例如,总线156)的情况下在组之间传送数据是有用的。感测电路系统150可与阵列的感测线以相同间距形成。锁存组件170可包含锁存器,如本文所描述,且可经由共享I/O线耦合到感测电路系统150,但可不同于感测电路系统150。

[0035] 在数个实施例中,在阵列130和感测电路系统150外部的电路系统不需要执行计算功能,这是因为感测电路系统150可经控制以执行与此类计算功能相关联的适当操作,而不使用外部处理资源。在一些实施例中,感测组件可在每一列基础上充当1位处理元件。因此,感测电路系统150可用以至少在某一程度上补足或替换此外部处理资源(或至少补足或替换此外部处理资源的带宽消耗)。

[0036] 然而,在数个实施例中,感测电路系统150可用以执行除了由外部处理资源(例如,主机110)执行的操作之外的操作(例如,执行指令)。举例来说,主机110和/或感测电路系统150可限于仅执行某些操作和/或一定数目个操作。

[0037] 启用I/O线可包含启用(例如接通、激活)具有耦合到解码信号(例如列解码信号)的栅极和耦合到I/O线的源极/漏极的晶体管。然而,实施例不限于不启用I/O线。举例来说,在数个实施例中,感测电路系统150可用以在不启用阵列的列解码线的情况下执行操作;然而,可启用局域I/O线以便将结果传送到除返回到阵列130之外的合适位置,例如传送到外部寄存器。启用(例如,发射)DQ引脚可类似地消耗大量功率和时间(例如,需要额外时钟循环(t<sub>ck</sub>)以用于数据传送)。

[0038] 图1B是根据本公开的数个实施例的呈包含多个存储器装置120-1、…、120-N的计



算系统100形式的另一设备架构的框图,所述多个存储器装置经由信道控制器143耦合到主机110。在至少一个实施例中,信道控制器143可耦合到存储器装置120的多个组且与所述多个组集成,和/或信道控制器143可耦合到主机110且与主机110整合。信道控制器143可经由控制总线154耦合到存储器装置120的多个组121-0、...、121-7中的每一个,控制总线154又可耦合到主机110。信道控制器143还可经由经组合数据/地址总线156耦合到多个组中的每一个,经组合数据/地址总线156又可耦合到主机110。另外,信道控制器143可经由与HSI(高速接口)141-1、...、141-N(在本文中称作状态信道接口)相关联的O0B(带外)总线157耦合到多个组中的每一个,所述HSI经配置以将状态、异常和其它数据信息报告给信道控制器143和/或主机110。

[0039] 信道控制器143可从与组仲裁器145相关联的HSI接收状态和异常信息,所述组仲裁器与多个组中的每一个相关联。组仲裁器145可对多个组(例如,组0、组1、...、组6、组7等,如图1B中所展示)内的数据移动进行排序和控制。控制器140可与给定存储器装置120中的每一特定组(例如,组0、...、组7)相关联,且可对由控制总线154从主机110提供的信号进行解码。多个组中的每一个可包含控制器140和其它组件,包含存储器单元阵列130和感测电路系统150,和/或锁存组件170等。

[0040] 在数个实施例中,组仲裁器145可耦合到内部数据总线147。举例来说,每一相应组仲裁器145-1、...、145-N可耦合到相应内部数据总线147-1、...、147-N。内部数据总线可经配置以在多个组(例如,组零(0)、组一(1)、...、组六(6)、组七(7)等)与外部数据总线(例如,总线156)之间传送数据。内部数据总线147可经配置以在多个组与外部数据总线之间传送数据,与经由组对组传送(BBT)总线132在多个组之间执行数据传送操作并行。

[0041] 信道控制器143可包含用以存储程序指令的一或多个局域缓冲器159,且可包含逻辑160,所述逻辑用以在每一相应组的阵列中分配多个位置(例如,子阵列或子阵列的部分)以存储组命令,以及与多个存储器装置120-1、...、120-N中的每一个的操作相关联的各种组的自变量(例如,PIM命令)。信道控制器143可将命令(例如,PIM命令)发送到多个存储器装置120-1、...、120-N以将那些程序指令存储在存储器装置的给定组内。这些程序指令和PIM命令可能需要在存储器装置内的组对组数据传送(BBT)中移动。

[0042] 在一些实施例中,多个存储器装置120-1、...、120-N中的每一个可包含相应的组对组传送(BBT)总线132-1、...、132-N。每一相应BBT总线132-1、...、132-N可促进组(例如,组0、...、组7)之间的组对组数据传送,如在本文中进一步详细描述。BBT总线132-1、...、132-N可包括环(例如,令牌环)架构。举例来说,BBT总线132-1、...、132-N可形成物理环,所述物理环可包围与每一相应存储器装置120-1、...、120-N相关联的存储器组(例如,组0、...、组7)。在一些实施例中,BBT总线132-1、...、132-N可经由BBT总线控制组件双向(例如,向左或向右)驱动。举例来说,通过BBT总线132-1、...、132-N的移动方向可以是可编程特征。在数个实施例中,BBT总线132与内部数据总线147分开(例如,物理上不同)。

[0043] 图2是说明根据本公开的数个实施例的感测电路系统250感测电路的示意图系统250可对应于图1A中所展示的感测电路系统150。

[0044] 存储器单元可包含存储元件(例如,电容器)和存取装置(例如,晶体管)。举例来说,第一存储器单元可包含晶体管202-1和电容器203-1,且第二存储器单元可包含晶体管202-2和电容器203-2等。在此实施例中,存储器阵列230是1T1C(一晶体管一电容器)存储器

单元的DRAM阵列,但可使用配置的其它实施例(例如,每存储器单元具有两个晶体管和两个电容器的2T2C)。在数个实施例中,存储器单元可以是破坏性读取存储器单元(例如,读取存储在单元中的数据会破坏数据,使得最初存储在单元中的数据在被读取之后刷新)。

[0045] 存储器阵列230的单元可按由存取(字)线204-X(行X)、204-Y(行Y)等耦合的行和由互补感测线的对(例如,图2中所展示的数字线DIGIT(D)和DIGIT(D)<sub>-</sub>以及图3中展示的数字线DIGIT\_0和DIGIT\_0\*)耦合的列配置。对应于每对互补感测线的个别感测线还可分别被称作用于DIGIT(D)的数字线205-1和用于DIGIT(D)<sub>-</sub>的205-2,或图3中的对应参考标号。虽然在图2中仅展示一对互补数字线,但本公开的实施例不限于此,且存储器单元的阵列可包含存储器单元和数字线的额外列(例如4,096、8,192、16,384等)。

[0046] 虽然行和列说明为在平面上垂直定向,但实施例不限于此。举例来说,行和列可在任何可行的三维配置中相对于彼此定向。举例来说,行与列可相对于彼此按任何角度定向,可定向于基本上水平的平面或基本上竖直的平面上,和/或可定向于折叠式拓扑以及其它可能的三维配置中。

[0047] 存储器单元可耦合到不同数字线和字线。举例来说,晶体管202-1的第一源极/漏极区可耦合到数字线205-1(D),晶体管202-1的第二源极/漏极区可耦合到电容器203-1,且晶体管202-1的栅极可耦合到字线204-Y。晶体管202-2的第一源极/漏极区可耦合到数字线205-2(D)<sub>-</sub>,晶体管202-2的第二源极/漏极区可耦合到电容器203-2,且晶体管202-2的栅极可耦合到字线204-X。如图2中所展示的单元板可耦合到电容器203-1和203-2中的每一个。单元板可以是对可在各种存储器阵列配置中对其施加参考电压(例如,接地)的共同节点。

[0048] 存储器阵列,根据本公开的数个实施例230经配置以耦合到感测电路系统250。在此实施例中,感测电路系统250包括对应于存储器单元的相应列(例如,耦合到相应对互补数字线)的感测放大器206和计算组件231。感测放大器206可耦合到所述对互补数字线205-1和205-2。计算组件231可经由导通门207-1和207-2耦合到感测放大器206。导通门207-1和207-2的栅极可耦合到操作选择逻辑213。

[0049] 操作选择逻辑213可经配置以包含用于控制导通门的导通门逻辑和用于控制交换栅极的交换栅极逻辑,所述导通门耦合在感测放大器206与计算组件231之间未换位的所述对互补数字线,所述交换栅极耦合在感测放大器206与计算组件231之间换位的所述对互补数字线。操作选择逻辑213还可耦合到所述对互补数字线205-1和205-2。操作选择逻辑213可经配置以基于所选择的操作控制导通门207-1和207-2。

[0050] 可操作感测放大器206以确定存储在所选择的存储器单元中的数据值(例如,逻辑状态)。感测放大器206可包括。所述锁存器可在本文中被称作主锁存器,交存耦合的锁存器在图2中说明的实例中,对应于感测放大器206的电路系统包括包含耦合到一对互补数字线(D) 205-1和(D)<sub>-</sub>205-2的四个晶体管的锁存器215。然而,实施例不限于此实例。锁存器215可以是交存耦合的锁存器(例如,一对晶体管的栅极),例如n沟道晶体管(例如,NMOS晶体管) 227-1和227-2与例如p沟道晶体管(例如,PMOS晶体管) 229-1和229-2)等另一对晶体管的栅极交存耦合。

[0051] 在操作中,当正感测(例如,读取)存储器单元时,数字线205-1(D)或205-2(D)<sub>-</sub>中的一个上的电压将略微大于数字线205-1(D)或205-2(D)<sub>-</sub>中的另一个上的电压。ACT信号和RNL\*信号可驱动为低以启用(例如,发射)感测放大器206。具有更低电压的数字线205-1(D)

或205-2 (D) \_ 将把PMOS晶体管229-1或229-2中的一个接通到比PMOS晶体管229-1或229-2中的另一个更大的程度,由此将具有更高电压的数字线205-1 (D) 或205-2 (D) \_ 驱动高到比将另一数字线205-1 (D) 或205-2 (D) \_ 驱动高更大的程度。

[0052] 类似地,具有更高电压的数字线205-1 (D) 或205-2 (D) \_ 将把NMOS晶体管227-1或227-2中的一个接通到比NMOS晶体管227-1或227-2中的另一个更大的程度,由此将具有更低电压的数字线205-1 (D) 或205-2 (D) \_ 驱动低到比将另一数字线205-1 (D) 或205-2 (D) \_ 驱动低更大的程度。因此,在短延迟之后,具有略微更大的电压的数字线205-1 (D) 或205-2 (D) \_ 被驱动到穿过源晶体管的电源电压 $V_{DD}$ 的电压,且另一数字线205-1 (D) 或205-2 (D) \_ 被驱动到穿过吸收晶体管的参考电压(例如,接地)的电压。因此,交存耦合的NMOS晶体管227-1和227-2以及PMOS晶体管229-1和229-2充当感测放大器对,其放大数字线205-1 (D) 和205-2 (D) \_ 上的差分电压并用以锁存从所选择的存储器单元感测到的数据值。

[0053] 实施例不限于图2中所说明的感测放大器206配置。作为实例,感测放大器206可以是电流模式感测放大器和单端感测放大器(例如,耦合到一个数字线的感测放大器)。而且,本公开的实施例不限于折叠式数字线架构,例如图2中所展示的折叠式数字线架构。

[0054] 可结合计算组件231操作感测放大器206以执行将来自阵列的数据用作输入的各种操作。在数个实施例中,操作的结果可在不经由数字线地址存取传送数据的情况下存储回到阵列,和/或在不使用外部数据总线的情况下(例如,在不发射列解码信号使得数据经由局域I/O线从阵列和感测电路系统外部传送到电路系统的情况下)在组之间移动。因而,本公开的数个实施例可比各种先前方法使用更少功率来实现执行操作和与其相关联的计算功能。另外,由于数个实施例提供在不需要跨越局域和/或全局I/O线和/或外部数据总线传送数据的情况下组对组地传送数据的能力,因此数个实施例可实现与先前方法相比改进的处理能力。

[0055] 感测放大器206可进一步包含平衡电路系统214,所述平衡电路系统可经配置以平衡数字线205-1 (D) 与205-2 (D) \_。在此实例中,平衡电路系统214包括耦合于数字线205-1 (D) 与205-2 (D) \_ 之间的晶体管224。平衡电路系统214还包括各自具有耦合到平衡电压(例如, $V_{DD}/2$ )的第一源极/漏极区的晶体管225-1和225-2,其中 $V_{DD}$ 是与阵列相关联的电源电压。晶体管225-1的第二源极/漏极区可耦合到数字线205-1 (D),且晶体管225-2的第二源极/漏极区可耦合到数字线205-2 (D) \_。晶体管224、225-1和225-2的栅极可耦合在一起,且耦合到平衡(EQ)控制信号线226。因而,激活EQ会启用晶体管224、225-1和225-2,这有效地将数字线205-1 (D) 与205-2 (D) \_ 短接在一起且短接到平衡电压(例如, $V_{CC}/2$ )。

[0056] 虽然图2展示包括平衡电路系统214的感测放大器206,但实施例不限于此,且平衡电路系统214可与感测放大器206离散地实施、实施于与图2中所展示的配置不同的配置中或完全不实施。

[0057] 如图2中所展示,计算组件231还可包括锁存器,所述锁存器可在本文中被称作次锁存器264。次锁存器264可以与上文关于主锁存器215所描述的方式类似的方式配置。在此实例中,包含在次锁存器中的所述对交存耦合的p沟道晶体管(例如,PMOS晶体管)的相应源极耦合到电源电压212-2(例如, $V_{DD}$ ),且次锁存器的所述对交存耦合的n沟道晶体管(例如,NMOS晶体管)的相应源极选择性地耦合到参考电压212-1(例如,接地),使得次锁存器被连续地启用。计算组件231的配置不限于图2中所展示的配置,且各种其它实施例是可行的。

[0058] 图3是说明根据本公开的数个实施例的用于存储器装置中的数据传送的电路系统的示意图。图3展示各自耦合到相应一对互补感测线(例如,数字线305-1和305-2)的八个感测放大器(例如,分别在306-0、306-1、...、306-7处展示的感测放大器0、1、...、7)。图3还展示各自通过相应导通门307-1和307-2以及数字线305-1和305-2耦合到相应感测放大器(例如,如针对306-0处的感测放大器0所展示)的八个计算组件(例如,在331-0、331-1、...、331-7处展示的计算组件0、1、...、7)。举例来说,导通门可如图2中所展示而连接,且可由操作选择信号Pass控制。举例来说,选择逻辑的输出可耦合到导通门307-1和307-2以及数字线305-1和305-2的栅极。感测放大器和计算组件的对应对可促进形成在350-0、350-1、...、350-7处指示的感测电路系统。

[0059] 图3中的感测放大器306-0、306-1、...、306-7可各自对应于图2中所展示的感测放大器206。图3中展示的计算组件331-0、331-1、...、331-7可各自对应于图2中所展示的计算组件231。一个感测放大器与一个计算组件的组合可促成DRAM存储器子阵列325的一部分的感测电路系统(例如,350-0、350-1、...、350-7),其配置成由用于子阵列和/或锁存器组件的数个感测组件条带共享的共享I/O(SIO)线355。如图3中所展示,感测放大器306-0、306-1、...、306-7与计算组件331-0、331-1、...、331-7的成对组合可包含在感测组件条带中。在一些实施例中,数据可经由SIO线355在子阵列和/或组与BBT总线之间传送。

[0060] 存储器装置可包含数个感测组件条带,其经配置以包含多个感测放大器和计算组件(例如,分别为306-0、306-1、...、306-7和331-0、331-1、...、331-7,如图3中所展示)中的数个,其可对应于存储器单元的多个列(例如,图3中的305-1和305-2)中的数个,其中感测放大器和/或计算组件的数目可选择地耦合到多个SIO线(例如,经由列选择电路系统358-1和358-2)。列选择电路系统可经配置以通过可选择地耦合到多个(例如,四个、八个和十六个,以及其它可能性)感测放大器和/或计算组件而可选择地感测子阵列的存储器单元的特定列中的数据。

[0061] 图3中所说明的电路系统还展示列选择电路系统358-1和358-2,所述列选择电路系统经配置以相对于子阵列325的特定列322、与其相关联的互补数字线305-1和305-2和共享I/O线355(例如,如由图1A到1B中所展示的控制单元140引导)实施数据移动操作。举例来说,列选择电路系统358-1具有经配置以与例如列0(332-0)、列2、列4和列6等对应列耦合的选择线0、2、4和6。列选择电路系统358-2具有经配置以与例如列1、列3、列5和列7等对应列耦合的选择线1、3、5和7。在数个实施例中,通过操作SIO线355,数据值可经由BBT总线在存储器组之间传送,如本文中结合图4A到4D更详细描述。

[0062] 举例来说,如本文所描述,存储器单元阵列可包含DRAM存储器单元的实施方案,其中控制器经配置以响应于命令而经由共享I/O线将数据从源位置移动(例如,复制、传送和/或输送)到目的地位置。在各种实施例中,源位置可在存储器装置中的第一组中且目的地位置可在第二组中,和/或源位置可在存储器装置中的一个组的第一子阵列中且目的地位置可在同一组的第二子阵列中。根据实施例,可以如结合图4A到4D所描述移动数据。第一子阵列与第二子阵列可在组的同一区段中,或所述子阵列可在所述组的不同区段中。

[0063] 虽然本文已说明且描述了包含感测电路系统、感测放大器、计算组件、感测组件条带、共享I/O线、列选择电路系统、多路复用器、锁存器组件、锁存器条带和/或锁存器等的各种组合和配置的实例实施例,但本公开的实施例不限于本文中明确叙述的那些组合。本文

中所公开的感测电路系统、感测放大器、计算组件、感测组件条带、共享I/O线、列选择电路系统、多路复用器、锁存器组件、锁存器条带和/或锁存器等其它组合和配置明确地包含于本公开的范围。

[0064] 图4A是说明根据本公开的数个实施例的耦合到BBT总线432的存储器装置420的数个组421-0、...、421-7的框图。存储器装置420可包含可耦合到BBT总线432的多个存储器组421-0、...、421-7。在图4A中，存储器装置包含额外逻辑471，所述额外逻辑可包含例如图1A中所展示的控制单元140和/或额外锁存器170和/或多个共享I/O(SIO)线455-1、...455-8可耦合到的其它外围逻辑。可为相应存储器组421-0、...、421-7提供共享I/O线455-1、...、455-8。举例来说，组421可包括16K列，使得每一共享I/O线455-1、...、455-8可耦合到存储器单元的16K列，且可经多路复用以将数据移动到相应存储器组421-0、...、421-7和/或从所述相应存储器组(例如，在1KB或2KB“信息块(chunk)”中)移动数据。

[0065] BBT总线432可包含多个BBT控制组件433-1、...、433-8以用于管理存储器组421-0、...、421-7之间的数据传送。在一些实施例中，BBT控制组件433-1、...、433-8可用以比较写入地址值和读取地址值以与在存储器组421-0、...、421-7之间传送数据相关联地指定多个存储器组421-0、...、421-7当中的地址。举例来说，BBT控制组件433-1、...、433-8可比较与多个存储器组421-0、...、421-7当中的第一存储器组(例如，存储器组421-0)有关的读取和/或写入信息，以确定与第一存储器组(例如，存储器组421-0)相关联的数据要传送到的第二存储器组(例如，存储器组421-3)。

[0066] 图4B是说明根据本公开的数个实施例的耦合到BBT总线432的存储器装置420的数个组421-0、...、421-7的另一框图。存储器装置420可包含可耦合到BBT总线432的多个存储器组421-0、...、421-7。在图4B中，存储器装置包含额外逻辑471，所述额外逻辑可包含例如图1A中所展示的控制单元140和/或额外锁存器170和/或多个共享I/O(SIO)线455-1、...455-8可耦合到的其它外围逻辑。可为相应存储器组421-0、...、421-7提供共享I/O线455-1、...、455-8。举例来说，组421可包括16K列，使得每一共享I/O线455-1、...、455-8可耦合到存储器单元的16K列，且可经多路复用以将数据移动到相应存储器组421-0、...、421-7和/或从所述相应存储器组(例如，在1KB或2KB“信息块”中)移动数据。BBT总线432可包含多个BBT控制组件433-1、...、433-8。在一些实施例中，BBT控制组件433-1、...、433-8可用以比较写入地址值与读取地址值以在存储器组421-0、...、421-7之间传送数据之前指定多个存储器组421-0、...、421-7当中的地址。

[0067] 如图4B中所展示，可在存储器组421-0、...、421-7之间围绕BBT总线432单向传送数据。举例来说，如图4B中所展示，数据可以逆时针方式围绕BBT总线432从组421-4传送到组0 421-0，如由箭头指示。

[0068] 作为实例，来自存储器组4 421-4的数据可传送到BBT控制组件433-5。数据可以接着围绕BBT总线432从BBT控制组件传送到BBT总线432上的下一BBT控制组件。在图4B的实例中，来自组4 421-4的数据随后从BBT控制组件433-5传送到BBT控制组件433-6。数据接着被传送到BBT控制组件433-8，接着传送到BBT控制组件433-8，此时数据传送到BBT控制组件433-4。随后，数据被传送到BBT控制组件433-2，接着传送到BBT控制组件433-1，且最后传送到BBT控制组件433-1，此时数据被传送到组421-0。在一些实施例中，数据可经由共享信号线455-5从组4 421-4传送到BBT控制组件433-5，且数据可经由共享信号线455-1从BBT控制

组件433-1传送到组421-0。

[0069] 在一些实施例中,数据传送到存储器组(例如,存储器组421-0)或从存储器组(例如,存储器组421-4)传送到BBT控制组件433-1、…、433-8可花费大致2纳秒。类似地,将数据从一个BBT控制组件(例如,BBT控制组件433-5)传送到BBT总线432上的下一BBT控制组件(例如,BBT控制组件433-6)可花费大致2纳秒。因此,可花费大致18纳秒经由图4B中所说明的单向BBT总线432将数据从存储器组421-4传送到存储器组421-0。

[0070] 图4C是说明根据本公开的数个实施例的耦合到BBT总线432的存储器装置420的数个组421-0、…、421-7的另一框图。存储器装置420可包含可耦合到BBT总线432的多个存储器组421-0、…、421-7。在图4C中,存储器装置包含额外逻辑471,所述额外逻辑可包含例如如图1A中所展示的控制单元140和/或额外锁存器170和/或多个共享I/O(SIO)线455-1、…、455-8可耦合到的其它外围逻辑。可为相应存储器组421-0、…、421-7提供共享I/O线455-1、…、455-8。举例来说,组421可包括16K列,使得每一共享I/O线455-1、…、455-8可耦合到存储器单元的16K列,且可经多路复用以将数据移动到相应存储器组421-0、…、421-7和/或从所述相应存储器组(例如,在1KB或2KB“信息块”中)移动数据。

[0071] 在一些实施例中,BBT控制组件433-1、…、433-8可用以比较写入地址值与读取地址值以在存储器组421-0、…、421-7之间传送数据之前指定多个存储器组421-0、…、421-7当中的地址。

[0072] 可启动每一BBT控制组件433-1、…、433-8以接收和/或传送数据。举例来说,每一BBT控制组件433-1、…、433-8可接收信号或其它信息以启动每一BBT控制组件433-1、…、433-8以接收数据和/或在存储器组421-0、…、421-7之间传送数据。在一些实施例中,BBT控制组件433-1、…、433-8可控制围绕BBT总线432的数据传送方向。举例来说,BBT控制组件433-1、…、433-8可控制存储器组421-0、…、421-7之间的数据传送,使得一些数据传送发生在第一方向上且数据传送中的一些发生在第二方向上。在一些实施例中,第一方向可以是围绕BBT总线432的逆时针方向,且第二方向可以是围绕BBT总线432的顺时针方向。

[0073] 如图4C中所展示,可在存储器组421-0、…、421-7之间围绕BBT总线432双向传送数据。举例来说,BBT总线432可经配置以优化存储器组421-0、…、421-7之间的数据传送,使得涉及传送数据的时间量和/或在传送数据时消耗的功率量最小化。如结合图4B所描述,数据传送到存储器组(例如,存储器组421-0)或从存储器组(例如,存储器组421-4)传送到BBT控制组件433-1、…、433-8可花费大致2纳秒。类似地,将数据从一个BBT控制组件(例如,BBT控制组件433-5)传送到BBT总线432上的下一BBT控制组件(例如,BBT控制组件433-6)可花费大致2纳秒。

[0074] 通过允许围绕BBT总线432对数据进行双向传送,数据可能能够沿短于图4B中所说明的单向数据传送路径的路径传送(且因此需要更少时间)。举例来说,如图4C中所展示,可以顺时针方式将数据从存储器组421-4传送到存储器组421-0,这减少了数据在被传送时穿越的BBT控制组件433-1、…、433-8的数目。在一些实施例中,这可使数据从存储器组421-4传送到存储器组421-0所花费的时间量减少。

[0075] 举例来说,相比于图4B中所描述的单向BBT总线432,其中将数据从存储器组421-4传送到存储器组421-0可花费大约18纳秒,使用图4C的实例中所说明的双向BBT总线432将数据从存储器组421-4传送到存储器组421-0可仅花费大约4纳秒。

[0076] 所述数据中可包含位以表示将围绕BBT总线432在存储器组421-0、…、421-7之间传送数据的方向。举例来说,位可表示数据要向左传送(D<sub>LEFT</sub>),或位可表示数据要向右传送(D<sub>RIGHT</sub>)。在一些实施例中,可确定位,使得存储器组421-0、…、421-7之间的数据传送所花费的时间是传送数据的最短时间。位可由BBT控制组件433-1、…、433-8和/或控制器(例如,图1中的控制器140)读取以确定围绕BBT总线432传送数据的方向。

[0077] 图4D是说明根据本公开的数个实施例的耦合到BBT总线432的存储器装置420的数个组421-0、…、421-7的另一框图。存储器装置420可包含可耦合到BBT总线432的多个存储器组421-0、…、421-7。在图4D中,存储器装置包含额外逻辑471,所述额外逻辑可包含例如图1A中所展示的控制组件140和/或额外锁存器170和/或多个共享I/O(SIO)线455-1、…、455-8可耦合到的其它外围逻辑。可为相应存储器组421-0、…、421-7提供共享I/O线455-1、…、455-8。举例来说,组421可包括16K列,使得每一共享I/O线455-1、…、455-8可耦合到存储器单元的16K列,且可经多路复用以将数据移动到相应存储器组421-0、…、421-7和/或从所述相应存储器组(例如,在1KB或2KB“信息块”中)移动数据。

[0078] BBT总线432可包含多个BBT控制组件433-1、…、433-8。在一些实施例中,BBT控制组件433-1、…、433-8可用以比较写入地址值与读取地址值以在存储器组421-0、…、421-7之间传送数据之前指定多个存储器组421-0、…、421-7当中的地址。

[0079] 如图4D中所展示,可基于正在发送数据的存储器组和正在接收数据的存储器组在存储器装置420内的位置而在存储器组421-0、…、421-7之间传送数据。举例来说,与存储器组421-0相关联的数据可向右传送(例如,在顺时针方向上)到存储器组421-1。与存储器组421-2相关联的数据可向左(例如,在逆时针方向上)传送到存储器组421-1,且与存储器组421-3相关联的数据可向左传送到存储器组421-2或存储器组421-1。类似地,与存储器组421-4相关联的数据可向右传送到存储器组421-5和/或存储器组421-6,且与存储器组421-7相关联的数据可向左传送到存储器组421-6。

[0080] 在一些实施例中,控制器可控制数据在存储器组421-0、…、421-7之间的传送。举例来说,例如图1A中所说明的控制组件140的控制器可耦合到存储器组421-0、…、421-7和/或BBT总线432,且可经配置以控制数据在存储器组421-0、…、421-7之间的传送。在一些实施例中,控制器可确定用于数据传送的最短路径(例如,花费最短时间量的路径)。举例来说,控制器可确定存储器组421-0、…、421-7当中第一存储器组与第二存储器组之间的数据传送。

[0081] 在一些实施例中,控制器可经配置以确定如何将数据传送到存储器组421-0、…、421-7当中的特定存储器组,使得与数据传送相关联的时间最小化。举例来说,控制器可经配置以确定组421-6要从存储器组421-0、存储器组421-5和/或存储器组421-7接收数据。控制器可接着使来自存储器组421-7的数据向左传送到存储器组421-6,且使来自存储器组421-4和/或存储器组421-5的数据向右传送到存储器组421-6。

[0082] 类似地,控制器可经配置以确定存储器组421-1要接收从存储器组421-0、存储器组421-2和/或存储器组421-3传送的数据。控制器可接着使来自存储器组421-0的数据向右传送到存储器组421-1,且使来自存储器组421-2和/或存储器组421-3的数据向左传送到存储器组421-1。在一些实施例中,控制器可经配置以经由BBT总线432在存储器组421之间传送数据,同时经由单独内部总线和/或外部数据总线将数据传送到存储器阵列。

[0083] 在一些实施例中,控制器可经配置以在完成存储器组421-0、...、421-7之间的前述数据传送后,重新配置要接收数据的存储器组 and 要传送数据的存储器组。

[0084] 如结合图4C所描述,所述数据中可包含位以表示将围绕BBT总线432在存储器组421-0、...、421-7之间传送数据的方向。举例来说,位可表示数据要向左传送(DLEFT),或位可表示数据要向右传送(DRIGHT)。在一些实施例中,可确定位,使得存储器组421-0、...、421-7之间的数据传送得以优化。

[0085] 在一些实施例中,控制器可经配置以组织存储器组421-0、...、421-7,使得特定存储器组(例如,存储器组421-1)以优化方式从其它存储器组(例如,存储器组421-0、存储器组421-2、存储器组421-3等)接收数据。作为实例,如果程序(例如,PIM程序)在特定存储器组(例如,存储器组421-1)上运行,那么BBT总线432可分存,使得特定存储器组直接和/或以优化方式接收从其它存储器组传送的数据。

[0086] 作为另一实例,如果用大数据集运行多个程序(例如,多个PIM程序),那么可针对每一数据传送请求重新配置BBT总线432。举例来说,BBT总线432可经配置以将数据传送到特定存储器组(例如,存储器组421-1)。一旦特定存储器组已接收待传送的数据,BBT总线432就可经重新配置以将数据传送到不同存储器组(例如,存储器组421-6)。在一些实施例中,数据将在存储器组421-0、...、421-7之间传送的方向可响应于重新配置而变化,使得基于将接收数据传送的存储器组(例如,存储器组421-6)而优化数据传送(例如,使得选择数据传送的时间最短的数据传送路径)。在一些实施例中,在重新配置BBT总线432之前,可清除或删除仍在BBT总线432上的所有数据,使得在重新配置之前处于飞行中的数据传送不干扰重新配置。

[0087] 图5是说明根据本公开的数个实施例的能够实施XOR逻辑运算的感测电路系统的示意图。图5展示耦合到一对互补感测线505-1和505-2的感测放大器506、逻辑运算选择逻辑513和通过导通门507-1和507-2耦合到感测放大器506的计算组件531。图5中所展示的感测放大器506可对应于图2中所展示的感测放大器206。图5中所展示的计算组件531可对应于图1A中的感测电路系统150,包含计算组件。图5中展示的逻辑运算选择逻辑513可对应于图2中所展示的逻辑运算选择逻辑213。导通门507-1和507-2的栅极可由逻辑运算选择逻辑513信号(例如,Pass)控制。举例来说,逻辑运算选择逻辑513的输出可耦合到导通门507-1和507-2的栅极。此外,计算组件531可包括经配置以使数据值左右移位的可加载移位寄存器。

[0088] 根据图5中所说明的实施例,计算组件531可包括经配置以使数据值左右移位的可加载移位寄存器的相应级(例如,移位单元)。举例来说,如图5中所说明,移位寄存器的每一计算组件531(例如,级)包括一对右移晶体管581和586、一对左移位晶体管589和590,以及一对反相器587和588。信号PHASE 1R、PHASE 2R、PHASE 1L和PHASE2L可施加到相应控制线582、583、591和592,以与根据本文中所描述的实施例执行逻辑运算和/或移位数据相关联地启用/停用对应计算组件531的锁存器上的反馈。

[0089] 图5中所展示的感测电路系统展示耦合到数个逻辑选择控制输入控制线(包含ISO、TF、TT、FT和FF)的操作选择逻辑513。当经由经确证的ISO控制信号启用隔离晶体管550-1和550-2时,根据逻辑选择控制输入线上的逻辑选择控制信号的条件以及所述对互补感测线505-1和505-2上存在的数据值确定从多个逻辑运算对逻辑运算的选择。



[0090] 根据各种实施例,操作选择逻辑513可包含四个逻辑选择晶体管:耦合于交换晶体管542的栅极与TF信号控制线之间的逻辑选择晶体管562;耦合于导通门507-1和507-2的栅极与TT信号控制线之间的逻辑选择晶体管552;耦合于导通门507-1和507-2的栅极与FT信号控制线之间的逻辑选择晶体管554;和耦合于交换晶体管542的栅极与FF信号控制线之间的逻辑选择晶体管564。逻辑选择晶体管562和552的栅极通过隔离晶体管550-1(具有耦合到ISO信号控制线的栅极)耦合到真感测线。逻辑选择晶体管564和554的栅极通过隔离晶体管550-2(也具有耦合到ISO信号控制线的栅极)耦合到互补感测线。

[0091] 所述对互补感测线505-1和505-2上存在的数据值可通过导通门507-1和507-2加载到计算组件531中。计算组件531可包括可加载移位寄存器。当导通门507-1和507-2打开(OPEN)时,所述对互补感测线505-1和505-2上的数据值被传递到计算组件531并由此加载到可加载移位寄存器中。当启动感测放大器时,所述对互补感测线505-1及505-2上的数据值可以是存储于感测放大器506中的数据值。在此实例中,逻辑运算选择逻辑信号Pass为高以打开导通门507-1和507-2。

[0092] ISO、TF、TT、FT和FF控制信号可用以选择逻辑函数以基于感测放大器506中的数据值(“B”)和计算组件531中的数据值(“A”)而实施。确切地说,ISO、TF、TT、FT和FF控制信号经配置以选择逻辑函数以独立于所述对互补感测线505-1和505-2上存在的数据值而实施(但是所实施逻辑运算的结果可取决于所述对互补感测线505-1和505-2上存在的数据值)。举例来说,ISO、TF、TT、FT和FF控制信号选择逻辑运算来直接实施,这是因为所述对互补感测线505-1和505-2上存在的数据值不通过逻辑来操作导通门507-1和507-2的栅极。

[0093] 另外,图5展示经配置以在感测放大器506与计算组件531之间交换所述对互补感测线505-1和505-2的定向的交换晶体管542。当交换晶体管542打开时,交换晶体管542的感测放大器506侧上的所述对互补感测线505-1和505-2上的数据值相对地耦合到交换晶体管542的计算组件531侧上的所述对互补感测线505-1和505-2,并由此加载到计算组件531的可加载移位寄存器中。

[0094] 当ISO控制信号线被激活且TT控制信号被激活(例如,激活为高)且真感测线上的数据值为“1”,或FT控制信号被激活(例如,激活为高)且互补感测线上的数据值为“1”时,逻辑运算选择逻辑513信号Pass可被激活为(例如,激活为高)以打开导通门507-1和507-2,例如导电。

[0095] 真感测线上的数据值为“1”打开逻辑选择晶体管552和562。互补感测线上的数据值为“1”打开逻辑选择晶体管554和564。如果ISO控制信号或相应TT/FT控制信号或对应感测线(例如,特定逻辑选择晶体管的栅极耦合到的感测线)上的数据值不高,那么导通门507-1和507-2将不由特定逻辑选择晶体管打开。

[0096] 当ISO控制信号线被激活且TF控制信号被激活(例如,激活为高)且真感测线上的数据值为“1”,或FF控制信号被激活(例如,激活为高)且互补感测线上的数据值为“1”时,逻辑运算选择逻辑信号Pass\*可被激活(例如,激活为高),以打开交换晶体管542,例如导电。如果对应感测线(例如,特定逻辑选择晶体管的栅极耦合到的感测线)上的相应控制信号或数据值不为高,那么交换晶体管542将不通过特定逻辑选择晶体管打开。

[0097] Pass\*控制信号不必与Pass控制信号互补。可同时激活或停用Pass和Pass\*控制信号两者。然而,同时激活Pass和Pass\*控制信号两者将所述对互补感测线短接在一起,这会

是应被避免的破坏性配置。

[0098] 图5中所说明的感测电路系统经配置以选择多个逻辑运算中的一个以直接从四个逻辑选择控制信号实施(例如,逻辑运算选择不取决于所述对互补感测线上存在的数据值)。

[0099] 逻辑选择控制信号的一些组合可使导通门507-1和507-2以及交换晶体管542均同时打开,这将所述对互补感测线505-1和505-2短接在一起。根据本公开的数个实施例,可由图5中所说明的感测电路系统实施的逻辑运算可以是图6中所展示的逻辑表中概括的逻辑运算。

[0100] 图6是说明根据本公开的数个实施例的由图7中所展示的感测电路系统实施的可选择逻辑运算结果的逻辑表。四个逻辑选择控制信号(例如,TF、TT、FT和FF)结合互补感测线上存在的特定数据值可用于选择多个逻辑运算中的一个来实施,涉及存储于感测放大器506和计算组件531中的开始数据值。四个控制信号结合互补感测线上存在的特定数据值控制导通门507-1和507-2以及交换晶体管542的连续性,这又在启动之前/之后影响计算组件531和/或感测放大器506中的数据值。可选择地控制交换晶体管542的连续性的能力促进实施涉及逆数据值(例如,逆操作数和/或逆结果)等等的逻辑运算。

[0101] 图6中所说明的逻辑表6-1展示存储于计算组件531中在644处的列A中展示的开始数据值和存储于感测放大器506中在645处的列B中展示的开始数据值。逻辑表6-1中的另外3个列标题指代导通门507-1和507-2以及交换晶体管542的连续性,其可分别被控制为打开或关闭,这取决于四个逻辑选择控制信号(例如,TF、TT、FT和FF)结合所述对互补感测线505-1和505-2上存在的特定数据值的状态。“未打开(Not Open)”列对应于导通门507-1和507-2以及交换晶体管542均处于非导电条件下,“打开真(Open True)”对应于导通门507-1和507-2处于导电条件下,且“打开反转(Open Invert)”对应于交换晶体管542处于导电条件下。逻辑表6-1中未反映对应于导通门507-1和507-2以及交换晶体管542均处于导电条件下的配置,这是因为这会致使感测线短路在一起。

[0102] 经由选择性地控制导通门507-1和507-2以及交换晶体管542的连续性,逻辑表6-1的上部部分的三个列中的每一个可与逻辑表6-1的下部部分的三个列中的每一个组合,以提供对应于九个不同逻辑运算的 $3 \times 3 = 9$ 个不同结果组合,如由675处展示的各种连接路径指示。在图6中所说明的逻辑表6-2中概括可由感测电路系统实施的九个不同可选择逻辑运算,包含XOR逻辑运算。

[0103] 图6中所说明的逻辑表6-2的列展示包含逻辑选择控制信号的状态的标题680。举例来说,在行676中提供第一逻辑选择控制信号的状态,在行677中提供第二逻辑选择控制信号的状态,在行678中提供第三逻辑选择控制信号的状态,且在行679中提供第四逻辑选择控制信号的状态。在行647中概括对应于结果的特定逻辑运算。

[0104] 虽然已在本文中说明并描述了具体实施例,但所属领域的一般技术人员将了解,经计算以实现相同结果的布置可取代所展示的具体实施例。本公开意图涵盖本公开的一或多个实施例的改编或变化。应理解,以上描述是以说明性方式进行的,而不是限制性的。对于所属领域的技术人员而言,在审阅上述描述之后,上述实施例的组合以及本文中未具体描述的其它实施例将是显而易见的。本公开的一或多个实施例的范围包含在其中使用以上结构和程序的其它应用。因此,应参考所附权利要求书连同此类权利要求书有权享有的等

效物的全范围确定本公开的一或多个实施例的范围。

[0105] 在前述具体实施方式中,出于简化本公开的目的而将一些特征一并归到单个实施例中。本公开的这一方法不应被理解为反映本公开的所公开实施例必须比在每项权利要求中明确叙述那样使用更多特征的意图。实际上,如所附权利要求书所反映,本发明标的物在于单个所公开实施例的不到全部的特征。因此,以下权利要求特此并入于具体实施方式中,其中每项权利要求就其自身而言作为单独实施例。

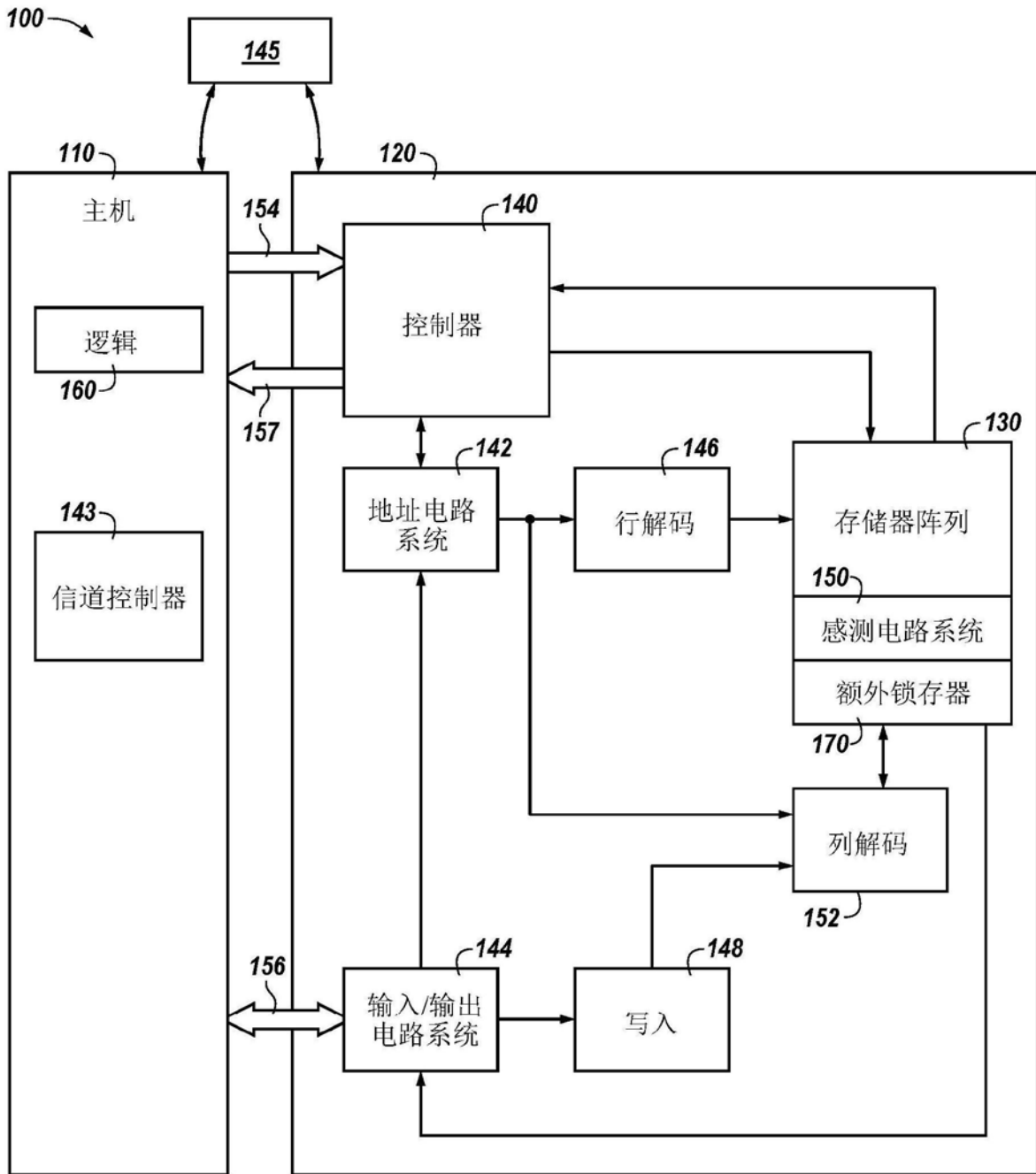


图1A

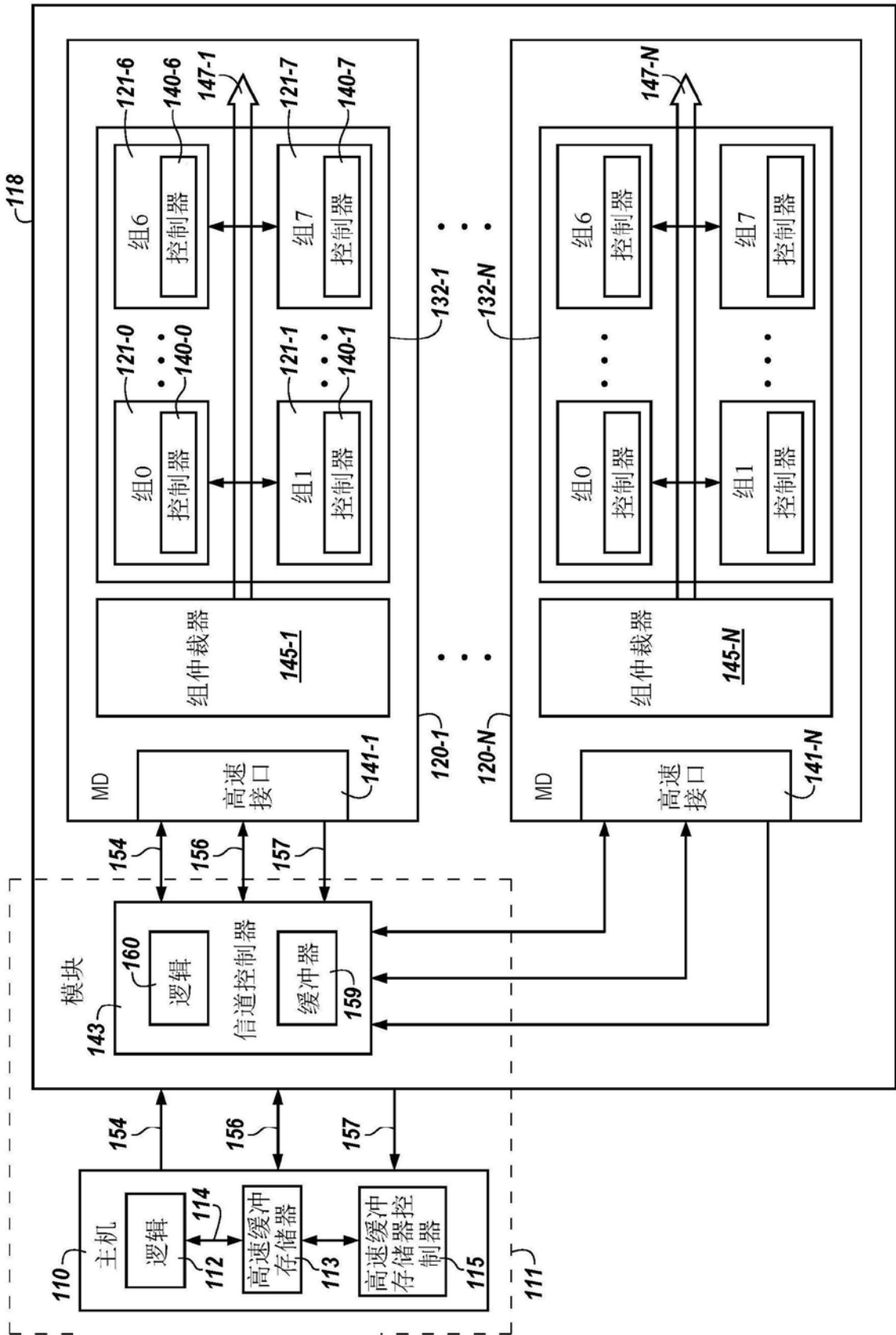


图1B

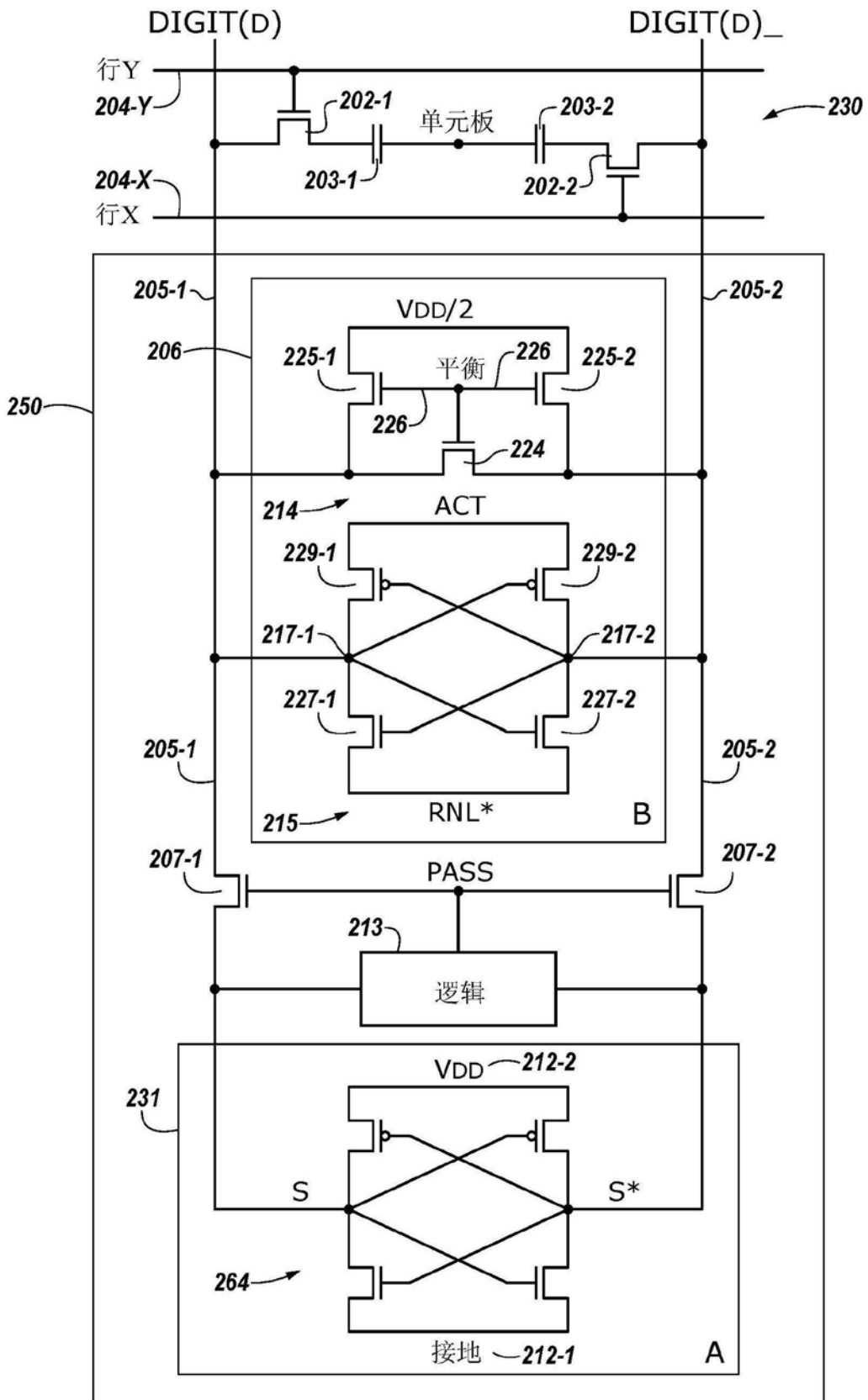


图2

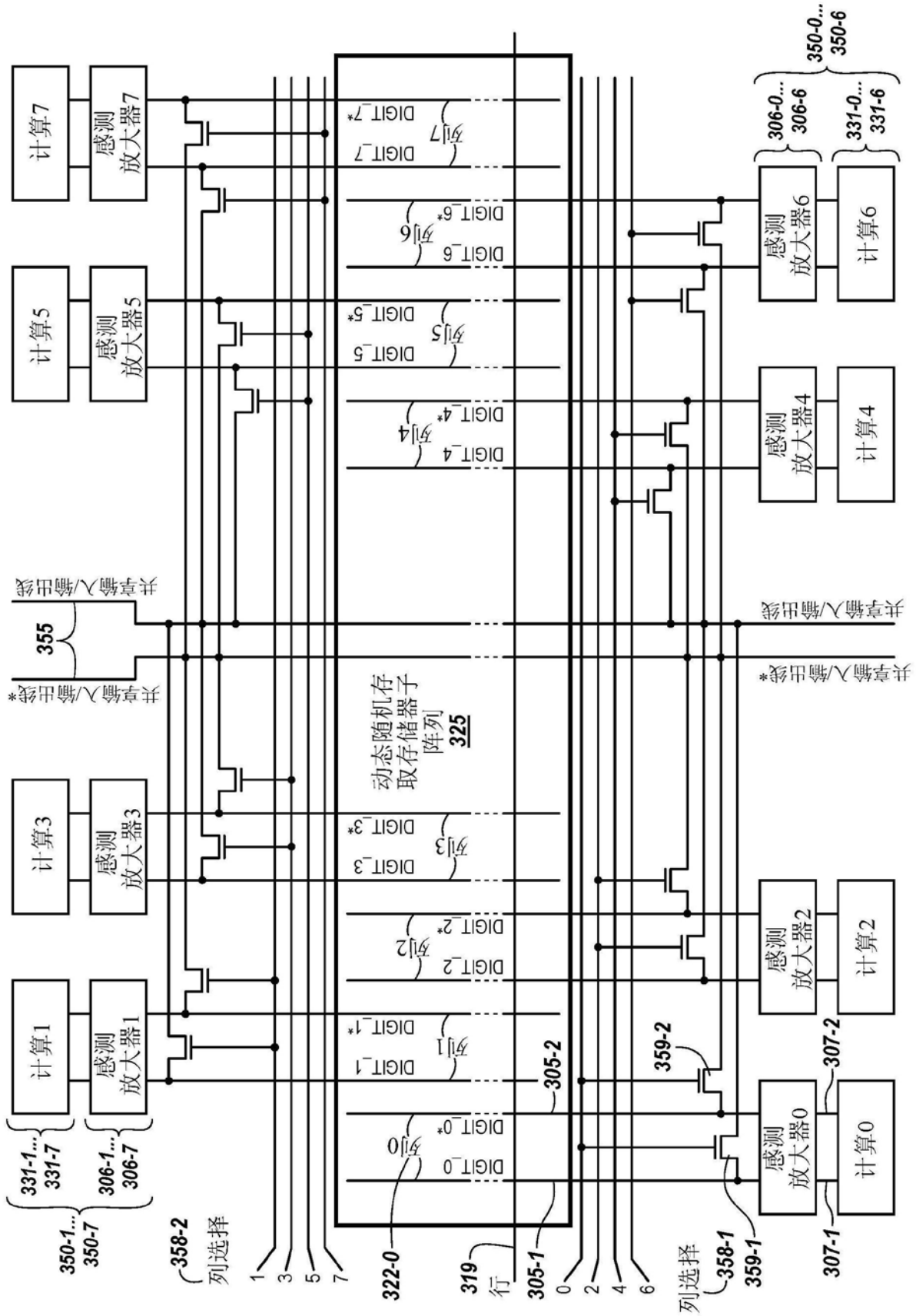


图3

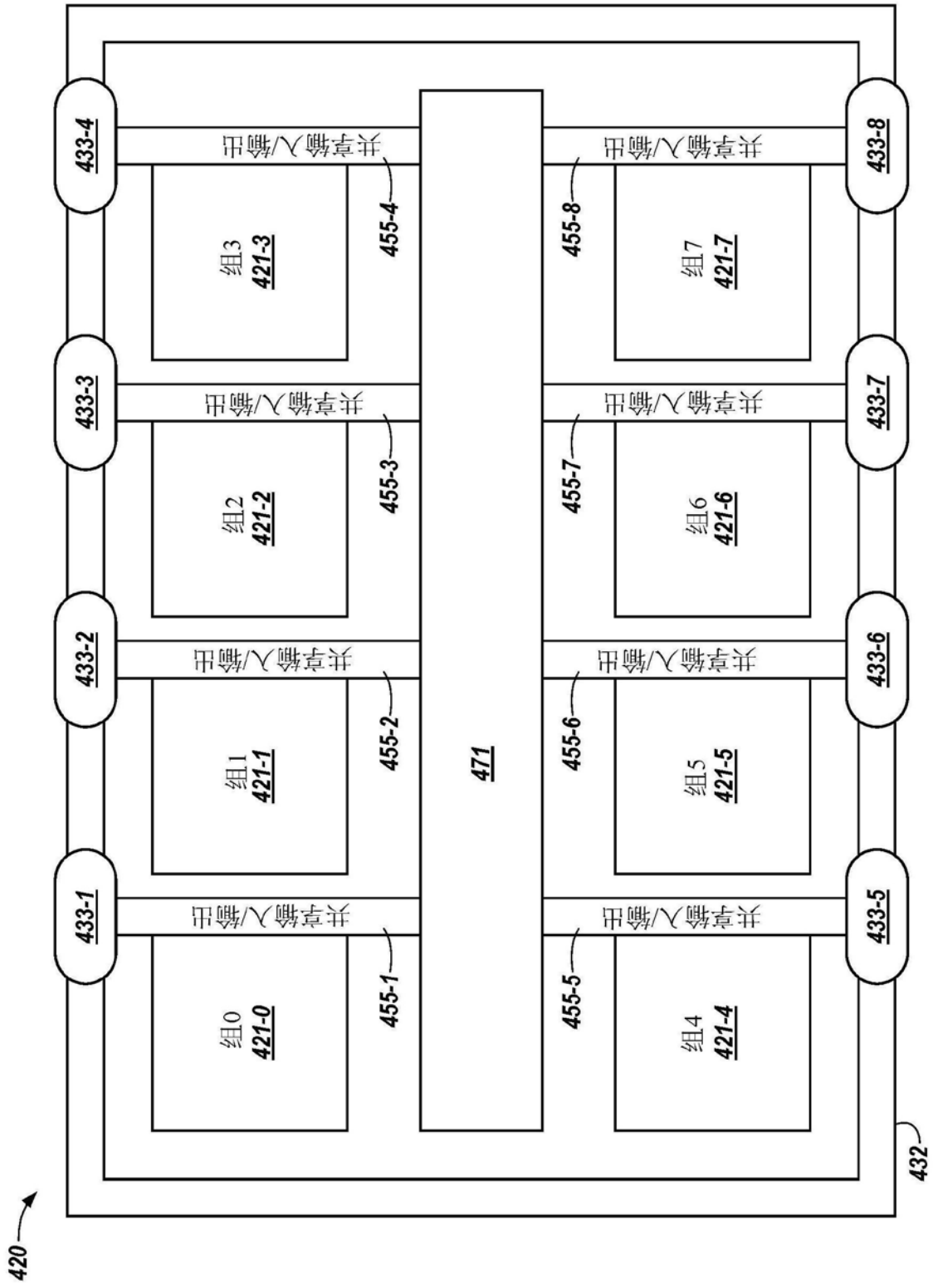


图4A



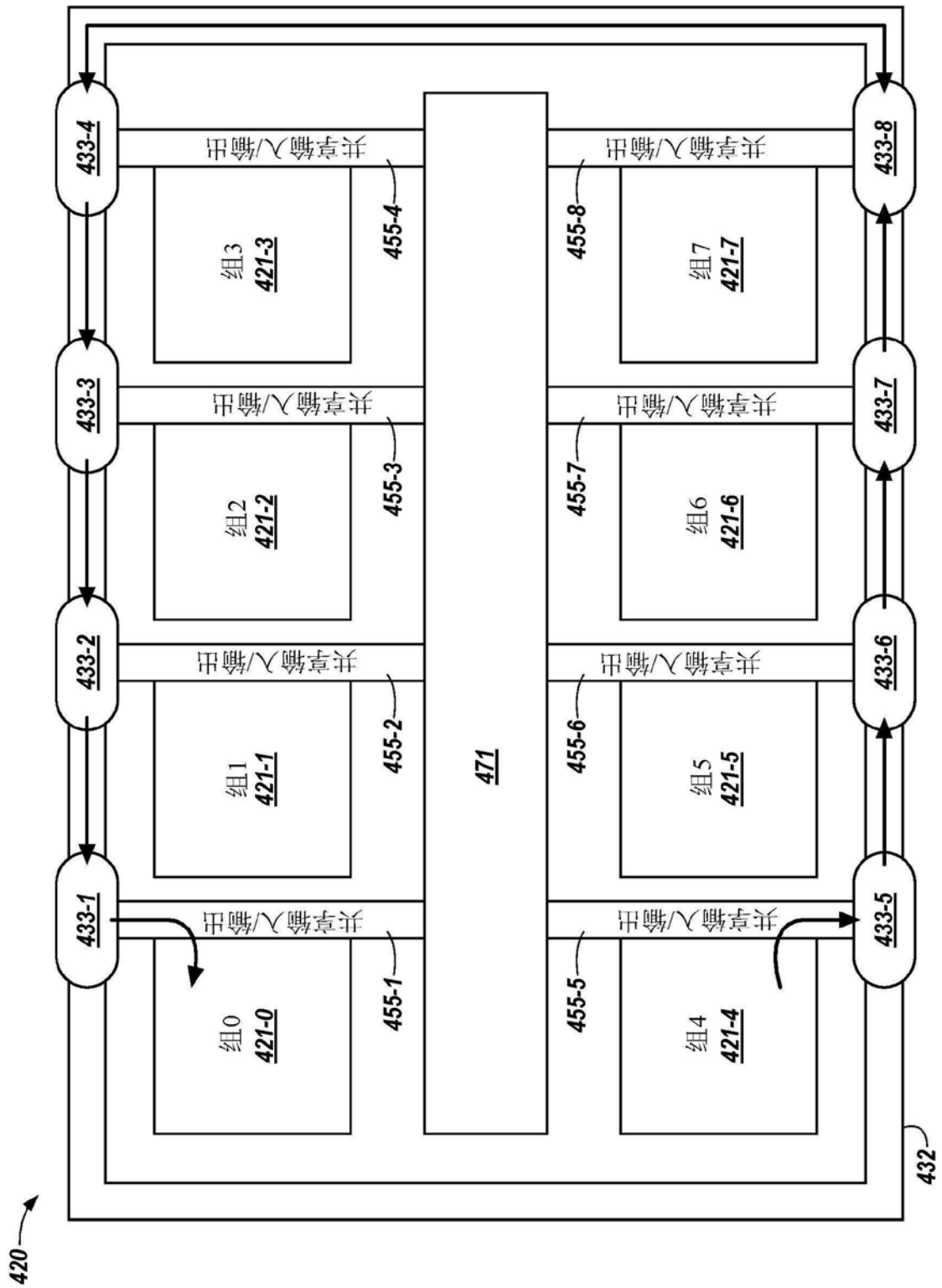


图4B

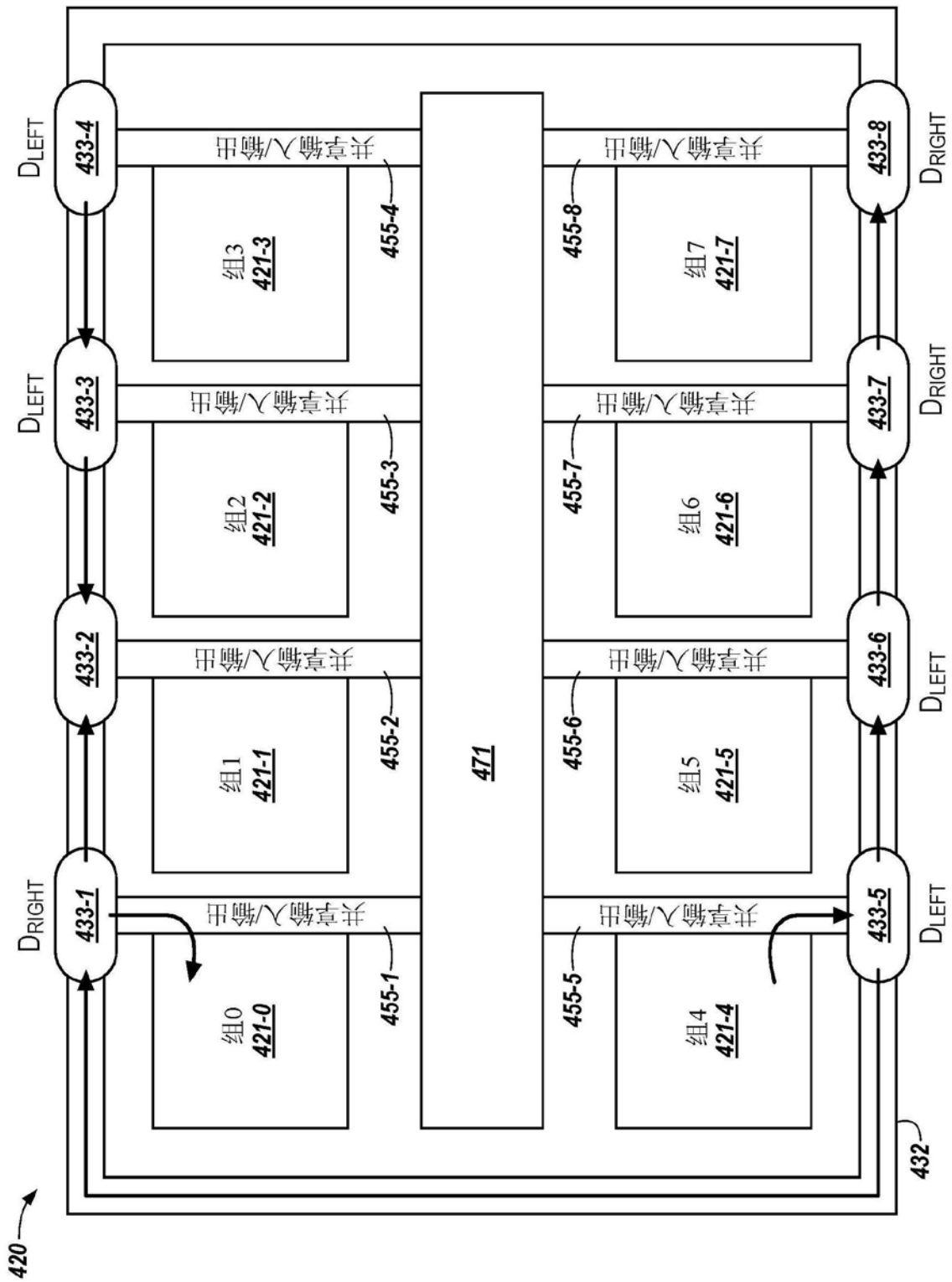


图4C

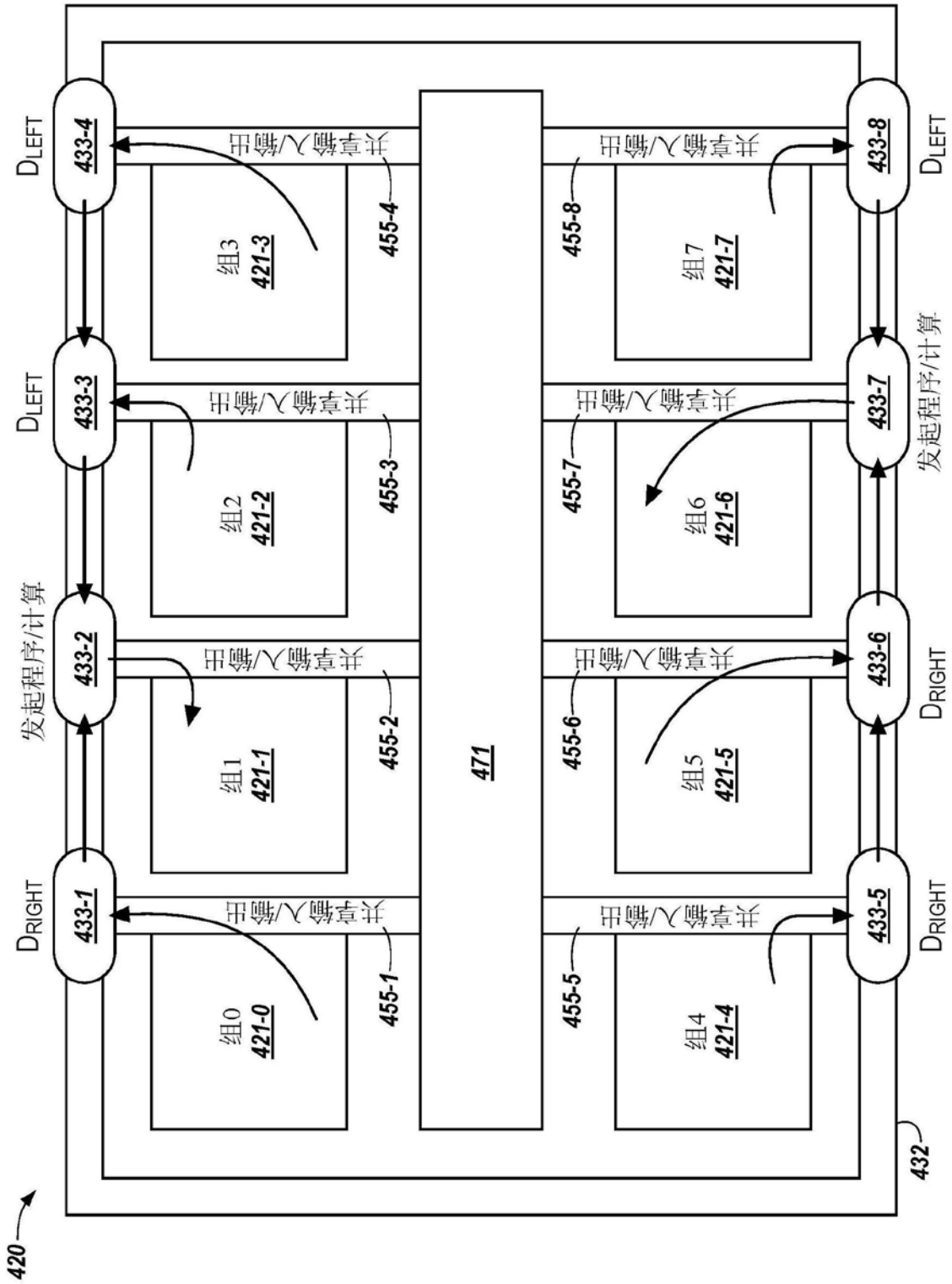


图4D

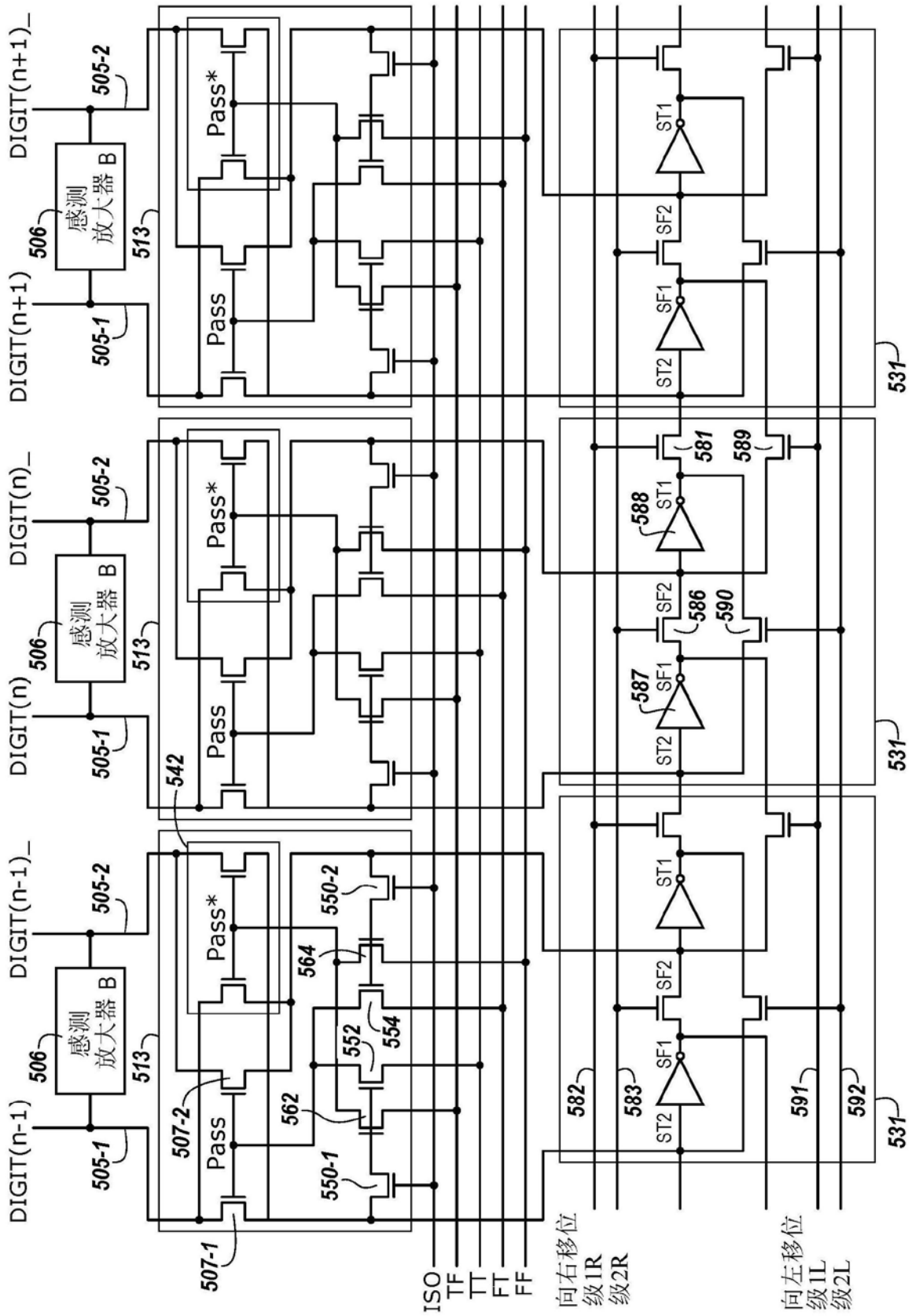


图5

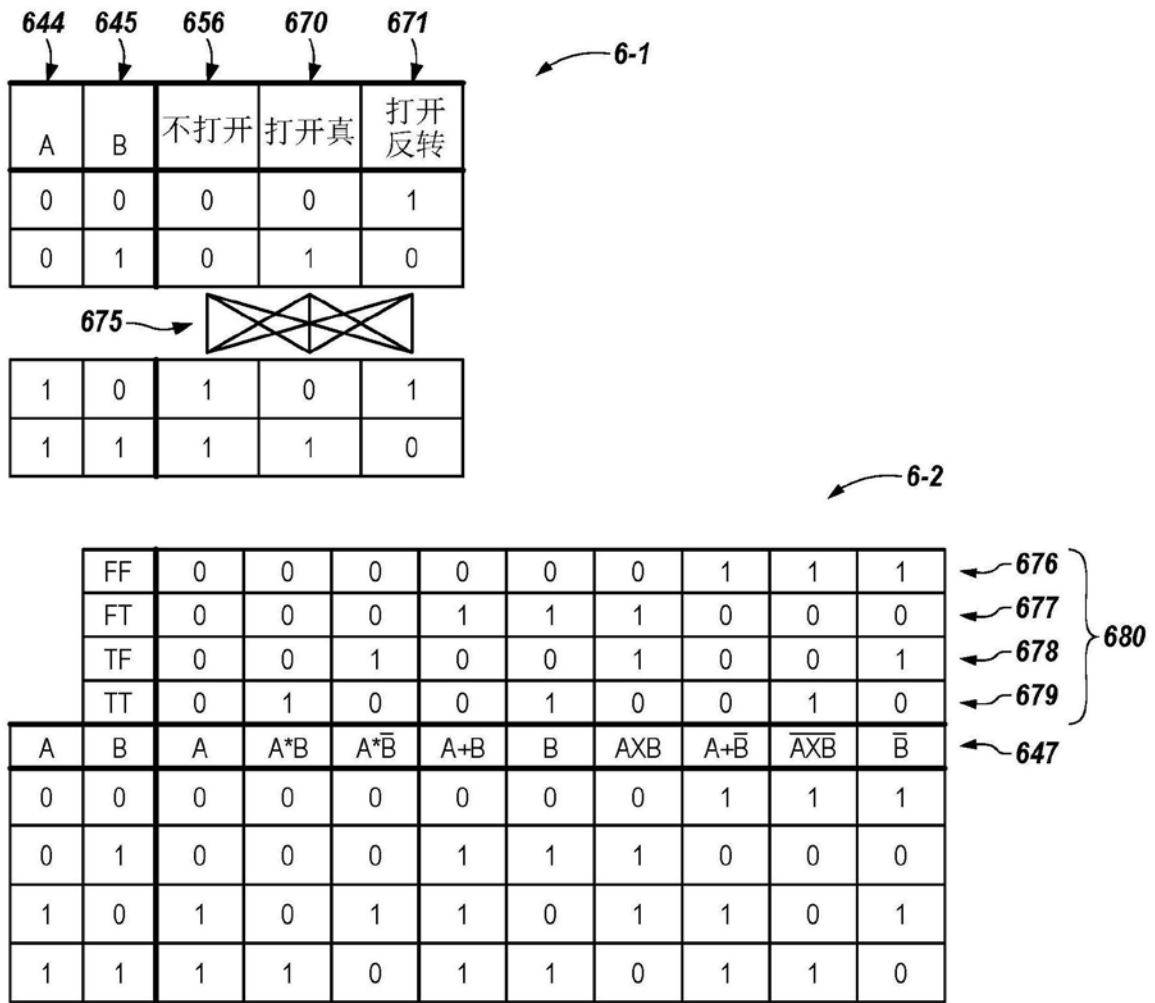


图6