

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-114736

(P2012-114736A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.		F I		テーマコード (参考)
H03L 7/08	(2006.01)	H03L 7/08	L	5J106
H03L 7/06	(2006.01)	H03L 7/06	B	

審査請求 未請求 請求項の数 12 O L (全 24 頁)

(21) 出願番号 特願2010-262781 (P2010-262781)
 (22) 出願日 平成22年11月25日(2010.11.25)

(特許庁注：以下のものは登録商標)

1. Bluetooth

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (74) 代理人 100101557
 弁理士 萩原 康司
 (74) 代理人 100128587
 弁理士 松本 一騎
 (72) 発明者 津田 信一郎
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 PLL回路、PLL回路の誤差補償方法及び通信装置

(57) 【要約】

【課題】デジタル制御発振器を持つPLL回路に用いられるTDC回路の有限な分解能により発生する周期性誤差を補償することが可能なPLL回路を提供する。

【解決手段】発振回路の累積クロック数をデジタル値として検出する累積クロック数検出部と、前記発振回路の累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性を検出する周期検出部と、前記発振回路の出力クロックの1周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロック数をカウントした値から補正値を算出する補正値算出部と、前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部に前記補正値を加算する加算部と、を備える、PLL回路が提供される。

【選択図】図1

累積クロックの 小数部	$\frac{2 \cdot N}{T}$	$\frac{N}{T} \left(2 + \frac{1}{M} \right)$	$\frac{N}{T} \left(2 + \frac{2}{M} \right)$	\dots	$\frac{N}{T} \left(2 + \frac{k}{M} \right)$	\dots	$\frac{3 \cdot N}{T}$
TDC回路出力	$\frac{2 \cdot N}{T}$	$\frac{2 \cdot N}{T}$	$\frac{2 \cdot N}{T}$	\dots	$\frac{2 \cdot N}{T}$	\dots	$\frac{3 \cdot N}{T}$
位相比較器出力	$\frac{\Delta_i}{T} \cdot \frac{a+M}{M} - \left(\frac{2 \cdot N}{T} + x \right) = 0$	$\frac{\Delta_i}{T} \cdot \frac{a+M+1}{M} - \left(\frac{\Delta_i}{T} \cdot 2 + x \right) = 0$	$\frac{\Delta_i}{T} \cdot \frac{a+M+2}{M} - \left(\frac{\Delta_i}{T} \cdot 2 + x \right) = 0$	\dots	$\frac{\Delta_i}{T} \cdot \frac{a+M+k}{M} - \left(\frac{\Delta_i}{T} \cdot 2 + x \right) = 0$	\dots	$\frac{\Delta_i}{T} \cdot \frac{a+2M}{M} - \left(\frac{3 \cdot N}{T} + x \right) = 0$
TDC出力に 加算する補正値 x	$\frac{N}{T} \left(\frac{a-1}{M} \right)$	$\frac{\Delta_i}{T} \left(\frac{a+1}{M} - 1 \right)$	$\frac{\Delta_i}{T} \left(\frac{a+2}{M} - 1 \right)$	\dots	$\frac{\Delta_i}{T} \left(\frac{a+k}{M} - 1 \right)$	\dots	$\frac{N}{T} \left(\frac{a-1}{M} \right)$
発振周期	M	M+1	M+2	\dots	M+k	\dots	2M

【特許請求の範囲】

【請求項 1】

発振回路の累積クロック数をデジタル値として検出する累積クロック数検出部と、
前記発振回路の累積クロック数の小数部のデジタル値の、第 1 の基準クロックを基準とする周期性を検出する周期検出部と、

前記発振回路の出力クロックの 1 周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の 1 周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第 1 の基準クロック数をカウントした値から補正值を算出する補正值算出部と、

前記周期性の各周期の開始点から前記第 1 の基準クロックの周期で、前記累積クロック数の小数部に前記補正值を加算する加算部と、
を備える、PLL 回路。

10

【請求項 2】

前記累積クロック数検出部は、前記発振回路の累積クロック数の小数部を検出する TDC 回路を含む、請求項 1 に記載の PLL 回路。

【請求項 3】

前記加算部による前記補正值の加算の有無を切り替える切替部をさらに備え、

前記切替部は、分周比、前記 TDC 回路の分解能、前記累積クロック数の小数部が持つ周期性の 1 周期のデジタル値およびループ帯域を制御する定数との関係に基づいて、前記加算部による前記補正值の加算の有無の切り替えを制御する、請求項 2 に記載の PLL 回路。

20

【請求項 4】

PLL の収束状態を検出する収束検出部をさらに備え、

前記収束検出部は、設定された任意の収束状態に達した後に前記加算部による前記補正值の加算の有無の切り替えを制御する、請求項 1 に記載の PLL 回路。

【請求項 5】

前記第 1 の基準クロックを前記発振回路の出力クロックまたは該出力クロックを分周したクロックでリタイミングするリタイミング部をさらに備え、

前記累積クロック数検出部は、前記リタイミング部が前記第 1 の基準クロックをリタイミングして得られるクロックを第 2 の基準クロックとして用い、発振回路の累積クロック数の整数部の出力を前記第 2 の基準クロックの立ち上がりエッジのタイミングで保持する、請求項 1 に記載の PLL 回路。

30

【請求項 6】

前記リタイミング部が、リタイミングするエッジとして立ち上がりエッジを用いた場合には、前記累積クロック数検出部は、前記第 1 の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち上がりエッジ間の時間差のデジタル値の周期性を検出する、請求項 5 に記載の PLL 回路。

【請求項 7】

前記リタイミング部が、リタイミングするエッジとして立ち下がりエッジを用いた場合には、前記累積クロック数検出部は、前記第 1 の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち下がりエッジ間の時間差のデジタル値の周期性を検出する、請求項 5 に記載の PLL 回路。

40

【請求項 8】

デジタル値で表示された分周比を前記第 1 の基準クロック毎に累積加算して得られる値から、前記第 2 の基準クロックの立ち上がりエッジのタイミングで保持された前記発振回路の累積クロック数の整数部のデジタル値および前記発振回路の累積クロック数の小数部のデジタル値を減じる演算を行う位相比較器をさらに備える、請求項 5 に記載の PLL 回路。

【請求項 9】

前記リタイミング部が、リタイミングするエッジとして立ち上がりエッジを用いた場合

50

には、前記位比較器は、前記発振回路の累積クロックの小数部として、前記累積クロック数検出部の出力のうち前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち上がりエッジ間の時間差のデジタル値から算出される小数部を用いる、請求項8に記載のPLL回路。

【請求項10】

前記リタイミング部が、リタイミングするエッジとして立ち下がりエッジを用いた場合には、前記位比較器は、前記発振回路の累積クロックの小数部として、前記累積クロック数検出部の出力のうち前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち下がりエッジ間の時間差のデジタル値から算出される小数部を用いる、請求項8に記載のPLL回路。

10

【請求項11】

発振回路の累積クロック数をデジタル値として検出する累積クロック数検出ステップと、

前記発振回路の累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性を検出する周期検出ステップと、

前記発振回路の出力クロックの1周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロック数をカウントした値から補正値を算出する補正値算出ステップと、

前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部に前記補正値を加算する加算ステップと、

20

を備える、PLL回路の誤差補償方法。

【請求項12】

請求項1に記載のPLL回路を備える、通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL回路、PLL回路の誤差補償方法及び通信装置に関する。

【背景技術】

【0002】

無線通信端末では、搬送波周波数を正確な周波数にロックさせておくために、PLL (Phase Locked Loop) 回路が用いられる。近年、半導体プロセスの微細化に伴い、アナログ電圧で制御する電圧制御発振器 (Voltage Controlled Oscillator, VCO) をデジタル制御発振器 (Digital Controlled Oscillator, DCO) に置き換えた構成が着目されつつある。

30

【0003】

従来のVCOを用いたPLL回路は、基準クロックとVCO出力を分周したクロックの2つのクロック間の位相差を位比較器で比較する。ここで一般的な位比較器として、位相差をアップ、ダウン、アップ+ダウンの3状態のパルス幅に変換する回路が用いられ、このパルスを用いてチャージ・ポンプ回路の電流源を制御し、出力される電流をループ・フィルタで電圧に変換し、VCOを制御する。

40

【0004】

一方、図11に示すような、近年着目されているDCOを用いたAll-Digital PLL回路の例は、位相差に相当する累積クロック数のFractional成分をTime-to-Digital Converter (TDC) 回路で、Integer成分をアキュムレータ回路でデジタル値に変換し、検出したこれらの位相差に相当するデジタル値を様々な手法でフィードバックし、DCOをデジタル的に制御する。

【先行技術文献】

【非特許文献】

50

【 0 0 0 5 】

【非特許文献1】R.B.Staszewskiet al., "All-Digital Phase-Domain TX FrequencySynthesizer for Bluetooth Radios in 0.13um CMOS, ISSCC2004 Digest

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかし、TDC回路を用いたPLLにおいて、小数部の小さな分周比を設定した場合、このTDC回路の分解能に起因した周期性誤差の発生が懸念される。そして、そのTDC回路の分解能に起因した周期性誤差は、スプリアス成分を発生させるという問題があった。

10

【 0 0 0 7 】

そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、デジタル制御発振器を持つPLL回路に用いられるTDC回路の有限な分解能により発生する周期性誤差を補償することが可能な、新規かつ改良されたPLL回路、PLL回路の誤差補償方法及び通信装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

上記課題を解決するために、本発明のある観点によれば、発振回路の累積クロック数をデジタル値として検出する累積クロック数検出部と、前記発振回路の累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性を検出する周期検出部と、前記発振回路の出力クロックの1周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロック数をカウントした値から補正値を算出する補正値算出部と、前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部に前記補正値を加算する加算部と、を備える、PLL回路が提供される。

20

【 0 0 0 9 】

前記累積クロック数検出部は、前記発振回路の累積クロック数の小数部を検出するTDC回路を含んでいてもよい。

【 0 0 1 0 】

前記加算部による前記補正値の加算の有無を切り替える切替部をさらに備え、前記切替部は、分周比、前記TDC回路の分解能、前記累積クロック数の小数部が持つ周期性の1周期のデジタル値およびループ帯域を制御する定数との関係に基づいて、前記加算部による前記補正値の加算の有無の切り替えを制御するようにしてもよい。

30

【 0 0 1 1 】

PLLの収束状態を検出する収束検出部をさらに備え、前記収束検出部は、設定された任意の収束状態に達した後に前記加算部による前記補正値の加算の有無の切り替えを制御するようにしてもよい。

【 0 0 1 2 】

前記第1の基準クロックを前記発振回路の出力クロックまたは該出力クロックを分周したクロックでリタイミングするリタイミング部をさらに備え、前記累積クロック数検出部は、前記リタイミング部が前記第1の基準クロックをリタイミングして得られるクロックを第2の基準クロックとして用い、発振回路の累積クロック数の整数部の出力を前記第2の基準クロックの立ち上がりエッジのタイミングで保持するようにしてもよい。

40

【 0 0 1 3 】

前記リタイミング部が、リタイミングするエッジとして立ち上がりエッジを用いた場合には、前記累積クロック数検出部は、前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち上がりエッジ間の時間差のデジタル値の周期性を検出するようにしてもよい。

【 0 0 1 4 】

50

前記リタイミング部が、リタイミングするエッジとして立ち下がりエッジを用いた場合には、前記累積クロック数検出部は、前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち下がりエッジ間の時間差のデジタル値の周期性を検出するようにしてもよい。

【0015】

デジタル値で表示された分周比を前記第1の基準クロック毎に累積加算して得られる値から、前記第2の基準クロックの立ち上がりエッジのタイミングで保持された前記発振回路の累積クロック数の整数部のデジタル値および前記発振回路の累積クロック数の小数部のデジタル値を減じる演算を行う位相比較器をさらに備えていてもよい。

【0016】

前記リタイミング部が、リタイミングするエッジとして立ち上がりエッジを用いた場合には、前記位相比較器は、前記発振回路の累積クロックの小数部として、前記累積クロック数検出部の出力のうち前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち上がりエッジ間の時間差のデジタル値から算出される小数部を用いるようにしてもよい。

【0017】

前記リタイミング部が、リタイミングするエッジとして立ち下がりエッジを用いた場合には、前記位相比較器は、前記発振回路の累積クロックの小数部として、前記累積クロック数検出部の出力のうち前記第1の基準クロックの立ち上がりエッジと前記発振回路の出力クロックまたは該出力クロックを分周したクロックの立ち下がりエッジ間の時間差のデジタル値から算出される小数部を用いるようにしてもよい。

【0018】

また、上記課題を解決するために、本発明の別の観点によれば、発振回路の累積クロック数をデジタル値として検出する累積クロック数検出ステップと、前記発振回路の累積クロック数の小数部のデジタル値の、第1の基準クロックを基準とする周期性を検出する周期検出ステップと、前記発振回路の出力クロックの1周期のデジタル値、前記発振回路の累積クロック数の小数部が持つ周期性の1周期のデジタル値、および前記発振回路の累積クロック数の小数部が持つ周期性の各周期の開始点から前記第1の基準クロック数をカウントした値から補正値を算出する補正値算出ステップと、前記周期性の各周期の開始点から前記第1の基準クロックの周期で、前記累積クロック数の小数部に前記補正値を加算する加算ステップと、を備える、PLL回路の誤差補償方法が提供される。

【0019】

また、上記課題を解決するために、本発明の別の観点によれば、上記PLL回路を備える、通信装置が提供される。

【発明の効果】

【0020】

以上説明したように本発明によれば、デジタル制御発振器を持つPLL回路に用いられるTDC回路の有限な分解能により発生する周期性誤差を補償することが可能な、新規かつ改良されたPLL回路、PLL回路の誤差補償方法及び通信装置を提供することができる。

【図面の簡単な説明】

【0021】

【図1】デジタル制御発振器を持つPLL回路に用いられるTDC回路の有限な分解能により発生する周期性誤差を保証する際の補正値の算出について示す説明図である。

【図2】本発明の第1の実施形態にかかるPLL回路100の構成を示す説明図である。

【図3】本発明の第1の実施形態にかかるPLL回路100に含まれる補正値算出部109の構成を示す説明図である。

【図4A】本発明の第1の実施形態にかかるPLL回路100による補正値を加味しないシミュレーション結果をグラフで示す説明図である。

【図4B】本発明の第1の実施形態にかかるPLL回路100による補正値を加味したシ

10

20

30

40

50

シミュレーション結果をグラフで示す説明図である。

【図 5】本発明の第 2 の実施形態にかかる PLL 回路 100' の構成を示す説明図である。

【図 6】本発明の第 2 の実施形態にかかる PLL 回路 100' に含まれるアクティベート部 119 の構成を示す説明図である。

【図 7】本発明の第 3 の実施形態に含まれる PLL 回路に含まれる補正值算出部 109' の構成を示す説明図である。

【図 8】スイッチ 130 が、TDC 回路 106 の 2 つの出力のうち、どちらの出力を第 1 の遅延回路 123 に入力するよう制御するのかわかる説明図である。

【図 9 A】本発明の第 3 の実施形態にかかる PLL 回路に含まれる補正值算出部 109' による位相比較処理を示す説明図である。

10

【図 9 B】本発明の第 3 の実施形態にかかる PLL 回路に含まれる補正值算出部 109' による位相比較処理を示す説明図である。

【図 10】本発明の各実施形態にかかる PLL 回路を備える無線端末装置 200 の構成について説明する説明図である。

【図 11】DCO を用いた All-Digital PLL 回路の例を示す説明図である。

【図 12】一般的な TDC 回路の構成を示す説明図である。

【図 13】一般的な TDC 回路の構成を示す説明図である。

【図 14】一般的な TDC 回路でのデジタル変換の処理をタイミングチャートで示す説明図である。

20

【図 15】TDC 回路の分解能に起因した周期性誤差の発生のビヘイビアモデルを示す説明図である。

【図 16】図 15 に示したビヘイビアモデルに基づいて、各ブロックでの値を計算したものを示す説明図である。

【発明を実施するための形態】

【0022】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

30

【0023】

なお、説明は以下の順序で行うものとする。

< 1 . 従来の PLL 回路の問題点 >

< 2 . 第 1 の実施形態 >

[2 - 1 . 補正值の算出]

[2 - 2 . PLL 回路の構成]

[2 - 3 . 補正值算出部の構成]

[2 - 4 . シミュレーション結果]

< 3 . 第 2 の実施形態 >

[3 - 1 . PLL 回路の構成]

[3 - 2 . アクティベート回路の機能構成]

< 4 . 第 3 の実施形態 >

[4 - 1 . 補正值算出部の構成]

[4 - 2 . 位相比較処理]

< 5 . PLL 回路を備える無線端末装置 >

< 6 . まとめ >

40

【0024】

< 1 . 従来の PLL 回路の問題点 >

デジタル制御発振器 (DCO) の出力クロックの累積クロック数の小数部の検出に用いる TDC 回路の分解能は半導体プロセスに依存したある有限な分解能を有する。図 12 及

50

び図13は、一般的なTDC回路の構成を示す説明図である。以下、図12及び図13を用いて一般的なTDC回路の構成について説明する。

【0025】

一般的なTDC回路1000は、インバータ回路等、微小な遅延 t を持つ素子を従属に接続し、この遅延素子に発振周波数クロックが入力される。基準クロックの立ち上がりエッジにて、各遅延素子の出力をホールドし、このホールドしたデータをデコーダ1010でデコードする。これにより、基準クロックの立ち上がりエッジと発振周波数クロックの立ち上がりエッジ間の時間差、あるいは、立下りエッジ間の時間差をデジタル変換することができる。

【0026】

図14は、一般的なTDC回路でのデジタル変換の処理をタイミングチャートで示す説明図である。以下、図14のタイミングチャートを用いてTDC回路でのデジタル変換の処理を示す。CLK_{REF}が図12のTDC回路1000に入力されると、各遅延素子の出力D₁～D₁₀は t ずつ遅延した波形となる。この各波形をCLK_{REF}の立ち上がりエッジでホールドすると、フリップフロップQ₁～Q₁₀の出力から構成されるデジタルデータ[Q₁:Q₁₀]は“1110000011”となる。デコーダ回路1010にて、このデータを左からカウントして、1から0に変化する点をt_R、0から1に変化する点をt_Fとする。つまり、図14の例では、t_R、t_Fは、それぞれt_R = 3 t 、t_F = 8 t とデジタル変換される。

【0027】

TDC回路を用いたPLLにおいて、小数部の小さな分周比を設定した場合、このTDC回路の分解能に起因した周期性誤差の発生が懸念される。この現象の説明に用いるビヘイビアモデルが図15に示されている。このビヘイビアモデルに基づいて、各ブロックの値を計算したものが図16に示されている。ここでは、分周比の小数部の値が非常に小さい条件に限定し、小数部の影響のみを考慮する。まず、演算周期0での累積加算器1の小数部の初期値を $(t/T) \cdot (1/M)$ 、累積加算器2の小数部の初期値を t/T とする。ここで、 t はTDC回路の時間分解能、 T は発振周波数の周期、 M は設定分周比の小数部の t/T に対する分割数、 a は任意の整数値を示す。よって、演算周期0での加算器出力は、 $(t/T) \cdot \{ (1/M) - 1 \}$ となる。また、可変利得回路 ($G_1 = 1/2$)、DCO利得 ($G_{DCO} = f_{ref}$) を加味すると、発振周波数の誤差は以下の(1)で示す値となる。

【0028】

【数1】

$$-\frac{1}{2^a} \cdot \frac{\Delta t}{T} \cdot \left(1 - \frac{a}{M}\right) \cdot f_{ref} \cdots (1)$$

【0029】

次に、演算周期1での累積加算器2の小数部には、演算周期0での値 t/T に、所望発振周波数に $G_2 (= 1/f_{ref})$ を乗じた際の小数部分 $(t/T) \cdot (1/M)$ を加算し、さらに、上記(1)で表される演算周期0での発振周波数誤差に G_2 を乗じた値が加算される。ここで、乗算器で G_2 を乗じる理由は、累積加算器2での加算処理が、基準クロック f_{ref} 毎に行われるためである。よって、演算周期1での累積加算器2の小数部は、以下の(2)で示す値となる。

【0030】

【数2】

$$\frac{\Delta t}{T} \cdot \left\{ 1 + \frac{1}{M} - \frac{1}{2^a} \cdot \left(1 - \frac{a}{M}\right) \right\} \cdots (2)$$

【0031】

以後、この演算を繰り返すと、演算周期 M での累積加算器 2 の小数部は、以下の (3) で示す値となる。

【0032】

【数3】

$$\frac{\Delta t}{T} \cdot \left\{ 2 - \frac{1}{2^a} \cdot \left(M - \frac{M+2a-1}{2} \right) \right\} \cdots (3)$$

【0033】

ここで、上記 (3) において、小カッコ内が 0 となる条件を求めると、 $\frac{M+2a-1}{2} = (M+1) / 2$ となる。この累積加算器 2 の小数部の小カッコ内が 0 になる条件は、M 周期にわたる周波数誤差の平均が 0 になることと等価である。つまり、M 周期の発振周波数の平均値が、設定周波数に制御されているということである。ここで、演算周期 M での加算器出力の誤差を計算すると、演算周期 M での加算器出力の誤差は以下の (4) で示す値となる。

【0034】

【数4】

$$\frac{\Delta t}{T} \cdot \left(\frac{a}{M} - 1 \right) \cdots (4)$$

【0035】

これにより、演算周期 M での加算器出力の誤差は、演算周期 0 での加算器出力の誤差と同じになっていることが分かる。以上から、周期 M でこの動作が繰り返されることが計算から理解できる。そして、この周期性の誤差はスプリアス成分 f_{ref} / M を発生させる。

【0036】

そこで、以下で説明する本発明の各実施形態において、デジタル制御発振器を持つ PLL 回路に用いられる TDC 回路の有限な分解能により発生する周期性誤差を補償することが可能な PLL 回路について説明する。

【0037】

< 2 . 第 1 の実施形態 >

[2 - 1 . 補正值の算出]

図 1 は、本発明の第 1 の実施形態にかかる、デジタル制御発振器を持つ PLL 回路に用いられる TDC 回路の有限な分解能により発生する周期性誤差を保証する際の補正值の算出について示す説明図である。以下、図 1 を用いて周期性誤差を保証する際の補正值の算出について説明する。

【0038】

ここで、演算周期 M での発振回路の出力クロックの累積クロック数の小数部の初期値を $2^{-t} / T$ 、設定した分周比の累積加算値の小数部の初期値を $(2^{-t} / T) \cdot \{ (2^{-t} + M) / M \}$ とする。また、発振回路の出力クロックの累積クロック数の小数部に加算する補正值を x とする。演算周期 M での位相比較器の出力は以下の (5) となる。

【0039】

【数5】

$$\frac{\Delta t}{T} \cdot \frac{a+M}{M} - \left(\frac{2 \cdot \Delta t}{T} + x_M \right) \cdots (5)$$

【0040】

ここで、この演算周期 M での位相比較器の出力を 0 とする補正值 x_M を求めると、 $x_M = (2 \cdot \Delta t / T) \cdot \{ (2^{-t} / M) - 1 \}$ となる。同様にして、各演算周期での補正值を求めると次のようになる。

【0041】

10

20

30

40

50

【数 6】

$$x_{M+1} = \frac{\Delta t}{T} \cdot \left(\frac{a+1}{M} - 1 \right)$$

$$x_{M+2} = \frac{\Delta t}{T} \cdot \left(\frac{a+2}{M} - 1 \right)$$

⋮

$$x_{2M} = \frac{\Delta t}{T} \cdot \left(\frac{a}{M} - 1 \right)$$

10

【0042】

つまり、上記から分かるように、補正值は周期 M で繰り返されることが分かる。この演算周期の周期性の開始点を 0 とし、任意の演算周期 k での補正值 x_k を表すと、以下の数式 1 となる。

【0043】

【数 7】

$$x_k = \frac{\Delta t}{T} \cdot \left(\frac{a+k}{M} - 1 \right) \quad (0 \leq k \leq M) \cdots (\text{数式 1})$$

20

【0044】

よって、各演算周期 k において、TDC 回路出力を利用して算出される発振回路の累積クロック数の小数部の値に補正值 x_k を加算し続けるところにより、位相比較器の出力を 0 に補償し続けることが可能となる。

【0045】

以上、デジタル制御発振器を持つ PLL 回路に用いられる TDC 回路の有限な分解能により発生する周期性誤差を保証する際の補正值の算出について説明した。次に、本発明の第 1 の実施形態にかかる PLL 回路の構成について説明する。

【0046】

[2 - 2 . PLL 回路の構成]

図 2 は、本発明の第 1 の実施形態にかかる PLL 回路 100 の構成を示す説明図である。以下、図 2 を用いて本発明の第 1 の実施形態にかかる PLL 回路 100 の構成について説明する。

30

【0047】

図 2 に示したように、本発明の第 1 の実施形態にかかる PLL 回路 100 は、第 1 の累積加算器 102 と、第 1 の基準クロック 103 と、第 2 の累積加算器 104 と、発振回路 105 と、TDC 回路 106 と、小数部算出回路 107 と、第 1 の加算器 108 と、補正值算出部 109 と、リタイミング回路 110 と、第 1 のフリップフロップ 111 と、第 2 の加算器 112 と、第 3 の加算器 113 と、第 2 のフリップフロップ 114 と、可変利得回路 115 と、データ変換回路 116 と、乗算器 117 と、を含んで構成される。

40

【0048】

第 1 の累積加算器 102 は、デジタル数値化された設定分周比 “N” 101 を第 1 の基準クロック 103 の立ち上がりエッジ毎に累積加算するものである。第 2 の累積加算器 104 は、発振回路 105 の出力クロック CLK_{RF} の立ち上がりエッジ毎に値 “1” を累積加算する。つまり、第 2 の累積加算器 104 は、発振回路 105 の出力クロック CLK_{RF} のクロック数をカウントする回路となる。

【0049】

TDC 回路 106 は、発振回路 105 の出力クロック CLK_{RF} の立ち上がりエッジと第 1 の基準クロック 103 の立ち上がりエッジ間の時間差、および発振回路 105 の出力

50

クロック CLK_{RF} の立ち下がリエッジと第 1 の基準クロック 103 の立ち上がりエッジ間の時間差をそれぞれデジタル変換する回路である。小数部算出回路 107 は、TDC 回路 106 でデジタル変換された D_R および D_F から、下記の数式 2 により、小数部の算出を行う。なお、 D_T は第 1 の基準クロック 103 の各周期で算出される値をある期間平均し、当該平均した値を常時更新し、数式 2 の算出に利用する構成にしてもよい。

【0050】

【数 8】

$$Frac = 1 - \frac{D_R}{D_T} \cdots (\text{数式 2})$$

$$(\text{なお、} D_T = 2 \cdot |D_R - D_F|)$$

10

【0051】

この小数部は、発振回路 105 の出力クロック CLK_{RF} の累積クロック数の小数部となる。第 1 の加算器 108 は、上記の (数式 2) で算出される小数部に、補正值算出部 109 で算出された補正值を加算するものである。リタイミング回路 110 は、第 1 の基準クロック 103 を、発振回路 105 の出力クロック CLK_{RF} の立ち上がりエッジでリタイミングした第 2 の基準クロックを生成するものである。

【0052】

第 1 のフリップフロップ 111 は、第 2 の累積加算器 104 の出力をリタイミングした第 2 の基準クロックの立ち上がりエッジでホールドするものである。これは、発振回路 105 の出力クロック CLK_{RF} の累積クロック数を小数点表示する際に、その小数部を切り上げた整数値を算出することと等価である。

20

【0053】

第 2 の加算器 112 は、第 1 のフリップフロップ 111 の出力から、上記の (数式 2) で算出される小数部に補正值算出部 109 で算出された補正值が加算された値を減じる。この第 2 の加算器 112 の出力は、発振回路 105 の出力クロック CLK_{RF} の小数点表示された累積クロック数のデジタル値となる。よって、第 3 の加算器 113 は、デジタル数値化された設定分周比 “N” 101 を累積加算する第 1 の累積加算器 102 の出力から、この発振回路 105 の出力クロック CLK_{RF} の小数点表示された累積クロック数のデジタル値を減じる。つまり、小数点表示された基準の累積クロック数と発振回路 105 の出力クロック CLK_{RF} の小数点表示された累積クロック数とを比較することから、第 3 の加算器 113 は、位相比較器と同様の動作を行う。

30

【0054】

第 2 のフリップフロップ 114 は、第 3 の加算器 113 の出力をリタイミングされた第 2 の基準クロックの立ち上がりエッジでホールドする。第 3 の加算器 113 の出力は、可変利得回路 115 でレベル変換を行われる。可変利得回路 115 でレベル変換された位相誤差に相当するデジタル値は、データ変換回路 116 で変換される。このデータ変換回路 116 は、データ変換の一例として、下記の (数式 3) で表されるデータ変換を実行する。ここで入力値を x 、第 3 の加算器 113 の `unsigned` での出力可変範囲の midpoint を A 、可変利得回路 115 の利得を $1/2$ 、分周比を N 、出力値を y とする。

40

【0055】

【数 9】

$$y = x - \frac{A}{2^\alpha} + N \cdots (\text{数式 3})$$

【0056】

このデータ変換回路 116 でのデータ変換により、データ変換回路 116 の出力 y は分周比 N を基準としたデジタル値に変換される。なお、(数式 3) のデータ変換は一例であり、分周比 N を基準とするためのデータ変換であれば、本発明ではこの例に限られないこ

50

とは言うまでもない。例えば、フィルタの伝達関数を挿入する等の改変を行ってもよい。

【0057】

乗算器117は、発振回路105の変換利得を正規化するために用いられ、 f_{REF} / k_{DCO} を乗算する。ここで、 f_{REF} は第1の基準クロック103の周波数値、 k_{DCO} は発振回路105の変換利得である。

【0058】

以上から、位相比較器として動作する第3の加算器113で検出される位相誤差成分は分周比Nを基準とした値にデータ変換され、このデータ変換された値を用いて発振回路105をデジタル制御することにより、図2に示す回路はPLL回路として動作することになる。

10

【0059】

以上、本発明の第1の実施形態にかかるPLL回路100の構成について説明した。次に、本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109の構成について説明する。

【0060】

[2-3. 補正值算出部の構成]

図3は、本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109の構成を示す説明図である。以下、図3を用いて本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109の構成について説明する。

【0061】

図3に示したように、本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109は、周期検出回路121と、加算器122と、第1の遅延回路123と、第1の比較回路124と、カウンター回路125と、フリップフロップ126と、第2の遅延回路127と、補正值算出回路128と、を含んで構成される。

20

【0062】

TDC回路106には、デジタル制御発振器(DCO)105の出力クロックが入力され、基準クロック103でトリガされる。そして、TDC回路106は、DCO105の出力クロックの立ち上がりエッジと基準クロック103の立ち上がりエッジ間の時間差をデジタル変換し、そのデジタル値 D_R を出力する。さらに、TDC回路106は、DCO105の出力クロックの立ち下がりエッジと基準クロック103の立ち上がりエッジ間の時間差をデジタル変換し、そのデジタル値 D_F を出力する。

30

【0063】

DCO105の出力クロックの周期検出回路121は、TDC回路106で検出したデジタル値 D_R および D_F から、1周期のデジタル値を算出するものである。この1周期のデジタル値は、 T / t となる。

【0064】

加算器122は、TDC回路106が出力するデジタル値 D_R から、時間Dを第1の遅延回路123で遅延させた値を減算する。

【0065】

第1の比較回路124は、加算器122の出力と、値“1”との比較を行うものである。第1の比較回路124は、加算器122の出力が“1”のときに、“H”の極性の信号を出力し、それ以外の値のときには、“L”の極性の信号を出力する。つまり、第1の比較回路124の出力信号は、TDC回路106の出力 D_R が“+1”変化した際に、第1の遅延回路123での遅延時間D分の期間“H”となるストローク信号を出力する。

40

【0066】

カウンター回路125は、基準クロック103のクロック数をカウントする。第1の比較回路124が出力するストローク信号の立ち上がり時、つまり、TDC回路106の出力 D_R が“+1”変化したタイミングで、カウンター回路125の出力がフリップフロップ126に取り込まれる。つまり、フリップフロップ126には、図1の演算周期Mが取り込まれる。また、上記のストローク信号を使って、確実にフリップフロップ126で取

50

り込まれた後に、カウンタ回路125をリセットするために、第2の遅延回路127が用いられる。このような構成により、カウンタ回路125は周期Mで動作するカウンタ回路となる。

【0067】

補正值算出回路128は、補正值 x を算出する回路であり、DCO105の出力クロックの周期検出回路121の出力 T/t と、フリップフロップ126が保持する演算周期Mと、カウンタ回路125の出力である各演算周期 k とが入力され、TDC回路106の出力 D_R および D_F を用いて算出される発振回路の出力クロックの累積クロック数の小数部に加算すべき補正值が算出される。なお、図3では、ストロブ信号の生成に D_R を用いているが、本発明においてはかかる例に限定されず、 D_F を用いることも可能なことは言うまでもない。また、同様の処理をする回路構成は、この図3に示した構成に限定されるものではない。

10

【0068】

以上、図3を用いて本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109の構成について説明した。次に、本発明の第1の実施形態にかかるPLL回路100によるシミュレーション結果について説明する。

【0069】

[2-4.シミュレーション結果]

図4Aは、図14のPLLのビヘイビアモデルを使って、本発明の第1の実施形態にかかるPLL回路100による補正值を加味しないシミュレーション結果をグラフで示す説明図である。図4Bは、図14のPLLのビヘイビアモデルを使って、本発明の第1の実施形態にかかるPLL回路100による補正值を加味したシミュレーション結果をグラフで示す説明図である。ここで、分周比 $N = 100.001$ 、基準クロック周波数 $f_{REF} = 26\text{MHz}$ 、TDC回路に用いる遅延素子の遅延量 $t = 7.5\text{ps}$ 、可変利得回路の利得 $G_1 = 1/2^7$ である。

20

【0070】

この設定値において、周期Mは約195となる。図4A及び図4Bの下側の図は、10000周期に渡ってシミュレーション結果を表示したものであり、上側の図は、7500~8500周期を拡大表示したものである。この結果から分かるように、分周比Nの小数部が小さい場合に、周期的な誤差の影響が発振周波数値に表れていることが分かる。

30

【0071】

図4Bは、十分収束した5000周期後において、当該補正值の加算を行った場合のシミュレーション結果である。補正值の加算が行われない5000周期までは、図4A同様に周期的な誤差の影響が確認できるが、補正值の加算が行われる5000周期以降は、周期的な誤差の影響が低減していることを確認できる。

【0072】

以上から、本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109で補正值を算出して、累積クロック数の小数部にその補正值を加算することで、TDC回路の有限な分解能に起因して発生する、分周比の小数部が小さい条件で発生する周期的な誤差の影響低減に効果的であることが確認できる。

40

【0073】

<3.本発明の第2の実施形態>

[3-1.PLL回路の構成]

次に、本発明の第2の実施形態について説明する。図5は、本発明の第2の実施形態にかかるPLL回路100'の構成を示す説明図である。図2との説明の重複を避けるために、図2に示したPLL回路100との差分につき説明を加える。

【0074】

図5に示した本発明の第2の実施形態にかかるPLL回路100'は、図2に示したPLL回路100に、収束検出回路118と、アクティベート部119と、が追加された構成を有している。

50

【0075】

収束検出回路118は、データ変換回路116の出力をモニターして、その収束度合いを検出するものである。収束検出回路118は、入力信号と設定された分周比“N”101との差、および、入力信号の演算周期にわたる変化が任意の閾値以下になると、収束したとみなす回路である。この収束検出回路118が、このPLL回路100'の収束を検出した後、補正值算出部109をオンさせるための制御信号が送られる。

【0076】

アクティベート部119は、補正值算出部109をオンさせるための制御信号を生成して、補正值算出部109へ出力するものである。アクティベート部119の構成については、以下において詳述する。

10

【0077】

[3-2. アクティベート部の機能構成]

図6は、本発明の第2の実施形態にかかるPLL回路100'に含まれるアクティベート部119の構成を示す説明図である。上述したように、アクティベート部119は、補正機能をオンまたはオフする、すなわち、補正值算出部109をオンまたはオフする制御信号を生成するものである。

【0078】

デジタル表示された設定分周比“N”141は、第1の乗算器142で第1の基準クロックの周波数値143と乗算され、所望発振周波数値 f_{RF} を得る。さらに、第2の乗算器144は、 t の見積もり値145および所望発振周波数値 f_{RF} である第1の乗算器142の出力との乗算を行う。つまり、第2の乗算器144の出力は、 t/T となる。なお、 t/T の算出には、図3の周期検出回路121で検出した値の逆数を算出する構成にしてもよい。

20

【0079】

第3の乗算器146は、第2の乗算器144の出力と、デジタル値で表された設定分周比“N”141の小数部148の逆数149との乗算を行う。つまり、図15に示した関係より、第3の乗算器146の出力はMとなる。

【0080】

加算器150は、第3の乗算器146の出力Mから1を減算し、 $M-1$ を得るものである。ループ帯域を制御する可変利得回路の利得151を $1/2$ とすると、第4の乗算器152において $1/2$ を乗算することにより、 $1/2^{(n+1)}$ が得られる。なお、第4の乗算器152は、ビットシフト回路で代用できることは言うまでもない。

30

【0081】

第5の乗算器153は、第4の乗算器152の出力 $1/2^{(n+1)}$ と、加算器150の出力 $M-1$ とを乗算するものであり、これにより、第5の乗算器153は $(M-1)/2^{(n+1)}$ の出力を得る。

【0082】

比較回路154は、第5の乗算器153の出力 $(M-1)/2^{(n+1)}$ が1以下であるか否かの比較を行うものである。第5の乗算器153の出力 $(M-1)/2^{(n+1)}$ が1未満であれば、補正機能をオンにする制御信号155が出力される。一方、第5の乗算器153の出力 $(M-1)/2^{(n+1)}$ が1以上であれば、補正機能をオフにする制御信号156が出力される。ここで、図15の演算周期1における累積加算器2の小数部は次式であった。

40

【0083】

【数10】

$$\frac{\Delta t}{T} \cdot \left\{ 1 + \frac{1}{M} - \frac{1}{2^n} \cdot \left(1 - \frac{a}{M} \right) \right\} \cdots (\text{数式4})$$

【0084】

50

各演算周期での誤差が正方向に蓄積されるように、(数式4)の中括弧内の2項以下の和が0より大きい条件を求めると、以下ようになる。

【0085】

【数11】

$$\frac{1}{M} - \frac{1}{2^a} \cdot \left(1 - \frac{a}{M}\right) > 0$$

$$\frac{1}{M} - \frac{1}{2^a} \cdot \left(1 - \frac{M+1}{2M}\right) > 0$$

$$\frac{M-1}{2^{a+1}} < 1 \cdots \text{(数式5)}$$

10

【0086】

つまり、図6は、上記(数式5)の条件を満たす場合にのみ補正機能をオンさせる制御信号生成のための回路である。

【0087】

なお、上記実施形態では第3の乗算器146を用いていたが、本発明においては、第3の乗算器146の出力Mの代わりに、図3に示したフリップフロップ126の出力Mを用いても良いことは言うまでもない。

20

【0088】

<4. 第3の実施形態>

[4-1. 補正值算出部の構成]

次に、本発明の第3の実施形態について説明する。図7は、本発明の第3の実施形態に含まれるPLL回路に含まれる補正值算出部109'の構成を示す説明図である。以下、図7を用いて本発明の第3の実施形態にかかるPLL回路に含まれる補正值算出部109'の構成について説明する

【0089】

図3との説明の重複を避けるために、ここでは図3に示した本発明の第1の実施形態にかかるPLL回路100に含まれる補正值算出部109との差分につき説明を加える。

30

【0090】

図7に示した補正值算出部109'は、図3に示した補正值算出部109から、第2の比較回路129と、スイッチ130とが追加された構成を有している。

【0091】

第2の比較回路129は、TDC回路106の出力である D_R およびDCO105の出力クロックの周期検出回路121の出力である $2 \cdot |D_R - D_F|$ から、 $D_R / (2 \cdot |D_R - D_F|)$ を算出し、この値が所定の範囲(0.25以上、0.75未満)であるか否かを検出するものである。 $D_R / (2 \cdot |D_R - D_F|)$ が0.25以上、0.75未満である場合には、スイッチ130は、TDC回路106の出力 D_R が第1の遅延回路123にされるように制御される。一方、 $D_R / (2 \cdot |D_R - D_F|)$ が0.25以上、0.75未満でない場合には、スイッチ130は、TDC回路106の出力 D_F が第1の遅延回路123にされるように制御される。

40

【0092】

図8は、図7に示した第2の比較回路129に基づいて、スイッチ130が、TDC回路106の2つの出力のうち、どちらの出力を第1の遅延回路123にするよう制御するのを示す説明図である。

【0093】

演算周期 x では、 $D_R = 12$ 、 $D_F = 6$ であるため、 $D_R / (2 \cdot |D_R - D_F|)$ の値は1となる。よって、スイッチ130は D_F を選択するように第2の比較回路129によって制御される。一方、演算周期 $x+1$ では、 $D_R = 3$ 、 $D_F = 9$ であるため、 $D_R /$

50

($2 \cdot |D_R - D_F|$) の値は 0.25 となる。よって、スイッチ 130 は D_R を選択するように第 2 の比較回路 129 によって制御される。

【0094】

ここで、このようなエッジ切り替えがない場合を考えてみる。演算周期 $x + k - 1$ から $x + k$ への変化を観察すると、 D_R は 12 から 1 へと変化している。図 7 における加算器 122、第 1 の遅延回路 123、第 1 の比較回路 124 は、1 つ前の演算周期での D_R に対して、現在の演算周期での D_R が 1 増加する点を検出するブロックである。よって、演算周期 $x + k - 1$ から $x + k$ への変化点では、第 1 の比較回路 124 は、この 1 の増加分を検出できない。

【0095】

そこで、このケースでは、 D_R ではなく、 D_F が 1 増加することを検出することで、演算周期 $x + k - 1$ から $x + k$ への変化点において、累積クロック数の小数部の周期性を検出することが可能となる。

【0096】

[4 - 2 . 位相比較処理]

図 9 A 及び図 9 B は、本発明の第 3 の実施形態にかかる PLL 回路に含まれる補正值算出部 109' による位相比較処理を示す説明図である。

【0097】

図 7 に示した補正值算出部 109' に含まれている、第 2 の比較回路 129 の結果が、図 9 A のように D_R を選択する結果である場合には、例えば図 5 に示す PLL 回路 100' におけるリタイミング回路 110 は、第 1 の基準クロック 103 の出力クロック CLK_{REF1} を、発振回路 105 の出力クロック CLK_{RF} の立ち上がりエッジでリタイミングした第 2 の基準クロック CLK_{REF2} を生成する。

【0098】

また、第 1 のフリップフロップ 111 は、第 2 の累積加算器 104 の出力を第 2 の基準クロック CLK_{REF2} の立ち上がりエッジでホールドする。これは、発振回路 105 の出力クロック CLK_{RF} の累積クロック数を小数点表示する際に、その小数部を切り上げた整数値 CLK_{ACCUM_INT} を算出することと等価である。よって、第 1 の基準クロック 103 の出力クロック CLK_{REF1} の立ち上がりエッジでの発振回路 105 の出力クロック CLK_{RF} の小数点表示された累積クロック数 CLK_{ACCUM} は、次式により求められる。

【0099】

【数 12】

$$CLK_{ACCUM} = CLK_{ACCUM_INT} - Frac \cdot \cdot \cdot \text{(数式 6)}$$

$$Frac = 1 - \frac{D_R}{D_T} \cdot \cdot \cdot \text{(数式 7)}$$

$$\text{(なお、 } D_T = 2 \cdot |D_R - D_F| \text{)}$$

【0100】

よって、図 5 に示す PLL 100' における第 3 の加算器 113 は、デジタル数値化された設定分周比 101 である “N” を累積加算する第 1 の累積加算器 102 の出力から、この発振回路 105 の出力クロック CLK_{RF} の小数点表示された累積クロック数 CLK_{ACCUM} を減じることで、位相比較器として動作する。

【0101】

一方、図 7 に示した補正值算出部 109' に含まれている、第 2 の比較回路 129 の結果が、図 9 B のように D_F を選択する結果である場合には、例えば図 5 に示す PLL 回路 100' におけるリタイミング回路 110 は、第 1 の基準クロック 103 の出力クロック CLK_{REF1} を、発振回路 105 の出力クロック CLK_{RF} の立ち下がりエッジでリタ

10

20

30

40

50

イミングした第2の基準クロック CLK_{REF2} を生成する。

【0102】

また、第1のフリップフロップ111は、第2の累積加算器104の出力を第2の基準クロック CLK_{REF2} の立ち上がりエッジでホールドする。よって、第1の基準クロック103の出力クロック CLK_{REF1} の立ち上がりエッジでの発振回路105の出力クロック CLK_{RF} の小数点表示された累積クロック数 CLK_{ACCUM} は、次式により求められる。

【0103】

【数13】

$$CLK_{ACCUM} = CLK_{ACCUM_INT} + 0.5 - \text{Frac} \cdot \cdot \cdot \text{(数式8)}$$

$$\text{Frac} = 1 - \frac{D_F}{D_T} \cdot \cdot \cdot \text{(数式9)}$$

$$\text{(なお、 } D_T = 2 \cdot |D_R - D_F| \text{)}$$

10

【0104】

よって、図5に示すPLL回路100'における第3の加算器113は、デジタル数値化された設定分周比“N”101を累積加算する第1の累積加算器102の出力から、この発振回路105の出力クロック CLK_{RF} の小数点表示された累積クロック数 CLK_{ACCUM} を減じることで位相比較器として動作する。

20

【0105】

このように、図7に示した補正值算出部109'に含まれている、第2の比較回路129の比較結果に基づいて、(数式6)、(数式7)、または、(数式8)、(数式9)式を使い分ける位相比較処理を行えばよいことになる。

【0106】

<5. PLL回路を備える無線端末装置>

次に、本発明の上記各実施形態にかかるPLL回路を備える無線端末装置について説明する。図10は、本発明の上記各実施形態にかかるPLL回路を備える無線端末装置200の構成について説明する説明図である。以下、図10を用いて無線端末装置200の構成について説明する。

30

【0107】

図10に示したように、無線端末装置200は、ベースバンド回路(Base-band BLOCK)201と、送受信モジュール202と、アンテナ共用器203と、電波を送受信するアンテナ204と、を含んで構成される。

【0108】

ベースバンド回路201は、ベースバンド信号を扱う回路であり、送受信モジュール202との間で信号の授受を行う。送受信モジュール202は、ベースバンド回路201との間で信号の授受を行って信号処理を行う。アンテナ共用器203は、送受信モジュール202との間で信号の授受を行う。アンテナ204は、電波の送受信を行う。

40

【0109】

また、送受信モジュール202は、送信系と受信系に分けられ、送信系はデジタルPLL211と、発振器212と、低雑音増幅器213と、を含んで構成され、受信系は、デジタルPLL221と、発振器222と、低雑音増幅器223と、ダウンコンバータ224と、ローパスフィルタ225と、可変利得変換器226と、を含んで構成される。

【0110】

ここで、図10に示したデジタルPLL211、221に、例えば図2または図5に示した、本発明の上記各実施形態にかかるPLL回路100、100'のいずれかを適用することができる。PLL回路100、100'のいずれかを無線端末装置200に適用す

50

ることで、無線端末装置 200 は、上述した各実施形態の効果を有することができる。つまり、本発明の第 2 の実施形態にかかる無線端末装置 200 は、可変利得増幅回路の利得を切り替えた際に発生するオフセットに起因した不連続を低減して、高速なロックを実現することができる。

【0111】

なお、図 10 に示した無線端末装置 200 の構成は、あくまで一例であり、かかる例に限定されないことは言うまでもない。デジタル PLL を用いる装置であれば本発明の PLL 回路を適用することが可能であり、そのような PLL 回路として、例えば上述した本発明の上記各実施形態にかかる PLL 回路 100、100' のいずれかを適用することができる。

10

【0112】

< 6 . まとめ >

以上説明したように本発明の各実施形態にかかる PLL 回路によれば、補正値を算出して、累積クロック数の小数部にその補正値を加算することで、TDC 回路の有限な分解能に起因して発生する、周期性誤差の影響を低減させることができる。また本発明の第 2 の実施形態にかかる PLL 回路によれば、TDC 回路の周期性誤差の影響が顕著となる条件下において補正値の加算を行うことで、TDC 回路の周期性誤差の影響が少ない条件下、演算量の低減が可能になる。

【0113】

また、本発明の第 3 の実施形態にかかる PLL 回路によれば、TDC 回路の周期性誤差の検出における不連続点の影響を除去することができ、また、基準クロックの立ち上がりエッジと発振クロックの立ち上がりエッジとが近接する条件で発生する TDC 回路の検出誤差の影響を低減することができる。

20

【0114】

上記の実施形態で説明した一連の処理は、専用のハードウェアによって実行させても良いが、ソフトウェア（アプリケーション）により実行させても良い。一連の処理をソフトウェアに行わせる場合には、汎用又は専用のコンピュータにコンピュータプログラムを実行させることにより、上記の一連の処理を実現することができる。

【0115】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

30

【符号の説明】

【0116】

- 100 PLL 回路
- 102 第 1 の累積加算器
- 103 第 1 の基準クロック
- 104 第 2 の累積加算器
- 105 発振回路
- 106 TDC 回路
- 107 小数部算出回路
- 108 第 1 の加算器
- 109 補正値算出部
- 110 リタイミング回路
- 111 第 1 のフリップフロップ
- 112 第 2 の加算器
- 113 第 3 の加算器
- 114 第 2 のフリップフロップ

40

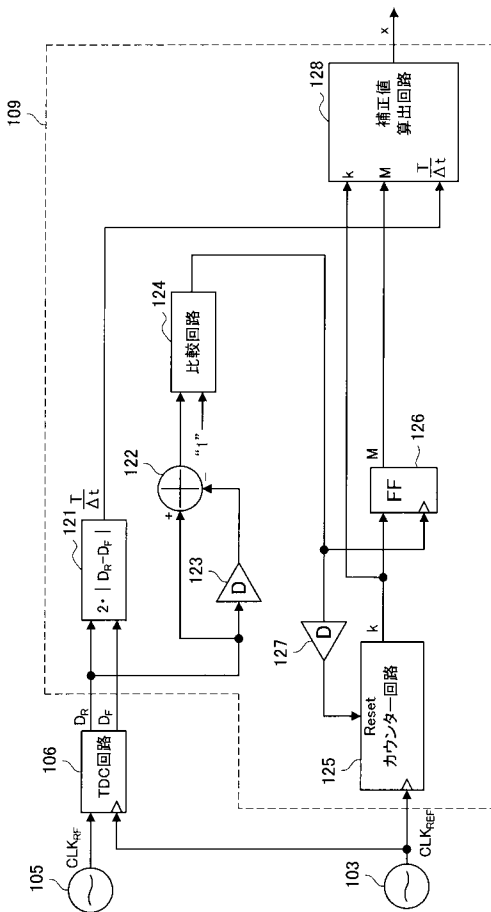
50

1 1 5	可変利得回路	
1 1 6	データ変換回路	
1 1 7	乗算器	
1 1 8	収束検出回路	
1 1 9	アクティベート部	
1 2 1	周期検出回路	
1 2 2	加算器	
1 2 3	第 1 の遅延回路	
1 2 4	第 1 の比較回路	
1 2 5	カウンタ回路	10
1 2 6	フリップフロップ	
1 2 7	第 2 の遅延回路	
1 2 8	補正值算出回路	
1 2 9	第 2 の比較回路	
1 3 0	スイッチ	
1 4 1	分周比	
1 4 2	第 1 の乗算器	
1 4 3	第 1 の基準クロックの周波数値	
1 4 4	第 2 の乗算器	
1 4 5	t の見積もり値	20
1 4 6	第 3 の乗算器	
1 4 7	設定分周比の整数部	
1 4 8	設定分周比の小数部	
1 4 9	設定分周比の小数部の逆数	
1 5 0	加算器	
1 5 1	可変利得回路の利得	
1 5 2	第 4 の乗算器	
1 5 3	第 5 の乗算器	
1 5 4	比較回路	
1 5 5	補正機能をオンにする制御信号	30
1 5 6	補正機能をオフにする制御信号	

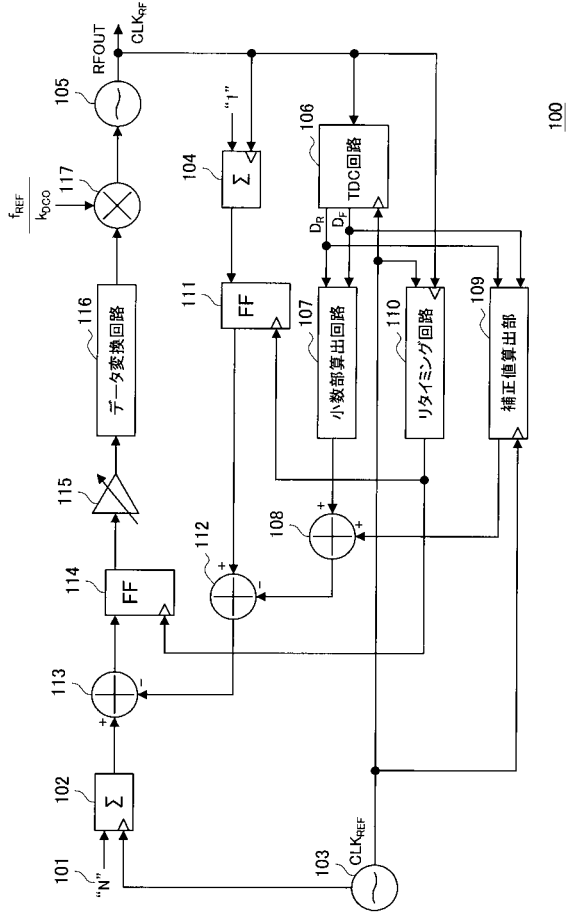
【図 1】

演算周期	累積クロックの 小数部	TDC回路出力	位相比較器出力	TDC出力に加工する補正值 x
M	$\frac{2 \cdot \Delta t}{T}$	$\frac{2 \cdot \Delta t}{T}$	$\frac{\Delta t}{T} \cdot \frac{a+M}{M} - \left(\frac{2 \cdot \Delta t}{T} + x \right) = 0$	$\frac{\Delta t}{T} \cdot \left(\frac{a}{M} - 1 \right)$
M + 1	$\frac{\Delta t}{T} \cdot \left(2 + \frac{1}{M} \right)$	$\frac{2 \cdot \Delta t}{T}$	$\frac{\Delta t}{T} \cdot \frac{a+M+1}{M} - \left(\frac{\Delta t}{T} \cdot 2 + x \right) = 0$	$\frac{\Delta t}{T} \cdot \left(\frac{a+1}{M} - 1 \right)$
M + 2	$\frac{\Delta t}{T} \cdot \left(2 + \frac{2}{M} \right)$	$\frac{2 \cdot \Delta t}{T}$	$\frac{\Delta t}{T} \cdot \frac{a+M+2}{M} - \left(\frac{\Delta t}{T} \cdot 2 + x \right) = 0$	$\frac{\Delta t}{T} \cdot \left(\frac{a+2}{M} - 1 \right)$
...
M + k	$\frac{\Delta t}{T} \cdot \left(2 + \frac{k}{M} \right)$	$\frac{2 \cdot \Delta t}{T}$	$\frac{\Delta t}{T} \cdot \frac{a+M+k}{M} - \left(\frac{\Delta t}{T} \cdot 2 + x \right) = 0$	$\frac{\Delta t}{T} \cdot \left(\frac{a+k}{M} - 1 \right)$
...
2M	$\frac{3 \cdot \Delta t}{T}$	$\frac{3 \cdot \Delta t}{T}$	$\frac{\Delta t}{T} \cdot \frac{a+2M}{M} - \left(\frac{3 \cdot \Delta t}{T} + x \right) = 0$	$\frac{\Delta t}{T} \cdot \left(\frac{a}{M} - 1 \right)$

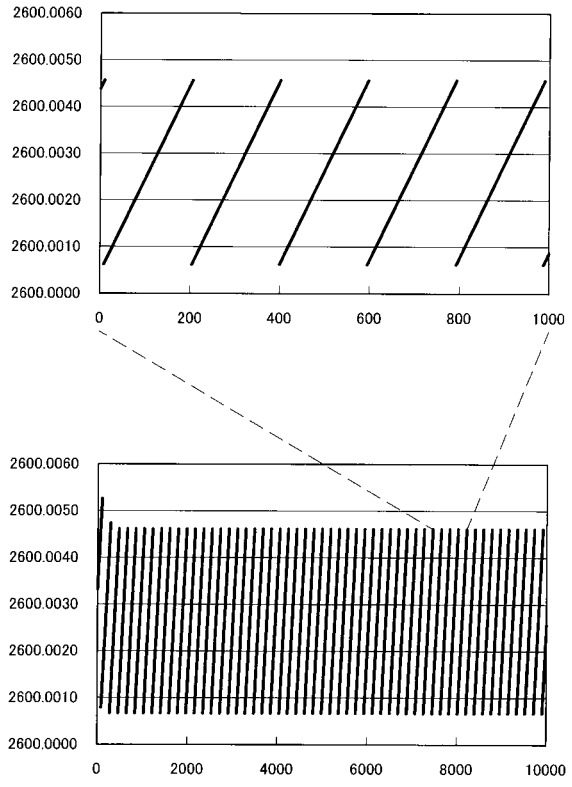
【図 3】



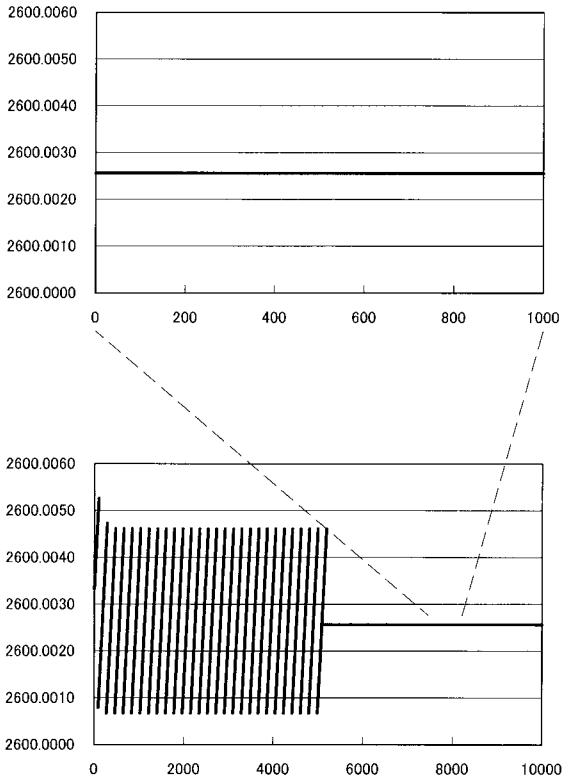
【図 2】



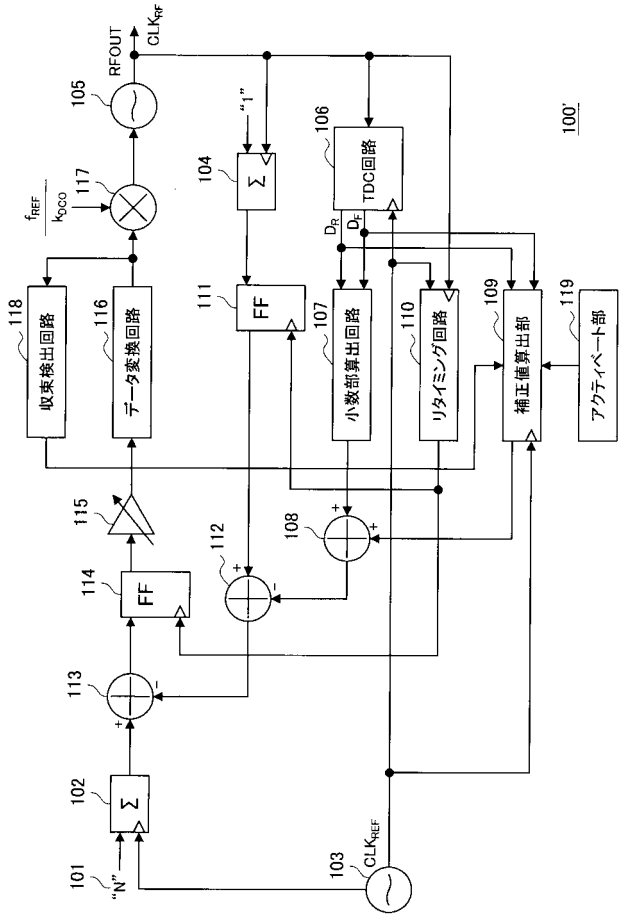
【図 4 A】



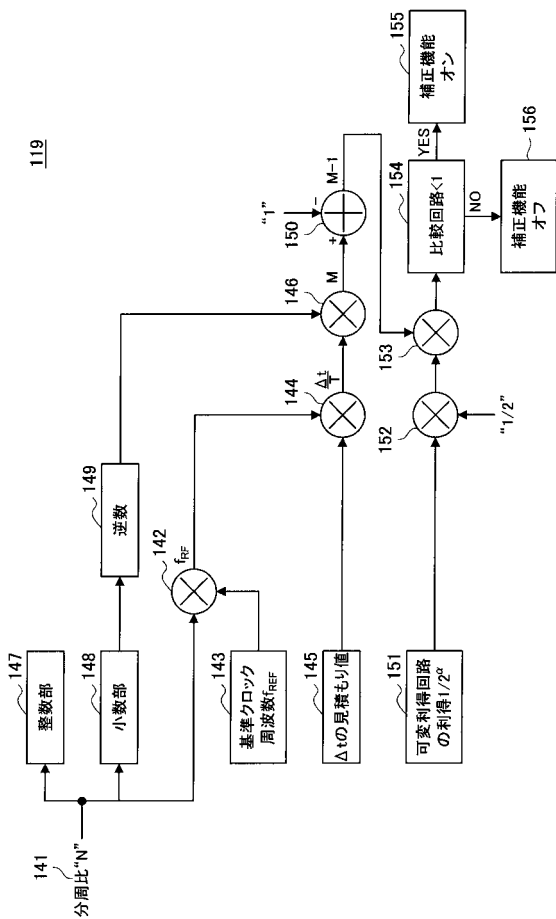
【図4B】



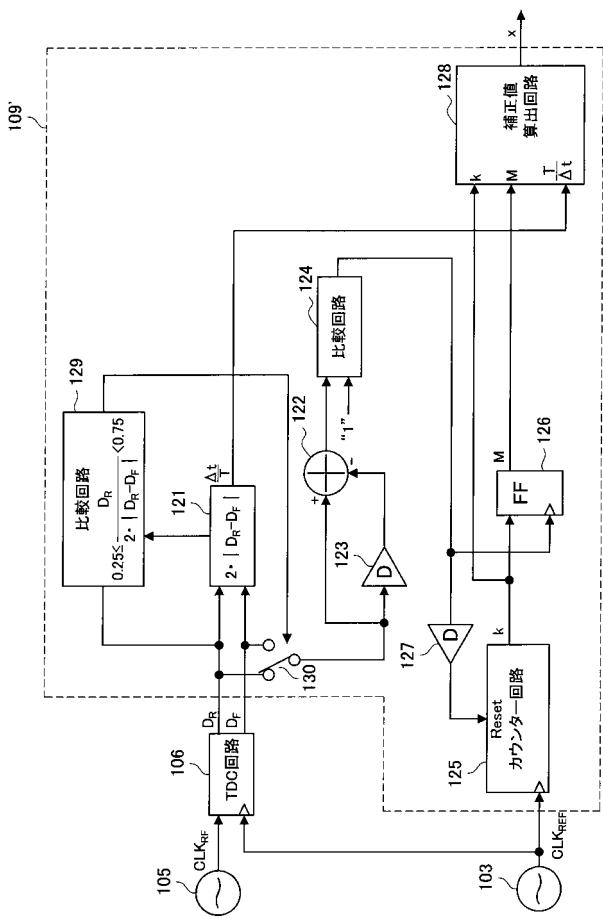
【図5】



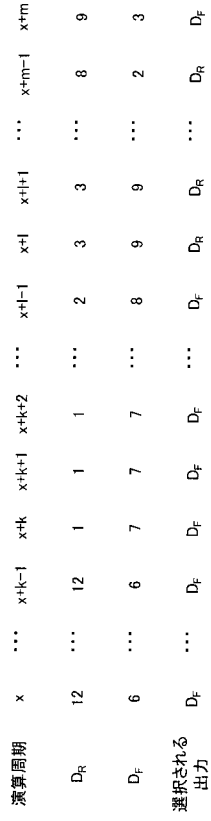
【図6】



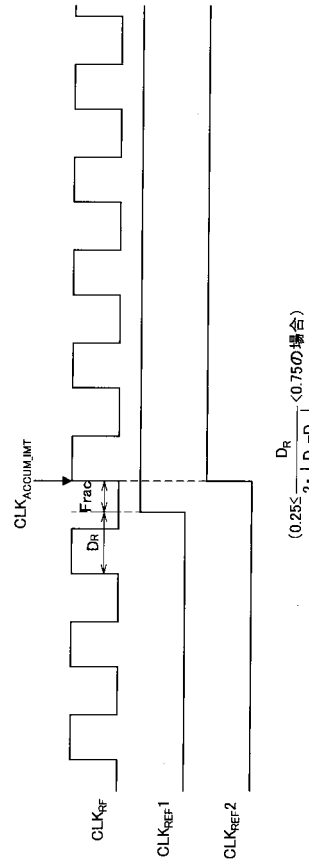
【図7】



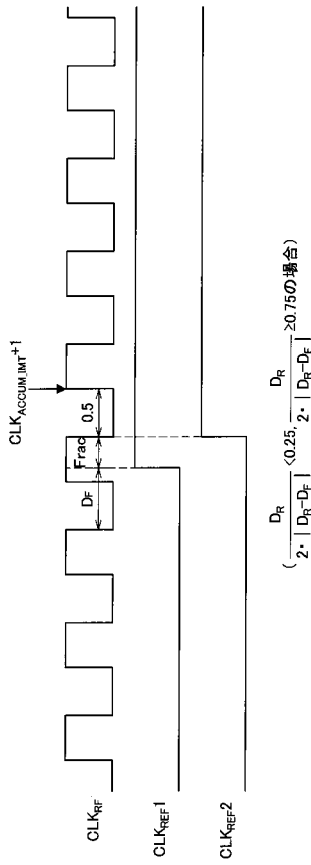
【図 8】



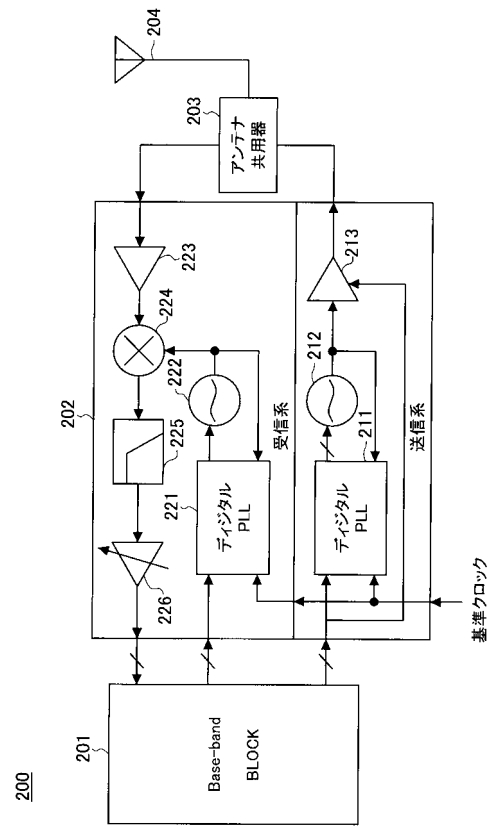
【図 9 A】



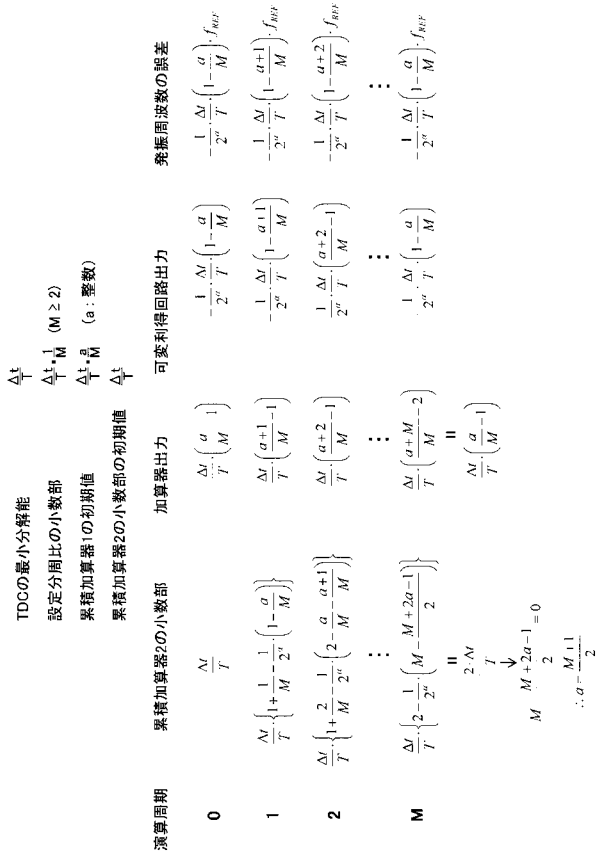
【図 9 B】



【図 10】



【図 16】



フロントページの続き

Fターム(参考) 5J106 AA05 BB01 CC03 CC15 CC21 CC41 CC58 DD02 DD06 DD12
DD13 DD17 DD38 DD44 DD48 FF07 GG01 GG04 HH02 JJ02
KK06