

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-277110
(P2010-277110A)

(43) 公開日 平成22年12月9日(2010.12.9)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J 5C080	
G09G 3/20 (2006.01)	G09G 3/20 612E 5C380	
	G09G 3/20 611H	
	G09G 3/20 623C	
	G09G 3/20 623D	

審査請求 有 請求項の数 4 O L (全 41 頁) 最終頁に続く

(21) 出願番号	特願2010-168847 (P2010-168847)	(71) 出願人	000153878
(22) 出願日	平成22年7月28日 (2010.7.28)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2003-395816 (P2003-395816) の分割		神奈川県厚木市長谷398番地
原出願日	平成15年11月26日 (2003.11.26)	(72) 発明者	木村 肇
(31) 優先権主張番号	特願2002-348673 (P2002-348673)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成14年11月29日 (2002.11.29)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	F ターム (参考)	5C080 AA06 BB05 DD05 DD08 FF11 JJ02 JJ03 JJ04 KK07 KK43 KK50
(31) 優先権主張番号	特願2003-19240 (P2003-19240)		
(32) 優先日	平成15年1月28日 (2003.1.28)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

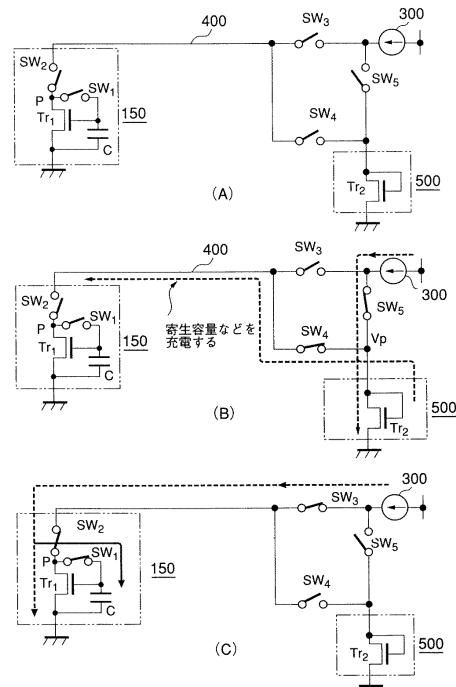
(54) 【発明の名称】半導体装置及び電子機器

(57) 【要約】

【課題】信号電流が小さな場合であっても信号の書き込み速度や素子駆動速度を向上させることのできる電流駆動回路及びこれを用いた表示装置を提供する。

【解決手段】駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、前記信号線を介して前記ノードにプリチャージ電圧を供給するプリチャージ手段を設け、前記プリチャージ手段は、前記信号電流の供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段を有する。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

駆動動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、前記信号線を介して前記ノードにプリチャージ電圧を供給するプリチャージ手段を設け、

前記プリチャージ手段は、前記信号電流の供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段を有することを特徴とする電流駆動回路。

【発明の詳細な説明】**【技術分野】****【0001】**

10

本発明は電流駆動回路とこれを用いた表示装置に係り、特に電流によって輝度が変化する電流駆動型発光素子を画素の表示素子として用いるアクティブマトリックス型表示装置の画素回路やソースドライバ回路に用いられる電流駆動回路に関する。

【背景技術】**【0002】**

20

近年画素の表示素子として、発光ダイオード(ＬＥＤ)などの自発光素子を用いた、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード(ΟＬＥＤ)などが注目を集めしており、ディスプレイ装置や携帯電話の表示画面などに用いられるようになってきている。

ΟＬＥＤなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高い点、バックライトが不要である点、応答速度が速い点等の利点がある。また、発光素子の輝度は、発光素子を流れる電流値によって制御される。

【0003】

このような自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリックス方式とアクティブマトリックス方式とが知られている。単純マトリックス方式の構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があるため、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ(ＴＦＴ)によって制御するアクティブマトリックス方式の開発が盛んに行われている。

【0004】

30

このようなアクティブマトリックス方式の表示装置の場合、駆動ＴＦＴの特性のバラツキにより、発光素子に流れる電流が変化し輝度がばらついてしまうという問題があった。アクティブマトリックス方式の表示装置の場合、画素回路100には発光素子に流れる電流を駆動する駆動ＴＦＴが用いられているが、これらの駆動ＴＦＴの特性がばらつくことによって発光素子に流れる電流が変化し、輝度がばらつく。そこで画素回路内の駆動ＴＦＴの特性がばらついても発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている。

【先行技術文献】**【特許文献】****【0005】**

40

【特許文献1】特表2002-517806号公報

【特許文献2】国際公開第01/06484号公報

【特許文献3】特表2002-514320号公報

【特許文献4】国際公開第02/39420号公報

【0006】

特許文献1乃至4は、いずれもアクティブマトリックス型表示装置の構成を開示したもので、特許文献1乃至3には、画素回路内に配置された駆動ＴＦＴの特性のバラツキによって発光素子に流れる電流が変化しないような回路構成が開示されている。また特許文献4には、ソースドライバ回路内のＴＦＴのバラツキによる駆動電流の変化を抑制するための回路構成が開示されている。

【0007】

50

図30は、特許文献1に開示されている従来のアクティブマトリックス型表示装置の一例を示す回路図である。

この表示装置は、マトリックス状に配置された複数の画素回路100と、この画素回路100を駆動するためのソースドライバ回路200とから構成されている。画像情報に応じた信号レベルを有する信号電流を画素毎に信号線20から供給し、この信号電流に比例する駆動電流を電源線30から画素回路100内の発光素子40に供給するように構成されている。

【0008】

画素回路100は、電流駆動型発光素子であるOLED40と、制御線10cの制御信号に応じてON、OFFの切り替えを行う発光TFT52と、制御線10bの制御電圧に応じてON、OFFを行い、信号線に供給される画像情報に応じた電流レベルの信号電流を通過させる選択TFT51と、電源線30からの駆動電流を供給する駆動TFT50と、駆動TFT50のゲートとソースとの間に接続された保持容量60と、制御線10aの制御信号に応じてON、OFFの切り替えを行い、駆動TFT50のゲートとドレインとを選択的に接続する保持TFT53で構成されている。また、ソースドライバ回路200は、画像情報に応じた信号レベルを有する信号電流 I_{video} を出力する画像信号入力電流源70を有している。

【0009】

次に、その回路動作を説明する。

【0010】

まず、図31に示すように、保持TFT53と選択TFT51とを制御線10a、10bに印加される制御電圧によりONにする。すると、画像信号入力電流源70で定められる所定の信号電流 I_{video} は図中の点線で示されるように、電源線30から駆動TFT50及び選択TFT51を通って流れる。

この時、駆動TFT50のゲート・ソース間には、信号電流 I_{video} が流れるのに必要なゲート・ソース間電圧 V_{gs} がかかり、この電圧は保持容量60に保持される。保持容量60に電圧は保持され、定常状態に達すると保持TFT53には電流は流れなくなる。

【0011】

次に図32に示すように、保持TFT53をOFFにする。

すると、ゲート・ソース間電圧 V_{gs} は保持容量60に保持され、この保持電圧 V_{gs} により駆動TFT50には信号電流 I_{video} が流れ続ける。その後、図33に示すように選択TFT51をOFFにし、発光TFT52をONにする。すると、信号電流 I_{video} がOLED40に流れ始める。

【0012】

ここで、駆動TFT50のドレイン・ソース間電圧 V_{ds} は、図32の場合と図33の場合とではその値が異なる。しかし、駆動TFT50が飽和領域で動作している場合は、ソース・ドレイン間電圧 V_{ds} が変化しても、ゲート・ソース間電圧 V_{gs} は同じである限り、同一の電流 I_{video} が流れる。したがって、OLEDの特性が劣化して電流電圧特性が変化しても、常にOLEDに流れる電流は一定となるため、輝度は劣化しにくいという利点がある。

また、駆動TFT50のドレイン・ソース間電圧が変化しても、保持容量60に保持される電圧は一定である限り、常に同一の電流が流れる。したがって、駆動TFT50の製造上のバラツキによって信号電流が変化する問題もない。

【0013】

以上の例は、画素回路内でのOLED40や駆動TFT50のバラツキによる信号電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。

特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。

10

20

30

40

50

【発明の概要】**【発明が解決しようとする課題】****【0014】**

このように、従来の電流駆動回路やこれを用いた表示装置においては、信号電流と TFT を駆動するための電流あるいは信号電流と発光時に発光素子に流れる電流とが等しいか、あるいは比例関係を保つように構成されている。

ところが、発光素子を駆動するための駆動 TFT の駆動電流が小さい場合や、発光素子で暗い階調の表示を行おうとする場合、信号電流もそれに比例して小さくなってしまう。また、一般に信号電流を駆動 TFT や発光素子に供給するために用いられる配線の寄生容量は極めて大きいため、配線の寄生容量を充電する時定数が大きくなり、信号電流が小さいと信号書き込み速度や素子駆動速度が遅くなってしまう問題が起こる。

本発明は上記の課題を解決するためになされたもので、信号電流が小さな場合であっても信号の書き込み速度や素子駆動速度を向上させることのできる電流駆動回路及びこれを用いた表示装置を提供することを目的とする。

【課題を解決するための手段】**【0015】**

本発明では、電流源を有する回路内に、信号を書き込む対象の駆動対象回路の回路構成と同様な回路（プリチャージ回路）を形成する。

信号書き込み時において定常状態になった時の信号線に加わる電圧をプリチャージ回路において決定する。仮にその電圧を V_p とすると、この電圧をプリチャージ電圧として信号電流を信号線に供給するに先立って、プリチャージ電圧として電圧 V_p を加えるようとする。

【0016】

このプリチャージ電圧 V_p の印加時には、信号線には一定電流ではなく大きな電流が流れるため、急速に信号線の電位がプリチャージ電圧 V_p に充電される。その後、信号線に画像情報に応じた電流レベルを有する信号電流を印加する。これにより、バラツキの影響を除去し、正確な信号を駆動対象回路に入力することができる。また、予め信号線の電位がプリチャージ電圧 V_p に充電されているため、信号電流の大きさは小さくても信号を書き込む速度が遅くなることはない。

【0017】

なお、信号線に印加する信号電流は、画像情報に応じた電流レベルを有するとは、限定されない。必要な大きさの電圧でプリチャージを行い、必要な電流レベルを有する電流を印加すればよい。

【0018】

また、プリチャージ電圧は、駆動対象回路の回路構成と同様な回路（プリチャージ回路）のみに従って決定されるものではない。別の手段を用いて、プリチャージ電圧を決定してもよい。

【0019】

なお、このような回路の構成や、その手法（駆動方法）は、表示装置だけでなく、さまざまな回路に適用することが出来る。

【0020】

本発明の電流駆動回路は、駆動対象回路のノード（複数の配線間の結節点）に信号線を介して信号電流を供給する電流駆動回路において、前記信号線を介して前記ノードにプリチャージ電圧を供給するプリチャージ手段を設け、前記プリチャージ手段は、前記信号電流の供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段を有することを特徴とする。

【0021】

前記電流駆動回路において、前記プリチャージ手段は、前記プリチャージ電圧を前記駆動対象回路に前記信号電流を供給した時の定常状態下の前記ノードのノード電位に等しい値又はそれに準ずる値に設定する設定手段を有することが出来る。

10

20

30

40

50

また前記電流駆動回路において、前記プリチャージ手段は、前記プリチャージ電圧を複数設定する複数設定手段と、前記信号電流の大きさに応じて選択的に前記ノード及び前記信号線に前記プリチャージ電圧を供給する選択供給手段を有することも出来る。

【0022】

さらに、本発明は、駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、前記ノード及び前記信号線にプリチャージ電圧を供給するプリチャージ回路と、前記信号電流を前記プリチャージ回路に供給して前記プリチャージ電圧を発生させる発生手段と、前記信号電流の前記駆動対象回路への供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする。

【0023】

また、本発明は、駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、前記ノードにプリチャージ電圧を供給するプリチャージ回路と、前記信号電流に対応する電流を前記プリチャージ回路に供給して前記プリチャージ電圧を予め発生させておき、前記信号電流の前記駆動対象回路への供給に先立って前記ノード及び信号線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする。

【0024】

前記電流駆動回路において、前記駆動対象回路は第1の駆動素子を含み、前記プリチャージ回路は第2の駆動素子を含み、前記第1及び前記第2の駆動素子は同サイズ又はそれに準ずるサイズであることが出来る。より詳しくは、前記第1及び第2の駆動素子はそれぞれ第1のトランジスタ及び第2のトランジスタであり、前記第1のトランジスタのチャネル幅Wとチャネル長Lとの比と、前記第2のトランジスタのチャネル幅Wとチャネル長Lの比が概ね等しいことが望ましい。

さらに、前記電流駆動回路において、前記プリチャージ電圧をインピーダンス変換用アンプを介して前記ノード及び前記信号線に供給する手段を有することも出来る。

また、前記電流駆動回路において、前記プリチャージ電圧を複数設定する複数設定手段と、前記信号電流の大きさに応じて選択的に前記ノード及び前記信号線に前記プリチャージ電圧を供給する選択供給手段を有することも出来る。

【0025】

前記プリチャージ電圧を前記ノード及び前記信号線に供給するプリチャージ期間 T_b を前記信号線の配線抵抗 R_L と寄生容量 C_L とに基づき、 $T_b = R_L \times C_L$ に設定する手段を有することが出来る。

前記信号電流の前記駆動対象回路への供給期間 T_a が $T_a < T_b$ の関係にある場合には、 $T_a = T_b$ となるように設定する手段を有することが出来る。

【0026】

また、本発明は、画像情報が電流線を介して電流の形で与えられる画像回路と、前記画像情報を信号電流として前記電流線に供給する電流駆動回路とを具備した表示装置において、前記電流駆動回路は、前記画像情報に応じた信号電流をノードから前記電流線に供給するソースドライバ電流源と、前記ノード及び前記電流線にプリチャージ電圧を供給するプリチャージ回路と、前記信号電流の供給に先立って前記ノード及び前記電流線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする。

【0027】

前記表示装置において、前記プリチャージ電圧をインピーダンス変換用アンプを介して前記電流線に供給する手段を有することが出来る。

さらに、本発明は、画像情報を信号電流として伝送する信号線と、前記信号電流に比例する駆動電流を電源線から供給する第1の駆動素子とを含む画素回路と、前記信号電流を前記信号線に供給する画像信号入力電流源を含むソースドライバ回路とを具備した表示装置において、前記信号電流を前記信号線に供給するに先立って、前記信号線をプリチャージするプリチャージ回路を前記ソースドライバ回路に内蔵したことを特徴とする。

【0028】

前記プリチャージ回路は、前記画像信号入力電流源と前記電源線との間に選択的に接続

され前記信号電流に応じたプリチャージ電圧を出力する第2の駆動素子を含むことが出来る。

前記プリチャージ電圧をインピーダンス変換用アンプを介して前記信号線に供給する手段を有することも出来る。

【0029】

さらに、画像情報を信号電流として伝送する信号線と、前記信号電流に比例する駆動電流を電源線から供給する第1の駆動素子とを含む画素回路と、前記信号電流を前記信号線に供給する画像信号入力電流源を含むソースドライバ回路とを具備した表示装置において、前記信号電流を前記信号線に供給するに先立って、前記信号線をプリチャージするプリチャージ回路を前記ソースドライバ回路に内蔵し、前記プリチャージ回路は、前記画像信号入力電流源と前記電源線との間に選択的に接続され前記信号電流に応じたプリチャージ電圧を出力する第2の駆動素子を含み、前記第1及び前記第2の駆動素子は同サイズ又はそれに準ずるサイズとすることも出来る。より詳しくは、前記第1及び第2の駆動素子はそれぞれ第1のトランジスタ及び第2のトランジスタであり、前記第1のトランジスタのチャネル幅Wとチャネル長Lとの比と、前記第2のトランジスタのチャネル幅Wとチャネル長Lの比が概ね等しいことが望ましい。

前記プリチャージ電圧を、前記第1又は前記第2の駆動素子に前記信号電流を供給した時の定常状態下の電圧に等しい値又はそれに準ずる値に設定する手段を有することも出来る。

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよい。

【発明の効果】

【0030】

本発明の電流駆動回路は、信号電流を信号線に供給するに先だって信号線を所定電位にプリチャージするプリチャージ回路を設けているため、信号電流が小さくても信号の書き込み速度が遅くなってしまうという問題を解消することができる。

【図面の簡単な説明】

【0031】

【図1】本発明に係る電流駆動回路の一実施例を示す図であり、(A)はその回路図、(B)はプリチャージ動作を説明する図、(C)は電流入力時の動作を説明する図。

【図2】本発明の電流駆動回路の他の実施例を示す図。

【図3】本発明の電流駆動回路の更に他の実施例を示す図。

【図4】本発明の電流駆動回路の更に他の実施例を示す図。

【図5】図4の実施例におけるプリチャージ電圧 V_{p1} 乃至 V_{p4} を自動的に作成するための回路構成を示す図。

【図6】プリチャージ期間 T_b とプリチャージ期間終了後の信号電流の駆動対象回路への供給期間 T_a との関係を説明するための図。

【図7】駆動対象回路を構成するトランジスタ T_{r1} の極性がpチャネル型に変更された場合の電流駆動回路を示す図。

【図8】プリチャージ回路内のトランジスタ T_{r2} を駆動対象回路内のトランジスタ T_{r1} の極性と一致させpチャネル型に変更した場合の回路構成を示す図。

【図9】電流駆動動作をプリチャージを行わない場合と比較して説明するための図。

【図10】本発明の電流駆動回路を用いた表示装置の回路構成を示した図。

【図11】本発明に係る表示装置内の電流駆動回路の一実施例を示す図。

【図12】本発明に係る表示装置内の電流駆動回路の他の実施例を示す図。

【図13】本発明に係る表示装置の電流駆動回路の更に他の実施例を示す図。

【図14】本発明に係る表示装置の電流駆動回路の更に他の実施例を示す図。

【図15】ソースドライバ回路に本発明の電流駆動回路を組み込んだ場合の電流線上の電

10

20

30

40

50

圧変化を示す特性図。

【図16】本発明の電流駆動回路の動作原理を説明するための図。

【図17】本発明に係る電流駆動回路の実施例を示す図。

【図18】本発明の一実施例に係るアクティブマトリックス型表示装置の回路図。

【図19】プリチャージ時の図18の回路の回路動作を説明するための図。

【図20】信号電流書き込み時の図18の回路動作を説明するための図。

【図21】本発明の他の実施例の回路構成を示す図。

【図22】本発明の更に他の実施例の回路構成を示す図。

【図23】本発明に使用されるソースフォロア回路の回路構成の一例を示す図。

【図24】ディジタル階調回路方式の場合の本発明の回路構成を示した実施例。

【図25】図24に示すディジタル階調方式の回路構成におけるプリチャージ回路を改良した図。

【図26】図25に示す演算回路とメモリ回路の具体的構成を示した図。

【図27】図26に示すメモリ回路を制御するメモリ制御信号と、メモリ回路を制御するラッチパルスの制御信号とを示した図。

【図28】図25に示すプリチャージ制御線の制御動作を説明する図。

【図29】アクティブマトリックス型表示装置の基本構成を示す図。

【図30】従来のアクティブマトリックス型表示装置の一例を示す回路図。

【図31】図30の回路動作を説明する図(その1)。

【図32】図30の回路動作を説明する図(その2)。

【図33】図30の回路動作を説明する図(その3)。

【図34】本発明の電流駆動回路の他の実施例を示す図。

【図35】本発明が適用される表示装置の構成を示す図。

【図36】本発明が適用される電子機器の図。

【図37】図35の第1ラッチ回路に、ビデオ信号が入力される構成の一例を示す図。

【図38】図37の詳細な構成を示す図。

【図39】図38において、第2ラッチ回路が存在しない構成の一例を示す図。

【図40】図39の詳細な説明を示す図。

【図41】リファレンス用電流源回路の中に、プリチャージ回路を配置した構成の一例を示す図。

【図42】プリチャージ回路と駆動対象回路のそれぞれに異なる電流源を設けた構成の例を示す図。

【発明を実施するための形態】

【0032】

以下、本発明の実施の形態を実施例に基づいて詳細に説明する。

図16を用いて、本発明の電流駆動回路の動作原理を説明する。

電流駆動回路は、駆動対象回路150のノードPに信号線400を介して信号電流源300から信号電流Iを供給するように構成されている。

駆動対象回路150は薄膜トランジスタTr₁とそのゲート・ソース間に接続された保持容量Cとゲート・ドレイン間に開閉可能に制御するスイッチSW₁とから構成されている。トランジスタTr₁のドレインはノードPにおいて信号線400と接続されている。

【0033】

なお、1本の信号線に複数の駆動対象回路150が接続されている場合は、ノードPと信号線400との間に切り替え用のスイッチを設ければ良い。ただし、切り替え用のスイッチの配置は、信号電流の導通と非導通を制御できる場所であれば、どこに配置してもよい。

信号電流源300からは信号電流IがスイッチSW₂を介して信号線400に供給される。また信号線400はスイッチSW₃を介してプリチャージ回路500に接続されている。プリチャージ回路500は種々の回路構成が可能であり、駆動対象回路150に信号電流Iが供給され、定常状態になった状態のノードPのノード電位にほぼ等しい値のプリ

10

20

30

40

50

チャージ電圧 V_p を供給する。

【0034】

図9を用いて図16の動作を、プリチャージを行わない場合と比較しながら説明する。

図9(A)に示すようにスイッチ SW_1 をONし、ノードPに対してプリチャージを行わずに信号電流 I_0 を駆動対象回路に供給すると、トランジスタ Tr_1 に電流 I_1 が、保持容量Cに電流 I_2 が流れ。図9(C)は、駆動対象回路に流れる電流 I_1 、 I_2 の時間変化の関係を示す図である。また図9(D)は、時間に対するノードPでの電圧変化を示す図である。なお、 V_{th} はトランジスタ Tr_1 のスレッショルド電圧(しきい値電圧)を示す。

このように、プリチャージを行わない場合は、ノードPの電位が定常状態になって一定電圧になるまでの時間が非常に長くなる。これは信号線400やトランジスタ Tr_1 の寄生容量が大きく、これを充電するのに時間がかかるためである。信号電流 I_0 の大きさが小さい場合は、ノードPの電位を変化させるのに必要な電荷の単位時間当たりの供給量は小さくなる。その結果、信号線400やトランジスタ Tr_1 の寄生容量の充電に、より多くの時間がかかる。反対に、信号電流 I_0 の大きさが大きい場合は、ノードPの電位を変化させるのに必要な電荷の単位時間当たりの供給量が多くなる。そのため、信号線400やトランジスタ Tr_1 の寄生容量の充電は、より短い時間で終わる。

10

【0035】

図9(B)は、スイッチ SW_3 をONして、プリチャージ回路500を用いて定常状態になった時のノードPの電位よりわずかに低いプリチャージ電圧 V_p を用いてノードPを予めプリチャージした後、スイッチ SW_2 をONに、スイッチ SW_3 をOFFにして、信号電流 I_0 を信号線400を介してノードPに供給する場合の電流駆動回路を示している。また図9(E)は、その時の時間変化に対する駆動対象回路のノードPの電圧変化を示している。

20

【0036】

なお、図9(E)において、プリチャージ電圧は、定常状態になった時のノードPの電位と同電位にすることが望ましい。ただし、同電位になっていなくても、定常状態の電位に準ずる電位にプリチャージすることは、定常状態になるまでの時間を少しでも短縮できるため有益である。つまり、プリチャージ電圧が、プリチャージする前のノードPの電位よりも定常状態になった時のノードPの電位に近ければ、プリチャージすることは効果があると言える。

30

【0037】

プリチャージ時にはスイッチ SW_1 とスイッチ SW_3 とをONし、プリチャージ電圧 V_p をノードPに供給する。次いでノードPがプリチャージ電圧 V_p の電位に上昇した時点で、スイッチ SW_3 をOFFに、スイッチ SW_2 をONにして、信号電流 I_0 をノードPに供給する。すると、トランジスタ Tr_1 は短時間で定常状態に移行する。従って、図9(E)に示すように、極めて短時間で駆動対象回路150は定常状態に達する。

【0038】

このように、信号電流の供給に先立って、ノードPや信号線400にプリチャージ電圧 V_p を供給するプリチャージ期間を設け、このプリチャージ期間終了後に信号電流 I_0 を供給するようにすれば、信号電流が小さい場合でも、信号書き込み速度を速くすることができる。

40

【0039】

なお、定常状態になった時のノードPの電位は、信号電流 I_0 の大きさや、トランジスタ Tr_1 の特性(移動度、しきい値電圧など)やサイズ(ゲート幅W、ゲート長Lなど)に依存する。したがって、前述した個々のパラメータに見合ったプリチャージ電圧 V_p を用いてプリチャージすることが望ましい。なぜなら、定常状態になった時のノードPの電位とプリチャージ電圧 V_p とがずれていれば、定常状態になるまでに余分な時間がかかるからである。最も望ましいのは、プリチャージ電圧を定常状態になった時のノードPの電位と同電位にすることである。その場合は、プリチャージが終了すれば、それと

50

同時に定常状態となるからである。よって、信号電流 I_0 の大きさが変われば、それに合わせてプリチャージ電圧を最適な値に変えることが望ましい。

【0040】

なお、図9(D)では、ノードPの電位は、最初は低電位にあり、その後、電位が高くなつて定常状態になる場合を示しているが、最初に高電位にあった後に、電位が低くなつて定常状態になる場合も考えられる。その場合は、保持容量Cの電荷は、トランジスタTr₁を通じて、放電されていく。そして、ノードPの電位が徐々に低くなつていき、定常状態に到達する。

【0041】

ただし、信号電流 I_0 の大きさが非常に小さい値の場合は、ノードPの電位が低くなつてくると、トランジスタTr₁のゲート・ソース間電圧が小さくなるため、ソース・ドレイン間を流れる電流値も小さくなる。その結果、保持容量Cの電荷を放電するまでに多くの時間が必要となる。したがって、信号電流 I_0 の大きさが非常に小さい値の場合は、定常状態になった時のノードPの電位よりわずかに低いプリチャージ電圧 V_p を用いてノードPをプリチャージすることが望ましい。その後、保持容量Cに電荷を充電すると、すばやく定常状態にすることが出来る。例えば、信号電流 I_0 の大きさが、ある値よりも小さい場合は、トランジスタTr₁のゲート・ソース間電圧(の絶対値)がしきい値電圧以下(例えば、0Vなど)になるように、プリチャージを行えばよい。

10

【0042】

なお、図16や図9に示した図は、本発明の概念を示したものであるため、実際の回路は、この構成に限定されない。例えば、各スイッチの配置場所や、各スイッチの有無、保持容量Cの配置場所、各保持容量Cの有無などは、この構成に限定されない。また、電流の流れる向きやトランジスタの極性もこの構成に限定されない。また、信号電流源300の個数やプリチャージ回路500の個数も、この構成に限定されず、容易に別の構成に変形することが出来る。例えば、保持容量Cは配置しなくてもよいし、スイッチSW₁をなくして、ドレイン端子とゲート端子を短絡させてもよい。また、保持容量Cは、ゲート端子とソース端子とに接続されているが、ゲート端子と何か別の配線と接続させてもよい。

20

【0043】

なお、図16や図9では、プリチャージ電圧をノードPに供給してから、信号電流を供給しているが、これには限定されず、別のプリチャージ手法と組み合わせてもよい。例えば、プリチャージ電圧を供給した後に別のプリチャージを行い、その後、信号電流を供給してもよい。または、複数のプリチャージ電圧を順次供給した後に信号を供給してもよい。

30

【実施例1】

【0044】

図17は、本発明の実施例を示す電流駆動回路の回路図である。図17は、図16に示したプリチャージ回路500に関して、具体的な構成の一例を示している。

前述したように、プリチャージ電圧 V_p は定常状態でのノードPの電位とは等しくない場合もあるが、これに近い電圧に設定することができる。このプリチャージ電圧 V_p は信号電流 I の大きさによって適切な値を定めることができる。そこで、プリチャージ電圧 V_p を信号電流 I の大きさに応じて複数設定して選択的にノードPに供給するようにしたのが図17の回路である。

40

【0045】

例えば、信号電流 I が0~10mAの時にはプリチャージ電圧 V_{p1} を与え、10mA~20mAの時はプリチャージ電圧 V_{p2} を与え、20mA~30mAの時にはプリチャージ電圧 V_{p3} を与えるように設計し、これらのプリチャージ電圧を与えるプリチャージ回路を端子A、B、Cに接続するように構成しておく。そして、切り替え回路501を用いて信号電流 I の大きさに従ってSW₄乃至SW₆を逐次切り替えて、ノードPに供給するようすれば良い。

【0046】

50

なお、前述したように、信号電流 I の大きさが変われば、最適なプリチャージ電圧（つまり、定常状態になったときのノード P の電位）も変わる。したがって、例えば、10 mA ~ 20 mA の時に与えるプリチャージ電圧 V_{p_2} の大きさは、信号電流 I が 10 mA の時に最適なプリチャージ電圧（定常状態になったときのノード P の電位）と、信号電流 I が 20 mA の時に最適なプリチャージ電圧との間に属する大きさになっていることが望ましい。

【0047】

例えば、プリチャージ電圧 V_{p_2} の大きさは、10 mA の時に最適なプリチャージ電圧と 20 mA の時に最適なプリチャージ電圧との中間値の電圧でも、10 mA の時に最適なプリチャージ電圧でも、20 mA の時に最適なプリチャージ電圧でもよい。ただし、10 mA の時に最適なプリチャージ電圧と 20 mA の時に最適なプリチャージ電圧のいずれかを V_{p_2} に適用する場合、信号電流の大きさが小さい方のプリチャージ電圧（この場合には 10 mA のときの最適なプリチャージ電圧）にすることが望ましい。なぜなら、大きさの大きい信号電流が入力されて、定常状態になっていて（大きい信号電流に最適なプリチャージ電圧になっている）、その後、大きさの小さい信号電流を入力する場合よりも、大きさの小さい信号電流が入力されて、その後、大きさの大きい信号電流を入力する場合の方が、素早く定常状態にできるからである。つまり、20 mA の時に最適なプリチャージ電圧でプリチャージするよりも、10 mA の時に最適なプリチャージ電圧でプリチャージした方が、素早く定常状態にできる。それは、前述したように、20 mA の時に最適なプリチャージ電圧でプリチャージした場合、トランジスタ T_{r_1} のゲート・ソース間電圧の絶対値は、定常状態になったときのゲート・ソース間電圧の絶対値よりも大きいからである。従って、プリチャージした後、トランジスタ T_{r_1} のゲート・ソース間電圧の絶対値は徐々に小さくなっていく。そのため、保持容量 C の電荷は、トランジスタ T_{r_1} を通って放電されにくくなる。従って、定常状態になるまでの時間が長くなる。よって、小さい信号電流に最適なプリチャージ電圧でプリチャージすることが望ましい。

【0048】

なお、図 17 では、端子 A、B、C という 3 つを用いてプリチャージ電圧を供給しているが、これに限定されない。端子の個数はどのような値をとってもよい。

【0049】

また、端子 A、B、C に接続する場合、その電流の範囲は必ずしも等間隔にする必要はない。例えば、信号電流 I が 0 ~ 5 mA の時にはプリチャージ電圧 V_{p_1} を与え、5 mA ~ 15 mA の時はプリチャージ電圧 V_{p_2} を与え、15 mA ~ 30 mA の時にはプリチャージ電圧 V_{p_3} を与えるようにしてもよい。このように、信号電流が小さい場合は、その電流範囲を細かく分割して、プリチャージ電圧を供給することが望ましい。なぜなら、信号電流が小さい場合は、定常状態になるまでに、より多くの時間がかかるからである。そのため、プリチャージ電圧の刻み値を小さくして、定常状態になったときのノード P の電位と、プリチャージ電圧との差を、出来るだけ小さくすることが望ましい。

【0050】

なお、図 17 は、図 9、図 16 で説明した構成の一部を、より詳しくした場合の一例を示している。したがって、図 9、図 16 で説明した内容は、図 17 においても適用することができる。

【実施例 2】

【0051】

図 1 は、本発明に係る電流駆動回路の一実施例を示す図で、(A) はその回路図を、(B) はプリチャージ動作を説明する図、また (C) は電流入力時の動作を説明する図である。つまり、図 1 は、図 16 に示したプリチャージ回路 500 に関して、図 17 とは異なる、具体的な構成の一例を示した図である。

【0052】

本実施例の場合、プリチャージ回路 500 は、駆動対象回路 150 内のトランジスタ T

10

20

30

40

50

r_1 のサイズとほぼ同様のサイズ（もしくは、同様のゲート幅 W とゲート長 L の比率： W/L ）を持ち、同じ導電型であるトランジスタ T_{r_2} によって構成されている。このように構成することにより、プリチャージ回路 500 に信号電流源 300 から信号電流が供給されて発生するプリチャージ電圧 V_p の大きさは、駆動対象回路 150 に信号電流が供給されて定常状態になった時のノード P の電位とほぼ等しくなる。

このように、プリチャージ電圧 V_p を駆動対象回路 150 に信号電流が供給された時の定常状態下のノード P のノード電位とほぼ等しい値に設定することにより書き込み速度を一層向上させることができる。

【0053】

プリチャージ動作時には、図 1 (B) に示すようにスイッチ SW_4 及びスイッチ SW_5 を閉じ（ON にし）、プリチャージ回路 500 に信号電流を供給する。すると、プリチャージ電圧 V_p がトランジスタ T_{r_2} のドレインに発生する。さらに、スイッチ SW_4 が閉じている（ON になっている）ため、信号線 400 は信号電流 300 により寄生容量などが充電され、その電位はプリチャージ電圧 V_p に達する。この状態に達した後にスイッチ SW_4 とスイッチ SW_5 とを OFF にし、スイッチ SW_3 を ON にする。さらに、駆動対象回路 150 内のスイッチ SW_1 とスイッチ SW_2 とを ON にする。

【0054】

すると、図 1 (C) に示すように、信号電流は信号線 400 を介して駆動対象回路 150 に供給され、トランジスタ T_{r_1} と保持容量 C とに電流が供給される。

定常状態に達するとノード P の電位はトランジスタ T_{r_1} が信号電流と同じ大きさの電流を流すのに必要な電位と等しくなる。その後、 SW_1 を OFF にしても保持容量 C に電荷が蓄積されているため、信号電流源 300 からの信号電流が保持された状態で電流はトランジスタ T_{r_1} を流れ続ける。

【0055】

このように、トランジスタ T_{r_2} を用いることにより、信号電流の大きさに応じた最適なプリチャージ電圧を発生させることが出来る。つまり、信号電流の大きさが変わっても、それに応じて、プリチャージ電圧も最適な大きさに変わる。その結果、信号電流の大きさが変わっても、すばやくプリチャージを行うことが出来る。また、トランジスタ T_{r_2} とトランジスタ T_{r_1} の特性にばらつきが無ければ、プリチャージ後すぐに、定常状態にすることが出来る。

【0056】

なお、図 1 (B) におけるプリチャージの時の信号電流の大きさと、図 1 (C) における信号電流の大きさとは、一致していることが望ましいが、それに限定されない。例えば、プリチャージのときだけ信号電流の大きさを少し小さくしてもよい。その結果、プリチャージ電圧を理想的な値よりも低い値にすることが出来る。

【0057】

あるいは、トランジスタ T_{r_2} のサイズを調節して（例えばゲート幅 W を大きくしたり、ゲート長 L を小さくして）、プリチャージ電圧を低めの値にすることが出来る。この場合は、プリチャージのときだけ信号電流の大きさを少し小さくすることと同様の効果が得られる。このように、プリチャージ電圧を理想的な値よりも低い値にすることは、前述したように、信号電流の大きさが小さいときにより有効である。

【0058】

また、駆動対象回路 150 が複数配置されていて、順次信号電流を入力していくような場合、例えば、画素が複数配置されているような場合では、駆動対象回路 150 として機能していない回路をトランジスタ T_{r_2} として用いてもよい。つまり、ある場所の駆動対象回路 150 に信号電流を入力する場合、別の場所の駆動対象回路 150 をトランジスタ T_{r_2} として使用し、プリチャージ電圧を生成させてもよい。

【0059】

図 1 は、図 9、図 16 で説明した構成の一部をより詳しく記載した場合の一例を示しているため、図 9、図 16 で説明した内容を図 1 に適用できる。つまり、スイッチの配置や

10

20

30

40

50

接続関係などを変更しても、同様な回路を構成することが出来る。

【実施例 3】

【0060】

図2は、図1において、スイッチの配置や接続関係を変更した例を示している。図2と図1の同一部分には同一符号が付されている。図2に示す実施例の場合には、図1の場合と異なり、スイッチSW₅が省略された回路構成となっているが、他の構成は同一である。

図2(B)に示すように、プリチャージ時にはスイッチSW₃とSW₄とをONにし、プリチャージ回路500にプリチャージ電圧V_pを発生させる。信号電流源300によりV_pになるまで充電して、プリチャージを行う。電流入力動作は、スイッチSW₃はONにしたままスイッチSW₄をOFFにして、図1に示す場合と同様に行う。

本実施例の場合には、スイッチの個数が図1の場合に比べて少なくなる利点がある。

【0061】

このように、スイッチの個数や配置場所は種々のバリエーションがあり、図1や図2と同様の動作をするものであれば、図1、図2に示される構成に限定されるものではない。

【0062】

また、図34に示すように、図1、図2のようなプリチャージ回路と、図17のようなプリチャージ回路を組み合わせてもよい。図34において、スイッチSW₇とSW₈とトランジスタTr₂の部分が、図1や図2でのプリチャージ回路の部分に相当する。まず、切り替え回路501やスイッチSW₃～SW₆を用いて、端子A、B、Cから供給される電荷でプリチャージを行い、その後、スイッチSW₇とSW₈とトランジスタTr₂の部分を用いてプリチャージを行い、それから、信号電流を入力する動作を行ってもよい。また、それ以外のプリチャージ方法を、さらに組み合わせてもよい。

【実施例 4】

【0063】

図3は、本発明の電流駆動回路の更に他の実施例を示す図である。図1に示す実施例と異なる点は、プリチャージ回路500とスイッチSW₄との間にインピーダンス変換用アンプ600が挿入されている点である。他の回路構成は、図1に示す場合と同様であり、その動作も同様であるため詳細説明は省略する。

インピーダンス変換用アンプ600は電圧フォロア回路、アナログバッファ回路、ソースフォロワ回路、オペアンプ等により構成することができる。インピーダンス変換用アンプ600は入力側のインピーダンスと出力側のインピーダンスとを変換する機能を有し、入力電圧と出力電圧とは同一電位に保たれる。

【0064】

従って、プリチャージ回路500のプリチャージ電圧V_pはアンプ600の出力側でも同電位の電圧V_pに保たれるが、アンプ600の出力インピーダンスは非常に低くなっているため電流駆動能力が増加し、信号線400を高速で充電することが可能となる。これにより、プリチャージ動作を短時間で行うことができるという利点がある。

【0065】

なお、図34と同様に、図3と図17や、図1、図2などを組み合わせて構成してもよい。

【0066】

なお、図3は、図9、図16で説明した構成の一部を、より詳しくした場合の一例を示している。また、図1、図2の一部を改良した場合の一例を示している。したがって、図1、図2、図9、図16、で説明した内容は、ここでも、適用できる。

【実施例 5】

【0067】

図4は、本発明の電流駆動回路の更に他の実施例を示している。信号電流I_aをその電流範囲によって切り替え選択して信号線400に供給する。その場合に信号電流の大きさに応じて予めプリチャージ電圧V_pを複数設定しておき、信号電流I_aの大きさに応じて

10

20

30

40

50

これを選択して切り替えるようにしたものである。

【0068】

すなわち、図4は、図17の構成をより詳しく説明した一例である。図17において信号電流を出力する回路は、信号電流源300で示されている。つまり、信号電流源300が、信号電流の大きさを様々に変化させるものとして概念的に記述している。それに対し図4では、4つの電流源があり、デジタル的に電流値を制御する方式の場合について示している。ここでは、4つの電流源のそれぞれの電流値は、I、2I、4I、8Iというように、2のべき乗になっており、これが各々、各ビットに対応している。そして、各ビットに対応した電流原から電流が出力されるかどうかを、スイッチSW₆～SW₉によって各々制御する。スイッチSW₆～SW₉は、デジタルデータD1～D4によって制御される。そして、出力された電流の合計値によって、電流値が決定される。これにより、4ビット分(16種類)の大きさの電流値を制御できる。

10

【0069】

なお、図4では、4ビットになっているが、本発明はこれに限定されない。電流源の数や電流の大きさを変えることによって、容易にビット数を変更することが出来る。

【0070】

また、図17では、信号電流の大きさに応じて、プリチャージ電圧を選択するための回路として、切り替え回路501を用いている。信号電流の大きさに従って、SW₄乃至SW₆を切り替え回路501によって逐次切り替えて、プリチャージ電圧を供給する。図4では、切り替え回路501の詳細な構成の一例として、プリチャージ選択回路700を記述している。

20

【0071】

すなわち、図4に示すように、信号電流I_aの大きさを4種類(4ビット)の電流源を用いて設定し、これに対してプリチャージ電圧V_{p1}からV_{p4}を対応させておき、プリチャージ選択回路700によって信号電流I_aの大きさに応じたプリチャージ電圧V_{p1}～V_{p4}を駆動対象回路150に供給するようにしたものである。プリチャージ選択回路700はインバータとアンド論理素子とを組み合わせることにより構成される。

【0072】

なお、プリチャージ選択回路700の構成は、図4の構成に限定されない。電流源300の構成やプリチャージ電圧の大きさや電圧の数などにあわせて、さまざまな回路を用いて構成することが出来る。

30

【0073】

デジタルデータD1～D4を用いて、信号電流の大きさを制御しているが、同じデジタルデータを用いて、プリチャージ電圧の選択を行っている。プリチャージ電圧の選択は、信号電流の大きさに応じて決定するものであるため、デジタルデータD1～D4を用いてプリチャージ電圧の選択を行っている。つまり、デジタルデータは、信号電流の大きさとプリチャージ電圧の大きさとを両方とも制御していることになる。

【0074】

なお、図4に示したプリチャージ選択回路(切り替え回路)700では、電流の大きさによって、4つの領域に等間隔で分類している。つまり、Aとして0～4Iまで、Bとして4I～8Iまで、Cとして8I～12Iまで、Dとして12I～16Iまでである。一方、デジタルデータD1～D4の大きさによって信号電流の大きさが決定される。そこで、信号電流の大きさが領域A～Dのどの領域に入っているかを、プリチャージ選択回路(切り替え回路)700において制御する。そして、その結果によって、スイッチSW₁₀～SW₁₃のオンオフを制御して、プリチャージ電圧を供給している。

40

【0075】

なお、電流の大きさによってA:0～4I, B:4I～8I, C:8I～12I, D:12I～16Iというふうに、領域を等間隔の刻みで分類しているが、これに限定されない。図17において述べたように、信号電流が小さいところでは、より細かく分類することが望ましい。なぜなら、信号電流が小さい方が、定常状態になるまでに、より多くの時

50

間を必要とするからである。また、図17では、3種類のプリチャージ電圧から選択して出力していたが、図4では、4種類のプリチャージ電圧から選択して出力している。ただし、これに限定されない。もっと細かくしてプリチャージ電圧を供給してもよい。その場合、プリチャージ選択回路700は、領域の数、各領域における信号電流の刻み幅、プリチャージ電圧の数、などに依存する。どのような構成にするかは、各々の場合に合わせて、容易に設計することが可能である。

【0076】

図4では、電流値1の電流源から電流が流れるかどうかをスイッチSW₆で制御し、電流値2の電流源から電流が流れるかどうかをスイッチSW₇で制御し、・・・という構成になっているが、これに限定されない。各ビットの電流源から電流が流れるかどうかが制御できるような構成になっていれば、どのような構成でもよい。

10

【0077】

次に、駆動対象回路150を画素、デジタルデータD1～D4をビデオ信号（画像信号）だと想定する。そして、デジタルデータD1～D4がデジタルの電圧信号であるとする。

【0078】

このとき、デジタル電圧のビデオ信号によって、信号電流源300やスイッチSW₃～SW₉を制御することにより、信号線400にアナログの信号電流が供給されていることになる。すなわち、信号電流源300やスイッチSW₃～SW₉は、デジタルビデオ電圧をアナログビデオ電流に変換していることになる。よって、信号電流源300やスイッチSW₃、SW₆～SW₉は、DA変換回路と電圧電流変換回路を一体化した回路であると考えられ、画素（駆動対象回路150）や信号線400にビデオ信号を供給する信号線駆動回路（ソースドライバ）である（もしくはその一部である）とみなすことが出来る。

20

【0079】

また、プリチャージ選択回路700、各プリチャージ電圧、スイッチSW₄、SW₁₀～SW₁₃は、プリチャージ電圧をデジタル電圧のビデオ信号を用いて制御することにより、信号線400に供給している。ここでは、プリチャージ電圧はアナログ値である。したがって、プリチャージ選択回路700、各プリチャージ電圧、スイッチSW₄、SW₁₀～SW₁₃は、デジタルビデオ電圧をアナログビデオ電圧に変換していると言える。よって、プリチャージ選択回路700、各プリチャージ電圧、スイッチSW₄、SW₁₀～SW₁₃は、DA変換回路であり、画素（駆動対象回路150）や信号線400にビデオ信号を供給する信号線駆動回路（ソースドライバ）である（もしくはその一部である）とみなすことが出来る。

30

【0080】

なお、デジタル電圧をアナログ電圧に変換する回路としては、公知の技術として、抵抗分割型DA（デジタル-アナログ）変換回路（R-DAC）や、容量分割型DA変換回路（C-DAC）などがある。そのため、プリチャージ電圧を供給する手段として、図4のようなプリチャージ選択回路700、スイッチSW₄、SW₁₀～SW₁₃だけでなく、抵抗分割型DA変換回路（R-DAC）や、容量分割型DA変換回路（C-DAC）を用いて、より細かい刻み値をもったプリチャージ電圧を出力することも可能である。抵抗分割型DA変換回路（R-DAC）や、容量分割型DA変換回路（C-DAC）を用いる場合は、DA変換回路の基準電圧として、いくつかのプリチャージ電圧を供給すればよい。そして、DA変換回路に供給されたプリチャージ電圧をさらに分圧して、画素（駆動対象回路150）や信号線400に、プリチャージ電圧として供給すればよい。ただし、ここでは、詳細な説明は省略する。

40

【0081】

なお、図4の信号電流源300では4つの電流源を用いているが、これに限定されない。任意の数の電流源を用いることが可能である。

【0082】

なお、図4のプリチャージ選択回路700では、インバータとアンド論理素子とを組み

50

合わせにより構成しているが、これに限定されない。さまざまなデジタル回路やアナログ回路を用いて、容易に構成することが出来る。

【0083】

また、図4におけるスイッチの数や配置、各々の接続関係なども、図4の回路に限定されない。同様な動作をする回路に、変更することは、容易である。

【0084】

なお、図34に示したように、図4に図1や図2のような回路を組み合わせてもよい。また、図4に、図3のような回路を組み合わせてもよい。つまり、インピーダンス変換用アンプを用いてもよい。

【0085】

なお、図4は、図9、図16、図17で説明した構成の一部を、より詳しくした場合の一例を示している。したがって、図9、図16、図17などで説明した内容は、ここでも適用できる。

10

【0086】

なお、駆動対象回路150を画素、信号電流源300などを信号線駆動回路の一部として想定したが、これに限定されない。

【0087】

駆動対象回路150を信号線駆動回路（の一部、若しくは、その中に配置されている電流源）であり、信号電流源300などを、信号線駆動回路に電流を供給する回路であると想定してもよい。

20

【0088】

図5は、図4（や図17）の実施例におけるプリチャージ電圧 V_{p1} 乃至 V_{p4} を自動的に生成するための回路構成を示している。これは、図3の構成を利用したものに相当する。

【0089】

信号電流の領域A～Dのそれぞれに対応してプリチャージ回路（トランジスタ）500A、500B、500C、500Dを用意する。これに信号電流（0I、4I、8I、12I）を供給してプリチャージ電圧を発生させ、このプリチャージ電圧をインピーダンス変換用アンプ600A、600B、600C、600Dを介して取り出し、プリチャージ選択回路700の選択に応じてプリチャージ電圧 V_{p1} ～ V_{p4} として駆動対象回路150へ供給する。

30

なお、その回路動作については図1乃至図4、図9、図16、図17などに示す実施例の場合と同様であるので、その詳細説明は省略する。したがって、そこで説明した内容は、この場合でも適用できる。

【0090】

例えば、プリチャージ回路（トランジスタ）500A、500B、500C、500Dのトランジスタの極性やサイズなどは、駆動対象回路150と同じであることが望ましい。

【0091】

なお、図5では、4つのプリチャージ電圧を全て発生させているが、これに限定されない。例えば、領域A（0I $I_a < 4I$ ）に対応させたプリチャージ電圧を発生させる場合、図5では、最も小さな値（0I）を用いている。そのような場合は、プリチャージ回路（トランジスタ）500Aやアンプ600Aなどを用いずに、直接、適切な電圧を供給するようにしてもよい。

40

【0092】

なお、図5におけるプリチャージ回路（トランジスタ）500A、500B、500C、500Dは、プリチャージ回路専用に配置してもよいし、駆動対象回路150やその一部を利用してもよい。あるいは、信号電流源300やその一部を利用してもよい。

【0093】

なお、図5では、図3に示すように、インピーダンス変換用アンプ600A、600B

50

、600C、600Dを用いているが、これに限定されない。図1のようにインピーダンス変換用アンプを用いない場合もある。

【0094】

図6は信号電流源300から信号電流が伝送される信号線400に配線抵抗 R_L や交差容量 C_L などの寄生負荷がある場合を考慮して、プリチャージ電圧 V_p をノードPに供給するプリチャージ期間 T_b と、プリチャージ期間終了後の信号電流の駆動対象回路150への供給期間 T_a との関係を示している。

図6(A)に示すように、寄生負荷(配線抵抗 R_L 、交差容量 C_L)が信号線400に存在する場合には、スイッチSW₃をONにする。プリチャージ回路500から定常状態になったときのノードPの電位とほぼ等しい大きさのプリチャージ電圧 V_p を印加する時間 T_b を $T_b = R_L \times C_L$ となるように定める。

また、プリチャージ期間 T_b に引き続く供給期間 T_a は、プリチャージ期間 T_b よりも長めに設定し、上記で計算したプリチャージ期間 T_b が $T_a < T_b$ となるような関係になる場合には $T_a = T_b$ となるように設定するのが良い。また、全期間 T は仕様などによって定まる。

【0095】

なお、 T_b の大きさは、理想電源を用いて寄生負荷を充電する場合の時定数に相当する。つまり、時定数くらいの時間があれば、信号線400の電位は、概ねプリチャージ電圧と等しくなる。そのため、 T_b の大きさは時定数程度にすることが望ましい。ただし、実際にプリチャージ電圧を供給する場合は、理想電源を用いて電圧を供給するのではないため、理想電源を想定した場合よりも、充電に時間がかかる。したがって、 T_b の大きさは時定数程度よりも、多少長くなる場合がある。したがって、 T_a と T_b の長さに関しては、図6の場合に限定されない。

【0096】

図7は、図2の回路において、駆動対象回路150を構成するトランジスタTr₁の極性がpチャネル型に変更された場合の電流駆動回路を示している。

この場合、スイッチSW₁と保持容量Cの接続関係が図に示すように変更されるのみで他の回路構成は同様である。つまり、保持容量Cは、トランジスタTr₁のゲート・ソース間に接続されており、スイッチSW₁は、ゲート・ドレイン間に接続されている。駆動対象回路150を構成するトランジスタTr₁の極性が変わったため、接続関係を変える必要がある。

また、プリチャージ回路500内に駆動対象回路150に用いられる駆動トランジスタTr₁と同一サイズで、同じ導電型のトランジスタTr₂を用いる時には同様に接続関係を変更する必要がある。つまり、トランジスタTr₂のゲート・ドレイン間が接続されている。

図8は、図3の回路において、プリチャージ回路500内のトランジスタTr₂を駆動対象回路150内のトランジスタTr₁の極性と一致させpチャネル型に変更し、さらにインピーダンス変換用アンプ600を使用した場合の回路構成を示している。

【0097】

このように、信号電流の流れる向きを変更せずに、駆動対象回路150に用いられる駆動トランジスタTr₁やトランジスタTr₂の極性(導電型)を変更する場合は、図7、図8のように、接続を変更することにより、回路を構成することができる。

【0098】

なお、ここでは、図2や図3の回路において、トランジスタの極性(導電型)を変更したが、別の回路でも、同様に変更することが出来る。

【0099】

また、信号電流の流れる向きを変更する場合は、接続関係を変更せずに、トランジスタの極性(導電型)を変更するだけでよい。

【0100】

これまででは、駆動対象回路150をあまり特定せずに記載してきた。そこで次に、駆動

対象回路 150 を、より具体的にした場合について、説明することにする。

【0101】

図10は、本発明の電流駆動回路を用いた表示装置の回路構成を示している。

表示装置は、少なくとも画素回路100とソースドライバ回路200とから構成されている。画素回路100の構成は図30に示す従来の回路構成と同一部分には同一符号を付し、その詳細説明は省略する。なお、図10に示す表示装置についての詳細は、本出願人の先願である国際公開第03/027997号公報に開示されている。また、図10と同様な構成の表示装置については、本出願人の先願である特願2002-143882号、特願2002-143885号、特願2002-143886号、特願2002-143887号、特願2002-143888号、に開示されている。したがって、これらの先願の技術と、本願とを組み合わせることが出来る。

10

【0102】

この画素回路100は、次のように動作する。まず、制御線10bによって、選択TF T51がオンになり、ビデオ信号線からビデオ信号（電圧値）が保持容量60へ入力される。画素回路100には電流源回路があり、一定の電流を流すことが出来る。そして、その電流源回路と駆動TFT50と発光素子40とが直列に接続されている。電流源回路から発光素子40に電流が流れるかどうか（発光するかどうか）、つまり、階調の表現は、駆動TFT50のON、OFFの切り替えによって制御される。駆動TFT50のON、OFFの切り替えは、ビデオ信号線から保持容量60へ入力されたビデオ信号によって制御される。

20

【0103】

トランジスタの特性ばらつきの影響を少なくするために、画素回路100の中に配置されている電流源回路は、ソースドライバの電流を用いて、設定される。ソースドライバ回路200には、電流源が存在し、画素回路100の中の電流源回路に電流を供給する。つまり、画素回路100の中の電流源回路が駆動対象回路150に相当し、ソースドライバ回路200にある電流源が、信号電流源300に相当し、電流線35が信号線400に相当する。

20

【0104】

なお、図1～図4などでは、信号電流源300から駆動対象回路150の方へ電流が流れている。しかし、図10では、駆動対象回路150から信号電流源300の方へ電流が流れる場合について示している。

30

【0105】

本発明による信号電流が供給される駆動対象回路150は、画素回路100内にあり、電流線35と制御線10cとにより制御され、電源線30から信号電流を供給するもので種々の回路構成が可能である。

【実施例6】

【0106】

そこで、駆動対象回路150が画素回路100内にある場合についての実施例を図11乃至図14に基づいて説明する。

40

【0107】

図11に示す実施例において、ソースドライバ回路200は、ソースドライバ電流源70と、この駆動対象回路150にプリチャージ電圧を供給するためのプリチャージ回路80と、スイッチSW_A、SW_B、SW_Cとから構成される。

プリチャージ回路80は、駆動対象回路150内のトランジスタTrと同じ導電型であるpチャネル型トランジスタTr₂で構成され、ゲートとドレインとが共通接続されたダイオード接続構造となっている。プリチャージ回路80は電源線30に一端が接続され、他端がSW_Cを介してソースドライバ電流源70のドレインに接続されている。また、ソースドライバ電流源70のドレインはスイッチSW_Bを介して電流線35に接続される。また、電流線35はスイッチSW_Aを介してプリチャージ回路80とスイッチSW_Cとの共通接続点に接続されている。

50

【0108】

つまり、図11では、図1に示した回路を適用している。

【0109】

このようなソースドライバ回路における電流駆動回路の動作を説明する。

まず、プリチャージ動作時にはスイッチ SW_B をOFFとし、スイッチ SW_A 、スイッチ SW_C をONしてプリチャージ回路80で発生させたプリチャージ電圧を、電流線35に供給してプリチャージを行う。

次いで、電流入力動作時にはスイッチ SW_A とスイッチ SW_C とをOFFにし、スイッチ SW_B をONとしてソースドライバ電流源70から信号電流を供給して電流線35に信号電流を供給する。なお、画素回路100内に信号電流が供給される駆動対象回路150が存在するが、この駆動対象回路150内のトランジスタ Tr_1 とソースドライバ回路200内のプリチャージ回路80を構成するトランジスタ Tr_2 とはそのトランジスタサイズや導電型を同一にしておくのが良い。

10

【0110】

図1におけるスイッチ SW_1 やスイッチ SW_2 は、トランジスタ56やトランジスタ55に相当し、画素回路100にソースドライバ電流源70から信号電流を供給しているときには、オンしている。

【0111】

図1では、駆動対象回路150内のトランジスタ Tr_1 はNチャネル型であるが、図1の駆動対象回路150内のトランジスタはPチャネル型になっている。これは、信号電流の流れる向きが異なることが要因である。

20

【0112】

なお、図11において、図1のスイッチ SW_1 やスイッチ SW_2 にあたるものは、トランジスタ56やトランジスタ55を用いて構成している。しかし、これに限定されない。本明細書において用いるスイッチは、電気的スイッチや機械的なスイッチに限らず、スイッチング機能を有するものであればどのようなものでもよい。つまり、電流の流れを制御できるものであれば何でも良い。例えば、トランジスタ、ダイオード、それらを組み合わせた論理回路でもよい。つまり、スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタには、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が低電位側電源（ V_{ss} 、 V_{gnd} 、 $0V$ など）に近い状態で動作する場合は、nチャネル型を用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合は、pチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチを用いてもよい。

30

【0113】

図12は、インピーダンス変換用アンプ85を介して電流線35にプリチャージ電圧を供給するように構成したものである。つまり、図12では、図3に示した回路を適用している。

40

【0114】

また、図13に示す実施例では、スイッチを一つ省略してスイッチ SW_A とスイッチ SW_B とだけで構成した場合を示している。

この回路の場合では、プリチャージ動作時にはスイッチ SW_A とスイッチ SW_B と共にONにして、プリチャージ回路80を用いてノードPと電流線35とをプリチャージする。

次いで、電流入力時にはスイッチ SW_A のみをOFFとし、スイッチ SW_B はONとしたままで電流源70から信号電流を信号線35に供給する。つまり、図13では、図2に示した回路を適用している。

50

【実施例 7】

【0115】

図14の実施例は、画素回路100内の駆動対象回路150を構成するトランジスタTr₁と、ソースドライバ回路200内のプリチャージ回路80を構成するトランジスタTr₂の構造を、それぞれnチャネル型に変更した場合の構成を示す。つまり、図14では、図7に示した回路を適用している。

【0116】

このように、図10～図14に示したように、様々な構成を適用することにより、本発明の電流駆動回路を用いた表示装置を構成することが出来る。

【0117】

なお、図10～図14では、図1～図3、図7に示した回路を適用したが、これに限定されない。それ以外の構成も適用することが出来る。また、これまでに説明した内容も、図10～図14にも、適用することが出来る。

【0118】

図15は、ソースドライバ回路に本発明の電流駆動回路を組み込んだ場合の電流線35上の電圧変化を示したものである。プリチャージ回路80により印加されるプリチャージ電圧V_{pre}を、それぞれ5Vから2Vに変化させた時の電流線35の電圧変化を示したもので、プリチャージ電圧V_{pre}が2Vの時に最も高速に電流線35が駆動されることを示している。

【実施例 8】

【0119】

次に、図10などの場合とは異なるタイプの画素回路に適用した場合の例について示す。

図18は、本発明の電流駆動回路を用いた表示装置の一例を示す回路図である。なお、以下の説明において、図30乃至図33に示した従来の回路と同一部分には同一符号を付しその詳細説明は省略する。

図18に示す実施例では、画素回路100の構成は図30に示す回路構成と同一の構成である。

【0120】

このような画素回路100に対応するソースドライバ回路200の構成を説明する。

信号線20に画像信号入力電流源70をプリチャージ動作時と信号電流入力動作時とで切り替えて接続するためのスイッチ91と、画像信号入力電流源70を選択的に駆動素子80に接続するためのスイッチ92と、インピーダンス変換用アンプ85の出力端子86を選択的に信号線20に接続するためのスイッチ93とを設ける。

アンプ85は出力端子86への電流供給能力を増加するための回路であればよく、演算増幅器などを用いて構成することができる。

【0121】

図18に示す実施例では演算増幅器が使用されている。

これらのスイッチ91、92、93は、制御線10dの制御信号によって駆動され、スイッチ92と93とは同時にON、OFFし、スイッチ91はインバータ94を介して駆動されるため、スイッチ92、93とはON、OFF動作が逆となる。なお、これらのスイッチ91乃至93は任意の極性のトランジスタで構成することが可能である。

【0122】

駆動素子80は、ゲートとドレインとが接続されたpチャネル型TFTで構成され、画像回路100内にある駆動TFT50と同様な接続であり、導電型も同じで、且つトランジスタのサイズも両者で一致するように構成する。また、サイズのみならず特性もそろっていることが望ましい。

【0123】

このような特性のそろったトランジスタとするためには、レーザで半導体層を結晶化させる場合、同じレーザショットが当たるようにして構成することが望ましい。

10

20

30

40

50

駆動素子 80 のドレインはアンプ 85 の非反転入力端に接続され電圧フォロア回路を構成している。また、ソースは電源線 30 に接続されている。

アンプ 85 は入力インピーダンスが高く、非反転入力端に供給される電圧 V_p と同電位の電圧が出力端 16 に出力され、また電流駆動能力も大きいため、大電流が流れてスイッチ 93 を介して接続されている信号線 20 の電位を高速にプリチャージすることができる。

【0124】

つまり、図 18 では、図 3 に示した回路を適用している。図 18 における駆動素子 80 は、図 3 におけるプリチャージ回路 500 に相当する。図 18 における駆動 TFT50 は、図 3 における駆動対象回路 150 に相当する。

10

【0125】

次に、図 18 の回路の動作について、図 19、図 20 で説明する。なお、表記上の簡略化のために、図 19、図 20 においては、インバータ 94 及び信号線 10a ~ 10d は省略されている。

【0126】

図 19 は、プリチャージ期間における信号入力動作を示したものである。

まず、プリチャージ期間においては制御線 10d の制御電圧によりスイッチ 93 と 92 を ON にし、スイッチ 91 を OFF にする。

これにより、画像信号入力電流源 70 からの電流 I_{data} は画素回路 100 には直接流れず、駆動素子 80 に流れる。その結果、駆動素子 80 のドレイン電圧 V_p が決定される。

20

【0127】

アンプ 85 によってこの電圧 V_p と同一の電圧が出力端 86 に出力され、アンプ 85 からは大きな駆動電流が流れ、急速に信号線 20 及び画素回路 100 内の駆動 TFT50 のドレイン電位がプリチャージ電圧 V_p になる。この時、画素回路 100 内の駆動 TFT50 とソースドライバ回路 200 内の駆動 TFT80 とは、全く同じ特性であれば信号入力は完成したことになる。

【0128】

しかし、実際には駆動 TFT50 と駆動 TFT80 の特性はバラついている。したがって駆動 TFT50 に電流を入力して定常状態になった時の電位と電圧 V_p とは完全には一致しない場合が多い。そこで、信号電流 I_{data} を入力して駆動 TFT を定常状態にしてバラツキを補正する必要がある。そこで、図 20 に示すようにスイッチ 92 及び 93 を OFF にし、スイッチ 91 を ON にする。

30

【0129】

これによりアンプ 85 の出力電圧は切り離され、画像信号入力源 70 からの信号電流 I_{data} に基づく正確な信号が画素回路 100 に入力される。この時すでにプリチャージ期間に必要な電位の近傍にまで信号線 20 及び駆動 TFT50 のドレインは充電されているので、わずかな期間で信号入力が完成する。

つまり定常状態に達することになる。この移行の動作は、図 32 及び図 33 に示す従来の回路構成の場合と同様であるので、詳細説明は省略する。

40

【0130】

このように本実施例の場合では、信号電流を信号線に供給するのに先立って信号線を所定電位にプリチャージするプリチャージ回路を駆動 TFT80 とアンプ 85 とから構成しているが、このようなプリチャージ回路は画素回路 100 の回路構成に合わせて変更する必要がある。なお、基本的にはどんな画素回路の回路構成であっても適用可能である。

すなわち、画素回路内の駆動対象素子が定常状態になった時あるいはそれに準ずる状態になったときの電位をプリチャージ回路で作成して供給するようにする。

【0131】

なお、図 18 は、図 3 に示した回路を適用したが、これに限定されない。それ以外の構成も適用することができる。また、これまでに説明した内容を適用することが出来ること

50

はもちろんである。

【0132】

したがって、電流 I_{data} の大きさが小さい値の場合は、定常状態になった時の信号線 20 及び画素回路 100 内の駆動 TFT50 のドレイン電位よりも、わずかに高いプリチャージ電圧 V_p を用いてプリチャージすることが望ましい。つまり、理想的な値よりもわずかに高いプリチャージ電圧を用いてプリチャージすることにより、駆動 TFT50 のゲート・ソース間電圧の絶対値を、理想的な値よりも小さくすることが望ましい。なお、図 18 における駆動 TFT50 は、P チャネル型である。従って、理想的な値よりもわずかに高いプリチャージ電圧を用いてプリチャージすることは、小さい信号電流に最適なプリチャージ電圧でプリチャージすることと同じである。その結果、前述したように、すばやく定常状態にすることが出来る。

10

【実施例 9】

【0133】

図 21 は他の実施例を示す図で、画素回路 100 の構成が図 18 に示す場合と異なり、駆動 TFT50 と共にミラー TFT50a が用いられている。信号線 20 からの信号電流は、スイッチ 54、55 を介してミラー TFT50a に印加されるように構成されている。

このような場合には、駆動素子 80a のトランジスタサイズを駆動 TFT50 ではなくミラー TFT50a のトランジスタサイズと同一にしておくと良い。これにより定常状態時における電位を合わせやすくなる。

20

【実施例 10】

【0134】

図 22 は更に他の実施例の回路構成を示したもので、図 8 に示した回路を適用している。ソースドライバ回路 200 を構成する駆動素子 80b の構成が図 18 または図 21 の場合と異なっている。

図 22 に示す実施例の場合には、所定の電圧を供給する基準線 35a にゲートとドレインとを共通接続してこれを接続させ、ソースをアンプ 85 の非反転入力端に接続するように構成する。

そして、これに対応して画素回路 100 は、基準線 35a からの基準電位がスイッチ 55 を介して駆動 TFT50a のドレインに与えられると共に、電源線 30 からの駆動電流がスイッチ 54 を介して駆動 TFT50a のソースに供給されるように構成されている。

30

【0135】

このような回路構成を採用した場合には、ソースドライバ回路 200 内のプリチャージ回路を構成する駆動素子 80b のトランジスタサイズは、画素回路 100 内の駆動 TFT50a のトランジスタサイズと同一となるようにしておく必要がある。このように、プリチャージ回路の構成は画素回路 100 の構成に合わせて適宜変更する必要がある。

【0136】

ただし、図 22 の場合、駆動 TFT50a (駆動対象回路 150 に相当) のドレイン端子の電位は、発光素子 40 の電圧特性によって変化してしまう可能性がある。もし変化してしまうと、プリチャージ電圧も変化してしまう。そこで、図 22 では、発光素子 40 の電圧特性の変化の影響を受けないようにするために、基準線 35a からの基準電位がスイッチ 55 を介して駆動 TFT55a のドレインに与えられるようにしている。これにより、プリチャージ電圧が変わってしまうことを防ぐことが出来る。

40

【0137】

なお、上述した実施例では、いずれも駆動 TFT50、50a は p チャネル型であったが、駆動 TFT を n チャネル型にする場合にも、それに合わせてプリチャージ回路の駆動素子も n チャネル型に変更しておく必要がある。

【0138】

なお、図 22 では、図 8 に示した回路を適用したが、これに限定されない。それ以外の構成も適用することができる。また、これまでに説明した内容を適用することが出来るこ

50

とはもちろんである。

【0139】

このように、電流を入力するようなさまざまな画素回路に対して、さまざまな構成を用いて、プリチャージを行うことが出来る。

【0140】

次に、本発明のプリチャージ回路に用いられるアンプ85の構成について説明する。

図18、図21及び図22で示したように、アンプ85は演算増幅器（オペアンプ）を用いて構成することもできるが、電流供給能力が大きい回路であればこれに限定されるものではない。また、単に入力と出力のインピーダンスを変換し、入力と同電位を出力する回路であれば、どのような構成を採用することも可能である。

10

【0141】

簡単な一例として、ソースフォロア回路を用いた場合を図23に示す。

pチャネル型TFT203、204及びnチャネル型TFT201、204から構成される。ソースフォロア回路の場合、pチャネル型を用いた場合は出力電圧は入力電圧よりもバイアス分だけ低くなる。

一方、nチャネル型を用いた時は、出力電圧が入力電圧よりもバイアス分だけ低くなる。そこで、nチャネル型を用いたものとpチャネル型を用いたものとをつなぎ合わせてバイアス電圧やトランジスタサイズなどを設計すれば、入力電圧と同電位の出力電圧を出力する回路を構成することができる。また、ソースフォロア回路を一つだけ用いてバイアス分の変動を見越して入力し、出力を調整するようにしても良い。あるいは、差動増幅回路などを用いてもよい。

20

以上、図18～図22までに説明した実施例はアナログ階調方式を用いる場合（画素回路にアナログ値の信号が入力される場合）の回路構成であったが、デジタル階調方式による場合（画素回路にデジタル値の信号が入力される場合）にも本発明は同様に実施可能である。

【0142】

なお、プリチャージ電圧を供給しているときに、信号電流も供給していくてもよい。なぜなら、適切なプリチャージ電圧が供給されていれば、信号電流が供給されていても、電位の決定には、ほとんど影響を与えないからである。ただし、実施例4～8、実施例10、及び実施例12のような場合は、トランジスタTr2に電流を流す必要があるので、駆動対象回路にプリチャージ電圧を供給しながら信号電流も供給することは出来ない。この場合は、信号電流源をもう一つ用意して、片方の信号電流源から駆動対象回路に電流を供給し、他方の信号電流源からトランジスタTr2に電流を供給してもよい。この構成の一例を図42に示す。図42から分かるように、この構成では電流源300は駆動対象回路150に電流を供給し、一方で電流源301はトランジスタTr2に電流を供給する。そのようにすれば、プリチャージ電圧を供給しているときに、信号電流も供給することが可能となる。

30

【実施例11】

【0143】

図24はデジタル階調回路方式の場合の、本発明の回路構成を示した実施例である。なお、図24では、一例として、画素回路は、図18の画素回路と同じ構成のものとしたが、これに限定されない。

40

デジタル階調の場合も、プリチャージ電圧はアナログ階調の場合と同様に決めればよい。つまり、発光素子がON（発光状態）の場合は、ON時の信号電流Idataを入力したときに、定常状態になったときの電圧（V_{on}）をプリチャージ電圧とすればよい。そして、発光素子がOFF（非発光状態）の場合には、プリチャージ電圧は、絶対に発光状態にならないような電圧にすればよい。通常は、電流源として動作するトランジスタのゲート・ソース間電圧が0になるような電圧にすればよい。

【0144】

図24に示すように、データ信号電流Idataを信号線20に供給するに先だって、

50

スイッチ回路 83 を端子 83a 若しくは端子 83b に接続する。どちらに接続するかは、ビデオ信号により決定される。これによりプリチャージ動作が行われる。この時、スイッチ 93 は ON、スイッチ 91 は OFF になっている。

ビデオ信号が ON (発光) の時にはスイッチ 83 は端子 83a に接続され、OFF (非発光) の時には端子 83b に接続される。その後、スイッチ 93 を OFF としスイッチ 91 を ON にして、データ信号電流 I_{data} を画素回路 100 に入力する。

このように、デジタル階調の場合も、予め信号線 20 を介して所定のプリチャージ電圧 V_{on} を駆動 TFT 50 のドレインに印加するようにしているため、信号書き込み速度は速くなる。

【0145】

なお、図 24 は、図 17 に示した構成を適用した場合に相当するが、これに限定されない。例えば、図 3 などのように、電圧を発生させるようにしてもよい。あるいは、それ以外の構成も適用することが出来る。また、これまでに説明した内容を適用することが出来ることはもちろんである。

【0146】

図 25 は図 24 に示すデジタル階調方式の回路構成におけるプリチャージ回路を改良した図である。

ビデオ信号線 37 の信号から 1 行前のビデオデータを保持するためのメモリ回路 207 と、現在のビデオデータを入力するとともにメモリ回路 207 からの 1 行前のビデオデータを入力する排他的論理回路で構成される演算回路 206 と、プリチャージ制御線 38 の信号と演算回路 206 からの信号等から論理積する論理積回路 205 とから構成される。そして、ビデオデータが前の行と異なる時のみ、プリチャージ制御線 38 からの信号によりスイッチ 93 を ON にして、信号線 20 をプリチャージするようにしている。

【0147】

図 24 では毎回プリチャージを行っている。しかし、実際の定常状態の時の電位とプリチャージ電圧 V_{on} とは大きさがずれていたり、バラツキにより値が離れていたりする。そこで、前の行での定常状態での電位の方がプリチャージ電圧 V_{on} よりも、今選択されている行での定常状態での電位に値が近いと考えられるため、ビデオデータが前の行の物と異なるときのみ動作させる。また、明信号 (発光状態) が続く場合のみプリチャージを行わないようにすることもできる。

さらに、論理回路 206 は現在のビデオデータと 1 行前のビデオデータとが同一の場合のみ同レベルの出力信号が出力され、スイッチ 93 が OFF になる。

【0148】

図 26 は、図 25 に示す演算回路 206 とメモリ回路 207 の具体的構成を示している。メモリ回路 207 はラッチ A とラッチ B とで構成され、それぞれラッチ A、ラッチ B は、ラッチ 1 回路 208、ラッチ 2 回路 209 及びシフトレジスタ 210 によって駆動される。

図 27 は、図 26 に示すメモリ回路 207 を制御するメモリ制御信号と、メモリ回路 207 を制御するラッチパルスの制御信号とを示した図である。このようにして、前の行のビデオデータを制御する。

図 28 は、図 25 に示すプリチャージ制御線 38 の制御動作を説明する図で、1 列目のビデオデータと 2 列目のビデオデータとが変化があった時のみ信号線 20 をプリチャージすることを示している。

【0149】

なお、図 25 では、デジタル階調方式の場合、前の行と同じビデオ信号を入力する場合はプリチャージを行わない、ということを説明しているが、これに限定されない。つまり、アナログ階調方式の場合にも、提供することが出来る。例えば、前の行のビデオ信号と、今選択されている行のビデオ信号との差が大きい場合には、プリチャージを行うようにして、小さい場合には、プリチャージを行わないようにしてもよい。

【0150】

10

20

30

40

50

たとえば、図17や図4の場合、信号電流が、ある範囲（領域）にある場合は、どれだけの大きさの電圧でプリチャージを行えばよいかが制御されている。そこで、前回入力したビデオ信号、つまり、前の行の画素に入力したビデオ信号とこれから入力するビデオ信号が同じ領域にある場合はプリチャージを行わず、異なる領域の場合はのみプリチャージを行うようにしてもよい。

【0151】

なお、図10～図14、図18～図25などでは、駆動対象回路150である電流源が、画素回路の中に配置されていた。そのため、プリチャージ回路は、画素回路に電流を供給する回路、つまり、信号線駆動回路の中にあった。しかし、信号線駆動回路にも電流源が設けられている。よって、信号線駆動回路の中の電流源を駆動対象回路150として、本発明を適用してもよい。

10

【0152】

信号線駆動回路内に駆動対象回路150が配置されている場合、信号線駆動回路に電流を供給する電流源が設けられている。そこに、プリチャージ回路を配置すればよい。このような場合の全体の構成を図29に示す。マトリックス状に配置された画素で構成された画素回路100ARと、画素回路100ARに電流を供給する信号線駆動回路200ARと、信号線駆動回路200ARに電流を供給する基準電流源300とから構成されている。

【0153】

図10～図14、図18～図25などでは、信号線駆動回路200aなどから画素回路100aなどに電流を供給する場合、つまり、駆動対象回路150が画素回路100aなどにある場合について説明している。

20

同様に、基準電流源300から信号線駆動回路200aなどに電流を供給する場合、つまり、駆動対象回路150が信号線駆動回路200ARに配置されている場合にも、本発明を適用することができる。なお、動作や回路構成などは、図1～図9、図16～図17などと同様であるため、詳細な説明は省略する。

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶半導体基板、SOI基板、ガラス基板などに配置することができる。

30

【実施例12】

【0154】

次に、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素などに、本発明の回路を適用することができる。

【0155】

表示装置は、図35に示すように、画素配列3501、ゲート線駆動回路3502、信号線駆動回路3510を有している。ゲート線駆動回路3502は、画素配列3501に選択信号を順次出力する。信号線駆動回路3510は、画素配列3501にビデオ信号やプリチャージ信号を順次出力する。画素配列3501では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路3510から画素配列3501へ入力するビデオ信号は電流であり、プリチャージ信号は電圧である。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路3510から入力されるビデオ信号（電流）によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED（フィールドエミッションディスプレイ）で用いる素子などがあげられる。

40

【0156】

なお、ゲート線駆動回路3502や信号線駆動回路3510は、複数配置されていても

50

よい。

【0157】

信号線駆動回路3510は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ3503、第1ラッチ回路(LAT1)3504、第2ラッチ回路(LAT2)3505、デジタル電圧・アナログ電流変換回路3506、デジタル電圧・アナログ電圧変換回路3515に分けられる。デジタル電圧・アナログ電流変換回路3506には、デジタル電圧をアナログ電流に変換する機能を有しており、ガンマ補正を行う機能も有していてもよい。

【0158】

また、画素は、OLEDなどの表示素子を有している。その表示素子に電流(ビデオ信号)を出力する回路、すなわち、電流源回路を有している。

【0159】

そこで、信号線駆動回路3510の動作を簡単に説明する。シフトレジスタ3503は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0160】

シフトレジスタ3503より出力されたサンプリングパルスは、第1ラッチ回路(LAT1)3504に入力される。第1ラッチ回路(LAT1)3504には、ビデオ信号線3508よりビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って各列でビデオ信号を保持していく。なお、デジタル電圧・アナログ電流変換回路3506を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は電圧であることが多い。

【0161】

ただし、第1ラッチ回路3504や第2ラッチ回路3505が、アナログ値を保存できる回路である場合は、デジタル電圧・アナログ電流変換回路3506もしくはその一部やデジタル電圧・アナログ電圧変換回路3515若しくはその一部などは省略できる場合が多い。その場合、ビデオ信号は電流であることが多いが、電圧の場合もある。また、画素配列3501に出力するデータが2値、つまり、デジタル値である場合は、デジタル電圧・アナログ電流変換回路3506もしくはその一部やデジタル電圧・アナログ電圧変換回路3515若しくはその一部などは省略できる場合が多い。

【0162】

第1ラッチ回路(LAT1)3504において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線3509よりラッチパルス(Latch Puls)が入力され、第1ラッチ回路(LAT1)3504に保持されていたビデオ信号は、一齊に第2ラッチ回路(LAT2)3505に転送される。その後、第2ラッチ回路(LAT2)3505に保持されたビデオ信号は、1行分が同時にデジタル電圧・アナログ電流変換回路3506やデジタル電圧・アナログ電圧変換回路3515へと入力される。デジタル電圧・アナログ電圧変換回路3515から出力される信号は、プリチャージ信号として、画素配列3501へ入力される。以後、そして、デジタル電圧・アナログ電流変換回路3506から出力される信号は、ビデオ信号として画素配列3501へ入力される。

【0163】

第2ラッチ回路(LAT2)3505に保持されたビデオ信号がデジタル電圧・アナログ電流変換回路3506などに入力され、そして、画素3501に入力されている間、シフトレジスタ3503において、再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

【0164】

次に、各部分の回路構成について述べる。シフトレジスタ3503、第1ラッチ回路(

10

20

30

40

50

L A T 1) 3 5 0 4 、第 2 ラッチ回路 (L A T 2) 3 5 0 5 などは、公知の技術により実現できる。

【 0 1 6 5 】

デジタル電圧・アナログ電流変換回路 3 5 0 6 は、図 4 に示した構成を用いて構成できる。つまり、図 4 におけるデジタルデータ D 1 ~ D 4 が、第 2 ラッチ回路 (L A T 2) 3 5 0 5 から出力されるビデオ信号に相当する。デジタルデータ D 1 ~ D 4 (第 2 ラッチ回路 (L A T 2) 3 5 0 5 から出力されるビデオ信号) によって、図 4 におけるスイッチ S W 6 ~ S W 9 をオンオフする。信号電流源 3 0 0 (各ビットに対応した電流源) から駆動対象回路 1 5 0 (画素 3 5 0 1) に信号線 4 0 0 を経由してアナログ電流 (ビデオ信号) を出力する。このようなスイッチや信号電流源が各信号線ごとに配置されて、デジタル電圧・アナログ電流変換回路 3 5 0 6 が構成されている。

10

【 0 1 6 6 】

なお、信号電流源 3 0 0 における各ビットに対応した電流源は、各々、トランジスタを用いて、ゲート・ソース間に一定の電圧を加えて、飽和領域で動作させることによって、実現してもよい。ただしこの場合、電流源として動作させるトランジスタの特性 (移動度やしきい値電圧など) がばらつくと、電流値もばらついてしまう。そこで、リファレンス用電流源回路 3 5 1 4 から電流を流し、各列の信号電流源 3 0 0 に電流を設定していく動作を行っても良い。その場合は、デジタル電圧・アナログ電流変換回路 3 5 0 6 における各列の信号電流源 3 0 0 における各ビットに対応した電流源が、駆動対象回路 1 5 0 となる。したがって、リファレンス用電流源回路 3 5 1 4 の中に、駆動対象回路 1 5 0 に電流を供給するための電流源だけでなく、様々なプリチャージ回路を配置することが出来る。その場合の例を図 4 1 に示す。図 4 1 では、2 ビットの場合について述べてあり、トランジスタ 4 1 1 1 a が 1 ビット目に対応した電流源 (駆動対象回路) であり、トランジスタ 4 1 1 1 b が 2 ビット目に対応した電流源 (駆動対象回路) である。3 5 1 4 a が 1 ビット目に対応したリファレンス用電流源であり、3 5 1 4 b が 2 ビット目に対応したリファレンス用電流源である。

20

【 0 1 6 7 】

リファレンス用電流源回路 3 5 1 4 を用いて、デジタル電圧・アナログ電流変換回路 3 5 0 6 における各列の信号電流源 3 0 0 における各ビットに対応した電流源に電流を設定していく場合は、それを制御するような回路が、さらに配置されていることが多い。あるいは、シフトレジスタ 3 5 0 3 を用いて制御したり、第 2 ラッチ回路 (L A T 2) 3 5 0 5 を利用して制御してもよい。

30

【 0 1 6 8 】

なお、画素 3 5 0 1 に電流を供給する回路としては、その詳細は、本出願人の先願である国際公開第 0 3 / 0 3 8 7 9 3 号公報、国際公開第 0 3 / 0 3 8 7 9 4 号公報、国際公開第 0 3 / 0 3 8 7 9 5 号公報、国際公開第 0 3 / 0 3 8 7 9 6 号公報、国際公開第 0 3 / 0 3 8 7 9 7 号公報などに開示されており、その技術を用いることが可能である。

【 0 1 6 9 】

デジタル電圧・アナログ電圧変換回路 3 5 1 5 は、公知の技術として、抵抗分割型 D A 変換回路 (R - D A C) や、容量分割型 D A 変換回路 (C - D A C) などを用いて構成すればよい。つまり、D A 変換用の基準電圧として、いくつかのプリチャージ電圧を入力し、第 2 ラッチ回路 (L A T 2) 3 5 0 5 から出力されるビデオ信号を用いて、それに対応した適切なアナログ電圧 (プリチャージ電圧) を、信号線 4 0 0 を通して、駆動対象回路 1 5 0 (画素 3 5 0 1) に出力すればよい。なお、第 2 ラッチ回路 (L A T 2) 3 5 0 5 から出力されるビデオ信号が N ビット (2^N 階調) の場合、 2^N 個分の電圧をデジタル電圧・アナログ電圧変換回路 3 5 1 5 で作って、画素に入力してもよいし、図 4 に示したように、プリチャージ選択回路 7 0 0 や S W 1 0 ~ S W 1 3 などを用いることにより、領域ごとに決まったプリチャージ電圧を出力するようにしてもよい。

40

【 0 1 7 0 】

なお、デジタル電圧・アナログ電圧変換回路 3 5 1 5 には、基準となるようなプリチャ

50

ージ電圧をいくつか入力する必要がある。そこで、直接プリチャージ電圧を入力してもよいし、基準電圧生成回路 3516においてプリチャージ電圧を生成して、それを入力するようにしてもよい。その場合は、図5に示すような回路を用いればよい。その時、図5における各々の電流源は、専用に配置してもよいし、リファレンス用電流源回路 3514 やデジタル電圧・アナログ電流変換回路 3506 などにおける電流源を共用して、利用してもよい。また、図5におけるプリチャージ回路（トランジスタ）500A、500B、500C、500Dは、専用に配置してもよいし、画素配列 3501 などにおける電流源を共用して利用してもよい。または、図3、図18～22などのように、プリチャージ回路 500 やインピーダンス変換用アンプ 600 などを用いて、アナログ電圧（プリチャージ電圧）を各列ごとに配置してもよい。

10

【0171】

なお、信号線駆動回路やその一部は、画素配列 3501 と同一基板上に存在させず、例えば、外付けのICチップを用いて構成されることもある。

【0172】

なお、信号線駆動回路などの構成は、図35に限定されない。

【0173】

例えば、第1ラッチ回路 3504 や第2ラッチ回路 3505 が、アナログ値の電流を保存できる回路である場合、第1ラッチ回路（LAT1）3504 に、ビデオ信号（アナログ電流）が入力されることもある。この場合の構成を図37に示す。

20

第1ラッチ回路（LAT1）3504 にビデオ信号を供給する回路として、ビデオ信号供給回路 3514 が接続されている。この場合、ビデオ信号供給回路 3514 が、図16などにおける信号電流源 300 とプリチャージ回路 500 に相当する。そして、駆動対象回路 150 は、第1ラッチ回路（LAT1）3504 の中に配置されているトランジスタに相当する。図38に、図37の詳細な構成の一例を示す。信号電流源 3801 とプリチャージ回路 3802 を用いて、第1ラッチ回路（LAT1）3504 の中に配置されている駆動対象回路であるトランジスタ 3805 にビデオ信号を入力する。このとき、プリチャージ回路 3802 があるため、すばやく信号を書き込むことが出来る。その後、第1ラッチ回路（LAT1）3504 の中のトランジスタ 3805 から、第2ラッチ回路（LAT2）3505 の中のトランジスタ 3803 に、ラッチ信号に同期させてビデオ信号を入力する。それから、第2ラッチ回路（LAT2）3505 の中のトランジスタ 3803 から画素 3804a、3804b、3804c などにビデオ信号を供給していく。

30

【0174】

なお、図38では、ビデオ信号供給回路 3514 から第1ラッチ回路（LAT1）3504 の中のトランジスタ（駆動対象回路）に電流を供給するときに、プリチャージ回路を用いてすばやく信号を入力できるようにした例を示したが、これに限定されない。第1ラッチ回路（LAT1）3504 の中のトランジスタから、第2ラッチ回路（LAT2）3505 の中のトランジスタ（駆動対象回路）に電流を供給するときにも、第1ラッチ回路（LAT1）3504 の中にプリチャージ回路を配置することにより、プリチャージを行っても良い。

40

同様に、第2ラッチ回路（LAT2）3505 の中のトランジスタから画素（駆動対象回路）に電流を供給するときにも、第2ラッチ回路（LAT2）3505 の中にプリチャージ回路を配置することにより、プリチャージを行っても良い。また、その場合は、さらに第2ラッチ回路 3505 が存在しない場合もある。この場合の構成を図39に示す。この場合は、図40に示すように、第1ラッチ回路（LAT1）において、1列につき複数のトランジスタ 4002a、4002b を配置する。そして、一方のトランジスタにビデオ信号供給回路 3514 から信号を供給し、他方のトランジスタから画素へ信号を供給する。そして、配線 4001 を用いて、それらを順次切り替えて動作させる。ここでも、図37、38と同様に、各々の場所にプリチャージ回路を配置することにより、信号の書き込みをすばやく行うことができるようになる。

なお、図35や図37～40の構成においても、これまでに述べてきた様々なプリチャ

50

ージ回路の構成などを適用することが出来る。

【実施例 13】

【0175】

次に、本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。これらの電子機器の具体例を図36に示す。

10

【0176】

図36（A）は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。また本発明により、図36（A）に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0177】

図36（B）はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、図36（B）に示すデジタルスチルカメラが完成される。

20

【0178】

図36（C）はノート型パソコンであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。本発明は、表示部13203を構成する電気回路に用いることができる。また本発明により、図36（C）に示す発光装置が完成される。

【0179】

図36（D）はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する電気回路に用いることができる。また本発明により、図36（D）に示すモバイルコンピュータが完成される。

30

【0180】

図36（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体（DVD等）読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、13404を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図36（E）に示すDVD再生装置が完成される。

40

【0181】

図36（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体13501、表示部13502、アーム部13503を含む。本発明は、表示部13502を構成する電気回路に用いることができる。また本発明により、図36（F）に示すゴーグル型ディスプレイが完成される。

【0182】

図36（G）はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609等を含む。本発明は、表

50

示部 13602 を構成する電気回路に用いることができる。また本発明により、図 36 (G) に示すビデオカメラが完成される。

【0183】

図 36 (H) は携帯電話であり、本体 13701、筐体 13702、表示部 13703、音声入力部 13704、音声出力部 13705、操作キー 13706、外部接続ポート 13707、アンテナ 13708 等を含む。本発明は、表示部 13703 を構成する電気回路に用いることができる。なお、表示部 13703 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 36 (H) に示す携帯電話が完成される。

【0184】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0185】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示するが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0186】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景とし、文字情報を発光部分で形成するように駆動することが望ましい。

【0187】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。またここで示した電子機器は、本発明において示したいずれの構成の半導体装置を用いても良い。

【符号の説明】

【0188】

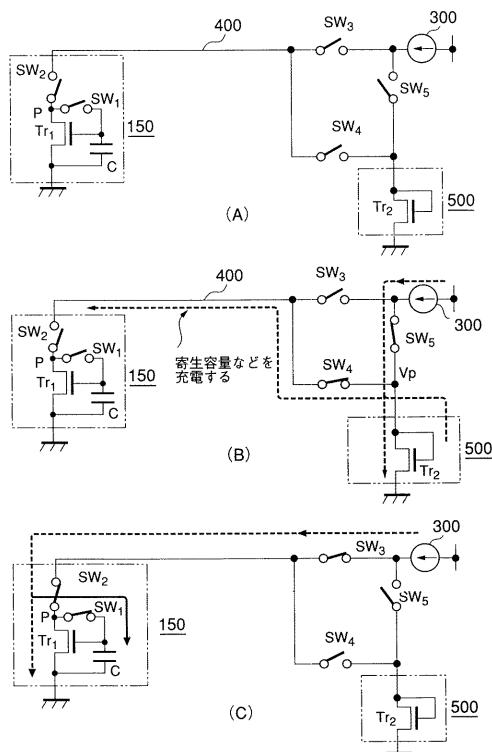
- 20 : 信号線
- 30 : 電源線
- 50 : 駆動 TFT
- 70 : 入力電流源
- 80 : 駆動素子
- 85 : アンプ
- 100 : 画素回路
- 150 : 駆動対象回路
- 300 : 信号電流源
- 400 : 信号線
- 500 : プリチャージ回路

10

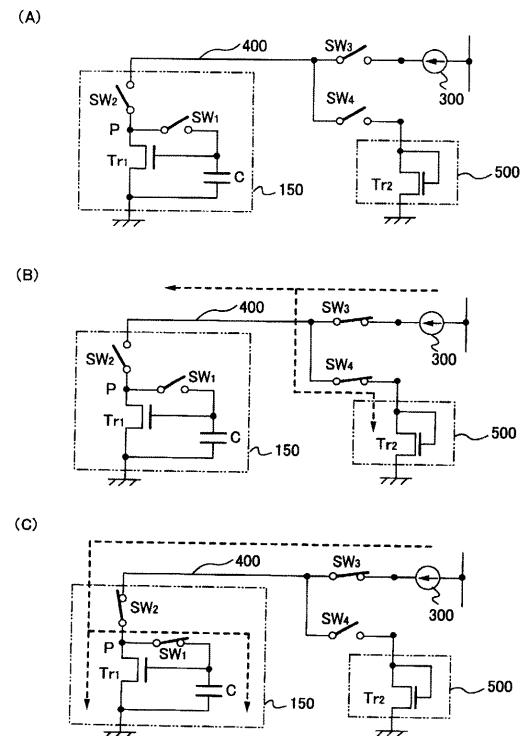
20

30

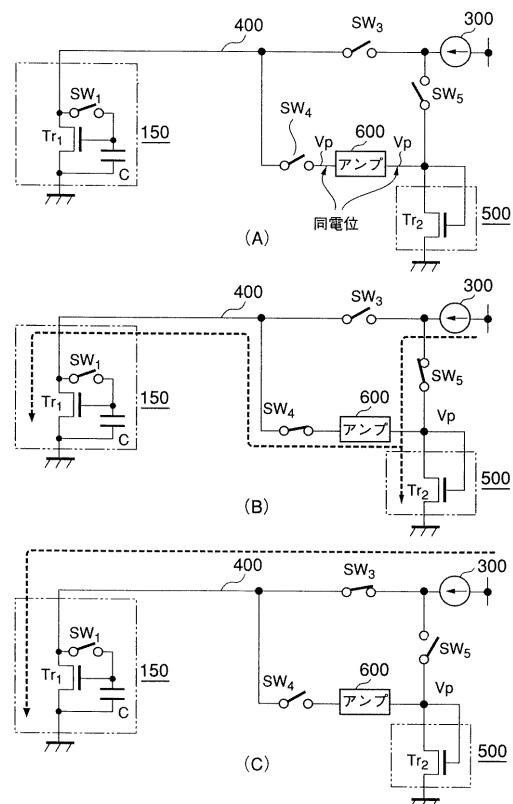
【図1】



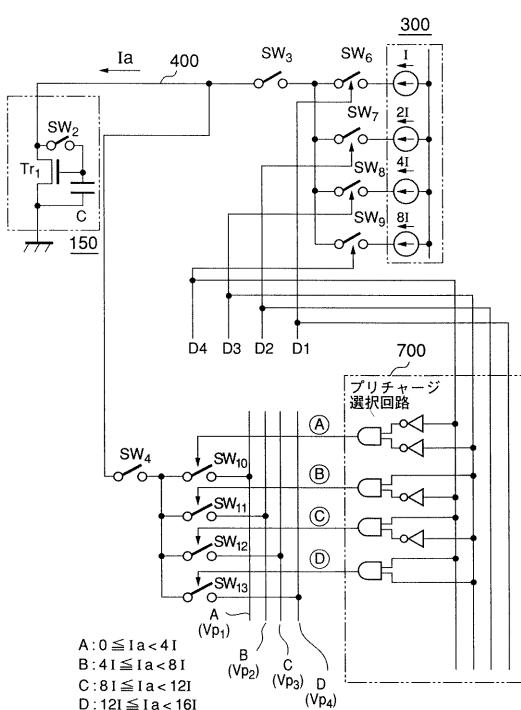
【 図 2 】



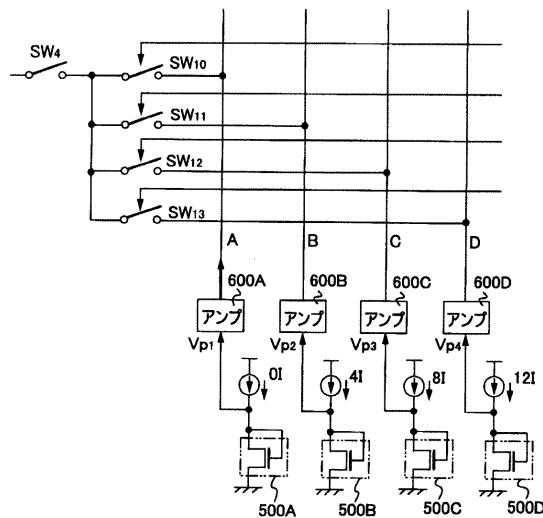
【図3】



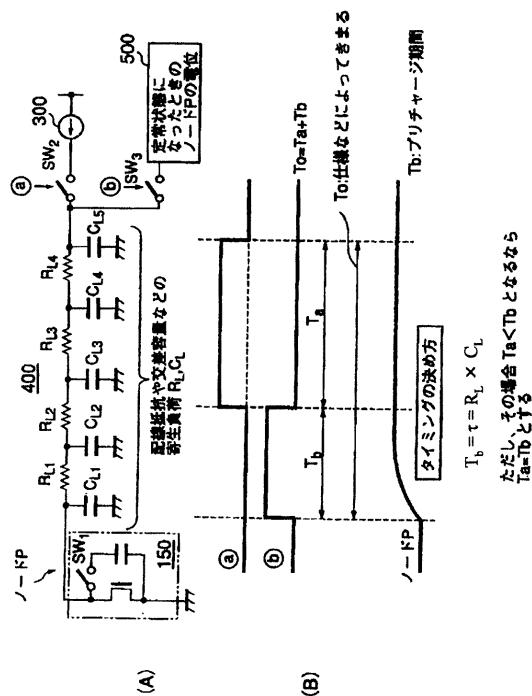
〔 四 4 〕



【図5】



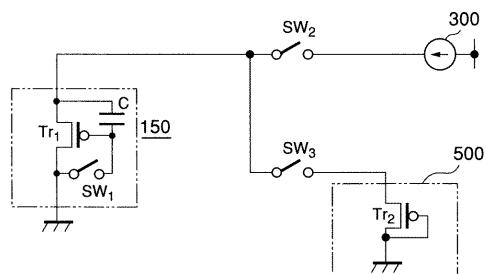
【図6】



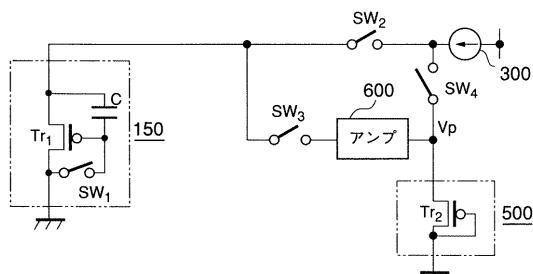
(A)

(B)

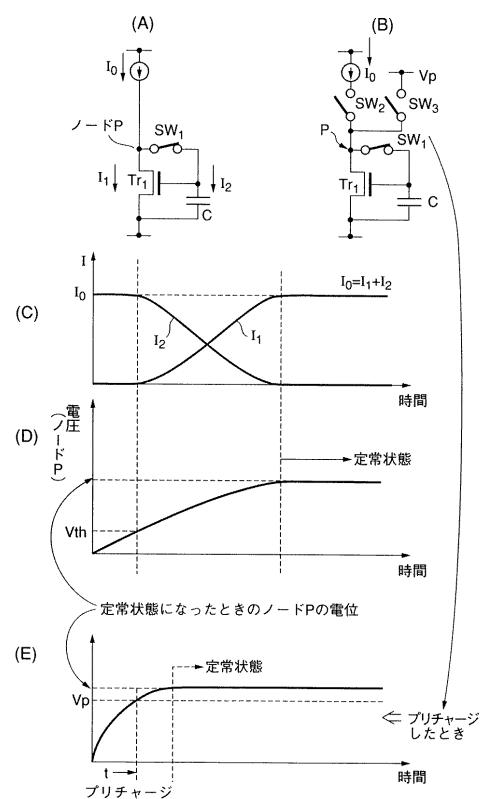
【図7】



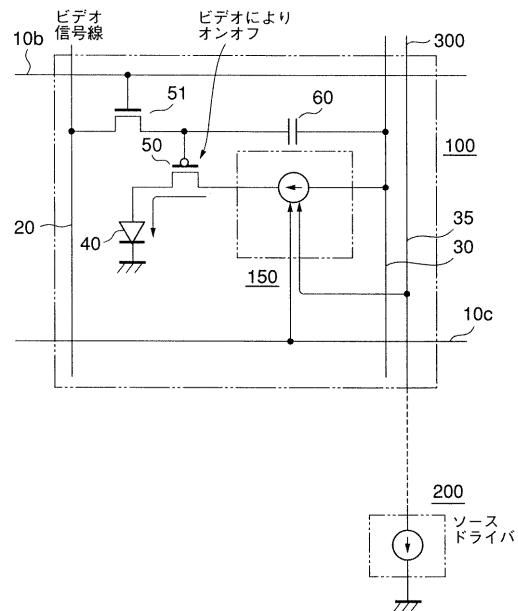
【図8】



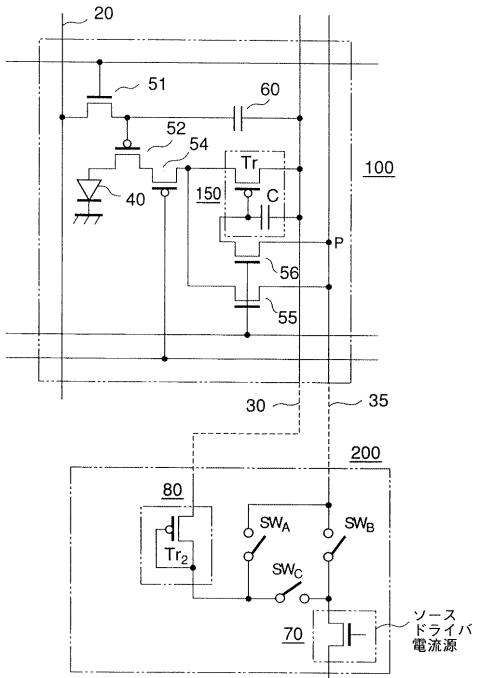
【図9】



【図 1 0】

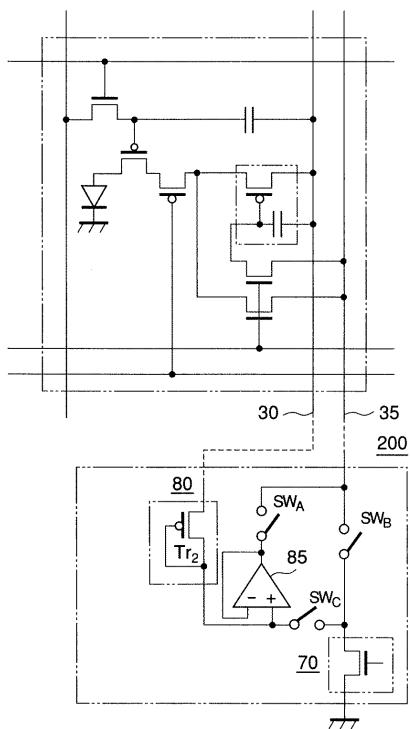


【図 1 1】

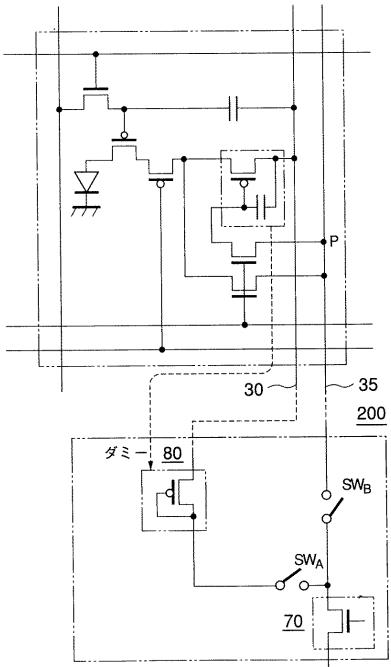


プリチャージ: (SW_B) オフ (SW_A) オン (SW_C) オン
電流入力: (SW_B) オン (SW_A) オフ (SW_C) オフ

【図 1 2】

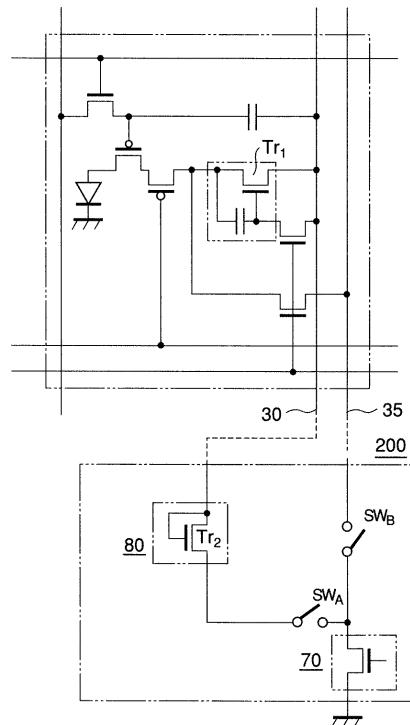


【図 1 3】

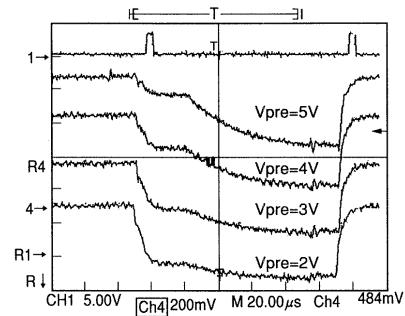


プリチャージ: (SW_A) オン (SW_B) オフ
電流入力: (SW_A) オフ (SW_B) オン

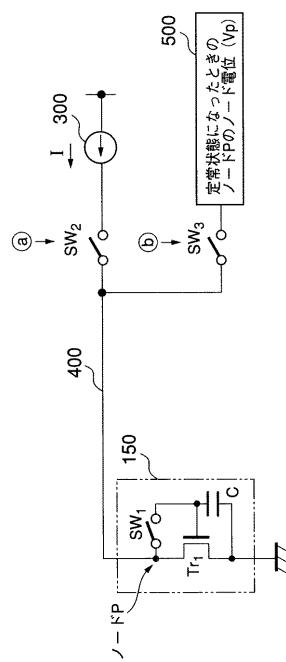
【図 1 4】



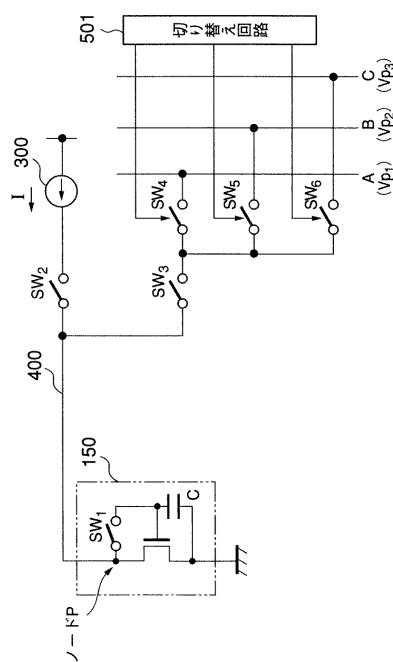
【図 1 5】



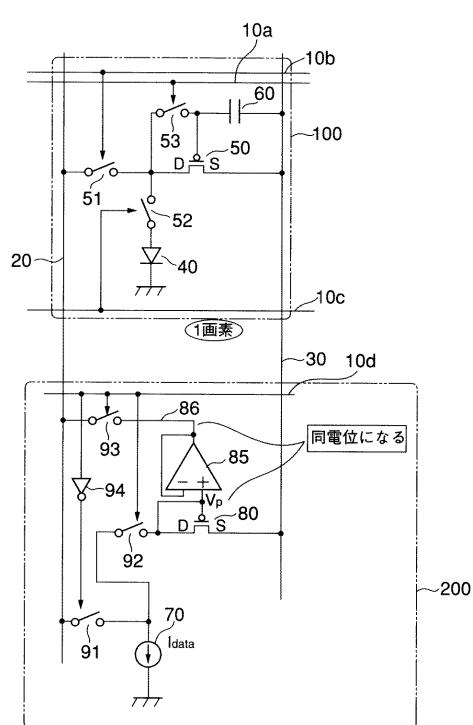
【図 1 6】



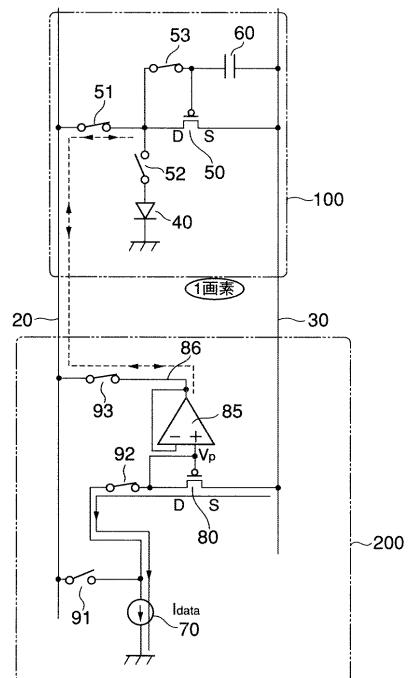
【図 1 7】



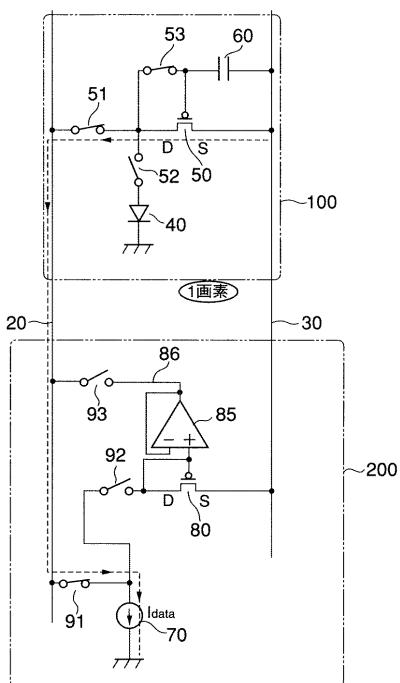
【図 18】



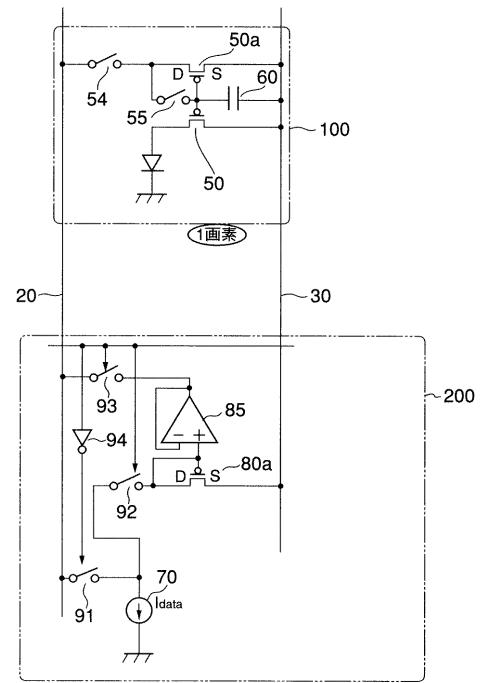
【図 19】



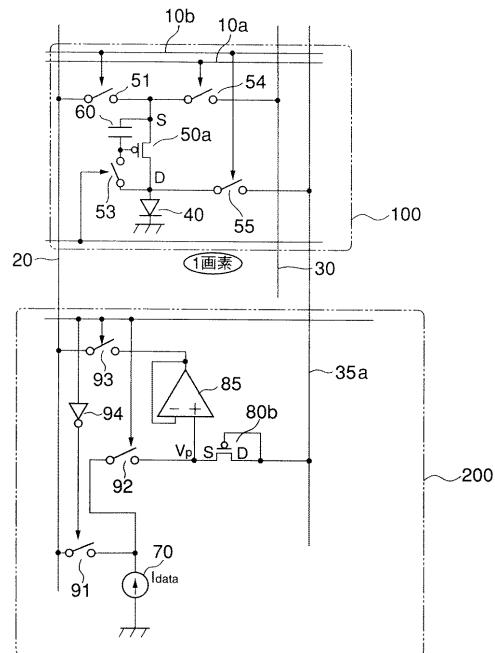
【図 20】



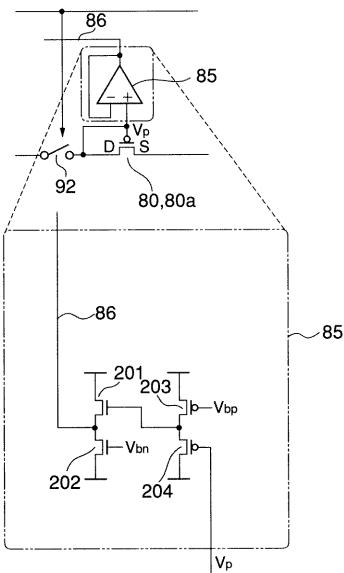
【図 21】



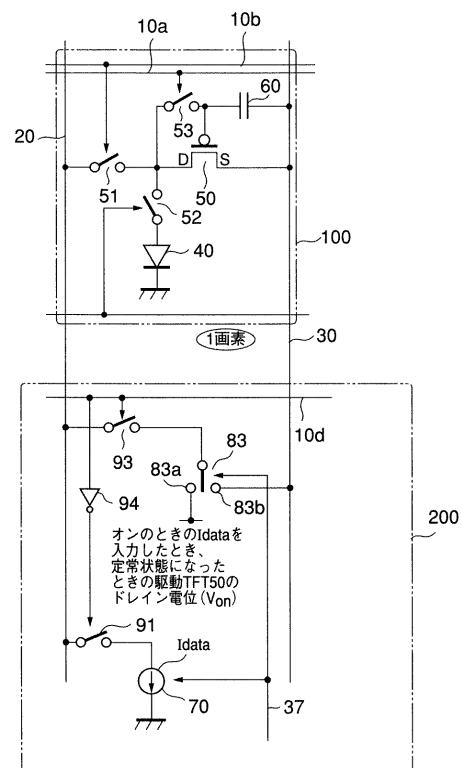
【図2-2】



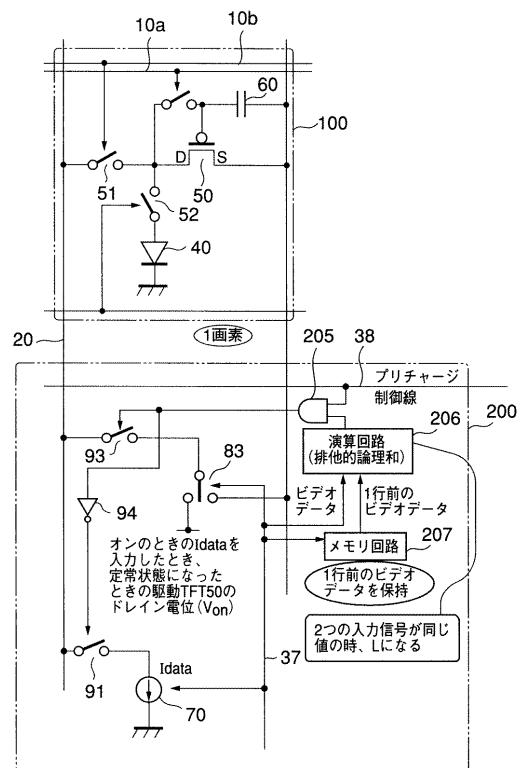
【図2-3】



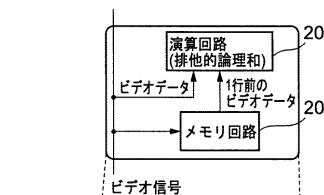
【図2-4】



【図2-5】

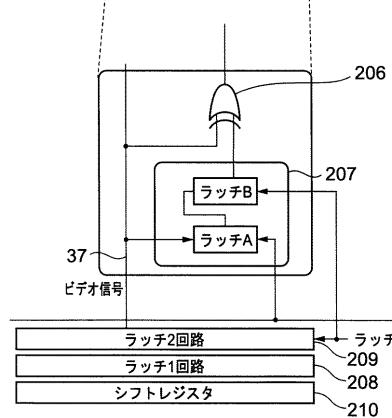


【図 2 6】

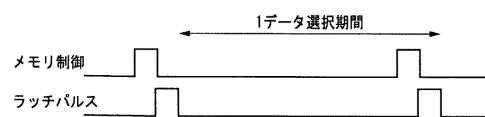


【図 2 8】

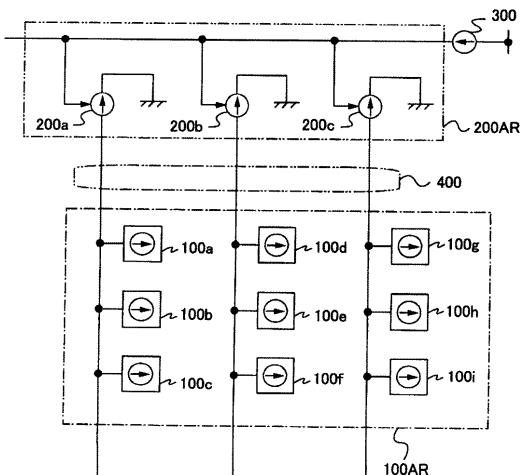
行番号 (時間)	1	2	3	4	5	6	7	8	9	10	11	12
ビデオデータ (一列目)	—	—	—	—	—	—	—	—	—	—	—	—
プリチャージ (一列目)	あり	あり	あり	なし	なし	あり	なし	なし	あり	なし	あり	なし
ビデオデータ (2列目)	—	—	—	—	—	—	—	—	—	—	—	—
プリチャージ (2列目)	あり	なし	あり	なし	あり	あり	なし	あり	あり	あり	あり	なし



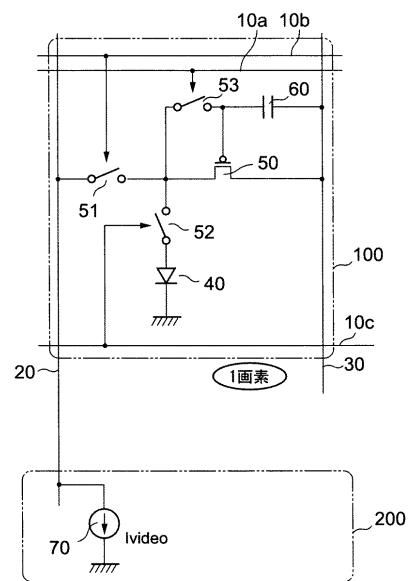
【図 2 7】



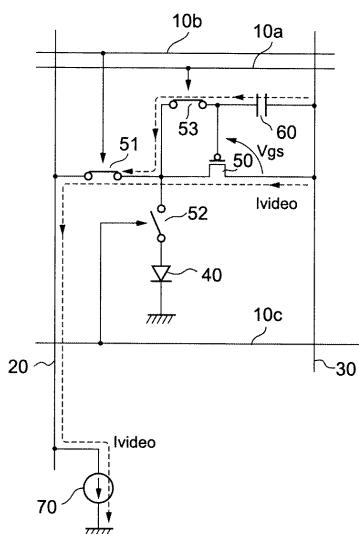
【図 2 9】



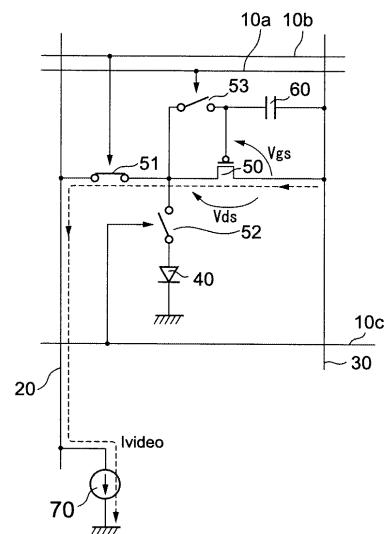
【図 3 0】



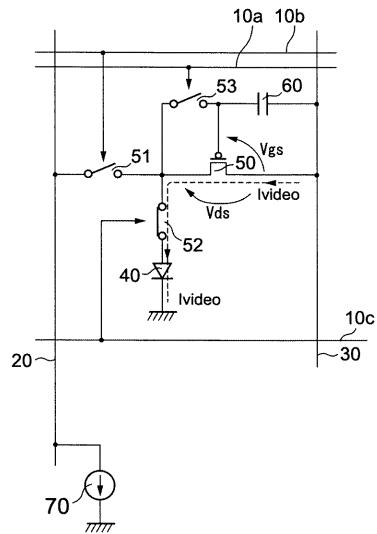
【図 3 1】



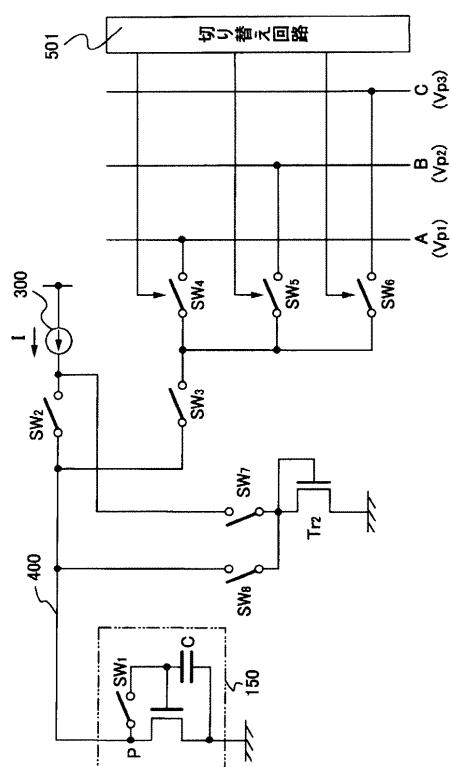
【図 3 2】



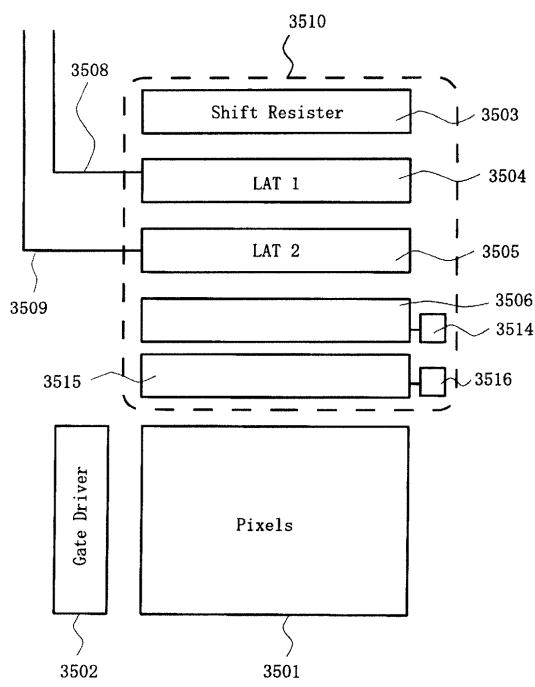
【図 3 3】



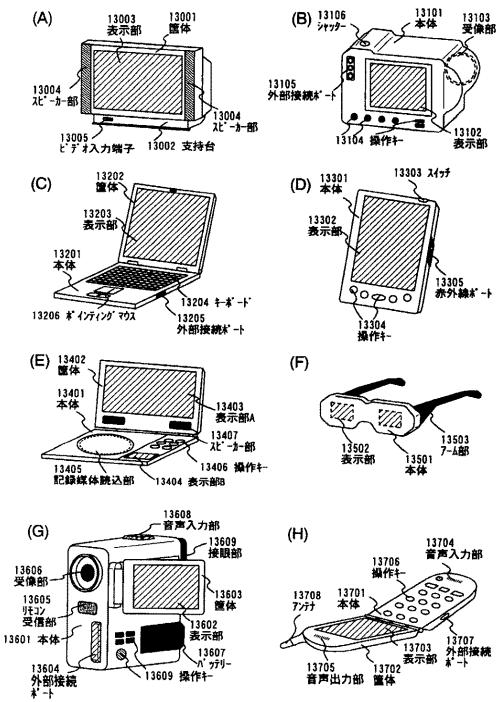
【図 3 4】



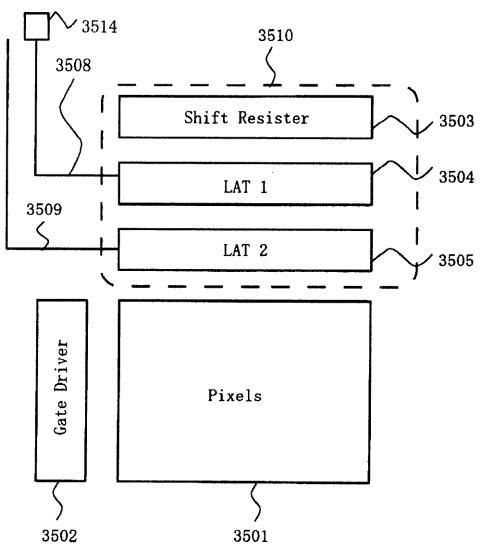
【図 3 5】



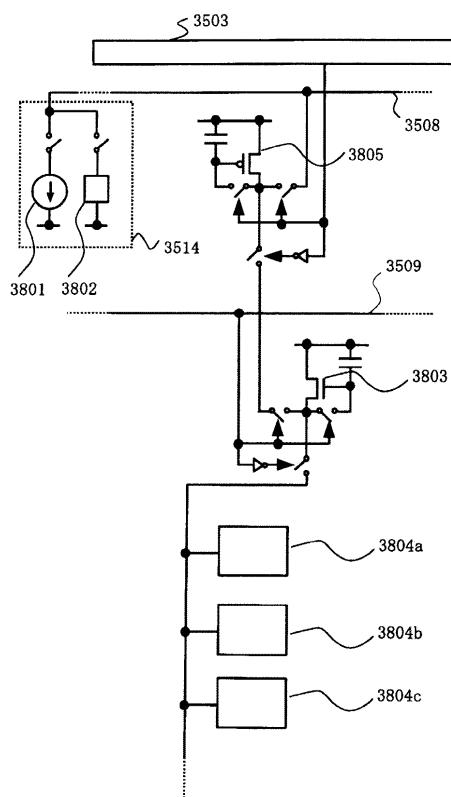
【図36】



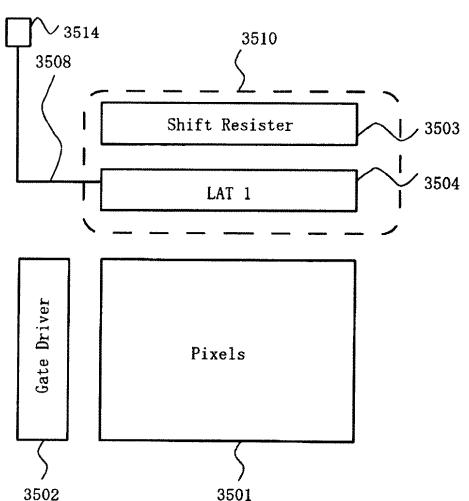
【図37】



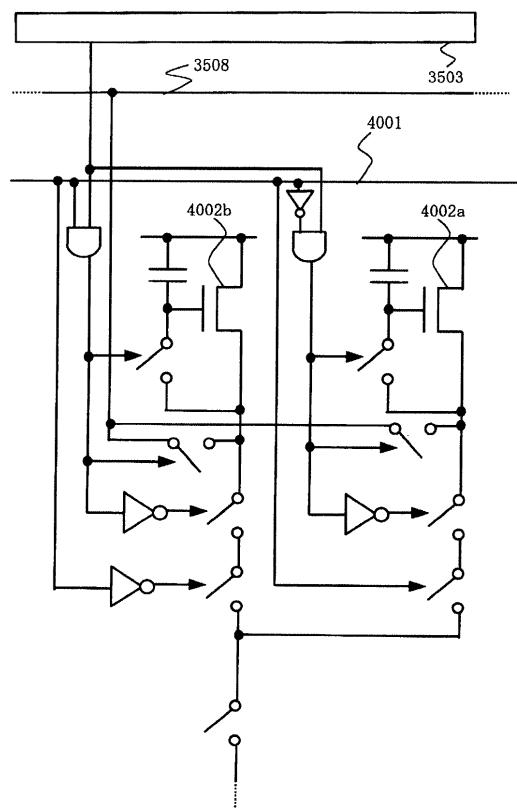
【図38】



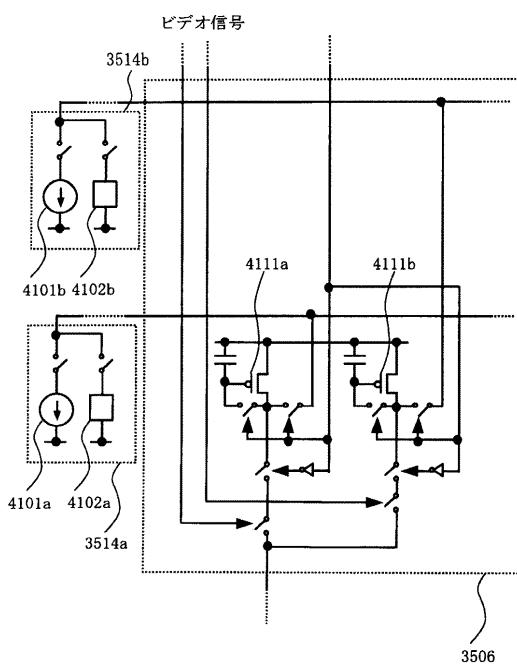
【図39】



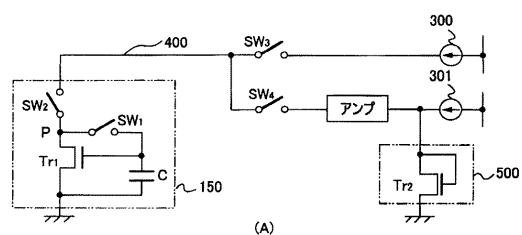
【図40】



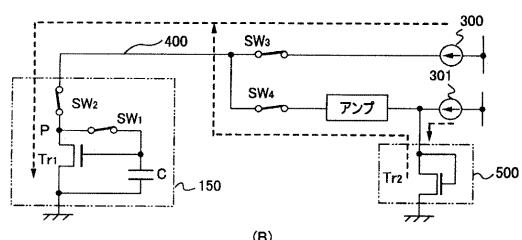
【図41】



【図42】



(A)



(B)

【手続補正書】

【提出日】平成22年8月26日(2010.8.26)

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電流源と、第1乃至第2のトランジスタと、増幅回路とを有する半導体装置であって、
前記第1のトランジスタのドレインは、第1のスイッチを介して、前記第1のトランジスタのゲートと電気的に接続され、
前記第1のトランジスタのソース又はドレインの一方は、前記電流源と電気的に接続され、

前記第2のトランジスタのドレインは、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第2のスイッチを介して、前記電流源と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記増幅回路の入力端子と電気的に接続され、

前記増幅回路の出力端子は、第3のスイッチを介して、前記第1のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第1のトランジスタのチャネル幅W1とチャネル長L1との比であるW1/L1は、
前記第2のトランジスタのチャネル幅W2とチャネル長L2との比であるW2/L2よりも小さいことを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1のトランジスタは、前記第2のトランジスタと同じ極性を有することを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、

前記第1のトランジスタのチャネル幅W1は、前記第2のトランジスタのチャネル幅W2よりも小さいことを特徴とする半導体装置。

【請求項4】

操作キーと、スピーカーと、請求項1乃至請求項3のいずれか一項に記載の液晶表示装置とを有する電子機器。

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 2 3 Y
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 2 1 F

F ターム(参考) 5C380 AA01 AB06 AB22 AB23 AB24 AC07 AC08 AC09 AC11 AC12
AC13 AC16 BA37 BA38 BA39 BA45 BB02 BC02 BC03 BC06
BC07 BC13 CA02 CA03 CA04 CA08 CA12 CA13 CA14 CA29
CA32 CA34 CB01 CB17 CC02 CC13 CC14 CC21 CC26 CC30
CC33 CC39 CC52 CC62 CC63 CC64 CD012 CD014 CD015 CD026
CE04 CF07 CF09 CF10 CF22 CF27 CF32 CF34 CF51 DA02
DA06 DA07 FA09 FA21