

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4202658号
(P4202658)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int.Cl.

F I

G 1 1 B 20/12 (2006.01)

G 1 1 B 20/12

G 1 1 B 20/10 (2006.01)

G 1 1 B 20/12 1 O 3

G 1 1 B 20/10 3 1 1

請求項の数 8 (全 22 頁)

(21) 出願番号 特願2002-46591 (P2002-46591)
 (22) 出願日 平成14年2月22日(2002.2.22)
 (65) 公開番号 特開2003-249029 (P2003-249029A)
 (43) 公開日 平成15年9月5日(2003.9.5)
 審査請求日 平成17年1月4日(2005.1.4)

前置審査

(73) 特許権者 308014341
 富士通マイクロエレクトロニクス株式会社
 東京都新宿区西新宿二丁目7番1号
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 山脇 昌史
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内

審査官 藤原 敬利

最終頁に続く

(54) 【発明の名称】 データ書き込み装置及びDVDフォーマットデータ生成方法

(57) 【特許請求の範囲】

【請求項1】

DVDメディアに対するDVDフォーマットデータの生成処理及び書き込み処理を制御する中央処理部と、前記DVDフォーマットデータの生成処理及び書き込み処理を、複数のセクタで構成されるブロック毎に行うコントローラ部とを備えたデータ書き込み装置であって、

前記コントローラ部は、

1ブロックずつのユーザーデータを取り込んで、バッファメモリに格納するホストインターフェースと、前記バッファメモリから前記ユーザーデータを読み出して、1ブロックずつDVDフォーマットデータに変換して、前記バッファメモリに格納する誤り訂正部と、

10

前記DVDフォーマットデータを前記バッファメモリから1ブロックずつ読み出して、DVDメディアに対し書き込み処理を行うフォーマッタとを含み、

前記誤り訂正部は、前記バッファメモリからの前記ユーザーデータの読み出しと並行して、最終ブロックのデータの足りないセクタに対するパディング処理データを生成して前記ユーザーデータに対してパディング処理を行うパディング処理回路を備え、

前記パディング処理回路は、

data type設定レジスタの格納内容に基づいて、前記最終ブロックのパディング処理対象セクタを検出する検出部と、

前記DVDフォーマットデータの生成時に、前記検出部の出力信号に基づいてパディン

20

グ処理データを生成して出力するパディング処理データ生成部とから構成したことを特徴とするデータ書き込み装置。

【請求項 2】

前記誤り訂正部には、最終ブロックの各セクタの I D 部に data type を設定する data type 設定部を備えたことを特徴とする請求項 1 記載のデータ書き込み装置。

【請求項 3】

前記誤り訂正部は、前記最終ブロックの D V D フォーマットデータの生成後に書き込み終了フラグを設定し、前記フォーマットは前記最終ブロックの D V D フォーマットデータの書き込み終了後、前記書き込み終了フラグに基づいてリンキング部の書き込み処理を行うことを特徴とする請求項 1 または 2 記載のデータ書き込み装置。

10

【請求項 4】

前記 data type 設定レジスタには、前記最終ブロックの各セクタに対応するビットにそれぞれ data type を格納し、前記検出部は前記 data type 設定レジスタの隣り合うビットの格納内容の A N D 論理を算出して出力することを特徴とする請求項 1 乃至 3 のいずれか一項に記載のデータ書き込み装置。

【請求項 5】

前記 data type 設定レジスタには、前記最終ブロックの各セクタに対応するビットにそれぞれ data type を格納し、前記検出部は前記 data type 設定レジスタの格納内容に基づいてパディング処理対象セクタの先頭セクタを検出するデコード回路で構成したことを特徴とする請求項 1 乃至 3 のいずれか一項に記載のデータ書き込み装置。

20

【請求項 6】

前記 data type 設定レジスタには、前記最終ブロックの各セクタにおいて data type を設定する先頭セクタの値を格納し、前記検出部は前記先頭セクタの値に「1」を加算してパディング処理対象セクタの先頭セクタを検出する加算器で構成したことを特徴とする請求項 1 乃至 3 のいずれか一項に記載のデータ書き込み装置。

【請求項 7】

前記パディング処理データ生成部には、前記検出部の出力信号に基づいて、前記バッファメモリに格納されているデータに代えて、パディング処理データを選択する選択回路を設けたことを特徴とする請求項 1 乃至 6 のいずれかに記載のデータ書き込み装置。

【請求項 8】

30

1 ブロックずつのユーザーデータをホストインターフェースを介して取り込んで、バッファメモリに格納するステップと、

__前記バッファメモリから誤り訂正部への前記ユーザーデータの読み出しと並行して、前記ユーザーデータにおける最終ブロックのデータの足りない領域を示す情報に基づいて前記データの足りない領域をパディング処理するステップと、

__1 ブロックずつ D V D フォーマットデータに変換して前記バッファメモリに格納し、前記 D V D フォーマットデータを前記バッファメモリからフォーマットに 1 ブロックずつ読み出して、D V D メディアに対し書き込み処理を行うステップと、

__最終ブロックの D V D フォーマットデータ生成時に前記誤り訂正部でパディング処理対象セクタに対するパディング処理データの生成を行うステップと、
を含むことを特徴とする D V D フォーマットデータ生成方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、D V D - R、D V D - R W 等の各種 D V D メディアへのデータ書き込み装置に関するものである。

【0002】

近年、高密度、大容量媒体として D V D (Digital Versatile Disc) の各種メディアが注目されている。また、書き込み可能な D V D - R、D V D - R W 等のメディアも広く利用されるようになってきている。このような D V D - R、D V D - R W、D V D + R W メディア

50

では、書き込み動作時に特有の書き込み処理が必要であり、これらのメディアの大容量媒体としての特性を最大限活用するために、その書き込み動作を迅速に行うことが必要となっている。

【 0 0 0 3 】

【従来の技術】

D V D - R を例にとって、D V D メディアに対するデータ書き込み装置の概要を図 1 3 に示す。M P U 1 により制御されるコントローラ部 2 は、ホストコンピュータからインターフェースを介して入力されるデータの処理を行い、バッファメモリ 3 に格納する。

【 0 0 0 4 】

また、コントローラ部 2 はバッファメモリ 3 に格納されているデータを読み出して、クロック信号とともにライトチャネル部 4 に出力する。ライトチャネル部 4 は入力されたデータを、ピックアップ 5 を介して D V D - R メディア 6 に書き込む。

【 0 0 0 5 】

前記コントローラ部 2 の具体的構成を図 1 4 に従って説明する。ホストインターフェース 7 は、ホストコンピュータ 8 から転送されるデータをバッファメモリ 3 に格納し、1 ブロック分に相当する 3 2 k バイトのデータをバッファメモリ 3 に格納した時点でホストポインタ 9 を更新し、その値を誤り訂正部 (E C C) 1 0 に出力する。

【 0 0 0 6 】

誤り訂正部 1 0 は、ホストポインタ 9 と自身の誤り訂正ポインタ 1 1 との値に差が生じた場合、バッファメモリ 3 内に 3 2 k バイトのデータが格納されたことを認識し、そのデータをバッファメモリ 3 から読み出して誤り検出符号の計算及びデータのスクランブル処理を行って、D V D フォーマットのデータを生成した後、そのデータをバッファメモリ 3 に書き戻す。

【 0 0 0 7 】

この誤り訂正部 1 0 の動作を図 1 5 及び図 1 6 に従って詳細に説明する。図 1 5 に示すように、1 つのブロック 1 2 は 1 6 のセクタ 1 3 で構成される。各セクタ 1 3 は、6 バイトの I D 部 1 4 と、同じく 6 バイトの C P R - M A I 部 1 5 と、2 k バイトのユーザーデータ 1 6 と、4 バイトの E D C (Error Detection Cord) 部 1 7 で構成される。

【 0 0 0 8 】

I D 部 1 4 は、図 1 7 に示すように、1 バイトのセクタ情報 1 8 と、3 バイトのセクタアドレス 1 9 a , 1 9 b , 1 9 c とで構成され、さらに読み取った I D 部 1 4 に誤りが含まれているか否かを判別するための 2 バイトの検出符号が付加される。

【 0 0 0 9 】

C P R - M A I 部 1 5 は、コピー制限等を設定するために使用される。E D C 部 1 7 は、I D 部 1 4 からユーザーデータ 1 6 の最終バイトまで演算することにより得られる誤り検出符号が格納される。

【 0 0 1 0 】

I D 部 1 4 及び C P R - M A I 部 1 5 は、通常誤り訂正部 1 0 内のレジスタに設定されているか、あるいはバッファメモリ 3 内の所定の領域にあらかじめ書き込まれており、誤り検出符号あるいは誤り訂正符号の生成に際し、データの一部として使用される。

【 0 0 1 1 】

上記のように構成されたセクタ 1 3 を 1 6 セクタ分集め、縦方向の 1 6 バイト長の誤り訂正符号 P O と、横方向の 1 0 バイト長の誤り訂正符号 P I とを付加したフォーマットで 1 つのブロック 1 2 が構成される。

【 0 0 1 2 】

上記のような誤り検出符号及び誤り訂正符号 P I , P O の生成動作を説明すると、図 1 6 に示すように、誤り訂正部 1 0 はまずバッファメモリ 3 からユーザーデータを読み出し、誤り訂正部 1 0 に格納されている I D 部 1 4 や C P R - M A I 部 1 5 をもとに E D C 部 1 7 に格納する誤り検出符号を生成する (ステップ 1) 。

【 0 0 1 3 】

10

20

30

40

50

次いで、誤り訂正部 10 はデータをバッファメモリ 3 に書き戻す（ステップ 2）。このとき、ユーザーデータ 16 についてはスクランブル処理を行ってバッファメモリ 3 に書き戻す。このスクランブル処理は、例えば所定の数式で求められた値とデータとの排他的論理和を算出する処理を行う。

【0014】

このような動作を 16 セクタ分を行った後、誤り訂正部 10 は再びバッファメモリ 3 からデータを読み出し（ステップ 3）、誤り訂正符号 P I , P O の生成を行い、その誤り訂正符号 P I , P O を付加した 1 ブロック分のデータを再びバッファメモリ 3 に書き戻す（ステップ 4）。

【0015】

このとき、誤り訂正符号 P I , P O の生成はそれぞれ独立して行う必要があるため、ステップ 3 とステップ 4 が 2 回繰り返される。

誤り訂正符号 P I , P O の生成が終了すると、誤り訂正部 10 は誤り訂正ポインタ 11 を更新し、その更新値をフォーマット 20 に出力する。

【0016】

フォーマット 20 は、誤り訂正ポインタ 11 の値と、自身のディスク制御ポインタ 21 との値に差が生じると、バッファメモリ 3 に格納されている 1 ブロック分のデータを読み出して、DVD-R メディア 6 に書き込む。

【0017】

フォーマット 20 における誤り訂正ポインタ 11 の値とディスク制御ポインタ 21 の値との比較動作は、当該ブロックの書き込み動作の開始時に行われる。各ポインタ 11 , 21 の値に差が生じていない場合、すなわち誤り訂正部 10 での誤り訂正符号 P I , P O の生成が間に合わなかった場合には、バッファメモリ 3 には書き込むべきデータが格納されていないので、フォーマット 20 はデータエンptyと判断して、書き込み処理を中止する。

【0018】

次に、DVD-R メディア 6 に対する書き込み処理に特有な処理動作を説明する。DVD-R メディア 6 に対する書き込み処理には、リンキングロスエリア（Linking Loss Area）のデータ処理、データ ID 部のビット付加及びリンキング部に対する書き込み処理が必要となる。

【0019】

リンキング部は、前回書き込んだデータの終端と、次に書き込むデータの始端とのつなぎの部分を指し、書き込み済データの再生時につなぎの部分が問題なく再生されるようにするために存在する。

【0020】

図 18 に示すように、前回書き込まれたデータの最終ブロック B 1 の終端部分は、次に書き込まれる別データの先頭ブロック B 2 の先頭からある程度進んだ位置まで延長して書き込む必要がある。

【0021】

すなわち、最終ブロック B 1 の終端部分は、データの終端 D E から、さらにシンクマーク SYNC と、ID 部及び 00h 等のデータをリンキング部 23 として終端 B E まで書き込んで終了する。

【0022】

また、次に書き込まれる別データの先頭ブロック B 2 は、前回書き込まれたデータの終端 B E を基準として ± 数バイトの範囲から書き込みを開始する必要がある。

【0023】

次に、最終ブロック B 1 及び先頭ブロック B 2 には、リンキングロスエリアを設ける必要がある。すなわち、DVD のデータ構成は 1 ブロックが 32 k バイト（16 セクタ）で構成されるが、書き込むべきデータの総量が 32 k バイトで割り切れない場合、最終ブロック B 1 と、先頭ブロック B 2 とにリンキングロスエリアが設けられる。

10

20

30

40

50

【 0 0 2 4 】

このリンキングロスエリアは、図 1 9 (a) に示す 3 2 k リンクと、図 1 9 (b) に示す 2 k リンクとがある。3 2 k リンクは、最終ブロック B 1 の有効セクタデータが 1 6 セクタに満たない場合、そのデータ不足セクタと、次に書き込まれる別データの先頭ブロック B 2 の 1 6 セクタをリンキングロスエリアとするものである。

【 0 0 2 5 】

2 k リンクは、最終ブロック B 1 の有効セクタデータが 1 6 セクタに満たない場合、そのデータ不足セクタと、次に書き込まれる別データの先頭ブロック B 2 の 2 セクタをリンキングロスエリアとするものである。

【 0 0 2 6 】

また、図 1 9 (c) に示すように、最終ブロック B 1 の有効セクタデータが丁度 1 6 セクタあり、かつ続く開始ブロック中にリンキングロスエリアを設けないケースも許されており、このようなケースをロスレスリンクという。

【 0 0 2 7 】

このリンキングロスエリアを構成する各セクタのユーザーデータ部分には、0 0 h のデータをパディングすることが規格で決められている。さらに、リンキングロスエリアが設定される場合には、図 1 7 に示すように、一部のセクタの I D 部のビット 25 (data type) の位置に「 1 」を設定する必要がある。

【 0 0 2 8 】

ビット 25 の位置に「 1 」を設定する対象セクタ O S は、図 1 9 (a) に示す 3 2 k リンクでは、最終ブロック B 1 において有効セクタデータが格納される最終セクタと、データ不足セクタと、先頭ブロック B 2 において、リンキングロスエリアの先頭セクタと最終セクタを除く各セクタである。

【 0 0 2 9 】

図 1 9 (b) に示す 2 k リンクでは、最終ブロック B 1 において有効セクタデータが格納される最終セクタと、データ不足セクタの各セクタである。

このような D V D - R メディア 6 に対する書き込み終了処理動作は、M P U 1 により制御され、その処理動作を図 2 0 に従って説明する。

【 0 0 3 0 】

M P U 1 は、ホストコンピュータから転送されるデータの終了タイミングを検出すると (ステップ 1 1)、最終ブロック B 1 のデータ不足セクタに 0 0 h のデータを書き込むパディング処理を行う (ステップ 1 2)。

【 0 0 3 1 】

このパディング処理は、データ不足セクタに 0 0 h を書き込むハードウェアを用意するか、あるいは M P U 1 がバッファメモリ 3 内のデータ不足セクタに 0 0 h を書き込む処理を行う。

【 0 0 3 2 】

次いで、I D 部 1 4 のビット 25 に data type の設定が必要であるので、誤り訂正部 1 0 に対し、data type ビットの設定を行う (ステップ 1 3)。

次に、M P U 1 は誤り訂正部 1 0 に誤り訂正符号の生成を指示する。この誤り訂正符号の生成の指示は、ホストインターフェース 7 のホストポインタ 9 の更新を M P U 1 で行ってもよい (ステップ 1 4)。そして、誤り訂正部 1 0 では最終ブロック B 1 の誤り訂正符号の生成が行われる。

【 0 0 3 3 】

次いで、誤り訂正符号の生成終了後に、M P U 1 は図 1 8 に示すリンキング部 2 3 のデータを作成し (ステップ 1 5)、フォーマッタ 2 0 のブロックカウンタ 2 2 の値を更新する (ステップ 1 6 , 1 7)。

【 0 0 3 4 】

ステップ 1 6 では、M P U 1 によるブロックカウンタ 2 2 の更新のタイミングと、フォーマッタ 2 0 によるブロックカウンタ 2 2 の更新のタイミングとが一致しないようにして、

10

20

30

40

50

ブロックカウンタ 2 2 の更新処理の誤動作を防止している。

【 0 0 3 5 】

フォーマッタ 2 0 は、ブロックカウンタ 2 2 の値から書き込み終了位置を認識し、書き込み終了位置を認識後は、リンキング処理を行って書き込み処理を終了する。

【 0 0 3 6 】

上記のような書き込み終了処理動作時のフォーマッタ 2 0 の動作を図 2 1 に従って説明する。

フォーマッタ 2 0 は、DVD - R メディア 6 に対し、データの書き込み処理を 1 ブロックずつ行うが、各ブロックの書き込み処理が終了する度に、次に書き込み処理を行うブロックのデータが有効か否かをチェックする。

10

【 0 0 3 7 】

すなわち、1 ブロックの書き込み処理が終了すると (ステップ 2 1)、フォーマッタ 2 0 はブロックカウンタ 2 2 の値をチェックし (ステップ 2 2)、その値が「 1 」より大きい値であれば、次に書き込み処理を行うブロックのデータが有効か否かをチェックする (ステップ 2 3)。

【 0 0 3 8 】

そのチェック動作を説明すると、フォーマッタ 2 0 は誤り訂正部 1 0 の誤り訂正ポインタ 1 1 と、自身のディスク制御ポインタ 2 1 の値を比較し、不一致であればバッファメモリ 3 に書き込み処理を行うべきデータが格納されていることを認識する。

【 0 0 3 9 】

20

この場合には、ブロックカウンタ 2 2 の値を「 1 」減算して (ステップ 2 4)、ステップ 2 1 に復帰し、次のブロックの書き込み処理を行う。

ステップ 2 3 において、上記ポインタの値が一致している場合には、フォーマッタ 2 0 はバッファメモリ 3 内に書き込み処理を行うべきデータが未だ格納されていないと認識し、データエンptyエラーを検出して (ステップ 2 5)、書き込み処理動作を終了する。

【 0 0 4 0 】

ステップ 2 2 において、ブロックカウンタの値が「 1 」以下であれば、フォーマッタ 2 0 は最終ブロック B 1 の書き込み処理が終了したことを認識して、リンキング部 2 3 の書き込み処理を行い (ステップ 2 6)、書き込み処理を終了する。

【 0 0 4 1 】

30

【 発明が解決しようとする課題 】

上記のような DVD - R メディア 6 に対する書き込み終了処理動作では、MPU 1 は、リンキングロスエリアへの 0 0 h のパディング処理と、リンキングロスエリア等の対象セクタの ID 部 1 4 に対する data type の設定と、誤り訂正符号の生成指示と、リンキング部 2 3 への書き込みデータの生成と、フォーマッタ 2 0 への書き込み処理動作の終了指示等が必要となる。

【 0 0 4 2 】

すなわち、DVD - R メディア 6 に対する書き込み処理動作では、あらかじめデータ転送量を知ることはできないため、ホストコンピュータ 8 から転送終了コマンドを受信した後に、上記のような書き込み終了動作を行わなければならない。

40

【 0 0 4 3 】

上記のような書き込み終了動作に時間を要すると、フォーマッタ 2 0 においてデータエンptyエラーが発生するおそれがある。DVD - R メディア 6 では、データの書き直しができないため、データエンptyエラーが発生すると、それまでに書き込まれたデータを破棄し、新たな領域に再度書き込み処理動作を最初からやり直す必要がある。

【 0 0 4 4 】

従って、データエンptyエラーが発生すると、データの書き込み処理効率が低下するという問題点がある。

この発明の目的は、DVD フォーマットデータの書き込み終了処理動作において、データエンptyエラーの発生を防止して、書き込み処理効率を向上させ得るデータ書き込み装

50

置を提供することにある。

【 0 0 4 5 】

【課題を解決するための手段】

中央処理部は、DVDメディアに対するDVDフォーマットデータの生成処理及び書き込み処理を制御し、コントローラ部は前記DVDフォーマットデータの生成処理及び書き込み処理を、複数のセクタで構成されるブロック毎に行う。前記コントローラ部には、最終ブロックのリンクロスエリアに対するパディング処理データの生成を行うパディング処理回路を設けた。

【 0 0 4 6 】

また、図1に示すように、コントローラ部31は、1ブロックずつのユーザーデータを取り込んで、バッファメモリ3に格納するホストインターフェース7と、前記バッファメモリ3から前記ユーザーデータを読み出して、1ブロックずつDVDフォーマットデータに変換して、前記バッファメモリ3に格納する誤り訂正部32と、前記DVDフォーマットデータを前記バッファメモリ3から1ブロックずつ読み出して、DVDメディアに対し書き込み処理を行うフォーマッタ33とから構成される。前記誤り訂正部32に、前記バッファメモリからの前記ユーザーデータの読み出しと並行して、最終ブロックのデータの足りないセクタに対するパディング処理データを生成して前記ユーザーデータに対してパディング処理を行うパディング処理回路34aを備えた。このパディング処理回路34aは、data type設定レジスタの格納内容に基づいて、前記最終ブロックのパディング処理対象セクタを検出する検出部と、前記DVDフォーマットデータの生成時に、前記検出部の出力信号に基づいてパディング処理データを生成して出力するパディング処理データ生成部とから構成される。

【 0 0 4 7 】

【発明の実施の形態】

(第一の実施の形態)

以下、この発明を具体化したデータ書き込み装置の第一の実施の形態を説明する。なお、前記従来例と同一構成部分は、同一符号を付して説明する。

【 0 0 4 8 】

図1は、データ書き込み装置のコントローラ部31を示す。このコントローラ部31は、誤り訂正部32及びフォーマッタ33を除いて、前記従来例と同様に構成される。

【 0 0 4 9 】

前記誤り訂正部32には、前記従来例の誤り訂正部10に対しパディング処理回路34aと、書き込み終了フラグ35が付加される。

前記フォーマッタ33は、前記従来例のフォーマッタ20からブロックカウンタ22が省略されている。

【 0 0 5 0 】

前記誤り訂正部32のパディング処理回路34aに関する構成を図2に従って説明する。data type設定レジスタ36は、16ビットのフリップフロップ回路で構成される。このレジスタ36は、前記従来例と同様に誤り訂正部32内に備えられ、書き込みデータの最終ブロックにおいて所定のセクタのビット25にdata typeを設定するためのレジスタであって、各ビットが最終ブロックの16のセクタにそれぞれ対応している。

【 0 0 5 1 】

そして、図19(a)に示すように、例えば最終ブロックの最初のセクタ0からセクタ8まで、有効セクタデータが入力されている場合、レジスタ36のビット0～7まで「0」が格納され、ビット8～15まで「1」が格納されることになる。

【 0 0 5 2 】

前記data type設定レジスタ36の隣り合う2ビットの格納データは、それぞれAND回路37に入力される。そして、15個のAND回路37の出力信号PD1～PD15はパディング処理対象セクタを示すものであり、上記のようにレジスタ36のビット0～7まで「0」が格納され、ビット8～15まで「1」が格納される場合、出力信号PD1～P

D 8までは「0」となり、同PD 9～PD 15が「1」となる。

【0053】

従って、この場合には最終ブロックの10番目のセクタ9から16番目のセクタ15がパディング処理対象セクタであることがわかる。そして、15個のAND回路37の出力信号PD 1～PD 15はそれぞれ比較部38に出力される。

【0054】

前記data type設定レジスタ36の各ビットの出力信号は、ID設定部(data type設定部)39に出力される。このID設定部39は、図17に示すデータID部14に格納するデータを生成するものであり、4バイトのID部14と、2バイトの誤り検出符号を生成して、第一のデータ選択回路40に出力する。

10

【0055】

そして、この生成動作時に、ID設定部39はdata type設定レジスタ36の出力信号に基づいて、各セクタのビット25に設定する値を決定する。

すなわち、上記のようにレジスタ36のビット0～7まで「0」が格納され、ビット8～15まで「1」が格納されている場合には、セクタ8～15のビット25に「1」を設定することになる。

【0056】

このID設定部39は、データ処理を1セクタずつ行い、1セクタのデータ処理を行う度にID値、すなわちセクタアドレスを1ずつインクリメントする。このID値のビット3～0をセクタ値Sとし、そのセクタ値Sとdata type設定レジスタ36の各ビットの値と

20

に基づいて、上記のようにビット25に「1」を設定するセクタが決定される。

【0057】

前記セクタ値Sは、デコード回路41aに入力される。デコード回路41aは、図3に示す変換テーブルに基づいてセクタ値Sをデコードして、そのデコード値Dを前記比較部38に出力する。

【0058】

前記デコード値Dは、セクタ値Sを16ビットの2値信号に変換して出力するものである。

前記比較部38は、前記AND回路37の出力信号PD 1～PD 15と、デコード値Dの最下位ビットを除く15ビットとを比較する。そして、例えばセクタ値Sが10であると、デコード値Dは「0000000000100000」となり、ここで前記出力信号PD 10が「1」であると、当該10番目のセクタは、パディング処理対象セクタとなり、比較部38は「0」をAND回路42に出力する。

30

【0059】

このようにして、各セクタの書き込み処理動作時に当該セクタがパディング処理対象セクタであるか否かが比較部38で判定され、前記AND回路37、デコード回路41a及びAND回路42で前記パディング処理回路34aが構成される。

【0060】

前記AND回路42には、前記バッファメモリ3から処理中の当該セクタのユーザーデータが入力される。従って、AND回路42の出力信号はパディング処理対象セクタであれば、すべて「0」となり、パディング処理対象セクタ以外であれば、ユーザーデータがそのまま出力される。

40

【0061】

前記第一のデータ選択回路40には、前記AND回路42の出力信号と、前記ID設定部39の出力信号と、CPR - MAI設定部43の出力信号が入力される。

【0062】

そして、第一のデータ選択回路40は、ID設定部39から出力される6バイトのID部データと、CPR - MAI設定部43から出力される6バイトのCPR - MAI部データと、2048バイトのユーザーデータとをこの順番で出力する。

【0063】

50

E D C 処理部 4 4 は、第一のデータ選択回路 4 0 から出力されるすべてのデータを取り込んで、E D C 検出符号を生成し、第二のデータ選択回路 4 5 に出力する。

【 0 0 6 4 】

スクランブル処理部 4 6 は、第一のデータ選択回路 4 0 から出力されるユーザーデータを取り込んでスクランブル処理を行い、第二のデータ選択回路 4 5 に出力する。

【 0 0 6 5 】

第二のデータ選択回路 4 5 は、前記第一のデータ選択回路 4 0 の出力信号と、E D C 処理部 4 4 の出力信号と、スクランブル処理部 4 6 の出力信号とを取り込み、図 1 5 に示す順番で各セクタに書き込み処理を行うために、I D 部、C P R - M A I 部、スクランブル処理されたユーザーデータ及び E D C 部の順番で選択し、バッファメモリ 3 に出力する。

10

【 0 0 6 6 】

前記誤り訂正部 3 2 に設けられる書き込み終了フラグ 3 5 は、誤り訂正部 3 2 において、最終ブロックの誤り訂正符号の生成が終了した時点で設定され、かつそのフラグがフォーマッタ 3 3 に出力される。

【 0 0 6 7 】

図 4 は、フォーマッタ 3 3 の書き込み処理動作を示す。フォーマッタ 3 3 は、D V D - R メディア 6 に対する書き込み処理を 1 ブロックずつ行う (ステップ 3 1)。

【 0 0 6 8 】

そして、1 ブロックの書き込み処理が終了する毎に次ブロックの書き込みデータが有効であるか否か、すなわち誤り訂正部 3 2 の誤り訂正ポインタ 1 1 と、フォーマッタ 3 3 のディスク制御ポインタ 2 1 とが一致するか否かを検出する (ステップ 3 2)。

20

【 0 0 6 9 】

通常、最終ブロック以外の書き込み処理では、誤り訂正ポインタ 1 1 とディスク制御ポインタ 2 1 の値は一致しないので、フォーマッタ 3 3 は次ブロックの書き込みデータが有効であることを認識して、バッファメモリ 3 に格納されている次ブロックの書き込みデータを順次書き込み処理する (ステップ 3 1 , 3 2)。

【 0 0 7 0 】

ステップ 3 1 において、最終ブロックの書き込みデータが終了すると、バッファメモリ 3 に次ブロックの書き込みデータは存在せず、誤り訂正ポインタ 1 1 とディスク制御ポインタ 2 1 の値は一致しているため、フォーマッタ 3 3 は次ブロックの書き込みデータは有効ではないと認識する (ステップ 3 2)。

30

【 0 0 7 1 】

次いで、フォーマッタ 3 3 は誤り訂正部の書き込み終了フラグ 3 5 の値を確認する (ステップ 3 3)。書き込み終了フラグ 3 5 は、最終ブロックの誤り訂正符号の生成が終了した時点で「1」が設定されているので、フォーマッタ 3 3 は最終ブロックの書き込み処理に続いて、リンキング部の書き込み処理を行い (ステップ 3 4)、書き込み処理を終了する。

【 0 0 7 2 】

また、ステップ 3 2 において、最終ブロック以外の書き込み処理で、誤り訂正ポインタ 1 1 とディスク制御ポインタ 2 1 の値が一致すると、ステップ 3 3 において、書き込み終了フラグ 3 5 は「0」であるので、フォーマッタ 3 3 はデータエンptyエラーを検出して (ステップ 3 5)、書き込み処理を終了する。

40

【 0 0 7 3 】

図 5 は、M P U 1 (中央処理部)の書き込み終了処理動作を示す。M P U 1 は、ホストコンピュータ 8 からの書き込みデータの転送終了を検出すると (ステップ 4 1)、data type 設定レジスタ 3 6 に data type 設定レジスタ 3 6 の設定を行う (ステップ 4 2)。

【 0 0 7 4 】

次いで、M P U 1 はホストインターフェース 7 のホストポインタ 9 を更新する (ステップ 4 3)。すると、誤り訂正部 3 2 では data type 設定レジスタ 3 6 の格納内容に基づいて、最終ブロックを構成する各セクタのビット 25 に data type の設定を行い、さらにパディ

50

ング処理を行うセクタの検出を行い、当該セクタにパディング処理を行う。

【0075】

次いで、誤り訂正部32が最終ブロックの各セクタのID部、CPR - MAI部、スクランブル処理されたユーザーデータ及びEDC部を生成している間に、MPU1はリンキング部書き込むデータの生成を行う(ステップ44)。

【0076】

このリンキング部23は、DVD - RのGeneral Version2.0の規格によれば、16バイトのデータを最終ブロックの書き込みデータに続いて書き込めばよい。その16バイトの内訳は、ID部及びCPR - MAI部で12バイトであり、残りの4バイトがユーザーデータである。

10

【0077】

従って、MPU1が生成するのは4バイトのユーザーデータのみであり、このようなリンキング部23の書き込みデータがMPU1によりバッファメモリ3に書き込まれる。

【0078】

次いで、MPU1は誤り訂正部32の書き込み終了フラグ35に「1」を設定して(ステップ45)、ホストコンピュータ8の指示を待つ状態となる。

上記のように構成されたDVD - Rメディア6に対する書き込み処理装置では、次に示す作用効果を得ることができる。

(1) 最終ブロックの各セクタのID部14のビット25に対するdata typeの設定は、MPU1によりdata type設定レジスタ36に格納された内容に基づいて、誤り訂正部32のID設定部39で設定することができる。

20

(2) パディング処理回路34aでは、AND回路37でdata type設定レジスタ36の隣り合うビットのAND論理を演算することにより、MPU1による処理を介在させることなく、パディング処理を必要とするセクタを検出することができる。

(3) パディング処理を必要とするセクタには、MPU1による処理を介在させることなく、誤り訂正部32によりパディング処理を行うための00hの書き込みデータを生成して、バッファメモリ3に書き戻すことができる。

(4) パディング処理を行うための00hの書き込みデータは、セクタ値をデコード回路41aでデコードしたデコード信号Dと、AND回路37の出力信号PD1 ~ PD15とを比較部38で比較する。そして、その比較結果とバッファメモリ3から読み出される書き込みデータとのAND論理を演算することにより生成することができる。

30

(5) 誤り訂正部32にパディング処理回路34aを付加するだけで、MPU1による処理を介在させることなく、パディング処理を行うための00hの書き込みデータを生成することができる。

(6) 誤り訂正部32での最終ブロックのデータ処理に並行して、MPU1でリンキング部23への書き込みデータの生成を行うことができる。

(7) 誤り訂正部32に書き込み終了フラグ35を設定したことにより、フォーマッタ33による最終ブロックの書き込み処理が終了した後、直ちにリンキング部23の書き込み処理を行うことができる。従って、リンキング部23の書き込み処理に移行する際におけるデータエンptyエラーの発生を未然に防止することができる。

40

(8) 書き込み終了処理動作時に、MPU1の負荷を軽減して、データエンptyエラーの発生を未然に防止することができる。

【0079】

(第二の実施の形態)

図6は、第二の実施の形態を示す。この実施の形態は、前記第一の実施の形態のパディング処理回路34aの構成をパディング処理回路34bに変更したものであり、その他の構成は第一の実施の形態と同様である。前記実施の形態と同一構成部分は、同一符号を付して説明する。

【0080】

パディング処理回路34bは、デコード回路47と、減算器48とで構成される。

50

デコード回路 47 は、data type 設定レジスタ 36 の各ビットの格納データを図 7 に示す変換テーブルに基づいてデコードして、PD 値を生成し、前記減算器 48 に出力する。

【0081】

すなわち、最終ブロックを構成するセクタ 0 ~ 16 のうち、例えばセクタ 8 以降で data type が「1」である場合、すなわち ID 部のビット 25 に「1」を設定する場合には、デコード回路 47 は PD 値「9」を出力する。これは、セクタ 9 以降がパディング処理対象セクタであることを示す。

【0082】

前記減算器 48 は、ID 設定部 39 から出力されるセクタ値 S から前記 PD 値を減算して、その減算結果が 0 以上となったとき、L レベルの信号を AND 回路 42 に出力する。

10

【0083】

すなわち、PD 値が「9」である場合には、セクタ 9 以降でパディング処理が行われる。このような動作により、このパディング処理回路 34b を備えた書き込み処理回路では、前記第一の実施の形態と同様な作用効果を得ることができるとともに、パディング処理回路 34b をさらに簡略化することができる。

【0084】

(第三の実施の形態)

図 8 は、第三の実施の形態を示す。この実施の形態は、前記第二の実施の形態の data type 設定レジスタ 36 及びパディング処理回路 34b の構成を変更したものであり、その他の構成は第二の実施の形態と同様である。前記実施の形態と同一構成部分は、同一符号を付して説明する。

20

【0085】

前記第一及び第二の実施の形態では、data type 設定レジスタは、最終ブロックの各セクタに対応した 15 ビットのレジスタで構成されるが、この実施の形態の data type 設定レジスタ 49 には、最終ブロックにおいて、data type に最初に「1」を設定するセクタ値が MPU 1 により設定される。

【0086】

data type 設定レジスタ 49 の格納内容は、デコード回路 50 に入力される。デコード回路 50 は、図 9 に示す変換テーブルに基づいて、data type 設定レジスタ 49 の格納内容を 15 ビットの data type 設定値に変換して出力する。

30

【0087】

この data type 設定値は、前記第一及び第二の実施の形態の data type 設定レジスタ 36 の格納内容に相当するものであり、最終ブロックの各セクタにおいて、data type に「1」を設定するセクタを示すものである。前記デコード回路 50 の出力信号は、前記各実施の形態と同様な ID 設定部 39 に出力される。

【0088】

前記 data type 設定レジスタ 49 の格納内容は、加算器 51 に入力される。前記加算器 51 は、data type 設定レジスタ 49 の格納内容に「1」を加算して、PD 値として前記第二の実施の形態と同様な減算器 48 に出力する。

【0089】

40

すなわち、data type 設定レジスタ 49 の格納内容に「1」を加算した値が、パディング処理を開始するセクタ値となる。そして、前記デコード回路 50、加算器 51 及び減算器 48 とでパディング処理回路 34c が構成される。

【0090】

このような構成により、前記第二の実施の形態と同様な作用効果を得ることができる。

(第四の実施の形態)

図 10 は、第四の実施の形態を示す。この実施の形態は、前記第三の実施の形態の減算器 48 と AND 回路 42 に代えて、パディング処理データ生成回路 52 とセクタ回路 53 としたものであり、その他の構成は、第三の実施の形態と同様である。

【0091】

50

パディング処理データ生成回路 5 2 は、加算器 5 1 から出力される P D 値と、I D 設定部 3 9 から出力されるセクタ値 S との比較に基づいて、パディング処理を行うセクタであることを判別すると、「0 0 h」のパディング処理データ p d d を生成して前記セクタ回路 5 3 に出力する。

【0 0 9 2】

また、パディング処理データ生成回路 5 2 は、パディング処理を行うセクタであることを判別すると、パディング処理検出信号 D T を前記セクタ回路 5 3 及びデータ読み取り回路（図示しない）に出力する。

【0 0 9 3】

データ読み取り回路は、パディング処理検出信号 D T の入力に基づいて、バッファメモリ 3 からのセクタデータの読み出しを停止する。セクタ回路 5 3 は、パディング処理検出信号 D T の入力に基づいて、パディング処理データ生成回路 5 2 から出力されるパディング処理データ p d d を第一のデータ選択回路 4 0 に出力する。

10

【0 0 9 4】

そして、前記デコード回路 5 0、加算器 5 1 及びパディング処理データ生成回路 5 2 とでパディング処理回路 3 4 d が構成される。

このような構成により、パディング処理対象セクタ以外では、バッファメモリ 3 から読み出されたセクタデータが第一のデータ選択回路 4 0 に出力され、パディング処理対象セクタとなった場合には、パディング処理データ p d d が第一のデータ選択回路 4 0 に出力される。

20

【0 0 9 5】

従って、前記第三の実施の形態と同様な作用効果を得ることができるとともに、パディング処理動作時にはバッファメモリ 3 からのデータ読み出し動作を停止することができるので、消費電力を低減することができる。

【0 0 9 6】

（第五の実施の形態）

図 1 1 及び図 1 2 は、第五の実施の形態を示す。この実施の形態は書き込み開始時の先頭ブロックを構成する各セクタへのビット 25 への data type 「1」の設定及びパディング処理を行うための構成を備えた誤り訂正部を示す。

【0 0 9 7】

30

Link 設定部 5 4 は、リンキングロスエリアが図 1 9 (a) に示す 3 2 k - Link であるか、あるいは同図 (b) に示す 2 k - Link であるかが M P U 1 により設定される。

【0 0 9 8】

Link 設定部 5 4 の格納内容は、パディング対象セクタデコード回路 5 5 に入力される。パディング対象セクタデコード回路 5 5 は、図 1 2 (a) に示す変換テーブルに基づいて、パディング対象セクタに対応するビットを「1」とした P D 値を出力する。

【0 0 9 9】

すなわち、先頭ブロックのパディング処理対象セクタは、3 2 k - Link であるか、あるいは 2 k - Link であるかにより決定されるので、パディング対象セクタが変換テーブルにより自動的に決定されて P D 値として比較部 5 6 に出力される。

40

【0 1 0 0】

Link 設定部 5 4 の格納内容は、data type デコード回路 5 7 に入力される。data type デコード回路 5 7 は、図 1 2 (b) に示す変換テーブルに基づいて、data type に「1」を設定するセクタに対応するビットを「1」として I D 設定部 5 8 に出力する。

【0 1 0 1】

すなわち、data type に「1」を設定するセクタは、3 2 k - Link であるか、あるいは 2 k - Link であるかにより決定されるので、対象セクタが変換テーブルにより自動的に決定されて出力される。

【0 1 0 2】

前記比較部 5 6 及び I D 設定部 5 8 には先頭ブロック検出信号 F B が入力される。そして

50

、先頭ブロック検出信号 F B が入力されたときに限り、比較部 5 6 及び I D 設定部 5 8 が動作するように構成される。上記以外の構成は、前記第一の実施の形態と同様である。

【 0 1 0 3 】

このような構成により、先頭ブロックの書き込み処理動作時には、data typeデコード回路 5 7 の出力信号に基づいて、対象セクタのビット25にdata typeの設定を行うことができる。

【 0 1 0 4 】

また、パディング対象セクタデコード回路 5 5 から出力される P D 値に基づいて、対象セクタにパディング処理を行うことができる。

上記各実施の形態は、次に示すように変更することもできる。

・第一～第四の実施の形態において、フォーマット 3 3 には従来例のフォーマット 2 0 に設けたブロックカウンタ 2 2 と同様なブロックカウンタを設けてもよい。この場合には、ブロックカウンタのカウント値が「 1 」となり、かつ書き込み終了フラグ 3 5 が「 1 」であるとき、リンキング処理に移行するように設定する。

・第三の実施の形態において、data type設定レジスタ 4 9 にパディング処理を開始するセクタ値を格納するようにしてもよい。この場合には、デコード回路 5 0 において、data type設定レジスタ 4 9 の格納内容の 1 つ前のセクタからdata typeに「 1 」の設定を開始するような変換テーブルを設定すればよい。

・第五の実施の形態において、先頭ブロック検出信号 F B を比較部 5 6 及び I D 設定部 5 8 に入力することより、先頭ブロックに限り、パディング処理とdata typeの設定を可能とした。これ以外に、先頭ブロック検出信号 F B をパディング対象セクタデコード回路 5 5 及びdata typeデコード回路 5 7 に入力して、先頭ブロック以外では、パディング対象セクタデコード回路 5 5 及びdata typeデコード回路 5 7 の動作を無効とするようにしてもよい。

・第一～第四の実施の形態と第五の実施の形態とを組み合わせた構成としてもよい。

・前記各実施の形態は、D V D - R W メディアに対する書き込み装置に使用することもできる。

・前記各実施の形態は、D V D + R W メディアに対する書き込み装置に応用することもできる。

【 0 1 0 5 】

D V D + R W の場合、data typeビットの用途が異なるため、data typeレジスタをそのままパディング処理に利用できないが、第一～第四の実施の形態に示すdata typeビットの設定レジスタをパディング処理設定レジスタとして用意すれば可能である。

【 0 1 0 6 】

また、図 2 2 に示すように、D V D + R W のリンキング部は、先頭ブロック B 2 において、8 c b (チャネルビット) 早く行い、最終ブロック B 1 の書き込みは、8 c b 早く終了するように規定されている。

【 0 1 0 7 】

データの書き込み開始時には、8 c b 分のダミーデータを書き込む処理を行えばよく、バッファメモリにそのためのデータを格納する必要はなく、M P U による制御も必要ない。

【 0 1 0 8 】

最終ブロック B 1 の書き込み処理は、フォーマットで図 2 3 に示す処理を行えばよい。すなわち、1 ブロック毎の書き込み処理を行うとき、各ブロックの書き込み開始に先立って、最終ブロックであるか否かをフラグにより検出し (ステップ 5 1 , 5 2) 、最終ブロックであれば 8 c b 早く書き込み処理を終了する (ステップ 5 3) 。

【 0 1 0 9 】

また、フォーマットにブロックカウンタを備えて、残りの処理ブロック数が 0 であるときに最終フラグが 1 になっていなければ、エラーを検出するようにしてもよい。

【 0 1 1 0 】

また、各ブロックの書き込み処理に先立って、誤り訂正部の誤り訂正ポイントと、フォー

10

20

30

40

50

マッタのディスク制御ポイントとを比較して、データエンプティであるか否かを検出するようにしてもよい。

【 0 1 1 1 】

M P Uの書き込み終了処理は、図 5 に示すフローチャートのステップ 4 4 の処理、すなわちリンキング部のデータ作成処理を省略した動作となる。

将来において、D V Dデータフォーマットを使用した他のメディアが現れた場合にも、D V D - Rと同様に最終ブロックのデータが足りないセクタについて「 0 0 h」のパディング処理を行う必要があり、それがE D Cの演算を伴うようなケースであれば、本発明を応用することができる。

【 0 1 1 2 】

(付記 1) D V Dメディアに対するD V Dフォーマットデータの生成処理及び書き込み処理を制御する中央処理部と、

前記D V Dフォーマットデータの生成処理及び書き込み処理を、複数のセクタで構成されるブロック毎に行うコントローラ部と

を備えたデータ書き込み装置であって、

前記コントローラ部には、最終ブロックのリンキングロスエリアに対するパディング処理データの生成を行うパディング処理回路を設けたことを特徴とするデータ書き込み装置。

(1)

(付記 2) 前記コントローラ部は、

1 ブロックずつのユーザーデータを取り込んで、バッファメモリに格納するホストインターフェイスと、

前記バッファメモリから前記ユーザーデータを読み出して、1 ブロックずつD V Dフォーマットデータに変換して、前記バッファメモリに格納する誤り訂正部と、

前記D V Dフォーマットデータを前記バッファメモリから1 ブロックずつ読み出して、D V Dメディアに対し書き込み処理を行うフォーマッタと

から構成し、

前記誤り訂正部に、前記パディング処理回路を備えたことを特徴とする付記 1 記載のデータ書き込み装置。(2)

(付記 3) 前記誤り訂正部には、最終ブロックの各セクタのI D部にdata typeを設定するdata type設定部を備えたことを特徴とする付記 2 記載のデータ書き込み装置。(3)

(付記 4) 前記誤り訂正部は、前記最終ブロックのD V Dフォーマットデータの生成後に書き込み終了フラグを設定し、前記フォーマッタは前記最終ブロックのD V Dフォーマットデータの書き込み終了後、前記書き込み終了フラグに基づいてリンキング部の書き込み処理を行うことを特徴とする請求項 2 または 3 記載のデータ書き込み装置。(4)

(付記 5) 付記 2 ~ 付記 4 の構成を備えたことを特徴とするデータ書き込み装置。

(付記 6) 前記パディング処理回路は、

data type設定レジスタの格納内容に基づいて、前記最終ブロックのパディング処理対象セクタを検出する検出部と、

前記D V Dフォーマットデータの生成時に、前記検出部の出力信号に基づいてパディング処理データを生成して出力するパディング処理データ生成部と

から構成したことを特徴とする付記 2 乃至 5 のいずれかに記載のデータ書き込み装置。(5)

(付記 7) 前記data type設定レジスタには、前記最終ブロックの各セクタに対応するビットにそれぞれdata typeを格納し、前記検出部は前記data type設定レジスタの隣り合うビットの格納内容のA N D論理を算出して出力することを特徴とする付記 6 記載のデータ書き込み装置。(6)

(付記 8) 前記data type設定レジスタには、前記最終ブロックの各セクタに対応するビットにそれぞれdata typeを格納し、前記検出部は前記data type設定レジスタの格納内容に基づいてパディング処理対象セクタの先頭セクタを検出するデコード回路で構成したことを特徴とする付記 6 記載のデータ書き込み装置。(7)

10

20

30

40

50

(付記 9) 前記data type設定レジスタには、前記最終ブロックの各セクタにおいてdata typeを設定する先頭セクタの値を格納し、前記検出部は前記先頭セクタの値に「1」を加算してパディング処理対象セクタの先頭セクタを検出する加算器で構成したことを特徴とする付記 6 記載のデータ書き込み装置。(8)

(付記 10) 前記パディング処理データ生成部には、前記検出部の出力信号に基づいて、前記バッファメモリに格納されているデータに代えて、パディング処理データを選択する選択回路を設けたことを特徴とする付記 6 乃至 9 のいずれかに記載のデータ書き込み装置。(9)

(付記 11) 1 ブロックずつのユーザーデータをホストインターフェースを介して取り込んで、バッファメモリに格納し、前記バッファメモリから前記ユーザーデータを誤り訂正部に読み出して、1 ブロックずつDVDフォーマットデータに変換して前記バッファメモリに格納し、前記DVDフォーマットデータを前記バッファメモリからフォーマッタに1 ブロックずつ読み出して、DVDメディアに対し書き込み処理を行い、最終ブロックのDVDフォーマットデータ生成時に前記誤り訂正部でパディング処理対象セクタに対するパディング処理データの生成を行うことを特徴とするDVDフォーマットデータ生成方法。

(10)

(付記 12) 最終ブロックのDVDフォーマットデータ生成時に、前記誤り訂正部で、最終ブロックの各セクタのID部にdata typeを設定することを特徴とする付記 11 記載のDVDフォーマットデータ生成方法。

(付記 13) 前記最終ブロックのDVDフォーマットデータの書き込み終了後、書き込み終了フラグに基づいてリンク部を書き込み処理を行うことを特徴とする付記 11 または 12 記載のDVDフォーマットデータ生成方法。

(付記 14) 前記コントローラ部には、先頭ブロックのリンクロスエリアに対するパディング処理データの生成を行うパディング処理回路を設けたことを特徴とする付記 1 記載のデータ書き込み装置。

【0113】

【発明の効果】

以上詳述したように、この発明は、DVDフォーマットデータの書き込み終了処理動作において、データエンptyエラーの発生を防止して、書き込み処理効率を向上させ得るデータ書き込み装置を提供することができる。

【図面の簡単な説明】

【図 1】 データ書き込み装置のコントローラ部を示すブロック図である。

【図 2】 第一の実施の形態の誤り訂正部を示すブロック図である。

【図 3】 デコード回路の変換テーブルを示す説明図である。

【図 4】 フォーマッタ部の動作を示すフローチャート図である。

【図 5】 MPUの書き込み終了処理を示すフローチャート図である。

【図 6】 第二の実施の形態を示すブロック図である。

【図 7】 デコード回路の変換テーブルを示す説明図である。

【図 8】 第三の実施の形態を示すブロック図である。

【図 9】 デコード回路の変換テーブルを示す説明図である。

【図 10】 第四の実施の形態を示すブロック図である。

【図 11】 第五の実施の形態を示すブロック図である。

【図 12】 デコード回路の変換テーブルを示す説明図である。

【図 13】 データ書き込み装置を示すブロック図である。

【図 14】 従来のコントローラ部を示すブロック図である。

【図 15】 DVDのデータフォーマットを示す説明図である。

【図 16】 DVDの誤り訂正処理手順を示す説明図である。

【図 17】 ID部を示す説明図である。

【図 18】 リンク部を示す説明図である。

【図 19】 リンクロスエリアを示す説明図である。

10

20

30

40

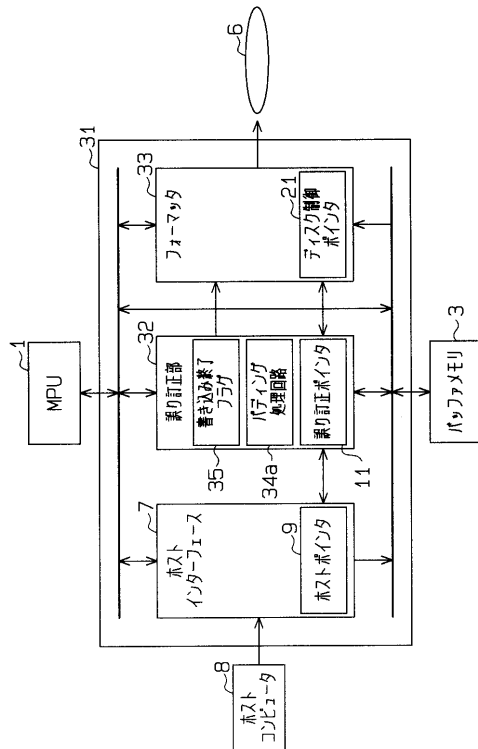
50

- 【図 20】 従来の MPU の書き込み終了処理を示すフローチャート図である。
 【図 21】 従来のフォーマッタ部の書き込み終了処理を示すフローチャート図である。
 【図 22】 リンキング部の別例を示す説明図である。
 【図 23】 フォーマッタ部の動作の別例を示すフローチャート図である。
 【符号の説明】

- 1 中央処理部 (MPU)
 3 1 コントローラ部
 3 4 a ~ 3 4 d パディング処理回路
 B 1 最終ブロック

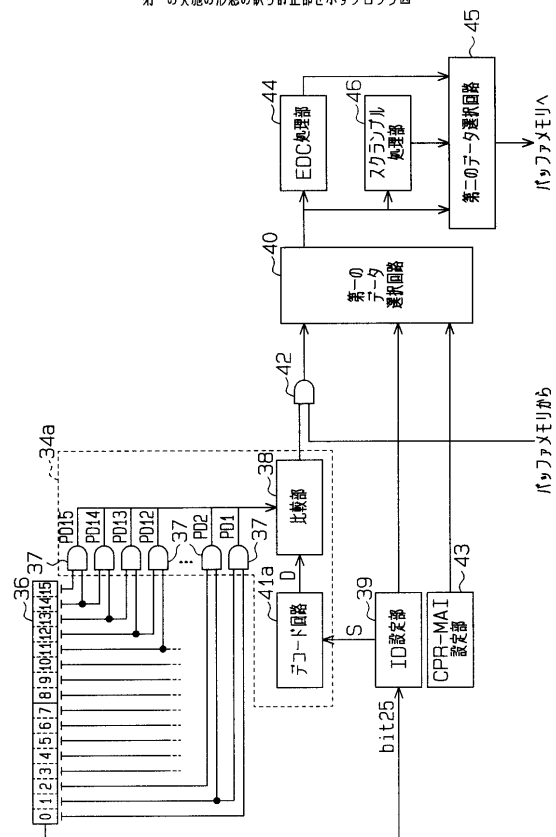
【図 1】

データ書き込み装置のコントローラ部を示すブロック図



【図 2】

第一の実施の形態の誤り訂正部を示すブロック図



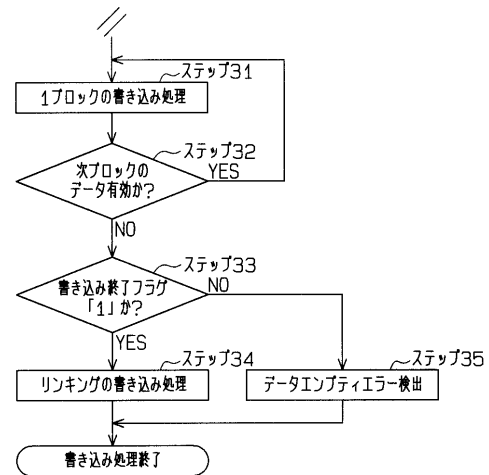
【図 3】

デコード回路の変換テーブルを示す説明図

セクタ値	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
5	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
6	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
7	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
9	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
A	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
B	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
C	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
D	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
E	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
F	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

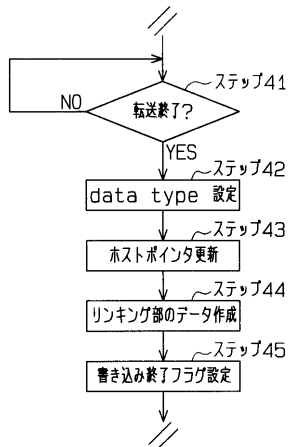
【図 4】

フォーマッタ部の動作を示すフローチャート図



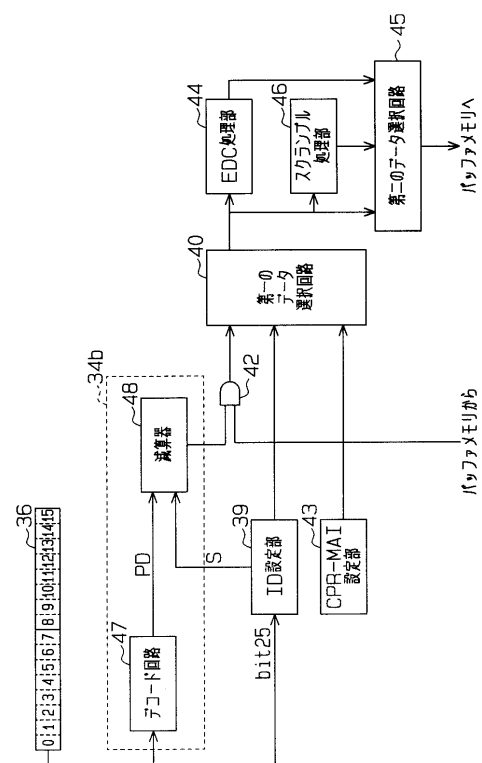
【図 5】

MPUの書き込み終了処理を示すフローチャート図



【図 6】

第二の実施の形態を示すブロック図



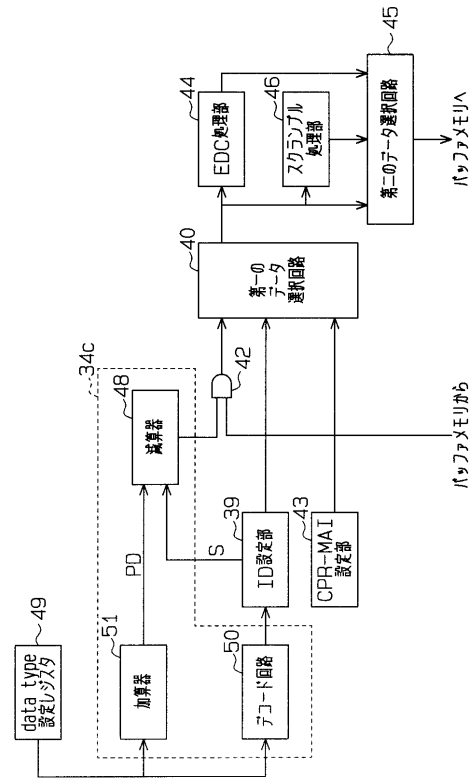
【図 7】

デコード回路の変換テーブルを示す説明図

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	PD値
0	1	1															1
1	0	1	1														2
2	0	1	1														3
3	0	1	1														4
4	0	1	1														5
5	0	1	1														6
6	0	1	1														7
7	0	1	1														8
8	0	1	1														9
9	0	1	1														A
A	0	1	1														B
B	0	1	1														C
C	0	1	1														D
D	0	1	1														E
E	0	1	1														F
F	0	1	1														

【図 8】

第三の実施の形態を示すブロック図



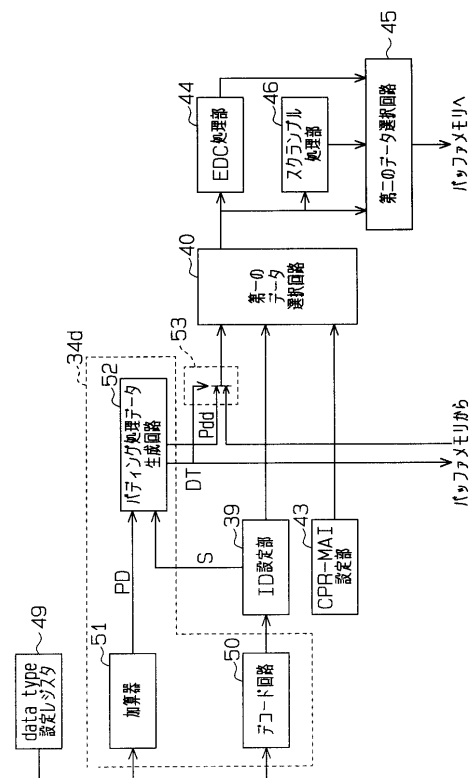
【図 9】

デコード回路の変換テーブルを示す説明図

data type	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
2	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
5	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
6	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
7	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
8	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
9	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
A	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
B	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
C	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
D	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
E	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
F	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

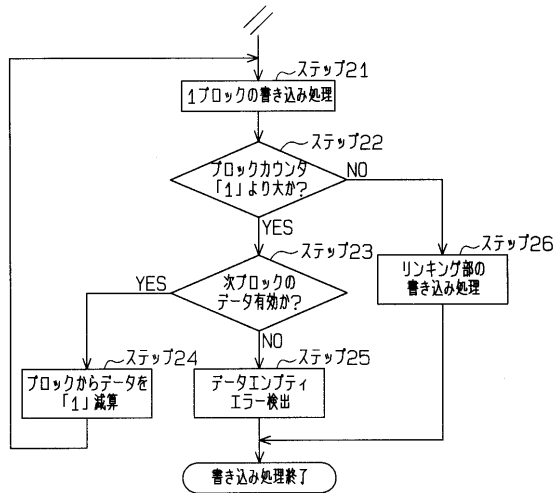
【図 10】

第四の実施の形態を示すブロック図



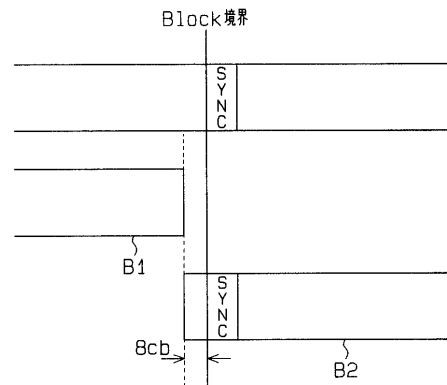
【図 2 1】

従来のフォーマッタ部の書き込み終了処理を示すフローチャート図



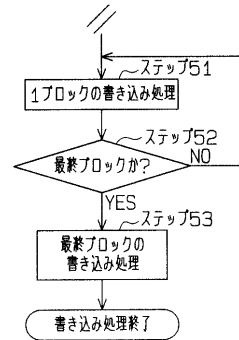
【図 2 2】

リンキング部の別例を示す説明図



【図 2 3】

フォーマッタ部の動作の別例を示すフローチャート図



フロントページの続き

- (56)参考文献 特開2000-215607(JP,A)
特開2000-260163(JP,A)
特開平06-162671(JP,A)
特開平09-282805(JP,A)
特開平09-270171(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11B 20/10-20/16

G11B 7/00- 7/013