

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 4 月 3 日 (2014.4.3)

【公開番号】特開 2012-186313 (P2012-186313A)

【公開日】平成 24 年 9 月 27 日 (2012.9.27)

【年通号数】公開・登録公報 2012-039

【出願番号】特願 2011-48320 (P2011-48320)

【国際特許分類】

H 0 1 L 31/10 (2006.01)

【F I】

H 0 1 L 31/10 A

【手続補正書】

【提出日】平成 26 年 2 月 14 日 (2014.2.14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 0

【補正方法】変更

【補正の内容】

【0 0 3 0】

光検出回路 14 は、例えば、図 3 に示したように、トランジスタ T1 と、フォトダイオード D1 と、容量素子 C1, C2 とを有している。なお、容量素子 C1 は、本発明の「第 2 容量素子」の一具体例に相当し、容量素子 C2 は、本発明の「第 1 容量素子」の一具体例に相当する。トランジスタ T1 は、光検出線 LD L へ検出信号を出力するものである。フォトダイオード D1 は、画素 11 R、画素 11 G または画素 11 B から発せられた光を検出するものである。容量素子 C1, C2 は、制御線 RST の電圧変化に応じてトランジスタ T1 のゲート電圧を変化させるものである。トランジスタ T1 は、例えば、n チャネル MOS 型の TFT により形成されている。なお、トランジスタ T1 は、p チャネル MOS 型の TFT により形成されていてもよい。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

続いて、トランジスタ T10 をオフしたのち、一定時間経過後、図 9 に示したように、制御線 RST の電位を  $V_{ss}$  から光検出電位である  $V_{ini}$  に変化させ、光検出期間  $t_3$  に入る。これにより、制御線 RST の電位変化が容量素子 C2 を介してトランジスタ T1 のゲートにされ、トランジスタ T1 のゲート電位は  $V_{ss} + V_{thD} + V_0$  という電位に増加する。その結果、フォトダイオード D1 には  $V_{ss} + V_{thD} + V_0 - V_{ini}$  という電位差が発生するので、光を受光することで図 9 に示したように制御線 RST からトランジスタ T1 のゲートにリーク電流が流れる。これにより、トランジスタ T1 のゲート電位は徐々に増加する。一定時間経過後、図 10 に示したように、トランジスタ T1 のゲート電位は  $V_{ss} + V_{thD} + V_0 + V_1$  という値となる。この時、トランジスタ T1 のゲート - ソース間電圧がトランジスタ T1 の閾値電圧よりも小さいので、トランジスタ T1 は依然オフ状態となり、光検出線 LD L の電位は  $V_{ini}$  のままである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 8

## 【補正方法】変更

## 【補正の内容】

## 【0048】

次に、図11に示したように、制御線RSTの電位を $V_{ini}$ から $V_{dd2}$ に増加させ、出力期間 $t_4$ に入る。これにより、制御線RSTの電位変化が容量素子C2を介してトランジスタT1のゲートに入力され、トランジスタT1のゲート電位は $V_{ini} + V_{thD} + V_1 + V_2$ という電位に増加する。この時、トランジスタT1のゲート-ソース電圧( $V_2 + V_{ss} + V_{thD} + V_0 + V_1 - V_{ini}$ )がトランジスタT1の閾値電圧以上であれば、図11に示したように電源線VDDLから電流が流れ、光検出線LDLの電位は上昇を開始する。そして、一定時間経過後、光検出線LDLは $V_{ini} + V_w$ という電位となる。

## 【手続補正4】

## 【補正対象書類名】明細書

## 【補正対象項目名】0049

## 【補正方法】変更

## 【補正の内容】

## 【0049】

その後、図12に示したように、制御線RSTの電位を $V_{dd2}$ から $V_{ss}$ に変化させ、出力期間 $t_4$ を終了する。これにより、再び、制御線RSTの電位変化が容量素子C2を介してトランジスタT1のゲートに入力され、トランジスタT1のゲート電位は $V_{ss} + V_{thD}$ となる。その結果、再び、トランジスタT1はオフ状態となる。最後に、図12に示したように、スイッチSW1をオンして、光検出線LDLの電位を $V_{ini}$ とする。

## 【手続補正5】

## 【補正対象書類名】明細書

## 【補正対象項目名】0068

## 【補正方法】変更

## 【補正の内容】

## 【0068】

なお、本変形例において、例えば、図15に示したように、容量素子C1をなくし、トランジスタT1のゲート-ソース間の寄生容量C4を容量素子C1と同様に機能させるようにしてもよい。また、本変形例において、例えば、図16に示したように、容量素子C2をなくし、トランジスタT1のゲート-ドレイン間の寄生容量C5を容量素子C2と同様に機能させるようにしてもよい。また、本変形例において、例えば、図17に示したように、容量素子C1, C2をなくし、トランジスタT1のゲート-ソース間の寄生容量C4を容量素子C1と同様に機能させるとともに、トランジスタT1のゲート-ドレイン間の寄生容量C5を容量素子C2と同様に機能させるようにしてもよい。

## 【手続補正6】

## 【補正対象書類名】明細書

## 【補正対象項目名】0074

## 【補正方法】変更

## 【補正の内容】

## 【0074】

タイミング制御回路21は、制御線駆動回路25、受光信号処理回路26および電源28が連動して動作するように制御するものである。タイミング制御回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、上述した各回路に対して制御信号21Aを出力するようになっている。