

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年4月3日(2014.4.3)

【公開番号】特開2012-186313(P2012-186313A)

【公開日】平成24年9月27日(2012.9.27)

【年通号数】公開・登録公報2012-039

【出願番号】特願2011-48320(P2011-48320)

【国際特許分類】

H 01 L 31/10 (2006.01)

【F I】

H 01 L 31/10 A

【手続補正書】

【提出日】平成26年2月14日(2014.2.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

光検出回路14は、例えば、図3に示したように、トランジスタT1と、フォトダイオードD1と、容量素子C1,C2とを有している。なお、容量素子C1は、本発明の「第2容量素子」の一具体例に相当し、容量素子C2は、本発明の「第1容量素子」の一具体例に相当する。トランジスタT1は、光検出線LDLへ検出信号を出力するものである。フォトダイオードD1は、画素11R、画素11Gまたは画素11Bから発せられた光を検出するものである。容量素子C1,C2は、制御線GSTの電圧変化に応じてトランジスタT1のゲート電圧を変化させるものである。トランジスタT1は、例えば、nチャネルMOS型のTFTにより形成されている。なお、トランジスタT1は、pチャネルMOS型のTFTにより形成されていてもよい。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

続いて、トランジスタT10をオフしたのち、一定時間経過後、図9に示したように、制御線GSTの電位をVssから光検出電位であるVinに変化させ、光検出期間t3に入る。これにより、制御線GSTの電位変化が容量素子C2を介してトランジスタT1のゲートに入力され、トランジスタT1のゲート電位はVss+VthD+V0という電位に増加する。その結果、フォトダイオードD1にはVss+VthD+V0-Vinという電位差が発生するので、光を受光することで図9に示したように制御線GSTからトランジスタT1のゲートにリーク電流が流れる。これにより、トランジスタT1のゲート電位は徐々に増加する。一定時間経過後、図10に示したように、トランジスタT1のゲート電位はVss+VthD+V0+V1という値となる。この時、トランジスタT1のゲート-ソース間電圧がトランジスタT1の閾値電圧よりも小さいので、トランジスタT1は依然オフ状態となり、光検出線LDLの電位はVinのままである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

次に、図11に示したように、制御線RSTの電位をV_{ini}からV_{dd2}に増加させ、出力期間t₄に入る。これにより、制御線RSTの電位変化が容量素子C2を介してトランジスタT1のゲートに入力され、トランジスタT1のゲート電位はV_{ini}+V_{thD}+V₁+V₂という電位に増加する。この時、トランジスタT1のゲート-ソース電圧(V₂+V_{ss}+V_{thD}+V₀+V₁-V_{ini})がトランジスタT1の閾値電圧以上であれば、図11に示したように電源線VDDLから電流が流れ、光検出線LDLの電位は上昇を開始する。そして、一定時間経過後、光検出線LDLはV_{ini}+V_wという電位となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

その後、図12に示したように、制御線RSTの電位をV_{dd2}からV_{ss}に変化させ、出力期間t₄を終了する。これにより、再び、制御線RSTの電位変化が容量素子C2を介してトランジスタT1のゲートに入力され、トランジスタT1のゲート電位はV_{ss}+V_{thD}となる。その結果、再び、トランジスタT1はオフ状態となる。最後に、図12に示したように、スイッチSW1をオンして、光検出線LDLの電位をV_{ini}とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

なお、本変形例において、例えば、図15に示したように、容量素子C1をなくし、トランジスタT1のゲート-ソース間の寄生容量C4を容量素子C1と同様に機能させることによってよい。また、本変形例において、例えば、図16に示したように、容量素子C2をなくし、トランジスタT1のゲート-ドレイン間の寄生容量C5を容量素子C2と同様に機能させることによってよい。また、本変形例において、例えば、図17に示したように、容量素子C1,C2をなくし、トランジスタT1のゲート-ソース間の寄生容量C4を容量素子C1と同様に機能させるとともに、トランジスタT1のゲート-ドレイン間の寄生容量C5を容量素子C2と同様に機能せることによってよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

タイミング制御回路21は、制御線駆動回路25、受光信号処理回路26および電源28が連動して動作するように制御するものである。タイミング制御回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、上述した各回路に対して制御信号21Aを出力するようになっている。