



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월13일
(11) 등록번호 10-1360866
(24) 등록일자 2014년02월04일

(51) 국제특허분류(Int. Cl.)

H04N 19/00 (2014.01)

(21) 출원번호 10-2013-0007211

(22) 출원일자 2013년01월23일

심사청구일자 2013년01월23일

(56) 선행기술조사문헌

KR1020060038189 A

KR100717052 B1

KR1020060105345 A

(73) 특허권자

한밭대학교 산학협력단

대전광역시 유성구 동서대로 125 (덕명동)

(72) 발명자

류광기

대전광역시 유성구 동서대로 125 한밭대학교 정보통신공학과

김한식

대전광역시 유성구 동서대로 125 한밭대학교 정보통신공학과

(74) 대리인

김정수

전체 청구항 수 : 총 8 항

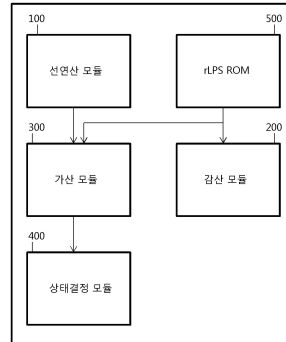
심사관 : 권오성

(54) 발명의 명칭 HEVC CABAC 복호기

(57) 요약

본 발명에 따른 HEVC CAVAC 복호기는 오프셋과 레인의 뿔셈 연산을 수행하여 중간값을 계산하는 선연산 모듈; 상기 레인과 rLPS ROM에서 읽은 rLPS의 뿔셈 연산을 수행하여 rMPS를 계산하는 감산 모듈; 상기 중간값과 상기 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 가산 모듈; 및 상기 최종값의 최상위 비트를 확인하여 현재 확률 상태를 결정하는 상태결정 모듈;을 포함하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

오프셋과 레인지의 뺄셈 연산을 수행하여 중간값을 계산하는 선연산 모듈;
 상기 레인지와 rLPS ROM에서 읽은 rLPS의 뺄셈 연산을 수행하여 rMPS를 계산하는 감산 모듈;
 상기 중간값과 상기 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 가산 모듈; 및
 상기 최종값의 최상위 비트를 확인하여 현재 확률 상태를 결정하는 상태결정 모듈;
 을 포함하는 것을 특징으로 하는 HEVC CAVAC 복호기.

청구항 2

제 1항에 있어서,
 상기 선연산 모듈은 최상위 비트에 '1'이 추가된 오프셋과 레인지의 뺄셈 연산을 수행하는 것을 특징으로 하는 HEVC CAVAC 복호기.

청구항 3

제 1항에 있어서,
 상기 상태결정 모듈은,
 상기 최종값의 최상위 비트가 '1'인 경우 현재 확률 상태를 LPS 상태로 결정하고,
 상기 최종값의 최상위 비트가 '0'인 경우 현재 확률 상태를 MPS 상태로 결정하는 것을 특징으로 하는 HEVC CAVAC 복호기.

청구항 4

최상위 비트에 '1'을 추가한 오프셋과 레인지의 뺄셈 연산을 수행하여 중간값을 계산하는 선연산 단계;
 상기 중간값과 rLPS ROM에서 읽은 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 가산 단계; 및
 상기 최종값의 최상위 비트를 확인하여 현재 확률 상태를 결정하는 상태결정 단계;
 를 포함하는 것을 특징으로 하는 HEVC CAVAC 복호방법.

청구항 5

제 4항에 있어서,
 상기 선연산 단계는 상기 rLPS ROM에서 rLPS를 읽는 동안 수행되어 병목현상을 방지하는 것을 특징으로 하는 HEVC CAVAC 복호방법.

청구항 6

제 4항에 있어서,
 상기 가산 단계는,

상기 레인지와 상기 rLPS의 뺄셈 연산을 수행하여 rMPS를 계산하는 rMPS 계산 공정; 및
상기 중간값과 상기 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 최종값 계산 공정;
을 포함하는 것을 특징으로 하는 HEVC CAVAC 복호방법.

청구항 7

제 6항에 있어서,
상기 rMPS 계산 공정과 상기 최종값 계산 공정은 동시에 수행되는 것을 특징으로 하는 HEVC CAVAC 복호방법.

청구항 8

제 4항에 있어서,
상기 상태 결정 단계는,
상기 최종값의 최상위 비트가 '1'인 경우 현재 확률 상태를 LPS 상태로 결정하고,
상기 결과값의 최상위 비트가 '0'인 경우 현재 확률 상태를 MPS 상태로 결정하는 것을 특징으로 하는 HEVC CAVAC 복호방법.

명세서

기술분야

[0001] 본 발명은 HEVC CABAC 복호기에 관한 것으로서, 높은 데이터 처리량을 갖는 HEVC CABAC 복호기에 관한 것이다.

배경기술

[0002] 최근 유튜브 같은 영상 네트워크 산업의 발전으로 영상의 공급과 수요가 폭발적으로 증가하고, 동시에 Full HD 급 이상의 고화질 영상에 대한 수요 역시 꾸준히 증가하고 있다. 따라서 H.264/ AVC 영상 압축 표준보다 효율이 더 뛰어난 영상 압축 표준이 요구되고 있다.

[0003] ITU-T의 비디오 코딩 전문가 그룹(Video Coding Experts Group, VCEG)과 ISO/IEC의 동화상 전문가 그룹(Moving Picture Experts Group, MPEG)이 공동으로 설립한 JCT -VC(Joint Collaborative Team on Video Coding)에서 기존의 영상 압축 표준보다 두 배 이상의 압축률을 목표로 하는 HEVC(High Efficiency Video Coding)를 제정하였다.

[0004] HEVC는 이전 압축 표준들과 같이 블록 단위의 부호화를 수행하는데, 블록 단위의 예측 영상을 생성하기 위해서 H.264/AVC와 유사한 화면 내 예측 및 화면 간 예측 기술이 이용된다. HEVC의 화면 내 예측 기술은 부호화 효율의 향상을 위해서 더 많은 방향성이 고려되었고, 화면 간 예측 기술에는 1/4 화소 단위의 움직임 예측, 이산여현변환 기반의 영상 보간 기술, 새로운 움직임 벡터 크기 부호화 기술 등이 채택되었다. 원 영상과 예측 영상의 차분 값에 대해 이산여현변환 기반의 변환 부호화와 양자화가 수행된다.

[0005] 기존의 H.264/AVC 표준의 엔트로피 부호화 방법은 CABAC(Context-based Adaptive Binary Arithmetic Coding)과 CAVLC(Context-based Variable Length Arithmetic Coding)를 채택하여 사용했지만, HEVC에서는 압축효율이 더 뛰어난 CABAC만을 채택하여 사용하고 있다. H.264/AVC 표준과 비교하면, 엔트로피 부호화 기술과 명칭은 동일하지만, 구문은 HEVC 표준에 맞게 변경되었다.

- [0006] 기존 CABAC의 산술 연산은 이전 모드의 업데이트된 확률 상태와 범위를 사용하기 때문에 높은 데이터 의존성을 보이며, 확률 구간을 읽고, 현재 상태를 판단하는데 많은 시간이 소요된다.
- [0007] 구체적으로, 정규화 모드에 대한 HEVC 이진산술 복호화과정은 문맥 모델러에서 구해진 값인 valMPS, pstateIdx와 비트 스트림에서 읽은 Offset, 그리고 초기에 설정된 Range값을 사용하여 연산을 수행한다
- [0008] 이진 산술 복호화 과정에서는 Range의 상위 비트와 pstateIdx를 이용하여 rLPS를 읽어 온다. 이후 Range와 rLPS를 이용하여 현재의 확률 상태가 MPS인지 LPS인지 선택한다. 선택된 현재의 확률 상태와 새로운 Range와 Offset의 값이 정해진 후 다음 빈을 처리하기 위해 필요한 pstateIdx, binVal, valMPS 값이 정해진다
- [0009] 위와 같이 산술 복호화 과정은 데이터 의존성으로 인해 현재모드가 종료된 후에 다음 산술 복호화 모드를 진행해야만 한다. 따라서 CABAC은 병렬 처리에 어려움이 있다
- [0010] 도 1은 종래의 H.264/AVC 정규화 모드를 보여주는 도이다.
- [0011] 즉, 종래의 산술 복호장치는 도 1에 도시된 바와 같이, rLPS ROM에서 rLPS를 읽은 후에 레인지와 연산하여 rMPS를 얻은 후에 오프셋과 비교하여 확률 상태를 파악하기 때문에 연산처리가 증가하는 문제점이 있다.
- [0012] 도 2는 종래의 산술 복호장치의 구성도이다.
- [0013] 도 2에 도시된 대한민국 특허출원번호 제10-2005-0028066호는 산술 복호화시 예측 기법을 이용하여 복수의 심벌에 대한 병렬 처리를 가능하게 하여 복호속도를 향상시킬 수 있는 산술 복호장치를 소개하고 있지만, 상기 발명은 복호장치 내부에 오프셋값과 MPS의 레인지값을 입력받아 양자의 대소를 비교하여 현재 확률 상태를 결정하는 비교부(530)를 별도로 포함하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명은 상기한 바와 같은 문제를 해결하기 위해 발명된 것으로, 낮은 확률 구간의 값을 읽는 동안 오프셋과 레인지를 선처리하여 연산 수행 시간을 감소시킴으로서 데이터 처리량을 높일 수 있고 동작 주파수를 향상시킬 수 있으며 현재 확률 상태를 용이하게 판단할 수 있는 HEVC CAVAC 복호기를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0015] 상기한 바와 같은 목적을 달성하기 위해 본 발명에 따른 HEVC CAVAC 복호기는 오프셋과 레인지의 뺄셈 연산을 수행하여 중간값을 계산하는 선연산 모듈; 상기 레인지와 rLPS ROM에서 읽은 rLPS의 뺄셈 연산을 수행하여 rMPS를 계산하는 감산 모듈; 상기 중간값과 상기 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 가산 모듈; 및 상기 최종값의 최상위 비트를 확인하여 현재 확률 상태를 결정하는 상태결정 모듈;을 포함하는 것을 특징으로 한다.
- [0016] 또한, 상기 선연산 모듈은 최상위 비트에 '1'이 추가된 오프셋과 레인지의 뺄셈 연산을 수행하는 것을 특징으로 한다.
- [0017] 또한, 상기 상태결정 모듈은, 상기 최종값의 최상위 비트가 '1'인 경우 현재 확률 상태를 LPS 상태로 결정하고, 상기 최종값의 최상위 비트가 '0'인 경우 현재 확률 상태를 MPS 상태로 결정하는 것을 특징으로 한다.
- [0018] 또한, 본 발명에 따른 HEVC CAVAC 복호방법은 최상위 비트에 '1'을 추가한 오프셋과 레인지의 뺄셈 연산을 수행

하여 중간값을 계산하는 선연산 단계; 상기 중간값과 rLPS ROM에서 읽은 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 가산 단계; 및 상기 최종값의 최상위 비트를 확인하여 현재 확률 상태를 결정하는 상태결정 단계;를 포함하는 것을 특징으로 한다.

- [0019] 또한, 상기 선연산 단계는 상기 rLPS ROM에서 rLPS를 읽는 동안 수행되어 병목현상을 방지하는 것을 특징으로 한다.
- [0020] 또한, 상기 가산 단계는, 상기 레인지와 상기 rLPS의 뺄셈 연산을 수행하여 rMPS를 계산하는 rMPS 계산 공정; 및 상기 중간값과 상기 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 최종값 계산 공정;을 포함하는 것을 특징으로 한다.
- [0021] 또한, 상기 rMPS 계산 공정과 상기 최종값 계산 공정은 동시에 수행되는 것을 특징으로 한다.
- [0022] 더불어, 상기 상태 결정 단계는, 상기 최종값의 최상위 비트가 '1'인 경우 현재 확률 상태를 LPS 상태로 결정하고, 상기 결과값의 최상위 비트가 '0'인 경우 현재 확률 상태를 MPS 상태로 결정하는 것을 특징으로 한다.

발명의 효과

- [0023] 상기한 바와 같이 본 발명에 따른 HEVC CABAC 복호기에 의하면, 한 사이클에 두 개의 빈을 처리함으로써 CABAC의 데이터 의존성을 보존하면서 연산 처리량을 향상시킬 수 있는 효과가 있다.
- [0024] 또한, 본 발명에 따르면 오프셋에 비트를 추가하여 연산함으로써 병목 현상을 완화시켜 동작 주파수를 향상시킬 수 있는 효과가 있다.
- [0025] 더불어, 본 발명에 따르면 최상위 비트에 '1'을 추가한 오프셋과 레인지의 차이값에 rLPS를 더한 최종값으로 현재 확률 상태를 용이하게 판단할 수 있으므로 종래의 CABAC 복호기에 구비된 비교기를 제거할 수 있는 효과가 있다.

도면의 간단한 설명

- [0026] 도 1은 종래의 H.264/AVC 정규화 모드를 보여주는 도이다.
- 도 2는 종래의 산술 복호장치의 구성도이다.
- 도 3은 본 발명에 따른 HEVC CABAC 복호기의 구성도이다.
- 도 4는 본 발명에 따른 HEVC CABAC 복호기의 정규화 모드를 보여주는 도이다.
- 도 5는 오프셋, 레인지, rLPS의 상관관계를 나타내는 도이다.
- 도 6은 본 발명에 따른 HEVC CABAC 복호기의 하드웨어 구조도이다.
- 도 7은 본 발명에 따른 HEVC CABAC 복호방법의 블록도이다.
- 도 8은 본 발명에 따른 HEVC CAVAC 복호방법 중 가산 단계의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명한다. 우선, 도면들 중 동일한 구성요소 또는 부품들은 가능한 한 동일한 참조부호를 나타내고 있음에 유의해야 한다. 본 발명을 설명함에 있어서 관련된 공지기능 혹은 구성에 대한 구체적인 설명은 본 발명의 요지를 모호하게 하지 않기 위해 생략한다.
- [0028] 도 3은 본 발명에 따른 HEVC CABAC 복호기의 구성도이다.
- [0029] 본 발명에 따른 HEVC CABAC 복호기는 도 3에 도시된 바와 같이, 선연산 모듈(100), 감산 모듈(200), 가산 모듈(300) 및 상태결정 모듈(400)을 포함한다.

- [0030] 도 4는 본 발명에 따른 HEVC CABAC 복호기의 정규화 모드를 보여주는 도이다.
- [0031] 상기 선연산 모듈(100)은 도 4에 도시된 바와 같이, 오프셋(Offset)과 레인지(Range)의 뺄셈 연산을 수행하여 중간값을 계산할 수 있는데, 여기서, 상기 선연산 모듈(100)은 최상위 비트에 '1'이 추가된 오프셋과 레인지의 뺄셈 연산을 수행할 수 있다.
- [0032] 도 6은 본 발명에 따른 HEVC CABAC 복호기의 하드웨어 구조도이다.
- [0033] 본 발명에 따른 HEVC CABAC 복호기는 도 6에 도시된 바와 같이 정규화 모드를 두 번 수행하는 하드웨어 구조를 가지기 때문에, CABAC의 데이터 의존성을 유지하면서 한 사이클에 두 개의 빈을 처리할 수 있지만 병목현상이 발생할 수 있다.
- [0034] 이와 같은 병목현상을 완화시키기 위해서 도 4에 도시된 바와 같이, 상기 선연산 모듈(100)은 rLPS ROM(500)에서 rLPS를 읽는 동안 오프셋과 레인지의 뺄셈 연산을 선처리할 수 있다.
- [0035] 상기 감산 모듈(200)은 상기 레인지와 상기 rLPS ROM(500)에서 읽은 rLPS의 뺄셈 연산을 수행하여 rMPS를 계산할 수 있다.
- [0036] 상기 가산 모듈(300)은 상기 중간값과 상기 rLPS의 덧셈 연산을 수행하여 현재 확률 상태를 결정하기 위한 최종값을 계산할 수 있다.
- [0037] 즉, 상기 가산 모듈(300)은 최상위비트에 '1'을 추가한 오프셋에서 레인지를 뺀 값에 상기 rLPS ROM(500)에서 읽은 rLPS를 더하여 상기 최종값을 계산할 수 있다.
- [0038] 상기 상태결정 모듈(400)은 상기 최종값의 최상위 비트를 확인하여 현재 확률 상태를 결정할 수 있다.
- [0039] 구체적으로, 상기 상태결정 모듈(400)은 상기 최종값의 최상위 비트가 '1'인 경우 현재 확률 상태를 LPS 상태로 결정할 수 있고, 상기 최종값의 최상위 비트가 '0'인 경우 현재 확률 상태를 MPS 상태로 결정할 수 있다.
- [0040] 도 5는 오프셋, 레인지, rLPS의 상관관계를 나타내는 도이다.
- [0041] 즉, 상기 상태결정 모듈(400)은 도 5에 도시된 바와 같이, 상기 오프셋과 상기 rLPS의 덧셈 결과가 레인지보다 크면 현재 확률 상태를 LPS 상태로 결정하고, 상기 오프셋과 상기 rLPS의 덧셈 결과가 레인지보다 작으면 현재 확률 상태를 MPS 상태로 결정할 수 있다.
- [0042] 이처럼, 본 발명은 도 1에 도시된 바와 같이, rLPS ROM에서 읽은 rLPS와 레인지를 연산하여 rMPS를 얻은 후, 오프셋과 비교하여 확률 상태를 파악하는 종래의 CABAC 복호기와 달리, 비교기 없이 오프셋의 최상위 비트에 1비트 '1'을 추가한 값과 레인지의 뺄셈연산 값에 rLPS를 더한 결과값으로 현재 확률 상태를 판단할 수 있고, 병목 현상을 완화시켜 동작 주파수를 향상시킬 수 있다.
- [0043] 이하, 본 발명에 따른 HEVC CABAC 복호기의 설계예를 설명한다.

[0044] HEVC 참조 소프트웨어 HM 8.1에서 추출한 데이터를 이용하여 본 발명에 따른 HEVC CABAC 복호기의 동작을 검증한 결과 정상적으로 한 사이클에 두 개의 빈을 출력함을 확인하였다.

[0045] 본 발명에 따른 HEVC CABAC 복호기는 Verilog HDL로 설계되었고, TSMC 0.18um, 0.13um 표준 셀 라이브러리를 사용하여 IDE에서 지원하는 CAD Tool인 Synopsys사의 Design Compiler로 합성하였다.

[0046] 하기의 [표 1]은 합성 결과를 나타내는데, 본 발명에 따른 HEVC CABAC 복호기의 동작 주파수는 210MHz(0.18um), 263MHz(0.13um)으로 종래의 CABAC 복호기인 비교예 1 및 비교예 2의 동작 주파수 대비 각각 40%, 10%가 증가하였음을 알 수 있다.

표 1

[0047]

	비교예 1	비교예 2	본 발명	
공정(um)	0.18	0.13	0.18	0.13
주파수(MHz)	150	238	210	263
게이트수	-	43.6k(Full)	7.6k	7.2k

[0048] 이하, 본 발명에 따른 HEVC CAVAC 복호방법을 상세히 설명한다.

[0049] 도 7은 본 발명에 따른 HEVC CAVAC 복호방법의 블록도이다.

[0050] 본 발명에 따른 HEVC CAVAC 복호방법은 도 7에 도시된 바와 같이, 선연산 단계(S10), 가산 단계(S20) 및 상태결정 단계(S30)를 포함한다.

[0051] 상기 선연산 단계(S10)는 최상위 비트에 '1'을 추가한 오프셋과 레인지의 뺄셈 연산을 도 3에 도시된 선연산 모듈(100)이 수행하여 중간값을 계산하는 단계로, 상기 선연산 단계(S10)는 rLPS ROM(500)에서 rLPS를 읽는 동안 수행되어 병목현상을 방지할 수 있다.

[0052] 상기 가산 단계(S20)는 상기 중간값과 rLPS ROM(500)에서 읽은 rLPS의 덧셈 연산을 수행하여 최종값을 계산하는 단계이다.

[0053] 도 8은 본 발명에 따른 HEVC CAVAC 복호방법 중 가산 단계의 블록도이다.

[0054] 상기 가산 단계(S20)는 도 8에 도시된 바와 같이, rMPS 계산 공정(S21) 및 최종값 계산 공정(S22)을 포함할 수 있다.

[0055] 상기 rMPS 계산 공정(S21)은 상기 레인지와 상기 rLPS의 뺄셈 연산을 감산 모듈(200)이 수행하여 rMPS를 계산하는 공정이다.

[0056] 상기 최종값 계산 공정(S22)은 상기 중간값과 상기 rLPS의 덧셈 연산을 가산 모듈(300)이 수행하여 최종값을 계

산하는 공정이다.

[0057] 여기서, 상기 rMPS 계산 공정(S21)과 상기 최종값 계산 공정(S22)은 동시에 수행될 수 있다.

[0058] 상기 상태결정 단계(S30)는 상기 최종값의 최상위 비트를 상태결정 모듈(400)이 확인하여 현재 확률 상태를 결정하는 단계이다.

[0059] 구체적으로, 상기 상태 결정 단계(S30)에서는 상기 최종값의 최상위 비트가 '1'인 경우 현재 확률 상태를 LPS 상태로 결정할 수 있고, 상기 결과값의 최상위 비트가 '0'인 경우 현재 확률 상태를 MPS 상태로 결정할 수 있다.

[0060] 다시 말해서, 상기 상태 결정 단계(S30)에서는 오프셋과 rLPS의 덧셈 결과가 레인지보다 크면 현재 확률 상태를 LPS 상태로 결정하고, 오프셋과 rLPS의 덧셈 결과가 레인지보다 작으면 현재 확률 상태를 MPS 상태로 결정할 수 있다.

[0061] 상술한 바와 같이, 본 발명은 CABAC의 데이터 의존성을 보존하면서 데이터 처리량을 높이기 위해 두 개의 빈을 처리할 수 있는 구조로 이루어져, 오프셋과 레인지의 연산을 선처리하였고, 오프셋의 최상위 비트에 1비트 '1'을 추가한 값과 레인지의 뺄셈연산 값에 rLPS를 더한 결과 값으로 현재 확률 상태를 판단하여 종래의 비교기를 제거하였고, 그 결과 병목 현상이 완화되어 동작 주파수를 향상시킬 수 있다.

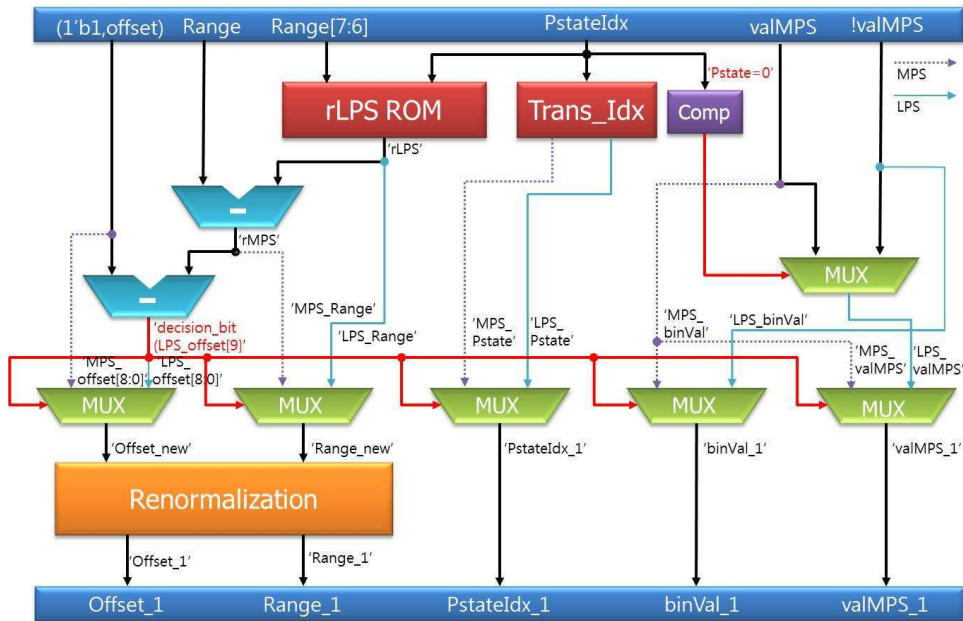
[0062] 이상과 같이 본 발명에 따른 HEVC CABAC 복호기를 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상 범위 내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

부호의 설명

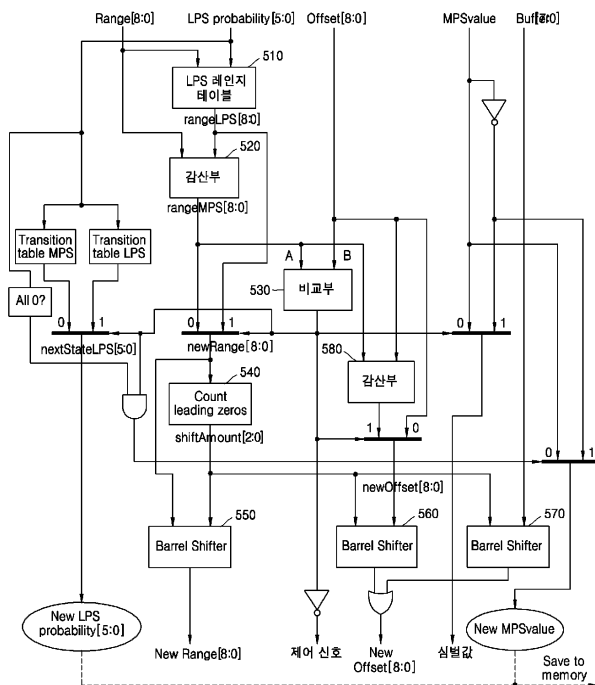
[0063] 100:선연산 모듈 200:감산 모듈
300:가산 모듈 400:상태결정 모듈
500:rLPS ROM
S10:선연산 단계
S20:가산 단계
S21:rMPS 계산 공정
S22:최종값 계산 공정
S30:상태결정 단계

도면

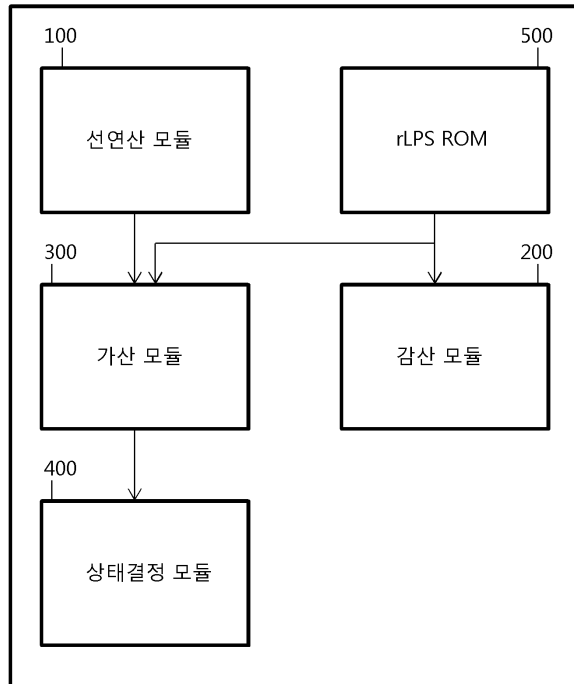
도면1



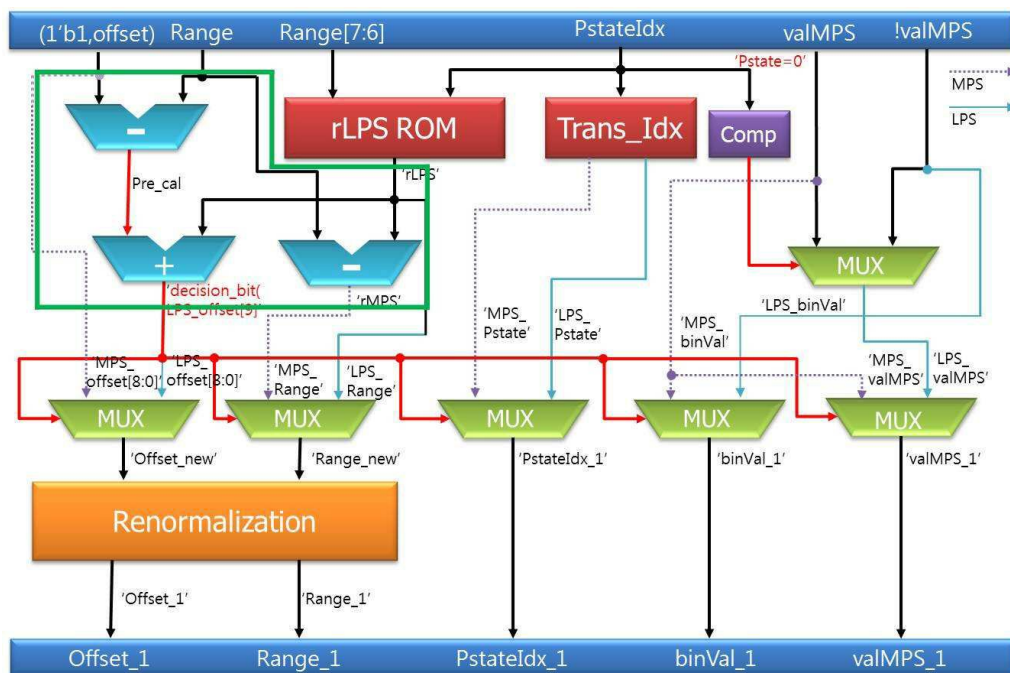
도면2



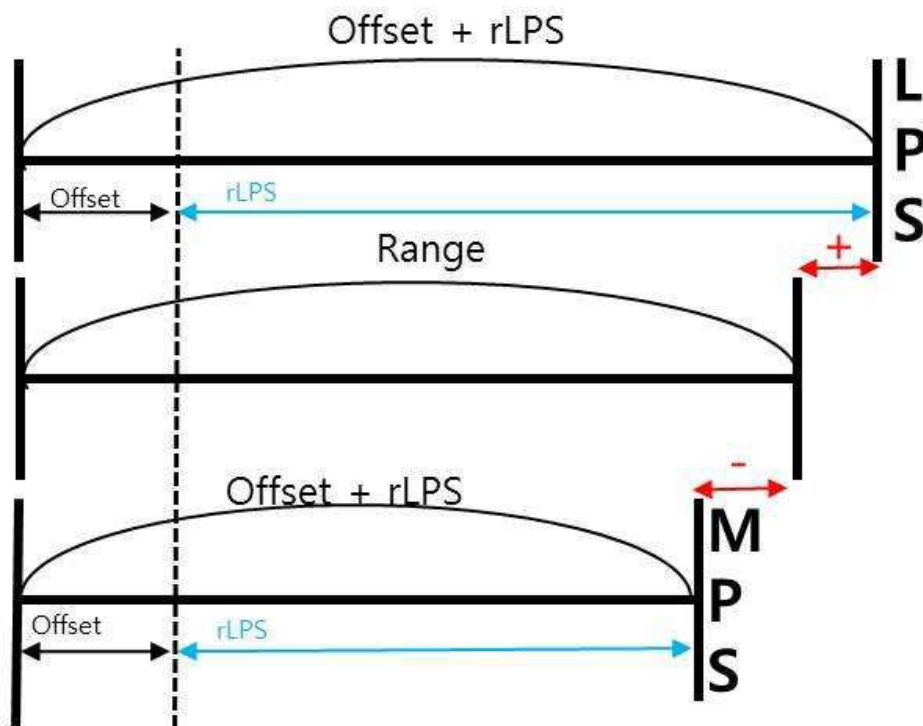
도면3



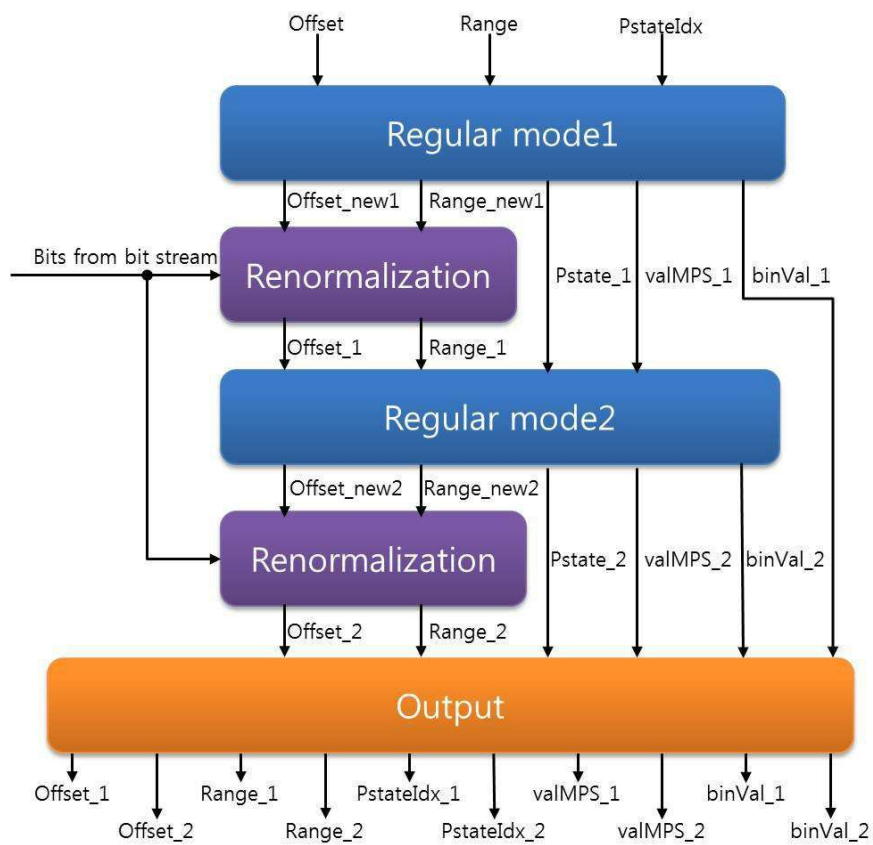
도면4



도면5



도면6



도면7



도면8

