

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 23 日 (23.11.2017)



(10) 国际公布号
WO 2017/197746 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) **G02F 1/13** (2006.01)
- (21) 国际申请号: PCT/CN2016/089796
- (22) 国际申请日: 2016 年 7 月 12 日 (12.07.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610339044.6 2016年5月20日 (20.05.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 黄笑宇 (HUANG, Xiaoyu); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM);

中国广东省深圳市南山区登良路 21 号南油第二工业区 206 栋 6 层 611 室 (恒裕中心 B 座), Guangdong 518054 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: CIRCUIT FOR PROCESSING GATE VOLTAGE SIGNAL PROVIDED TO LIQUID CRYSTAL DISPLAY

(54) 发明名称: 处理向液晶显示器提供的栅极电压信号的电路

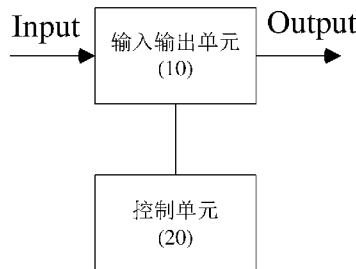


图 1

10 Input/output unit
20 Control unit

(57) Abstract: A circuit for processing a gate voltage signal provided to a liquid crystal display, comprising: an input/output unit (10) and a control unit (20). The input/output unit receives a gate voltage signal (Input). The control unit (20) receives a control signal (A, B) and enables, according to the control of the control signal (A, B), the input/output unit (10) to output a first output signal during a first period of time (T1), a second output signal during a second period of time (T2), a third output signal during a third period of time (T3), and a fourth output signal during a fourth period of time (T4) within each cycle on the basis of the gate voltage signal (Input). In the circuit for processing a gate voltage signal provided to a liquid crystal display, the voltage drop speed of a gate voltage signal can be reduced by changing the gate voltage signal into different values during different periods of time within each cycle, thereby reducing the effect on a reference voltage of a liquid crystal display.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种处理向液晶显示器提供的栅极电压信号的电路, 包括: 输入输出单元(10)和控制单元(20), 其中, 输入输出单元接收所述栅极电压信号(Input), 控制单元(20)接收控制信号(A、B)并根据控制信号(A、B)的控制, 使输入输出单元(10)基于栅极电压信号(Input)在每个周期内的第一时间段期间(T1)输出第一输出信号, 第二时间段期间(T2)输出第二输出信号, 第三时间段期间(T3)输出第三输出信号, 第四时间段期间(T4)输出第四输出信号。在根据该处理向液晶显示器提供的栅极电压信号的电路中, 可通过在每个周期的不同时间段期间将栅极电压信号改变为不同的值来降低栅极电压信号的电压的下降速度, 从而降低对液晶显示器的基准电压的影响。

说明书

处理向液晶显示器提供的栅极电压信号的电路

技术领域

- 5 本发明涉及一种电路，更具体地讲，涉及一种处理向液晶显示器提供的栅极电压信号的电路。

背景技术

随着科技的发展，电子产品的屏幕更加趋于超窄边框的趋势。因此，栅极驱动集成于阵列基板（GOA）的液晶显示器日益受到人们的关注。

- 10 在通过栅极电压信号驱动液晶显示器的过程中，栅极电压信号的电压下降速度会对液晶显示器的基准电压造成影响，栅极电压信号的电压下降越快，对液晶显示器的基准电压的影响程度越大。

- 栅极电压信号通常为方波，在传统的液晶显示器中，通过 PCB 板向液晶显示器提供栅极驱动电压，因此，可在 PCB 板上添加用于降低栅极电压信号的电压下降速度（即，对栅极电压信号进行削角）的削角芯片，从而降低对液晶显示器的基准电压的影响。

然而，在 GOA 液晶显示器中，由于在阵列基板上产生栅极电压，并且没有足够的空间在基板上安装削角芯片，因此，不能对栅极电压信号进行调整，从而影响液晶显示器的显示效果。

- 20 因此，现有的向 GOA 液晶显示器提供栅极电压信号的方式会较大程度影响液晶显示器的基准电压。

发明内容

- 本发明的示例性实施例在于提供一种处理向液晶显示器提供的栅极电压信号的电路。所述电路能够克服现有的向栅极驱动集成于阵列基板（GOA）液晶显示器提供的栅极电压对液晶器的基准电压造成很大影响的缺陷。

- 根据本发明示例性实施例，提供一种处理向液晶显示器提供的栅极电压信号的电路，包括：输入输出单元和控制单元，其中，输入输出单元接收所述栅极电压信号，控制单元接收控制信号并根据控制信号的控制，使输入输出单元基于栅极电压信号在每个周期内的第一时间段期间输出第一输出信号，第二时间段期间输出第二输出信号，第三时间段期间输出第三输出信号，第四时间段期间输出第四输出信号。

可选地，第一时间段、第二时间段、第三时间段和第四时间段是在时间上连续的时间段，并且，第一时间、第二时间段和第三时间段的持续时间长度之和与所述栅极电压信号的有效电平的持续时间长度相等，第四时间段的持续时间长度与所述栅极电压信号的无效电平的持续时间长度相等。

- 5 可选地，第一输出信号的电压值与所述栅极信号的有效电平的电压值之差在第一预定范围内，第二输出信号的电压值小于第一输出信号的电压值，第三输出信号的电压值小于第二输出信号的电压值，并且第四输出信号的电压值与所述栅极信号的无效电平的电压值之差在第二预定范围内。

- 10 可选地，控制信号包括第一控制信号和第二控制信号，第一控制信号的周期和第二控制信号的周期与所述栅极电压信号的周期相同，其中，在第二时间段期间第一控制信号具有第一电平并且第二控制信号具有第二电平，在第三时间段期间第一控制信号具有第二电平并且第二控制信号具有第一电平，在其它时间段期间第一控制信号和第二控制信号均具有第一电平或均具有第二电平。

- 15 可选地，第一电平为高电平和低电平之一，第二电平为高电平和低电平中不同于第一电平的另一电平。

可选地，输入输出单元包括：第一电阻器，第一连接端接收所述栅极电压信号，第二连接端作为输出第一输出信号、第二输出信号、第三输出信号和第四输出信号的输出端口。

- 20 可选地，控制单元包括：第一开关、第二开关、第三开关和第四开关，其中，第一开关的第一连接端连接到第一电阻器的第二连接端，第一开关的第二连接端连接到第二开关的第一连接端，第一开关的控制端接收第一控制信号，第二开关的第二连接端接地，第二开关的控制端接收第二控制信号，第三开关的第一连接端连接到第一电阻器的第二连接端，第三开关的第二连接端连接到第四开关的第一连接端，第三开关的控制端接收第一控制信号，第四开关的第二连接端接地，第四开关的控制端接收第二控制信号。
- 25

可选地，第一开关和第四开关均为 PMOS 管，第二开关和第三开关均为 NOMS 管。

可选地，针对第一开关、第二开关、第三开关和第四开关中每个开关：控制端为栅极，第一连接端为源级和漏极之一，第二连接端为源级和漏极中不同

于第一连接端的另外一个。

可选地，所述电路布置于栅极驱动集成于阵列基板的液晶显示器的扇出区域。

5 在根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路中，可通过在每个周期的不同时间段期间将栅极电压信号改变为不同的值来降低栅极电压信号的电压的下降速度，从而降低对液晶显示器的基准电压的影响。

附图说明

10 通过下面结合示例性地示出实施例的附图进行的描述，本发明示例性实施例的上述和其他目的和特点将会变得更加清楚，其中：

图 1 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的框图；

15 图 2 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的电路图；

图 3 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的第一等效电路图；

图 4 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的第二等效电路图；

20 图 5 示出根据本发明示例性实施例的向液晶显示器提供的栅极电压信号的电路的输出信号的示图；

图 6 示出根据本发明另一示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的电路图；

25 图 7 示出根据本发明示例性实施例的在液晶显示器布置处理向液晶显示器提供的栅极电压信号的电路的示图。

具体实施方式

以下，将参照附图更充分地描述本发明的示例性实施例，示例性实施例在附图中示出。然而，可以以许多不同的形式实施示例性实施例，并且不应被解

释为局限于在此阐述的示例性实施例。相反，提供这些实施例从而本公开将会彻底和完整，并将完全地将示例性实施例的范围传达给本领域的技术人员。

图 1 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的框图。

5 作为示例，本发明的处理向液晶显示器提供的栅极电压信号的电路布置于栅极驱动集成于阵列基板（GOA, Gate on array）的液晶显示器的扇出区域。例如，图 7 示出根据本发明示例性实施例的在液晶显示器布置处理向液晶显示器提供的栅极电压信号的电路的示图。如图 7 所示，GOA 液晶显示器的显示面板 1 通过源级驱动芯片 2-1、2-2、2-3 和 2-4 连接到 PCB 板 3。栅极驱动集成在显示区域 1-1 的左侧，即，从左侧向液晶显示器提供栅极电压信号，因此，
10 本发明的处理向液晶显示器提供的栅极电压信号的电路可布置于 GOA 液晶显示器的显示区域 1-1 左侧的扇出区域（Fan out area）1-2，从而对栅极电压信号进行处理。

这里，栅极电压信号可以是具有预定周期的方波。栅极电压信号可在一周
15 期内具有有效电平（例如，高电平）和无效电平（例如，低电平）。作为示例，栅极电压信号可具有与液晶显示器显示一帧的时间长度相同的周期。

参照图 1，根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路包括：输入输出单元 10 和控制单元 20。

具体地讲，输入输出单元 10 接收所述栅极电压信号，控制单元 20 接收控
20 制信号并根据控制信号的控制，使输入输出单元 10 基于栅极电压信号在每个周期内的第一时间段期间输出第一输出信号，第二时间段期间输出第二输出信号，第三时间段期间输出第三输出信号，第四时间段期间输出第四输出信号。

这里，作为示例，控制单元 20 接收的控制信号可包括第一控制信号和第二控制信号，第一控制信号的周期和第二控制信号的周期与所述栅极电压信号的周期相同。例如，第一控制信号和第二控制信号为方波。具体地讲，在第二
25 时间段期间第一控制信号可具有第一电平并且第二控制信号具有第二电平，在第三时间段期间第一控制信号可具有第二电平并且第二控制信号具有第一电平，在其它时间段期间第一控制信号和第二控制信号可均具有第一电平或均具有第二电平。这里，作为示例，第一电平可为高电平和低电平之一，第二电平
30 为高电平和低电平中不同于第一电平的另一电平。

这里，第一时间段、第二时间段、第三时间段和第四时间段的时间长度之和为一个周期（即，输入输出单元 10 输出的信号的周期）的时间长度，该时间长度与栅极电压信号的周期的时间长度相同。

作为示例，第一时间段、第二时间段、第三时间段和第四时间段是在时间
35 上连续的时间段，并且，第一时间、第二时间段和第三时间段的持续时间长度之和与所述栅极电压信号的有效电平的持续时间长度相等，第四时间段的持续时间长度与所述栅极电压信号的无效电平的持续时间长度相等。

这里，第一输出信号的电压值可以与栅极电压信号的有效电平的电压值接近，第二输出信号的电压值和第三输出信号的电压值可低于栅极电压信号的有效电平的电压值，并且第四输出信号的电压值可与栅极电压信号的无效电平的电压值接近，从而可减小栅极电压信号的电压降低的速度。

5 作为示例，第一输出信号的电压值与所述栅极信号的有效电平的电压值之差在第一预定范围内，第二输出信号的电压值小于第一输出信号的电压值，第三输出信号的电压值小于第二输出信号的电压值，并且第四输出信号的电压值与所述栅极信号的无效电平的电压值之差在第二预定范围内。

10 在实际应用的电路中，输入输入输出单元 10 可包括：第一电阻器。具体地讲，第一电阻器的第一连接端接收所述栅极电压信号，第一电阻器的第二连接端作为输出第一输出信号、第二输出信号、第三输出信号和第四输出信号的输出端口。

15 控制单元 20 可包括：第一开关、第二开关、第三开关和第四开关。具体地讲，第一开关的第一连接端连接到第一电阻器的第二连接端，第一开关的第二连接端连接到第二开关的第一连接端，第一开关的控制端接收第一控制信号。第二开关的第二连接端接地，第二开关的控制端接收第二控制信号。第三开关的第一连接端连接到第一电阻器的第二连接端，第三开关的第二连接端连接到第四开关的第一连接端，第三开关的控制端接收第一控制信号。第四开关的第二连接端接地，第四开关的控制端接收第二控制信号。

20 这里，为了根据如上所述的控制信号在不同时间段提供第一输出信号、第二输出信号、第三输入信号和第四输出信号，作为示例，第一开关和第四开关均为 PMOS 管，第二开关和第三开关均为 NOMS 管。更具体地讲，针对第一开关、第二开关、第三开关和第四开关中每个开关：控制端可为栅极，第一连接端可为源级和漏极之一，第二连接端可为源级和漏极中不同于第一连接端的另外一个。
25 一个。

图 2 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的电路图。

30 如图 2 所示，输入输出单元 10 可包括第一电阻器 R1，第一电阻器 R1 的第一连接端作为输入端口（Input）来从 C 点接收栅极电压信号，第一电阻器 R1 的第二连接端作为输出第一输出信号、第二输出信号、第三输出信号和第四输出信号的输出端口（Output）。

35 控制单元 20 可包括第一 PMOS 管 D1、第一 NMOS 管 D2、第二 NMOS 管 E1 和第二 POMS 管 E2。第一 PMOS 管 D1 的源级（或漏极）连接到第一电阻器 R1 的第二连接端，第一 PMOS 管 D1 的漏极（或源级）连接到第一 NMOS 管 D2 的源级（或漏极），第一 PMOS 管 D1 的栅极接收第一控制信号 A。第一 NMOS 管 D2 的漏极（或源级）接地，第一 NMOS 管 D2 的栅极接收第二控制信号 B。第二 NMOS 管 E1 的源级（或漏极）连接到第一电阻器 R1 的第二连接端，第二 NMOS 管 E1 的漏极

(或源级) 连接到第二 PMOS 管 E2 的源级 (或漏极), 第二 NMOS 管 E1 的栅极接收第一控制信号 A。第二 PMOS 管 E2 的漏极 (或源级) 接地, 第二 PMOS 管 E2 的栅极接收第二控制信号 B。

具体地讲, 当第一控制信号 A 和第二控制信号 B 具有相同的电平时 (例如, 在一个周期中的第一时间段和第四时间段期间), D 支路的第一 PMOS 管 D1 和第一 NMOS 管 D2 均断开, E 支路的第二 NMOS 管 E1 和第二 PMOS 管 E2 均断开, 此时, 第一电阻器 R1 的输出端可输出与栅极电压信号的电压值接近的电压值。

当第一控制信号 A 和第二控制信号 B 具有不同的电平时 (例如, 在一个周期中的第二时间段和第三时间段期间), D 支路的第一 PMOS 管 D1 和第一 NMOS 管 D2 均导通并连接到地, 或者 E 支路的第二 NMOS 管 E1 和第二 PMOS 管 E2 均导通并连接到地。此时, 由于第一 PMOS 管 D1、第一 NMOS 管 D2、第二 NMOS 管 E1 和第二 PMOS 管 E2 均具有一定的电阻值, 因此, 当 D 支路或 E 支路连接到地时, 第一电阻器 R1 的输出端口处的电压会减小。

在一个示例中, 当在一个周期中的第二时间段期间第一控制信号 A 具有低电平 (例如, 0V) 并且第二控制信号 B 具有高电平 (例如, 3.3V) 时, D 支路的第一 PMOS 管 D1 和第一 NMOS 管 D2 均导通并连接到地, E 支路的第二 NMOS 管 E1 和第二 PMOS 管 E2 均断开。此时, 根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路等效为图 3 的电路。

图 3 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的第一等效电路图。

如图 3 所示, 第二电阻器 R_d 为 D 支路的第一 PMOS 管 D1、第一 NMOS 管 D2 及连接线的等效电阻, 第三电阻器 R_c 为第一电阻器 R1、第一电阻器 R1 的第一连接端与输入端口之间的连接线以及第一电阻器 R1 的第二连接端与输出端口之间的连接线的等效电阻。

因此, 在第二时间段期间, 输出端口输出的电压值为 $R_d/(R_d+R_c)$, 因此, 可通过调整 R_c 和 R_d 的阻值来调整输出端口输出的信号的电压。

在另一示例中, 当在一个周期中的第三时间段期间第一控制信号 A 具有高电平 (例如, 3.3V) 并且第二控制信号 B 具有低电平 (例如, 0V) 时, D 支路的第一 PMOS 管 D1 和第一 NMOS 管 D2 均断开, E 支路的第二 NMOS 管 E1 和第二 PMOS 管 E2 均导通并连接到地。此时, 根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路等效为图 4 的电路。

图 4 示出根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的第二等效电路图。

如图 4 所示, 第四电阻器 R_e 为 E 支路的第二 NMOS 管 E1、第二 PMOS 管 E2 及连接线的等效电阻, 第三电阻器 R_c 为第一电阻器 R1、第一电阻器 R1 的第一连接端与输入端口之间的连接线以及第一电阻器 R1 的第二连接端与输出端口之间的连接线的等效电阻。

因此，在第三时间段期间，输出端口输出的电压值为 $R_e/(R_e+R_c)$ ，因此，通过调整 R_c 和 R_e 的阻值来调整输出端口输出的信号的电压。

通常，栅极电压信号为有效电平是 33V 无效电平是 -7V 的方波。以下以该栅极电压信号为例说明输入输出单元 10 输出的输出信号的示例。

5 图 5 示出根据本发明示例性实施例的向液晶显示器提供的栅极电压信号的电路的输出信号的示图。

如图 5 所示，输入输出单元 10 的输出端口输出的输出信号的周期为 T （即，栅极电压信号的周期为 T ）。

在第一时间段 T_1 期间，第一控制信号 A 和第二控制信号 B 电平相同， D 支路断开且 E 支路断开，输入输出单元 10 的输出端口输出电压值为接近 33V 的第一输出信号，这里，第一输出信号的电压值与栅极电压信号的高电平的电压值之差可在第一预定范围（例如， $(-10\%, 0)$ ）内。

10 在第二时间段 T_2 期间，第一控制信号 A 和第二控制信号 B 电平不相同， D 支路导通（例如， $R_d=2R_c$ ）或 E 支路导通（例如， $R_e=2R_c$ ），输入输出单元 10 的输出端口输出电压值为接近 22V 的第二输出信号。

15 在第三时间段 T_3 期间，第一控制信号 A 的电平反相并且第二控制信号 B 电平反向，此时， D 支路和 E 支路中的另一支路导通（例如， $R_e=1/2R_c$ 或者 $R_d=1/2R_c$ ），输入输出单元 10 的输出端口输出电压值为接近 11V 的第二输出信号。

20 在第四时间段 T_4 期间，第一控制信号 A 和第二控制信号 B 电平再次相同， D 支路断开且 E 支路断开，输入输出单元 10 的输出端口输出电压值为接近 -7V 的第四输出信号，这里，第四输出信号的电压值与栅极电压信号的低电平的电压值之差可在第二预定范围（例如， $(-10\%, 0)$ ）内。

25 应该理解，图 5 中示出的栅极电压信号的有效电平的电压值和无效电平的电压值仅是示例，根据实际需要，栅极电压信号的有效电平的电压值和无效电平的电压值还可以是其它值。第二输出信号的电压值和第三输出信号的电压值也仅是示例，还可根据实际需要，通过改变第二电阻器 R_d 、第三电阻器 R_c 和/或第四电阻器 R_e 的电阻值来将第二输出信号的电压值和第三输出信号的电压值改变为其它值。

30 此外，由于需要使第一输出信号的电压值与栅极信号的有效电平的电压值之差尽可能小，并且需要使第四输出信号的电压值与栅极信号的无效电平的电压值之差尽可能小，因此需要使第三电阻器 R_c 的电阻值比较小。所以，在实际应用中，当输入输出单元 10 的导线的电阻能够满足 R_c 的阻值要求时，可省略图 2 中的第一电阻器 R_1 ，从而可进一步减小电路在液晶面板上所需的面积。

35 图 6 示出根据本发明另一示例性实施例的处理向液晶显示器提供的栅极电压信号的电路的电路图。

如图 6 所示，根据本发明另一示例性实施例的处理向液晶显示器提供的栅

极电压信号的电路去掉了图 2 中的第一电阻器 R_c ，此时输入输出单元 10 的输入端口 (Input) 与输出端口 (Output) 之间的连线的线阻等效为第三电阻器 R_c ，因此，通过调整图 4 和图 5 中的 R_d 和 R_e ，仍可使图 6 中的电路输出具有图 5 中的输出信号的波形的输出信号。

- 5 在根据本发明示例性实施例的处理向液晶显示器提供的栅极电压信号的电路中，可通过在每个周期的不同时间段期间将栅极电压信号改变为不同的值来降低栅极电压信号的电压的下降速度，从而降低对液晶显示器的基准电压的影响。

10 尽管已经参照其示例性实施例具体显示和描述了本发明，但是本领域的技术人员应该理解，在不脱离权利要求所限定的本发明的精神和范围的情况下，可以对其进行形式和细节上的各种改变。

权利要求书

1、一种处理向液晶显示器提供的栅极电压信号的电路，包括：输入输出单元和控制单元，

其中，输入输出单元接收所述栅极电压信号，控制单元接收控制信号并根据控制信号的控制，使输入输出单元基于栅极电压信号在每个周期内的第一时间段期间输出第一输出信号，第二时间段期间输出第二输出信号，第三时间段期间输出第三输出信号，第四时间段期间输出第四输出信号。

2、如权利要求 1 所述的电路，其中，第一时间段、第二时间段、第三时间段和第四时间段是在时间上连续的时间段，并且，第一时间、第二时间段和第三时间段的持续时间长度之和与所述栅极电压信号的有效电平的持续时间长度相等，第四时间段的持续时间长度与所述栅极电压信号的无效电平的持续时间长度相等。

3、如权利要求 1 所述的电路，其中，第一输出信号的电压值与所述栅极信号的有效电平的电压值之差在第一预定范围内，第二输出信号的电压值小于第一输出信号的电压值，第三输出信号的电压值小于第二输出信号的电压值，并且第四输出信号的电压值与所述栅极信号的无效电平的电压值之差在第二预定范围内。

4、如权利要求 1 所述的电路，其中，控制信号包括第一控制信号和第二控制信号，第一控制信号的周期和第二控制信号的周期与所述栅极电压信号的周期相同，

其中，在第二时间段期间第一控制信号具有第一电平并且第二控制信号具有第二电平，在第三时间段期间第一控制信号具有第二电平并且第二控制信号具有第一电平，在其它时间段期间第一控制信号和第二控制信号均具有第一电平或均具有第二电平。

5、如权利要求 4 所述的电路，其中，第一电平为高电平和低电平之一，第二电平为高电平和低电平中不同于第一电平的另一电平。

6、如权利要求 4 所述的电路，其中，输入输出单元包括：

第一电阻器，第一连接端接收所述栅极电压信号，第二连接端作为输出第一输出信号、第二输出信号、第三输出信号和第四输出信号的输出端口。

7、如权利要求 6 所述的电路，其中，控制单元包括：第一开关、第二开

关、第三开关和第四开关，

其中，第一开关的第一连接端连接到第一电阻器的第二连接端，第一开关的第二连接端连接到第二开关的第一连接端，第一开关的控制端接收第一控制信号，

5 第二开关的第二连接端接地，第二开关的控制端接收第二控制信号，

第三开关的第一连接端连接到第一电阻器的第二连接端，第三开关的第二连接端连接到第四开关的第一连接端，第三开关的控制端接收第一控制信号，

第四开关的第二连接端接地，第四开关的控制端接收第二控制信号。

8、如权利要求 7 所述的电路，其中，

10 第一开关和第四开关均为 PMOS 管，第二开关和第三开关均为 NOMS 管。

9、如权利要求 8 所述的电路，其中，针对第一开关、第二开关、第三开关和第四开关中每个开关：

控制端为栅极，第一连接端为源级和漏极之一，第二连接端为源级和漏极中不同于第一连接端的另外一个。

15 10、如权利要求 1 所述的电路，其中，所述电路布置于栅极驱动集成于阵列基板的液晶显示器的扇出区域。

20

25

30

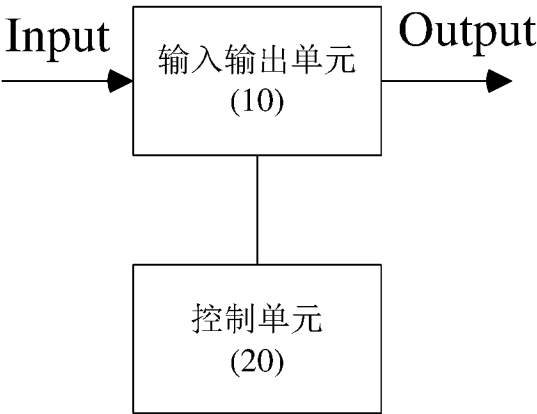


图 1

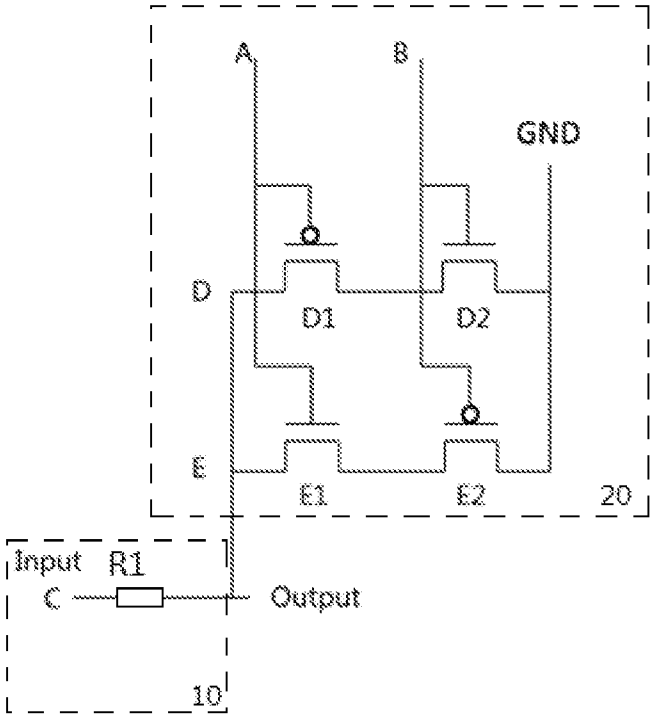


图 2

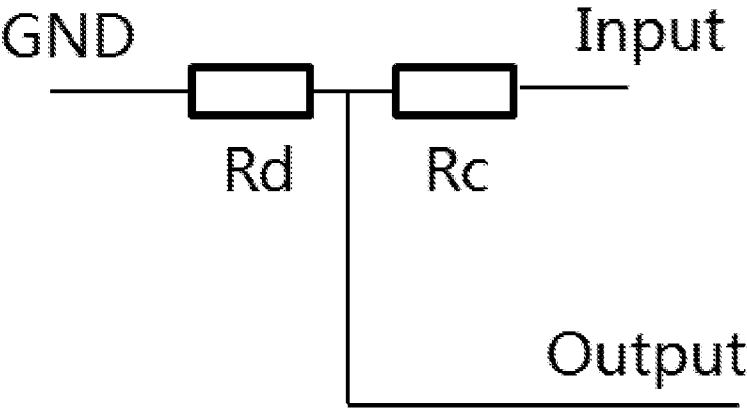


图 3

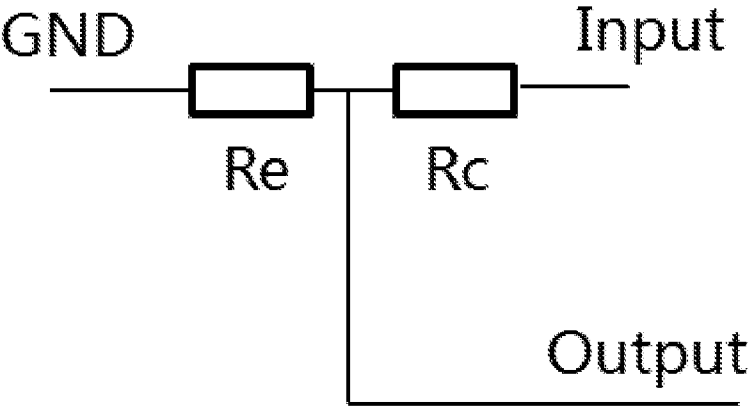


图 4

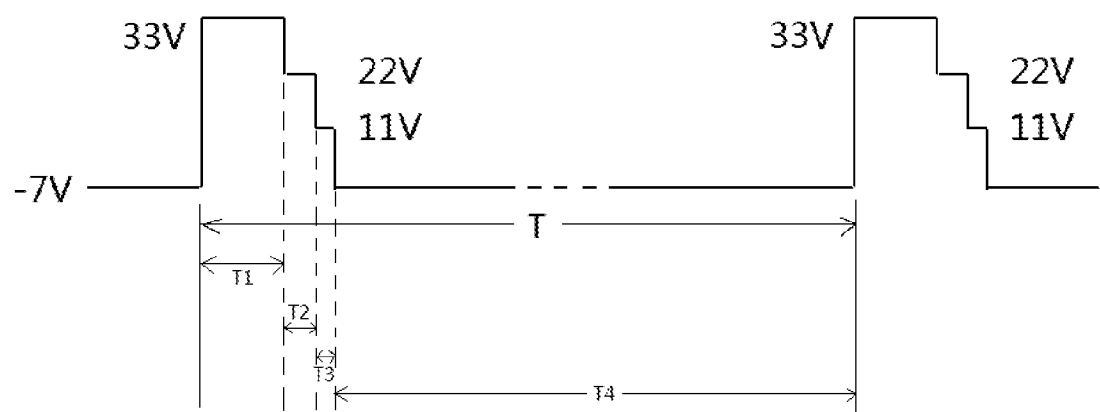


图 5

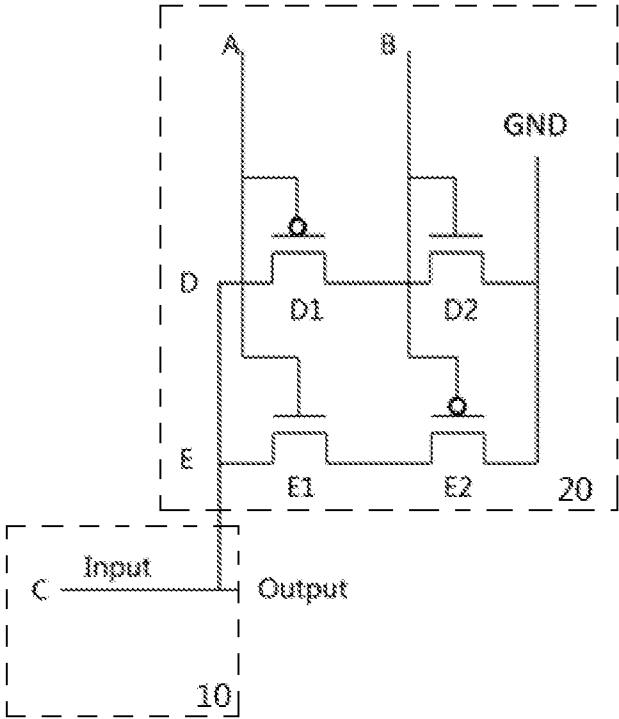


图 6

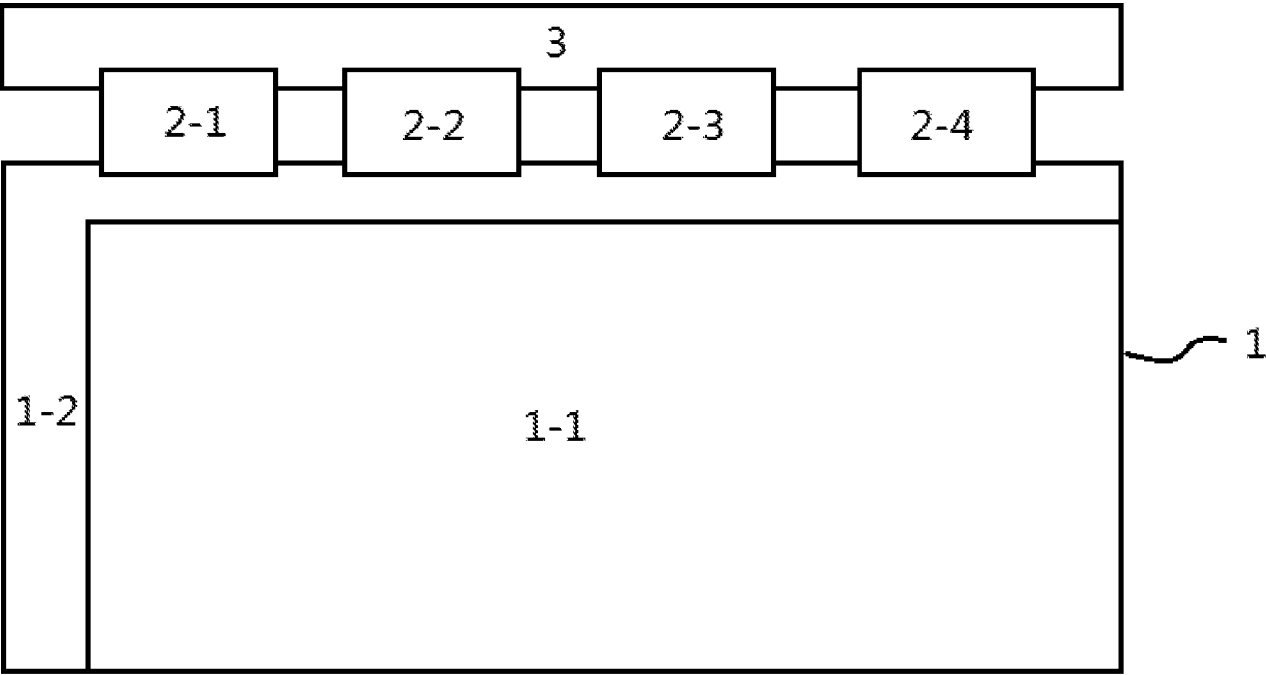


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/089796

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G02F 1/13 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI: scanning voltage, gate voltage, scan+, grid, voltage, ladder, stage+, step+, stair+, multilevel, multistage, multistep, fall+, reduc+, decreas+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101312016 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 November 2008 (26.11.2008), description, page 4, line 8 to page 8, line 12, and figures 1-9	1-10
A	CN 1692398 A (SANYO ELECTRIC CO., LTD. et al.), 02 November 2005 (02.11.2005), the whole document	1-10
A	US 5917465 A (FUJITSU LTD.), 29 June 1999 (29.06.1999), the whole document	1-10
A	US 2002000966 A1 (YASUYUKI KUDO et al.), 03 January 2002 (03.01.2002), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 January 2017 (24.01.2017)	Date of mailing of the international search report 16 February 2017 (16.02.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LUO, Yun Telephone No.: (86-10) 62085874

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/089796

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101312016 A	26 November 2008	JP 2008295012 A	04 December 2008
		CN 101312016 B	26 May 2010
		KR 100910780 B1	04 August 2009
		JP 4794542 B2	19 October 2011
		US 8232948 B2	31 July 2012
		US 2008291148 A1	27 November 2008
CN 1692398 A	02 November 2005	KR 20080102941 A	26 November 2008
		EP 1577873 B1	27 July 2011
		JP 2004212426 A	29 July 2004
		US 2005248550 A1	10 November 2005
		CN 100468133 C	11 March 2009
		WO 2004061813 A1	22 July 2004
		JP 4200759 B2	24 December 2008
		US 7304622 B2	04 December 2007
		TW I239503 B	11 September 2005
		EP 1577873 A1	21 September 2005
		TW 200425033 A	16 November 2004
		KR 100684002 B1	22 February 2007
		KR 20050084404 A	26 August 2005
		EP 1577873 A4	25 June 2008
		JP H06266316 A	22 September 1994
US 5917465 A	29 June 1999	JP 3657012 B2	08 June 2005
US 2002000966 A1	03 January 2002	US 7064736 B2	20 June 2006
		TW I248055 B	21 January 2006
		US 6801177 B2	05 October 2004
		JP 2002023705 A	25 January 2002
		KR 100426760 B1	13 April 2004
		JP 3705086 B2	12 October 2005
		US 2005083286 A1	21 April 2005
		US 2006256055 A1	16 November 2006
		KR 20020014671 A	25 February 2002

A. 主题的分类 G09G 3/36(2006.01)i; G02F 1/13(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, VEN, CNKI: 扫描电压, 栅极电压, 阶梯, 步进, 逐级, 多级, 下降, 减少, scan+, grid, voltage, ladder, stage+, step+, stair+, multilevel, multistage, multistep, fall+, reduc+, decreas+																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 101312016 A (北京京东方光电科技有限公司) 2008年 11月 26日 (2008 - 11 - 26) 说明书第4页第8行至第8页第12行, 图1-9</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 1692398 A (三洋电机株式会社 等) 2005年 11月 2日 (2005 - 11 - 02) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 5917465 A (FUJITSU LTD) 1999年 6月 29日 (1999 - 06 - 29) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2002000966 A1 (YASUYUKI KUDO 等) 2002年 1月 3日 (2002 - 01 - 03) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 101312016 A (北京京东方光电科技有限公司) 2008年 11月 26日 (2008 - 11 - 26) 说明书第4页第8行至第8页第12行, 图1-9	1-10	A	CN 1692398 A (三洋电机株式会社 等) 2005年 11月 2日 (2005 - 11 - 02) 全文	1-10	A	US 5917465 A (FUJITSU LTD) 1999年 6月 29日 (1999 - 06 - 29) 全文	1-10	A	US 2002000966 A1 (YASUYUKI KUDO 等) 2002年 1月 3日 (2002 - 01 - 03) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 101312016 A (北京京东方光电科技有限公司) 2008年 11月 26日 (2008 - 11 - 26) 说明书第4页第8行至第8页第12行, 图1-9	1-10															
A	CN 1692398 A (三洋电机株式会社 等) 2005年 11月 2日 (2005 - 11 - 02) 全文	1-10															
A	US 5917465 A (FUJITSU LTD) 1999年 6月 29日 (1999 - 06 - 29) 全文	1-10															
A	US 2002000966 A1 (YASUYUKI KUDO 等) 2002年 1月 3日 (2002 - 01 - 03) 全文	1-10															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2017年 1月 24日		国际检索报告邮寄日期 2017年 2月 16日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 罗赟 电话号码 (86-10)62085874															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/089796

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101312016	A	2008年 11月 26日	JP	2008295012	A	2008年 12月 4日
				CN	101312016	B	2010年 5月 26日
				KR	100910780	B1	2009年 8月 4日
				JP	4794542	B2	2011年 10月 19日
				US	8232948	B2	2012年 7月 31日
				US	2008291148	A1	2008年 11月 27日
				KR	20080102941	A	2008年 11月 26日
CN	1692398	A	2005年 11月 2日	EP	1577873	B1	2011年 7月 27日
				JP	2004212426	A	2004年 7月 29日
				US	2005248550	A1	2005年 11月 10日
				CN	100468133	C	2009年 3月 11日
				WO	2004061813	A1	2004年 7月 22日
				JP	4200759	B2	2008年 12月 24日
				US	7304622	B2	2007年 12月 4日
				TW	I239503	B	2005年 9月 11日
				EP	1577873	A1	2005年 9月 21日
				TW	200425033	A	2004年 11月 16日
				KR	100684002	B1	2007年 2月 22日
				KR	20050084404	A	2005年 8月 26日
				EP	1577873	A4	2008年 6月 25日
US	5917465	A	1999年 6月 29日	JP	H06266316	A	1994年 9月 22日
				JP	3657012	B2	2005年 6月 8日
US	2002000966	A1	2002年 1月 3日	US	7064736	B2	2006年 6月 20日
				TW	I248055	B	2006年 1月 21日
				US	6801177	B2	2004年 10月 5日
				JP	2002023705	A	2002年 1月 25日
				KR	100426760	B1	2004年 4月 13日
				JP	3705086	B2	2005年 10月 12日
				US	2005083286	A1	2005年 4月 21日
				US	2006256055	A1	2006年 11月 16日
				KR	20020014671	A	2002年 2月 25日

表 PCT/ISA/210 (同族专利附件) (2009年7月)