

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 16 年 11 月 11 日 (2004.11.11)

【公開番号】特開 2000-138357 (P2000-138357A)
 【公開日】平成 12 年 5 月 16 日 (2000.5.16)
 【出願番号】特願 平 10-309725
 【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

H 0 1 L 21/768

【F I】

H 0 1 L 27/10 6 8 1 F

H 0 1 L 21/90 C

H 0 1 L 27/10 6 2 1 C

【手続補正書】

【提出日】平成 15 年 11 月 12 日 (2003.11.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセル選択トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるメモリセルを半導体基板に複数設けている半導体集積回路装置の製造方法であって、
 (a) 前記半導体基板上にビット線および第 1 の配線を同一配線層に形成する工程と、
 (b) 前記半導体基板上にビット線および第 1 の配線を被覆する第 1 の絶縁膜を形成する工程と、

(c) 前記第 1 の絶縁膜上に、前記第 1 の絶縁膜に対してエッチング選択比を相対的に大きくとれる材料からなる第 2 の絶縁膜を形成する工程と、

(d) 前記メモリセルの形成領域において、前記ビット線よりも上層に前記第 2 の絶縁膜に溝を形成して前記溝内に情報蓄積用容量素子を形成した後、前記情報蓄積用容量素子および前記第 2 の絶縁膜上に第 2 の絶縁膜に対してエッチング選択比を相対的に大きくとれる材料からなる第 3 の絶縁膜を形成する工程と、

(e) 前記メモリセルの形成領域以外の領域において、前記情報蓄積用容量素子の上方の配線層と前記第 1 の配線との間に設けられた前記第 1 の絶縁膜、第 2 の絶縁膜および第 3 の絶縁膜に前記第 1 の配線が露出する配線層間の接続孔を穿孔する工程と、

(f) 前記配線層間の接続孔内に導体膜を埋め込み、前記第 1 の配線に直接接触された状態で電氣的に接続された配線層間の接続部を形成する工程とを有し、

前記配線層間の接続孔の形成工程は、

前記第 3 の絶縁膜上に接続孔形成用のマスクパターンを形成する工程と、

前記マスクパターンをエッチングマスクとして、前記第 2 の絶縁膜と第 3 の絶縁膜とのエ

エッチング選択比を相対的に大きくした状態で第3の絶縁膜の方が第2の絶縁膜よりもエッチング除去され易い条件でエッチング処理を行うことにより、前記マスクパターンから露出する第3の絶縁膜に第2の絶縁膜の一部が露出する第1の孔を穿孔する第1のエッチング処理工程と、

前記第1のエッチング処理工程後、前記マスクパターンをエッチングマスクとして、前記第2の絶縁膜と第3の絶縁膜とのエッチング選択比を相対的に大きくした状態で第2の絶縁膜の方が第3の絶縁膜よりもエッチング除去され易い条件でエッチング処理することにより、前記第1の孔の底部から露出する第2の絶縁膜を除去し第2の絶縁膜に第1の絶縁膜の一部が露出されるように前記第1の孔をさらに深く穿孔する第2のエッチング処理工程と、

前記第2のエッチング処理工程後、前記第2の絶縁膜と第1の絶縁膜とのエッチング選択比を相対的に大きくした状態で第1の絶縁膜の方が第2の絶縁膜よりもエッチング除去され易い条件でエッチング処理し、前記第1の孔の底部から露出する第1の絶縁膜を除去することにより、前記第1の配線が露出する配線層間の接続孔を穿孔する第3のエッチング処理工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】

請求項1記載の半導体集積回路装置の製造方法において、

前記(d)工程は、前記情報蓄積用容量素子を構成する第1の電極を形成する工程と、その第1の電極の表面に容量絶縁膜を形成する工程と、その容量絶縁膜を覆う第2の電極を形成する工程とを有し、

前記(e)工程は、前記第3の絶縁膜に、前記第2の電極を貫通する第2の電極引き出し用の接続孔を穿孔する工程を有し、

前記配線層間の接続孔および第2の電極引き出し用の接続孔の形成工程は、

前記第3の絶縁膜上に接続孔形成用のマスクパターンを形成する工程と、

前記マスクパターンをエッチングマスクとして、前記第2の絶縁膜と第3の絶縁膜とのエッチング選択比を相対的に大きくした状態で第3の絶縁膜の方が第2の絶縁膜よりもエッチング除去され易い条件でエッチング処理を行うことにより、前記マスクパターンから露出する第3の絶縁膜に、前記配線層間の接続孔を形成する孔であって前記第2の絶縁膜の一部が露出する第1の孔と、前記第2の電極引き出し用の接続孔を形成するための孔であって前記第2の電極を貫通し、かつ、底部が第3の絶縁膜の途中位置まで延びる第2の孔とを穿孔する第1のエッチング処理工程と、

前記第1のエッチング処理工程後、前記マスクパターンをエッチングマスクとして、前記第2の絶縁膜と第3の絶縁膜とのエッチング選択比を相対的に大きくした状態で第2の絶縁膜の方が第3の絶縁膜よりもエッチング除去され易い条件でエッチング処理することにより、前記配線層間の接続孔用の第1の孔の底部から露出する第2の絶縁膜を除去し第1の絶縁膜の一部が露出される前記配線層間の接続孔用の第1の孔を深く穿孔する第2のエッチング処理工程と、

前記第2のエッチング処理工程後、前記第2の絶縁膜と第1の絶縁膜とのエッチング選択比を相対的に大きくした状態で第1の絶縁膜の方が第2の絶縁膜よりもエッチング除去され易い条件でエッチング処理することにより、前記配線層間の接続孔用の第1の孔の底部から第1の配線が露出する配線層間の接続孔を深く穿孔し、前記第1の絶縁膜を露出する前記第2の孔を深く穿孔する第3のエッチング処理工程とを有し、

前記(h)工程は、前記配線層間の接続孔および第2の電極引き出し用の接続孔内に導体膜を埋め込み、それぞれ前記第1の配線に直接接触された状態で電氣的に接続された配線層間の接続部および第2の電極に電氣的に接続された第2の電極引き出し用の接続部を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】

請求項2記載の半導体集積回路装置の製造方法において、前記第1の配線がタングステンまたはタングステンシリサイドで構成され、前記配線層間の接続部および第2の電極引き出し用の接続部の導体膜が第1の金属膜とその上にCVD法で形成されたタングステンか

らなる第2の金属膜とで構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項4】

メモリセル選択トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるメモリセルを半導体基板に複数設けている半導体集積回路装置の製造方法であって、
(a)前記半導体基板上にビット線および第1の配線を同一配線層に形成する工程と、
(b)前記半導体基板上にビット線および第1の配線を被覆する第1の絶縁膜を形成する工程と、
(c)前記第1の絶縁膜上に、前記第1の絶縁膜に対してエッチング選択比を相対的に大きくとれる材料からなる第2の絶縁膜を形成する工程と、
(d)前記メモリセルの形成領域において、前記ビット線よりも上層に前記第2の絶縁膜に溝を形成して前記溝内に情報蓄積用容量素子の第1の電極、誘電体膜、一部が前記第1の配線領域に延在する第2の電極を形成した後、前記情報蓄積用容量素子および前記第2の絶縁膜上に第2の絶縁膜に対してエッチング選択比を相対的に大きくとれる材料からなる第3の絶縁膜を形成する工程と、
(e)前記メモリセルの形成領域以外の領域において、前記情報蓄積用容量素子の上方の配線層と前記第1の配線との間に設けられた前記第1の絶縁膜、第2の絶縁膜および第3の絶縁膜に前記第1の配線が露出する配線層間の接続孔と前記第2の電極を貫通する第2の電極引き出し用の接続孔を穿孔する工程と、
(f)前記配線層間の接続孔および第2の電極引き出し用の接続孔内に導体膜を埋め込み、それぞれ前記第1の配線に直接接触された状態で電氣的に接続された配線層間の接続部および第2の電極に電氣的に接続された第2の電極引き出し用の接続部を形成する工程とを有し、
前記配線層間の接続孔および第2の電極引き出し用の接続孔の形成工程(e)は、
前記第3の絶縁膜上に接続孔形成用のマスクパターンを形成する工程と、
前記マスクパターンをエッチングマスクとして、前記第2の絶縁膜と第3の絶縁膜とのエッチング選択比を相対的に大きくした状態で第3の絶縁膜の方が第2の絶縁膜よりもエッチング除去され易い条件でエッチング処理を行うことにより、前記マスクパターンから露出する第3の絶縁膜に、前記配線層間の接続孔を形成する孔であって前記第2の絶縁膜の一部が露出する第1の孔と、前記第2の電極引き出し用の接続孔を形成するための孔であって前記第2の電極を貫通し、かつ、底部が第3の絶縁膜の途中位置まで延びる第2の孔とを穿孔する第1のエッチング処理工程と、
前記第1のエッチング処理工程後、前記マスクパターンをエッチングマスクとして、前記第2の絶縁膜と第3の絶縁膜とのエッチング選択比を相対的に大きくした状態で第2の絶縁膜の方が第3の絶縁膜よりもエッチング除去され易い条件でエッチング処理することにより、前記配線層間の接続孔用の第1の孔の底部から露出する第2の絶縁膜を除去し第1の絶縁膜の一部が露出される前記配線層間の接続孔用の第1の孔を深く穿孔する第2のエッチング処理工程と、
前記第2のエッチング処理工程後、前記第2の絶縁膜と第1の絶縁膜とのエッチング選択比を相対的に大きくした状態で第1の絶縁膜の方が第2の絶縁膜よりもエッチング除去され易い条件でエッチング処理することにより、前記配線層間の接続孔用の第1の孔の底部から第1の配線が露出する配線層間の接続孔を深く穿孔し、前記第1の絶縁膜を露出する前記第2の孔を深く穿孔する第3のエッチング処理工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】

請求項4記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜はシリコン窒化膜で、前記第2の絶縁膜および第3の絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項6】

請求項4記載の半導体集積回路装置の製造方法において、前記第1の配線がタングステンまたはタングステンシリサイドで構成され、前記配線層間の接続部および第2の電極引き出し用の接続部の導体膜が第1の金属膜とその上にCVD法で形成されたタングステンからなる第2の金属膜とで構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項7】

半導体基板の第1領域に、第1 M I S F E Tとこれに直列接続された容量素子とで構成されたメモリセルが形成され、半導体基板の第2領域には、第2 M I S F E Tが形成された半導体集積回路装置の製造方法であって、

(a) 半導体基板の第2領域に、第1配線を形成する工程と、
(b) 前記第1配線上に、第1絶縁膜を形成する工程と、
(c) 前記第1絶縁膜上に第2絶縁膜を形成する工程と、
(d) 前記第2絶縁膜上に第3絶縁膜を形成する工程と、
(e) 前記第1領域において、前記第3絶縁膜に第2開孔を形成する工程と、
(f) 前記第2開孔の内壁に沿って第1導体層を選択的に形成する工程と、
(g) 前記第1導体層上に第4絶縁膜と、第2導体層を形成する工程と、
(h) 前記第2領域において、前記第3絶縁膜および第2絶縁膜に、前記第1配線の一部を露出するように、第3開孔を形成する工程と、
(i) 前記第3開孔内に第3導体層を形成する工程とを有し、
前記第2開孔の形成工程は、前記第2絶縁膜に対して前記第3絶縁膜のエッチングレートが大となる条件で、前記第3絶縁膜にエッチングが施され、
前記第3開孔の形成工程は、前記第2絶縁膜に対して前記第3絶縁膜のエッチングレートが大となる条件で、前記第3絶縁膜にエッチングが施された後、前記第1絶縁膜に対して前記第2絶縁膜のエッチングレートが大となる条件で、前記第2絶縁膜にエッチングが施され、さらに、前記第1配線の一部を露出するように前記第1絶縁膜にエッチングが施されることを特徴とする半導体集積回路装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0195

【補正方法】変更

【補正の内容】

【0195】

続いて、フォトレジスト膜24bをエッチングマスクとして、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を相対的に大きくした状態で酸化シリコン膜の方が窒化シリコン膜よりもエッチング除去され易い条件でエッチング処理を施すことにより、そのフォトレジスト膜24bから露出する層間絶縁膜11i、11hを除去し、DRAMの周辺回路領域に接続孔(第1の孔、第2の孔)17c1、17d1を穿孔する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0198

【補正方法】変更

【補正の内容】

【0198】

その後、フォトレジスト膜24bをエッチングマスクとして、接続孔17c1から露出する絶縁膜21を層間絶縁膜11g、11h、11iに対して選択的にエッチング除去することにより、図34に示すように、接続孔17c1の底部から半導体基板1側に延びる接続孔(第1の孔)17c2を形成する。すなわち、酸化シリコン膜と窒化シリコン膜とのエッチング選択比を相対的に大きくした状態で窒化シリコン膜の方が酸化シリコン膜よりもエッチング除去され易い条件でエッチング処理を施す。