



(21) 申请号 201910176971.4

(22) 申请日 2019.03.08

(65) 同一申请的已公布的文献号

申请公布号 CN 111668110 A

(43) 申请公布日 2020.09.15

(73) 专利权人 矽磐微电子(重庆)有限公司

地址 401331 重庆市沙坪坝区西永大道25号C栋

(72) 发明人 周辉星

(74) 专利代理机构 北京博思佳知识产权代理有限公司 11415

专利代理师 林祥

(51) Int. Cl.

H01L 21/56 (2006.01)

H01L 21/78 (2006.01)

(56) 对比文件

CN 101226897 A, 2008.07.23

CN 101226897 A, 2008.07.23

CN 108231606 A, 2018.06.29

CN 101244613 A, 2008.08.20

CN 101244613 A, 2008.08.20

CN 101752272 A, 2010.06.23

CN 103441104 A, 2013.12.11

CN 101244613 A, 2008.08.20

审查员 刘杰铭

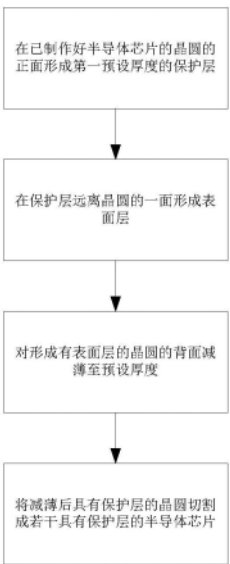
权利要求书1页 说明书4页 附图3页

(54) 发明名称

半导体芯片的封装方法

(57) 摘要

本申请揭露了一种半导体芯片的封装方法。该封装方法包括：在已制作好半导体芯片的晶圆的正面形成第一预设厚度的保护层；在保护层远离晶圆的一面形成一表面层；对形成有表面层的晶圆的背面减薄至预设厚度；将减薄后具有保护层的晶圆切割成若干具有保护层的半导体芯片。该封装方法通过在晶圆正面的保护层上形成一表面层，通过该表面层可有效保护该晶圆正面的保护层在晶圆切割成半导体芯片的过程中不受污染或者损害，利于切割好的半导体芯片的正面附着该保护层进行入半导体芯片面板级封装。



1. 一种半导体芯片的封装方法,该封装方法包括:

在已制作好半导体芯片的晶圆的正面形成第一预设厚度的保护层,后续利用所述保护层制作再布线结构,所述保护层为绝缘材料:聚酰亚胺、环氧树脂、ABF (Ajinomoto buildup film) 或PBO (polybenzoxazole);

在所述晶圆正面的保护层上形成开孔;

在具有所述开孔的 所述保护层远离所述晶圆的一面形成一表面层,所述表面层与所述保护层材质相同;

对形成有所述表面层的晶圆的背面减薄至预设厚度;

将减薄后具有保护层的晶圆切割成若干具有保护层的半导体芯片;

所述封装方法还包括在切割好的若干具有保护层的半导体芯片背面形成塑封层的步骤和形成所述塑封层后去除若干所述半导体芯片保护层上表面层的步骤。

2. 如权利要求1所述的封装方法,其特征在于,去除所述表面层的方法采用精细研磨。

3. 如权利要求1所述的封装方法,其特征在于,将第一预设厚度的保护层和所述表面层在同一个工艺步骤中层压到所述晶圆的正面。

4. 如权利要求1所述的封装方法,其特征在于,所述开孔曝露所述晶圆上半导体芯片正面的电性引出点。

5. 如权利要求4所述的封装方法,其特征在于,该封装方法还包括在所述开孔内填充导电介质。

6. 如权利要求5所述的封装方法,其特征在于,该封装方法还包括在所述保护层上形成导电线层与所述开孔内的导电介质电性互连。

7. 如权利要求1所述的封装方法,其特征在于,所述封装方法为面板级封装。

半导体芯片的封装方法

技术领域

[0001] 本申请涉及半导体领域,尤其涉及将半导体芯片进行面板级封装的方法。

背景技术

[0002] 半导体制造的一个目标是生产更小的半导体器件。更小的半导体器件通常消耗更少的功率,具有更高的性能,并且可以被更高效地生产。另外,更小的半导体器件具有更小的占位面积,这为实现更小的终端产品提供了可能性。更小的半导体芯片可以通过前端工艺改进来实现,从而使半导体芯片具有更小的、更高密度的有源和无源部件。后端工艺可以通过电互连和封装材料的改进而获得具有更小占位面积的半导体封装器件。

[0003] 更高效地进行半导体器件的后端封装的一种处理方法为扇出面板级封装。面板级封装的载板一般是大面积的矩形或者方形的不锈钢板或聚合物板。此处所涉及的封装一般是指对半导体芯片的裸片进行封装。请参阅图1所示晶圆1,该晶圆1上通常是呈阵列形式制作好半导体芯片,晶圆上有半导体芯片的一面称之为正面,反之则称之为晶圆的背面。为了让半导体芯片封装趋于薄型化,利于后面对应的封装制程,在将晶圆1切割成半导体芯片前,需将晶圆1的背面进行打磨减薄。切割完成的半导体芯片即将会进入后续的面板级封装制程。

[0004] 然而这种将此种晶圆打磨减薄、切割成半导体芯片后,该半导体芯片进入面板级封装工艺中,该半导体芯片的正面极易受到损伤和污染,进而影响该半导体芯片的封装质量或者降低封装成品率。

发明内容

[0005] 本申请提供一种半导体芯片的封装方法,可以保护在晶圆切割前半导体芯片的正面不会受到污染和损伤,也可以避免半导体芯片在面板级封装中半导体芯片正面受到污染和损伤,同时以方便或者简化该半导体芯片在面板级封装中在半导体芯片正面制作再布线结构。

[0006] 本申请提供了一种半导体芯片的封装方法。该封装方法包括:在已制作好半导体芯片的晶圆的正面形成第一预设厚度的保护层;在该保护层远离晶圆的一面形成一表面层;对形成有表面层的晶圆的背面减薄至预设厚度;将减薄后具有保护层的晶圆切割成若干具有保护层的半导体芯片。

[0007] 进一步地,保护层为绝缘材料。该绝缘材料可以是聚酰亚胺、环氧树脂、ABF (Ajinomoto buildup film) 或PBO (polybenzoxazole)。

[0008] 进一步地,该表面层与保护层的材质可以不相同。该表面层为热分离膜、红外分离膜或者紫外分离膜。

[0009] 该封装方法还包括在晶圆背面减薄后去除表面层的步骤。更进一步地,去除表面层的步骤采用加热或者照射红外光或照射紫外灯光的方法去除表面层。

[0010] 进一步地,该表面层与保护层材质可以相同。该封装方法还包括,在切割好的若干

具有保护层的半导体芯片背面形成塑封层的步骤和形成该塑封层后去除若干半导体芯片保护层上表面层步骤。进一步地,去除该表面层的方法采用精细研磨。

[0011] 进一步地,将第一预设厚度的保护层和表面层在同一个工艺步骤中层压到该晶圆的正面。这样可以简化晶圆表面的保护层和表面的制作工艺。

[0012] 进一步地,该封装方法还包括在晶圆正面的保护层上形成开孔,以曝露晶圆上半导体芯片正面的焊垫和/或电性引出点。这样也是方便在面板级封装过程中,直接可以在该保护层上制作半导体芯片的再布线结构,不需再进行保护层的开孔。

[0013] 进一步地,该封装方法还包括在所述保护层上形成该开孔后,在该开孔内填充导电介质。

[0014] 进一步地,该封装方法还包括在所述保护层上形成导电线层与所述开孔内的导电介质电性互连。

[0015] 进一步地,该封装方法为面板级封装。

[0016] 本申请揭露的半导体芯片的封装方法,通过在晶圆正面形成保护层,以及在保护层上面形成表面层,不仅可以在晶圆的背面减薄的工艺过程中起到保护晶圆正面的作用,还可起到保护晶圆正面的保护层。同时可以方便切割成的具有保护层的半导体芯片可以在面板级封装过程中再布线结构中可以直接利用该保护层进行再布线结构的制作,简化再布线结构制作的工艺。

附图说明

[0017] 图1所示为已知晶圆分割成待封装的半导体芯片示意图;

[0018] 图2所示为本申请揭露的封装方法大体包括的流程步骤示意图;

[0019] 图3所示为本申请揭露的晶圆正面形成第一预设厚度保护层一实施例的示意图;

[0020] 图4所示为晶圆正面的保护层上形成表面层一实施例的示意图;

[0021] 图5所示为本申请揭露的封装方法的一实施例中晶圆背面减薄示意图;

[0022] 图6所示为晶圆减薄后去除表面层一实施例示意图;

[0023] 图7所示为形成的保护层具有开孔的一实施例示意图。

具体实施方式

[0024] 这里将详细地对示例性实施例进行说明,其示例表示在附图中。下面的描述涉及附图时,除非另有表示,不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本申请相一致的所有实施方式。相反,它们仅是与如所附权利要求书中所详述的、本申请的一些方面相一致的方法的例子。

[0025] 在本申请使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。除非另作定义,本申请使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本申请说明书以及权利要求书中使用的“第一”“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”或者“一”等类似词语也不表示数量限制,而是表示存在至少一个。“多个”或者“若干”表示两个及两个以上。“包括”或者“包含”等类似词语意指出现在“包括”或者“包含”前面的元件或者物件涵盖出现在“包括”或者“包含”后面列举的元件或者物件及其等同,并不排除其

他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而且可以包括电性的连接,不管是直接的还是间接的。在本申请说明书和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。还应当理解,本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[0026] 本申请提供了半导体芯片的封装方法。这样便于切割好的半导体芯片进行面板级封装。请参阅图2,该封装方法大体包括:在已制作好半导体芯片的晶圆的正面形成第一预设厚度的保护层;在该保护层远离晶圆的一面形成一表面层;对晶圆的背面减薄至预设厚度;将减薄后的晶圆切割成若干半导体芯片。图2所示的仅为大体的步骤,不排除在其他实施例中还增加有其他步骤,例如清洗步骤或者以下实施例中介绍存在的其他步骤。

[0027] 请参阅图3,在已制作好半导体芯片的晶圆1的正面形成第一预设厚度PH的保护层2。晶圆1的正面应理解为制作有半导体芯片的一面,该面在显微镜下直接可以看到半导体芯片的金属层和焊垫。晶圆1的背面即为相对晶圆1正面的另一面。保护层2在此应理解为该层是附着于半导体芯片的正面,该保护层2可以有效保护半导体芯片在面板级封装中半导体芯片的正面受到污染或者损害,另外还可以直接在该保护层上制作再布线结构。

[0028] 在一些实施例中,该保护层可以采用绝缘材料,如聚酰亚胺、环氧树脂、ABF (Ajinomoto buildup film) 以及PBO (polybenzoxazole) 等。保护层的选择材料绝缘,能够适应化学清洗、研磨和/或蚀刻等的材料。保护层可以通过层压 (lamination)、涂覆 (coating)、印刷 (Printing) 等方式形成在半导体晶圆上。

[0029] 请参阅图4,在该保护层2远离晶圆的一面形成表面层7。

[0030] 在一些实施例中,表面层7的与保护层2的材质可以不相同,该表面层7为热分离膜、红外分离膜或者紫外分离膜,以便加热或经红外或紫外光照射就可使其从保护层脱落。

[0031] 在一些其他实施例中,表面层7与所述保护层2的材质可以相同,即该第一预设厚度的保护层2加厚,让一部分厚度的保护层2充当表面层7的角色。这样,即使该半导体芯片的保护层2的表面受到一定污染或者损伤,可以通过去除部分厚度的保护层2来保证进入后续封装工艺中的保护层2质量和/或表面平整度,可直接利用该保护层2完成半导体芯片面板级封装中,半导体芯片正面的再布线结构,无需再在保护层2表面制作钝化层,再进行后续半导体芯片正面的再布线结构,简化了封装制程的工艺,也降低了在再布线结构之前对其他封装工艺的要求。因此,在这些实施例中,形成在晶圆1正面的保护层2厚度比实际半导体芯片在后续封装中利用保护层2制作布线结构所需要的保护层2厚度厚,这样给半导体芯片在后续封装中预留出保护层2的表面因损伤或者杂质需要消耗的厚度。

[0032] 另外,在此表面层7与保护层2材质相同的实施例中,该封装方法还包括在切割好的若干具有保护层2的半导体芯片背面形成塑封层的步骤。该封装方法还包括形成塑封层后去除若干所述半导体芯片保护层2上表面层7的步骤,去除的方法可以采用精细研磨,不会损伤到保护层表面。

[0033] 在一些其他实施例中,将第一预设厚度的保护层2和表面层7可在同一个工艺步骤中层压到晶圆1的正面,这样可以简化晶圆1表面的保护层2和表面层7的制作工艺。不过这个还是需要根据保护层和表面层的材料性质和工艺机台或者设备而定。

[0034] 请参阅图5所示,对晶圆1背面进行研磨减薄,使得半导体芯片厚度趋于薄型化,进

而降低封装的厚度。比较常见的是采用研磨方法研磨晶圆1的背面,将其进行减薄。该第一预设厚度PH的保护层2可以保护在晶圆1背面的研磨过程中,晶圆1的正面不会被伤害。而表面层7也对保护层2也进行了保护,因为如果没有表面层7,那么在进行晶圆1背面研磨减薄的过程,保护层2的表面很容易受到刮擦磨损,不利于后面直接在保护层2上进行再布线工艺。另外,对于背面减薄后的晶圆1,该保护层2还可以提供更有利的支撑,防止晶圆1由于减薄而产生翘曲或者形变。

[0035] 请参阅图6,本封装方法还包括晶圆1切割成半导体芯片前,去除保护层2上的表面层7。如前所述,当表面层7与保护层2材质不相同,比如表面层7采用热分离膜、红外分离膜或者紫外分离膜,则通过加热或照射红外光或照射紫外光即可使其从保护层2分离。在一些实施例中,为完全去除表面层7,可以再增加清洗晶圆1正面的步骤,完全去除脱落的表面层7。

[0036] 之后再对晶圆1进行切割,获得多个半导体芯片,然后进行面板级封装。

[0037] 在一些其他实施例中,若在晶圆1上形成保护层2后即进行开孔相对于在面板级封装过程对半导体芯片的正面的保护层进行开孔更为方便或者容易,或者形成的开孔质量更具有优势,能更好的形成半导体芯片正面的再布线结构,那么该封装方法还可能包括在保护层2上形成开孔20,以曝露晶圆上半导体芯片正面的焊垫和/或电性引出点。请参见图7示意图,在晶圆1的正面形成保护层2,在保护层2上形成开孔20后再在保护层2上形成表面层7。

[0038] 在一些实施例中,该封装方法还包括在保护层2上形成该开孔20后,在该开孔20内填充导电介质。进一步地,在这些实施例中,该封装方法还包括在保护层2上形成导电线层,该导电线层与开孔20内填充的导电介质电性互连。在其他的实施例中,如若一层导电线层不能满足半导体芯片封装布线需求,可以再在该导电线层上形成第一包封层,再在该第一包封层形成贯穿第一包封层的开孔,以露出导电线层的电连接点/引出点。当然,该第一包封层通常为绝缘性材料制作,例如,可以和保护层2采用相同的材料。随后,可再在该第一包封层的开孔内填充导电介质,以及在第一包封层上形成第二导电线层与第一包封层开孔内的导电介质电性互连。依此类推,可以根据半导体芯片封装的布线需求,形成若干层导电线层。

[0039] 以上所介绍的所有实施例均可看到,本申请揭露的半导体芯片的封装方法,保护层对半导体芯片正面进行保护,表面层对所述保护层表面进行保护,更利于切割好的半导体芯片更好地在面板级封装工艺进行封装,获得高品质、高良率的封装结构。

[0040] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精神和原则之内,所做的任何修改、等同替换、组合和改进等,均应包含在本申请保护的范围之内。

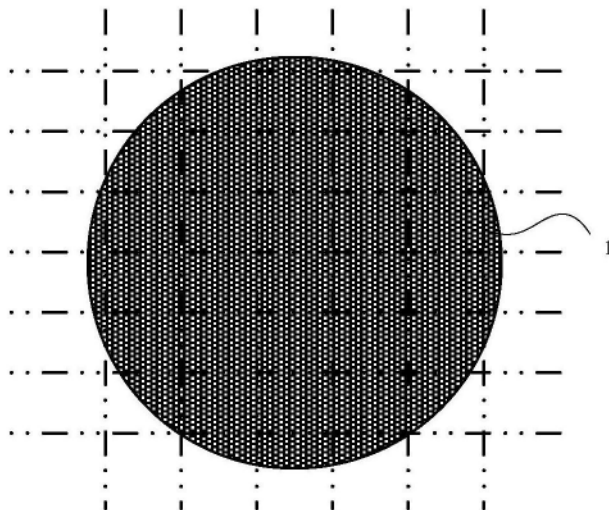


图1

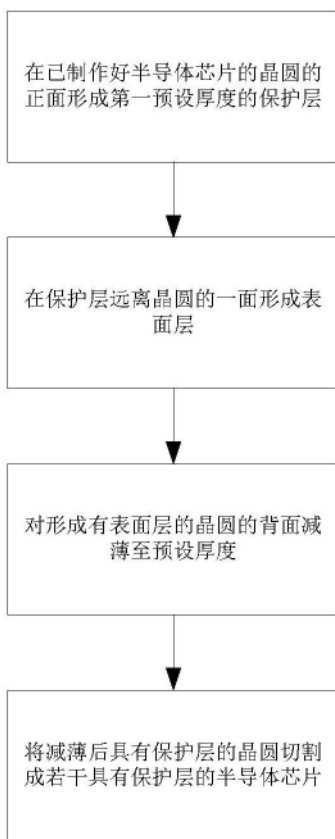


图2

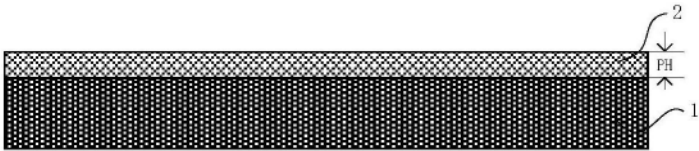


图3



图4

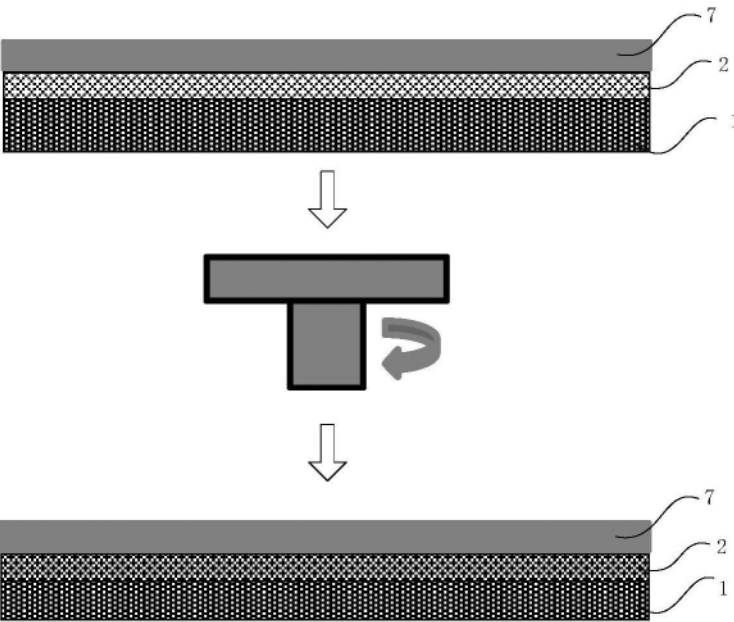


图5



图6

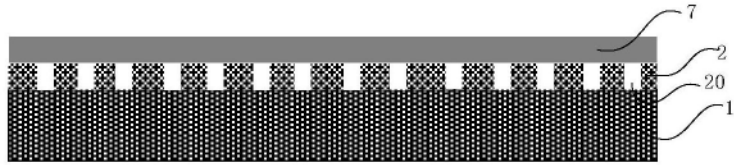


图7