

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4976796号  
(P4976796)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F 1

HO1L 29/792 (2006.01)  
 HO1L 29/788 (2006.01)  
 HO1L 21/336 (2006.01)  
 HO1L 27/115 (2006.01)  
 HO1L 21/8247 (2006.01)

HO1L 29/78 371  
 HO1L 27/10 434

請求項の数 9 (全 21 頁)

(21) 出願番号

特願2006-259469 (P2006-259469)

(22) 出願日

平成18年9月25日 (2006.9.25)

(65) 公開番号

特開2008-78589 (P2008-78589A)

(43) 公開日

平成20年4月3日 (2008.4.3)

審査請求日

平成21年9月9日 (2009.9.9)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100108062

弁理士 日向寺 雅彦

(72) 発明者 今野 拓也

東京都港区芝浦一丁目1番1号 株式会社

東芝内

(72) 発明者 小澤 良夫

東京都港区芝浦一丁目1番1号 株式会社

東芝内

(72) 発明者 甲斐 徹哉

東京都港区芝浦一丁目1番1号 株式会社

東芝内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

## 【請求項 1】

表層部にチャネル形成領域を有する半導体層と、

前記半導体層の上に設けられ、シリコンとゲルマニウムと酸素とを含む絶縁膜と、

前記絶縁膜の上に設けられ、前記絶縁膜を介して前記半導体層から供給される電荷を蓄積可能な電荷蓄積層とを有し、

前記絶縁膜中のゲルマニウムの濃度は、前記半導体層と前記絶縁膜との界面近傍と、前記絶縁膜と前記電荷蓄積層との界面近傍との少なくとも一方で最大値をとることを特徴とする半導体装置。

## 【請求項 2】

前記絶縁膜中のゲルマニウムは、前記半導体層と前記絶縁膜との界面近傍領域に分布していることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記絶縁膜中のゲルマニウムは、前記絶縁膜と前記電荷蓄積層との界面近傍領域に分布していることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 4】

前記絶縁膜中のゲルマニウムは、前記半導体層と前記絶縁膜との界面近傍領域、および前記絶縁膜と前記電荷蓄積層との界面近傍で、分布していることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 5】

10

20

前記絶縁膜中のゲルマニウム元素の濃度は、表面に平行な方向に沿って、前記チャネル形成領域の中央部から端部に向かって低くなっていることを特徴とする請求項1記載の半導体装置。

**【請求項6】**

前記半導体層と前記絶縁膜との界面から、前記絶縁膜中におけるゲルマニウム元素濃度が最大となる位置までの距離は、前記チャネル形成領域の中央部から端部に向かって長くなっていることを特徴とする請求項5記載の半導体装置。

**【請求項7】**

前記絶縁膜と前記電荷蓄積層との界面から、前記絶縁膜中におけるゲルマニウム元素濃度が最大となる位置までの距離は、前記チャネル形成領域の中央部から端部に向かって長くなっていることを特徴とする請求項5記載の半導体装置。

10

**【請求項8】**

前記絶縁膜中で、ゲルマニウム原子1つに対して、4つの酸素原子が結合していることを特徴とする請求項1～7のいずれか1つに記載の半導体装置。

**【請求項9】**

前記絶縁膜中で、ゲルマニウム原子1つに対して、3つ以下の酸素原子が結合していることを特徴とする請求項1～7のいずれか1つに記載の半導体装置。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

20

本発明は、半導体装置に関する。

**【背景技術】**

**【0002】**

情報を電気的に一括消去・再書き込み可能であり、かつ電源が供給されなくても書き込まれた情報が保持される不揮発性半導体記憶装置は、近年、特に携帯機器を中心に広く利用されている。このような、不揮発性半導体記憶装置は、絶縁膜で囲まれた微小な浮遊電極（浮遊ゲート）を持つ記憶用MOS（Metal Oxide Semiconductor）トランジスタと、データ入出力の配線などで構成され、浮遊電極に電荷を蓄積して記憶を保持する（例えば特許文献1）。

**【0003】**

30

浮遊電極を有する不揮発性半導体記憶装置では、制御電極の電位を制御することにより、浮遊電極と制御電極との間の容量結合を通じて、浮遊電極の電位を制御する。ここで、半導体基板を接地した場合、浮遊電極の電位 $V_{fg}$ は、浮遊電極と制御電極間の容量 $C_1$ 、浮遊電極と半導体基板間の容量 $C_2$ 、制御電極の電圧 $V_{cg}$ を用いて、

$$V_{fg} = C_1 / (C_1 + C_2) \times V_{cg}$$

ここで、 $C_1 / (C_1 + C_2)$ は、カップリング比と呼ばれる。

書き換え動作のために必要な一定の浮遊ゲート電圧を得るために必要な制御ゲート電圧は、そのカップリング比と逆比例の関係にある。

**【0004】**

不揮発性半導体記憶装置において、一般に書き換え電圧には高電圧が必要であるが、トンネル絶縁膜にかかる電圧は、上記カップリング比に基づくため、大きな電圧を制御電極に印加しなければならない。そして、今後、更なる素子構造の微細化が進むと、隣接するセルとの間に寄生容量が生じ、

$$V_{fg} = C_1 / (C_1 + C_2 + ) \times V_{cg}$$

で表されるように、カップリング比が小さくなり、更に高い電圧を制御電極にかける必要がある。しかし、書き換え動作のために必要な一定の浮遊ゲート電圧を得るために、単に制御ゲート電圧を大きくすると、絶縁膜の劣化が早まり、絶縁破壊、リーク電流の増大、信頼性の低下が懸念される。これを防ぐためには、トンネル絶縁膜の電荷注入効率や電荷排出効率を向上させ、書き換え電圧や消去電圧を低減させる必要がある。

40

50

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

本発明は、電荷供給層と電荷蓄積層との間における絶縁膜を介しての電荷移動効率を向上させる半導体装置を提供する。

**【課題を解決するための手段】****【0006】**

本発明の一態様によれば、表層部にチャネル形成領域を有する半導体層と、前記半導体層の上に設けられ、シリコンとゲルマニウムと酸素とを含む絶縁膜と、前記絶縁膜の上に設けられ、前記絶縁膜を介して前記半導体層から供給される電荷を蓄積可能な電荷蓄積層とを有し、前記絶縁膜中のゲルマニウムの濃度は、前記半導体層と前記絶縁膜との界面近傍と、前記絶縁膜と前記電荷蓄積層との界面近傍との少なくとも一方で最大値をとることを特徴とする半導体装置が提供される。10

**【発明の効果】****【0009】**

本発明によれば、電荷供給層と電荷蓄積層との間における絶縁膜を介しての電荷移動効率を向上させる半導体装置が提供される。

**【発明を実施するための最良の形態】****【0010】**

以下、図面を参照し、本発明の実施形態について説明する。なお、各図面中、同一の構成要素には同一の符号を付している。20

**【0011】****[第1の実施形態]**

図1は、本発明の第1の実施形態に係る半導体装置としての不揮発性半導体記憶装置要部におけるビット線方向の断面構造を例示する模式断面図である。

図2は、同不揮発性半導体記憶装置要部におけるワード線方向の断面構造を例示する模式断面図である。

**【0012】**

本実施形態に係る不揮発性半導体記憶装置は、半導体層10と、半導体層10の上に設けられたトンネル絶縁膜4と、トンネル絶縁膜4の上に設けられた浮遊電極(浮遊ゲート)5と、浮遊電極5の上に設けられた絶縁膜6と、絶縁膜6の上に設けられた制御電極(コントロールゲート)7と、を備える。30

**【0013】**

半導体層10は、例えばSTI(Shallow Trench Isolation)構造により、ワード線方向で隣り合う半導体層10と絶縁分離されている。すなわち、図2に表すように、半導体基板(例えばシリコン基板)1に形成されたトレンチT及びそのトレンチTに埋め込まれた素子分離絶縁層8により、ワード線方向で隣り合う半導体層10間が絶縁分離されている。素子分離絶縁層8は、例えば酸化シリコンからなる。

**【0014】**

図1に表すように、半導体層10の表層部には、不純物拡散領域(ソース/ドレイン領域)12が選択的に形成されている。半導体層10は、例えばp型シリコンからなり、不純物拡散領域12は、例えばn型シリコンからなる。一対の不純物拡散領域12で挟まれたp型領域は、チャネル形成領域11として機能する。40

**【0015】**

浮遊電極5は、例えば多結晶シリコンからなる。浮遊電極5は、トンネル絶縁膜4を介して半導体層10から供給される電荷を蓄積可能な電荷蓄積層として機能する。浮遊電極5は、そのまわりを、トンネル絶縁膜4、素子分離絶縁層8および絶縁膜6で囲まれて、電気的にどこにも接続されていない。そのため、浮遊電極5に電子を電気的に注入もしくは放出した後で電源を切っても、浮遊電極5内の電子は浮遊電極5から漏れ出さないし、また新たに入ることもなく、すなわち不揮発性である。50

## 【0016】

トンネル絶縁膜4は、シリコンとゲルマニウムと酸素とを含む。具体的には、シリコン酸化膜中に、ゲルマニウムと酸素とが結合した構造を含んで、トンネル絶縁膜4が構成される。

## 【0017】

図1、2に表す具体例では、トンネル絶縁膜4中のゲルマニウムは、半導体層10とトンネル絶縁膜4との界面近傍領域に分布している。トンネル絶縁膜4全体の厚さは、例えば10(nm)である。トンネル絶縁膜4中において、ゲルマニウムは、半導体層10とトンネル絶縁膜4との界面から例えば4(nm)以内の領域に分布している。トンネル絶縁膜4中におけるゲルマニウム元素濃度は、半導体層10とトンネル絶縁膜4との界面から例えば4(nm)の位置(図1、2において破線で表す位置)で最大となっている。ゲルマニウム元素最大濃度は、例えば $10^{20}$ (個/cm<sup>3</sup>)である。10

## 【0018】

トンネル絶縁膜4の形成方法の具体例を以下に説明する。

## 【0019】

まず、例えば熱酸化法により、厚さが約10(nm)のシリコン酸化膜を半導体層10上に形成する。続いて、例えば、イオン注入法を用いて、シリコン酸化膜中にゲルマニウムを導入する。このとき、導入直後のゲルマニウム元素濃度が、半導体層10とトンネル絶縁膜4との界面から4(nm)で最大となるように、イオン注入エネルギーを制御する。シリコン酸化膜へのゲルマニウムの導入後、例えば酸化性雰囲気下で熱処理を行い、シリコン、ゲルマニウム、酸素を含むトンネル絶縁膜4が得られる。20

## 【0020】

前述した構造のトンネル絶縁膜4について、電子状態(バンド)シミュレーション計算を本発明者等が行ったところ、シリコン酸化膜のバンドギャップ中に、伝導帯から0.5~1.0(eV)下がったところに、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位(電荷アシスト準位)が存在するとの知見が得られた。

## 【0021】

すなわち、トンネル絶縁膜4中における半導体層10とトンネル絶縁膜4との界面近傍領域に、半導体層10側から注入される電子の移動をアシストする準位が存在し、データ書き込み時、半導体層10側からトンネル絶縁膜4を介して浮遊電極5に注入される電子の注入効率が向上する。本発明者等が行ったシミュレーションによれば、ゲルマニウムを含まないシリコン酸化膜だけの場合に比べて、本具体例の構造では、トンネル電流密度を1~2桁程度増加させることができ、その分、書き込み電界を1(MV/cm)以上低減することができるとの結果を得た。絶縁膜4、6に加わる電界を低減することで、絶縁破壊、リーキ電流を抑制して、信頼性を高めることができる。30

## 【0022】

なお、前述したゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位は、データ読み出し時における低電界印加時には電子移動のアシスト準位として作用せず、電荷保持特性を損ねない。

## 【0023】

トンネル絶縁膜4中におけるゲルマニウム元素最大濃度位置、最大濃度などを制御することで、電荷注入効率を向上させる電界値、電流密度の増加量などを制御することが可能である。

## 【0024】

ゲルマニウム元素濃度が、半導体層10とトンネル絶縁膜4との界面から1(nm)で最大となるようにすると、書き込み電界が約12(MV/cm)以上で電荷注入効率が向上する。また、ゲルマニウム元素濃度が、半導体層10とトンネル絶縁膜4との界面から4(nm)で最大となるようにすると、約8(MV/cm)以上で電荷注入効率が向上する。

## 【0025】

10

20

30

40

50

トンネル絶縁膜4中のゲルマニウム元素最大濃度は、リーク電流を抑えるべき範囲内で設定される。トンネル絶縁膜4中のゲルマニウム元素最大濃度を $10^{21}$ (個/ $\text{cm}^3$ )とすると、ゲルマニウム元素最大濃度が $10^{20}$ (個/ $\text{cm}^3$ )の場合に比べて、アシスト準位数が増加し、電流密度が2~3桁増加する。また、トンネル絶縁膜4中のゲルマニウム元素最大濃度を $10^{19}$ (個/ $\text{cm}^3$ )とすると、ゲルマニウム元素最大濃度が $10^{20}$ (個/ $\text{cm}^3$ )の場合に比べて、アシスト準位数が減少し、電流密度が1桁以下の増加となる。

#### 【0026】

トンネル絶縁膜4中におけるゲルマニウムが、トンネル絶縁膜4と浮遊電極5との界面近傍領域、例えばその界面から4(nm)以内の領域に分布する構造であってもよい。

10

#### 【0027】

この場合、トンネル絶縁膜4中におけるトンネル絶縁膜4と浮遊電極5との界面近傍領域に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位(電荷アシスト準位)が存在し、その結果、データ消去時、浮遊電極5側からトンネル絶縁膜4を介して半導体層10に注入(放出)される電子の注入(放出)効率が向上する。これにより、ゲルマニウムを含まないシリコン酸化膜だけの場合に比べて、トンネル電流密度が1~2桁程度増加し、その分、消去電界を1(MV/cm)以上低減することが可能である。

#### 【0028】

さらに、トンネル絶縁膜4中におけるゲルマニウムが、半導体層10とトンネル絶縁膜4との界面近傍領域(例えばその界面から4(nm)以内の領域)、およびトンネル絶縁膜4と浮遊電極5との界面近傍領域(例えばその界面から4(nm)以内の領域)の両方に分布する構造であってもよい。

20

#### 【0029】

この場合、トンネル絶縁膜4中における半導体層10とトンネル絶縁膜4との界面近傍領域、およびトンネル絶縁膜4中におけるトンネル絶縁膜4と浮遊電極5との界面近傍領域に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位(電荷アシスト準位)が存在し、その結果、ゲルマニウムを含まないシリコン酸化膜だけの場合に比べて、トンネル電流密度が1~2桁程度増加し、その分、書き込み電界及び消去電界を1(MV/cm)以上低減することが可能である。

#### 【0030】

30

トンネル絶縁膜4中で、ゲルマニウム原子は酸素原子と結合している。ゲルマニウム原子1つに対して4つの酸素原子が結合した構造の場合、トンネル絶縁膜4中のゲルマニウムは安定であり、書き込みや消去動作時、しきい値変動などの特性変動を抑えることができる。

#### 【0031】

ゲルマニウム原子1つに対して3つ以下の酸素原子が結合した構造の場合、ゲルマニウム原子1つに対して4つの酸素原子が結合した構造に比べ、前述の電荷アシスト準位が約0.3(eV)浅くなり、低電圧印加時のリーク電流密度を0.5~1桁程度少なくでき、電荷保持特性に優れる。

#### 【0032】

40

図3は、トンネル絶縁膜の他の具体例を表す図である。

#### 【0033】

この具体例におけるトンネル絶縁膜33は、第1の絶縁層31と、第1の絶縁層31の上に設けられた第2の絶縁層32とを有する。第1の絶縁層31は、シリコンとゲルマニウムと酸素とを含む。第2の絶縁層32は、例えば窒化シリコン、または窒化シリコンの誘電率よりも高い誘電率を有する高誘電率材料からなる。

#### 【0034】

トンネル絶縁膜33中における半導体層10と第1の絶縁層31との界面近傍領域に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位(電荷アシスト準位)が存在し、その結果、データ書き込み時の電子の注入効率が向上する。

50

## 【0035】

さらに、本具体例では、トンネル絶縁膜33の一部（第2の絶縁層32）の材料に、窒化シリコンまたは、これよりも高誘電率な材料を用いることで、第1の絶縁層31と浮遊電極5との間がシリコン酸化膜である場合に比べて、5.0（MV/cm）付近でのリーク電流が約0.5桁以上減少するため電荷保持特性が向上する。

## 【0036】

また、トンネル絶縁膜33と浮遊電極5との界面側に第1の絶縁層31を設け、その第1の絶縁層31と半導体層10との間に第2の絶縁層32を設けてもよい。この場合、トンネル絶縁膜33中におけるトンネル絶縁膜33と浮遊電極5との界面近傍領域に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位（電荷アシスト準位）が存在し、その結果、データ消去時の電子の注入（放出）効率が向上する。さらに、トンネル絶縁膜33の一部（第2の絶縁層32）の材料に、窒化シリコンまたは、これよりも高誘電率な材料を用いることで、第1の絶縁層31と半導体層10との間がシリコン酸化膜である場合に比べて、5.0（MV/cm）付近でのリーク電流が約0.5桁以上減少するため電荷保持特性が向上する。10

## 【0037】

図4は、トンネル絶縁膜のさらに他の具体例を表す図である。

## 【0038】

この具体例におけるトンネル絶縁膜34は、2つの第1の絶縁層31で、第2の絶縁層32を厚さ方向に挟んだ積層構造を有する。第1の絶縁層31は、シリコンとゲルマニウムと酸素とを含む。第2の絶縁層32は、例えば窒化シリコン、または窒化シリコンの誘電率よりも高い誘電率を有する高誘電率材料からなる。20

## 【0039】

トンネル絶縁膜34中における半導体層10とトンネル絶縁膜34との界面近傍領域、およびトンネル絶縁膜34中におけるトンネル絶縁膜34と浮遊電極5との界面近傍領域の両方に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位（電荷アシスト準位）が存在し、その結果、データ書き込み時及び消去時の電子注入（放出）効率が向上する。さらに、トンネル絶縁膜34の一部（第2の絶縁層32）の材料に、窒化シリコンまたは、これよりも高誘電率な材料を用いることで、シリコン酸化膜を用いた場合に比べて、5.0（MV/cm）付近でのリーク電流が約0.5桁以上減少するため電荷保持特性が向上する。30

## 【0040】

## [第2の実施形態]

図5は、本発明の第2の実施形態に係る不揮発性半導体記憶装置要部におけるビット線方向の断面構造を例示する模式断面図である。

## 【0041】

本実施形態においても、上記第1の実施形態と同様、トンネル絶縁膜24は、シリコンとゲルマニウムと酸素とを含む。そのトンネル絶縁膜24中のゲルマニウムは、半導体層10とトンネル絶縁膜24との界面近傍領域に分布している。

## 【0042】

トンネル絶縁膜24中におけるゲルマニウム元素の濃度は、チャネル形成領域11の中央部から端部（不純物拡散領域12）に向かって低くなっている。トンネル絶縁膜24中のゲルマニウム元素濃度が最大となる位置（図5において破線で表す位置）におけるゲルマニウム元素濃度は、例えば、チャネル形成領域11中央部の上では $10^{21}$ （個/cm<sup>3</sup>）であり、チャネル形成領域11端部（不純物拡散領域12）の上では $10^{20}$ （個/cm<sup>3</sup>）となっている。40

## 【0043】

また、半導体層10とトンネル絶縁膜24との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置（図5において破線で表す位置）までの距離は、チャネル形成領域11の中央部から端部（不純物拡散領域12）に向かって長くなっている。50

いる。例えば、チャネル形成領域 11 の中央部における半導体層 10 とトンネル絶縁膜 24 との界面から、トンネル絶縁膜 24 中におけるゲルマニウム元素濃度が最大となる位置までの距離は 2 (nm) であり、チャネル形成領域 11 の端部（不純物拡散領域 12）における半導体層 10 とトンネル絶縁膜 24 との界面から、トンネル絶縁膜 24 中におけるゲルマニウム元素濃度が最大となる位置までの距離は 3 (nm) である。

#### 【0044】

図 6 (a) は、図 5 に表される構造における、トンネル絶縁膜 24 に電圧が印加されていない場合のエネルギー・バンド構造図である。

#### 【0045】

チャネル形成領域 11 の端部（不純物拡散領域 12）とトンネル絶縁膜 24 との界面近傍におけるトンネル絶縁膜 24 中のゲルマニウムが作るエネルギー・レベルの浅い電荷トラップ準位（電荷アシスト準位）L2 は、チャネル形成領域 11 の中央部とトンネル絶縁膜 24 との界面近傍におけるトンネル絶縁膜 24 中のゲルマニウムが作るエネルギー・レベルの浅い電荷トラップ準位（電荷アシスト準位）L1 に比べ、半導体層 10 とトンネル絶縁膜 24 との界面から離れている。10

#### 【0046】

トンネル絶縁膜 24 に書き換え相当の電圧が印加されると、図 6 (b) に表すエネルギー・バンド構造となる。チャネル形成領域 11 中央部（p 型シリコン領域）からトンネル絶縁膜 24 を介して浮遊電極 5 に注入される電子の移動経路を矢印 a で表し、チャネル形成領域 11 端部（n 型シリコン領域）からトンネル絶縁膜 24 を介して浮遊電極 5 に注入される電子の移動経路を矢印 b で表す。20

#### 【0047】

トンネル絶縁膜 24 に書き換え電圧が印加されると、チャネル形成領域 11 中央部（p 型シリコン領域）の電子は、チャネル形成領域 11 中央部（p 型シリコン領域）のポテンシャルとほぼ同レベルにあるアシスト準位 L1 を介して浮遊電極 5 に移動しやすくなり、チャネル形成領域 11 の端部（不純物拡散領域 12）の電子は、チャネル形成領域 11 の端部（不純物拡散領域 12）のポテンシャルとほぼ同レベルにあるアシスト準位 L2 を介して浮遊電極 5 に移動しやすくなるバンド構造となる。このため、チャネル形成領域 11 の中央部及び端部の両方において、電子注入効率が向上する。この結果、トンネル電流密度を増加させることができ、その分、書き込み電界を低減することができ、信頼性の向上を図れる。30

#### 【0048】

また、チャネル形成領域 11 の端部（不純物拡散領域 12）とトンネル絶縁膜 24 との界面近傍におけるトンネル絶縁膜 24 中のゲルマニウム元素濃度が、チャネル形成領域 11 中央部とトンネル絶縁膜 24 との界面近傍におけるトンネル絶縁膜 24 中のゲルマニウム元素濃度よりも低くなっていることで、書き込み時、電界集中しやすいチャネル形成領域端部の電子トラップを低減でき、信頼性を高めることができる。

#### 【0049】

次に、本実施形態に係る不揮発性半導体記憶装置の製造方法の一例について説明する。図 7 ~ 図 9 は、本実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。40

#### 【0050】

図 7 (a) に表すように、例えば、熱酸化法により、p 型シリコンの半導体層 10 上に約 10 (nm) のシリコン酸化膜 3 を形成した後、図 7 (b) に表すように、例えば、イオン注入法を用い、シリコン酸化膜 3 にゲルマニウムを導入する。シリコン酸化膜 3 中に導入直後のゲルマニウムが、半導体層 10 とシリコン酸化膜 3 との界面から 4 (nm) 以内の範囲に最大濃度を持つ分布になるように、イオン注入エネルギーを制御する。

#### 【0051】

次いで、酸化性雰囲気下で熱処理を行ないシリコン酸化膜 3 中のゲルマニウムを酸化させ、シリコン酸化膜 3 中に、シリコンとゲルマニウムと酸素とを含む領域 22 を有するト50

ンネル絶縁膜 2 4 が得られる。

**【0052】**

その後、図 8 ( a ) に表すように、トンネル絶縁膜 2 4 の上に、浮遊電極 5 、絶縁膜 6 、制御電極 7 を、順に形成する。浮遊電極 5 、制御電極 7 の材料としては、例えばリンドープのポリシリコンが用いられる。絶縁膜 6 の材料としては、例えば、窒化シリコン、酸化シリコンが用いられる。

**【0053】**

その後、フォトリソグラフィ技術、ドライエッティング技術を用いて、浮遊電極 5 、絶縁膜 6 、制御電極 7 をパターニング、エッティングし、図 8 ( b ) に表す構造が得られる。

**【0054】**

次いで、浮遊電極 5 、絶縁膜 6 および制御電極 7 の積層構造をマスクとして半導体層 1 0 の表層部にイオン注入を行い、図 9 ( a ) に表すように、半導体層 1 0 の表層部に不純物拡散領域 1 2 を選択的に形成する。

**【0055】**

その後、例えば、酸素雰囲気下で、1100 ( ) の熱処理を行なう。このとき、浮遊電極 5 、絶縁膜 6 および制御電極 7 の積層構造でマスクされているチャネル形成領域 1 1 よりもその端部の不純物拡散領域 1 2 側の方の酸化が促進される。これにより、不純物拡散領域 1 2 とトンネル絶縁膜 2 4との界面が半導体層 1 0 (シリコン基板) 側に移動し、チャネル形成領域端部側のトンネル絶縁膜中のゲルマニウムが拡散される。この結果、トンネル絶縁膜 2 4 中におけるゲルマニウム元素の濃度は、チャネル形成領域 1 1 の中央部から端部 (不純物拡散領域 1 2 ) に向かって低くなり、半導体層 1 0 とトンネル絶縁膜 2 4 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置 (図中破線で表す位置)までの距離は、チャネル形成領域 1 1 の中央部から端部 (不純物拡散領域 1 2 ) に向かって長くなる。

**【0056】**

図 1 0 は、第 2 の実施形態に係る不揮発性半導体記憶装置の他の具体例を表す。

**【0057】**

トンネル絶縁膜 2 4 中のゲルマニウムは、トンネル絶縁膜 2 4 と浮遊電極 5 との界面近傍領域に分布している。トンネル絶縁膜 2 4 中におけるゲルマニウム元素の濃度は、チャネル形成領域 1 1 の中央部から端部 (不純物拡散領域 1 2 ) に向かって低くなっている。トンネル絶縁膜 2 4 中のゲルマニウム元素濃度が最大となる位置 (図 1 0 において破線で表す位置)におけるゲルマニウム元素濃度は、例えば、チャネル形成領域 1 1 中央部の上では  $10^{21}$  (個 /  $\text{cm}^3$ ) であり、チャネル形成領域 1 1 端部 (不純物拡散領域 1 2 ) の上では  $10^{20}$  (個 /  $\text{cm}^3$ ) となっている。

**【0058】**

また、トンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置 (図 1 0 において破線で表す位置)までの距離は、チャネル形成領域 1 1 の中央部から端部 (不純物拡散領域 1 2 ) に向かって長くなっている。例えば、チャネル形成領域 1 1 の中央部におけるトンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は 2 (nm) であり、チャネル形成領域 1 1 の端部 (不純物拡散領域 1 2 ) におけるトンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は 3 (nm) である。

**【0059】**

図 1 0 の構造の場合、データ消去時、チャネル形成領域 1 1 中央部の上の部分における浮遊電極 5 中の電子は、トンネル絶縁膜 2 4 におけるチャネル形成領域 1 1 中央部の上の部分に作られるアシスト準位を介して半導体層 1 0 側に移動しやすく、チャネル形成領域 1 1 の端部の上の部分における浮遊電極 5 中の電子は、トンネル絶縁膜 2 4 におけるチャネル形成領域 1 1 端部の上の部分に作られるアシスト準位を介して半導体層 1 0 側に移動しやすいバンド構造となる。このため、チャネル形成領域 1 1 の中央部及び端部の両方に

10

20

30

40

50

おいて、トンネル電流密度を増加させることができ、その分、消去電界を低減することができる。

#### 【0060】

また、チャネル形成領域11端部とトンネル絶縁膜24との界面近傍におけるトンネル絶縁膜24中のゲルマニウム元素濃度が、チャネル形成領域11中央部とトンネル絶縁膜24との界面近傍におけるトンネル絶縁膜24中のゲルマニウム元素濃度よりも低くなっていることで、消去時、電界集中しやすいチャネル形成領域端部の電子トラップを低減でき、信頼性を高めることができる。

#### 【0061】

また、図5の構造と図10の構造とを組み合わせ、トンネル絶縁膜24中のゲルマニウムが、半導体層10とトンネル絶縁膜24との界面近傍領域、およびトンネル絶縁膜24と浮遊電極5との界面近傍領域の両方に分布する構造としてもよい。この構造において、トンネル絶縁膜24中におけるゲルマニウム元素の濃度は、チャネル形成領域11の中央部から端部に向かって低くなっている。さらに、半導体層10とトンネル絶縁膜24との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置までの距離は、チャネル形成領域11の中央部から端部に向かって長くなり、トンネル絶縁膜24と浮遊電極5との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置までの距離は、チャネル形成領域11の中央部から端部に向かって長くなっている。

#### 【0062】

この構造の場合、書き込み時及び消去時、チャネル形成領域11の中央部及び端部の両方において、トンネル電流密度を増加させることができ、書き込み電界及び消去電界を低減することができる。さらに、書き込み時及び消去時におけるチャネル形成領域11端部の電子トラップを低減できる。

#### 【0063】

##### [第3の実施形態]

図11は、本発明の第3の実施形態に係る不揮発性半導体記憶装置要部におけるワード線方向の断面構造を例示する模式断面図である。

#### 【0064】

本実施形態においても、トンネル絶縁膜24は、シリコンとゲルマニウムと酸素とを含む。そのトンネル絶縁膜24中のゲルマニウムは、半導体層10とトンネル絶縁膜24との界面近傍領域に分布している。

#### 【0065】

トンネル絶縁膜24中におけるゲルマニウム元素の濃度は、素子分離絶縁層8によってワード線方向で隣り合う半導体層10と絶縁分離されたそれぞれの半導体層10におけるワード線方向の中央部から端部に向かって低くなっている。トンネル絶縁膜24中のゲルマニウム元素濃度が最大となる位置(図11において破線で表す位置)におけるゲルマニウム元素濃度は、例えば、半導体層10におけるワード線方向の中央部の上では $10^{21}$ (個/ $\text{cm}^3$ )であり、半導体層10におけるワード線方向の端部の上では $10^{20}$ (個/ $\text{cm}^3$ )となっている。

#### 【0066】

また、半導体層10とトンネル絶縁膜24との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置(図11において破線で表す位置)までの距離は、半導体層10におけるワード線方向の中央部から端部に向かって長くなっている。例えば、半導体層10におけるワード線方向の中央部における半導体層10とトンネル絶縁膜24との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置までの距離は2(nm)であり、半導体層10におけるワード線方向の端部における半導体層10とトンネル絶縁膜24との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置までの距離は3(nm)である。

#### 【0067】

10

20

30

40

50

本実施形態によれば、トンネル絶縁膜24中における半導体層10とトンネル絶縁膜24との界面近傍領域に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位(電荷アシスト準位)が存在する。すなわち、トンネル絶縁膜24中における半導体層10とトンネル絶縁膜24との界面近傍領域に、半導体層10側から注入される電子の移動をアシストする準位が存在し、データ書き込み時、半導体層10側からトンネル絶縁膜24を介して浮遊電極5に注入される電子の注入効率が向上する。その結果、トンネル電流密度を増加させることができ、その分、書き込み電界を低減することができ、信頼性を高めることができる。

#### 【0068】

また、半導体層10におけるワード線方向の端部とトンネル絶縁膜24との界面近傍におけるトンネル絶縁膜24中のゲルマニウム元素濃度が、半導体層10におけるワード線方向の中央部とトンネル絶縁膜24との界面近傍におけるトンネル絶縁膜24中のゲルマニウム元素濃度よりも低くなっていることで、信頼性低下の原因となる端部における電子トラップを抑制することができる。10

#### 【0069】

図12～図13は、本実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

#### 【0070】

図12(a)に表すように、例えば、熱酸化法により、p型シリコンからなる半導体基板1上にシリコン酸化膜3を形成した後、例えば、イオン注入法を用い、シリコン酸化膜3にゲルマニウムを導入する。シリコン酸化膜3中に導入直後のゲルマニウムが、半導体層10とシリコン酸化膜3との界面から4(nm)以内の範囲に最大濃度を持つ分布になるように、イオン注入エネルギーを制御する。20

#### 【0071】

次いで、酸化性雰囲気下で熱処理を行ないシリコン酸化膜3中のゲルマニウムを酸化させ、シリコン酸化膜3中に、シリコンとゲルマニウムと酸素とを含む領域22を有するトンネル絶縁膜24が得られる。

#### 【0072】

その後、トンネル絶縁膜24の上に、浮遊電極5、シリコン窒化膜45、シリコン酸化膜46を、順に形成する。その後、フォトリソグラフィ技術、ドライエッチング技術を用いて、シリコン酸化膜46、シリコン窒化膜45、浮遊電極5、トンネル絶縁膜24、半導体基板1をエッチングして、図12(b)に表すように、素子分離のための溝を形成する。30

#### 【0073】

上記エッチングの後、エッチングダメージ回復するため、および半導体層10とトンネル絶縁膜24との界面端部を酸化させるため、酸化性雰囲気で熱処理を行ない、図13(a)に表す構造が得られる。この酸化処理の際に、半導体層10におけるワード線方向の端部とトンネル絶縁膜24との界面がシリコン基板1側に移動し、半導体層10におけるワード線方向の端部側のトンネル絶縁膜中のゲルマニウムが拡散される。この結果、トンネル絶縁膜24中におけるゲルマニウム元素の濃度は、半導体層10におけるワード線方向の中央部から端部に向かって低くなり、半導体層10とトンネル絶縁膜24との界面から、トンネル絶縁膜24中におけるゲルマニウム元素濃度が最大となる位置(図中破線で表す位置)までの距離は、半導体層10におけるワード線方向の中央部から端部に向かって長くなる。40

#### 【0074】

次いで、例えば酸化シリコンからなる素子分離絶縁層8を、素子分離溝(トレンチT)に埋め込んだ後、化学的機械的研磨法により平坦化を行ない、図13(b)に表す構造が得られる。

#### 【0075】

次いで、素子分離絶縁層8の表面が、浮遊電極5の約半分の膜厚の位置となるように素50

子分離絶縁層 8 を除去する。次いで、シリコン窒化膜 4 5 を除去し、浮遊電極 5 の上に、絶縁膜 6 、制御電極 7 を順に形成し、図 1 1 に表す構造が得られる。

#### 【 0 0 7 6 】

なお、トンネル絶縁膜 2 4 中のゲルマニウムを、トンネル絶縁膜 2 4 と浮遊電極 5 との界面近傍領域に分布させ、トンネル絶縁膜 2 4 中におけるゲルマニウム元素の濃度が、半導体層 1 0 におけるワード線方向の中央部から端部に向かって低くなるようにしてもよい。この場合において、トンネル絶縁膜 2 4 中のゲルマニウム元素濃度が最大となる位置におけるゲルマニウム元素濃度は、例えば、半導体層 1 0 におけるワード線方向の中央部の上では  $10^{21}$  ( 個 /  $\text{cm}^3$  ) であり、半導体層 1 0 におけるワード線方向の端部の上では  $10^{20}$  ( 個 /  $\text{cm}^3$  ) とすることができます。10

#### 【 0 0 7 7 】

また、トンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は、半導体層 1 0 におけるワード線方向の中央部から端部に向かって長くなるようにしてもよい。例えば、半導体層 1 0 におけるワード線方向の中央部におけるトンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は 2 ( nm ) であり、半導体層 1 0 におけるワード線方向の端部におけるトンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は 3 ( nm ) とすることができます。20

#### 【 0 0 7 8 】

上位構造の場合、トンネル絶縁膜 2 4 中におけるトンネル絶縁膜 2 4 と浮遊電極 5 との界面近傍領域に、ゲルマニウムが作るエネルギーレベルの浅い電荷トラップ準位（電荷アシスト準位）が存在する。すなわち、トンネル絶縁膜 2 4 中におけるトンネル絶縁膜 2 4 と浮遊電極 5 との界面近傍領域に、浮遊電極 5 側から注入（放出）される電子の移動をアシストする準位が存在し、消去時、浮遊電極 5 側からトンネル絶縁膜 2 4 を介して半導体層 1 0 に注入（放出）される電子の移動効率が向上する。その結果、トンネル電流密度を増加させることができ、その分、消去電界を低減することができ、信頼性を高めることができる。20

#### 【 0 0 7 9 】

また、トンネル絶縁膜 2 4 中のゲルマニウムが、半導体層 1 0 とトンネル絶縁膜 2 4 との界面近傍領域、およびトンネル絶縁膜 2 4 と浮遊電極 5 との界面近傍領域の両方に分布する構造としてもよい。この構造において、トンネル絶縁膜 2 4 中におけるゲルマニウム元素の濃度は、半導体層 1 0 におけるワード線方向の中央部から端部に向かって低くなっている。さらに、半導体層 1 0 とトンネル絶縁膜 2 4 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は、半導体層 1 0 におけるワード線方向の中央部から端部に向かって長くなり、トンネル絶縁膜 2 4 と浮遊電極 5 との界面から、トンネル絶縁膜 2 4 中におけるゲルマニウム元素濃度が最大となる位置までの距離は、半導体層 1 0 におけるワード線方向の中央部から端部に向かって長くなっている。30

#### 【 0 0 8 0 】

この構造の場合、書き込み時及び消去時、半導体層 1 0 におけるワード線方向の中央部及び端部の両方において、トンネル電流密度を増加させることができ、書き込み電界及び消去電界を低減することができる。さらに、信頼性低下の原因となる端部における電子トラップを抑制することができる。40

#### 【 0 0 8 1 】

##### [ 第 4 の実施形態 ]

図 1 4 は、本発明の第 4 の実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

#### 【 0 0 8 2 】

図 1 4 ( a ) に表すように、例えば、熱酸化法により、p 型シリコンの半導体層 1 0 上50

に、約 15 (nm) のシリコン酸化膜 3 を形成する。

**【0083】**

続いて、図 14 (b) に表すように、例えば、イオン注入法を用い、シリコン酸化膜 3 にゲルマニウムを導入する。シリコン酸化膜 3 中に導入直後のゲルマニウムが、半導体層 10 とシリコン酸化膜 3 との界面から 4 (nm) 以内の範囲に最大濃度（例えば、 $10^2$  個 /  $\text{cm}^3$ ）を持つ分布になるように、さらに、半導体層 10 の表層部にもゲルマニウムが注入されるように、例えば加速電圧を 15 (keV)、ドーズ量を  $1 \times 10^{15}$  /  $\text{cm}^2$  に設定する。図 14 (b) において、導入直後のゲルマニウムの分布領域 102 を斜線で表す。

**【0084】**

次いで、例えば、1050 ( )、酸素雰囲気下で熱処理を行ない、シリコン酸化膜 3 中のゲルマニウムを酸化させ、図 14 (c) に表すように、シリコン酸化膜 3 中に、シリコンとゲルマニウムと酸素とを含む領域 2 を有するトンネル絶縁膜 4 が得られる。

**【0085】**

本実施形態においても、半導体層 10 とトンネル絶縁膜 4 との界面から 4 (nm) 以内の領域にゲルマニウムが存在するトンネル絶縁膜 4 が形成され、ゲルマニウムが作るエネルギー・レベルの浅い電荷アシスト準位が半導体層 10 とトンネル絶縁膜 4 との界面近傍に形成される。その結果、書き込み時、半導体層 10 側から注入される電子の注入効率が向上し、書き込み電界を低減することができる。

**【0086】**

また、イオン注入法により導入したゲルマニウムは、半導体層 10 の表層部にも残留するため、そのゲルマニウムにより、半導体層 10 の表層部に歪みシリコンが形成されるためキャリア移動度が向上する。

**【0087】**

シリコン酸化膜 3 の膜厚、イオン注入加速電圧は、前述した数値に限らず、ゲルマニウム分布の最大濃度位置が所望の位置になるように、制御することが可能である。

**【0088】**

例えば、シリコン酸化膜 3 の厚さが約 5 (nm) である場合に、半導体層 10 とトンネル絶縁膜 4 との界面近傍領域にゲルマニウムを分布させたい場合には、加速電圧 2 (keV) で注入すればよい。

例えば、シリコン酸化膜 3 の表面から 2 (nm) のシリコン酸化膜 3 中に最大濃度をもつゲルマニウム分布を形成させたい場合には、加速電圧 300 (eV) で注入すればよい。

また、シリコン酸化膜 3 中の 2箇所以上にピークをもつゲルマニウム濃度分布を形成したい場合には、2種類以上の異なる加速電圧でイオン注入を行なうことで形成可能である。例えば、厚さが約 10 (nm) のシリコン酸化膜 3 に対し、初めに加速電圧 8 (keV) で注入し、続いて加速電圧 500 (eV) で注入することで、半導体層 10 の表面、およびシリコン酸化膜 3 の表面から、2 (nm) の位置にそれぞれ最大濃度をもつゲルマニウム分布を形成することが可能である。

**【0089】**

また、ドーズ量は、 $1 \times 10^{15}$  /  $\text{cm}^2$  に限らない。例えば、電荷アシスト準位の数を少なくしたい場合には、ドーズ量を  $5 \times 10^{14}$  /  $\text{cm}^2$  にすればよい。電荷アシスト準位の数を多くしたい場合には、ドーズ量を  $1 \times 10^{16}$  /  $\text{cm}^2$  にすればよい。

**【0090】**

また、ゲルマニウムを酸化させる際の熱処理条件は、1050 ( )、酸素雰囲気下に限らない。熱処理温度は、例えば 300 ( ) 以上であればよい。また、酸化性雰囲気は、酸素イオン、オゾン、酸素ラジカル、水、水酸化物イオン、水酸基ラジカルの少なくともいずれかを含む雰囲気に設定できる。望ましくは、上記熱処理条件として、400 ( )、酸素ラジカル雰囲気下が良い。これは、800 ( ) 以上の熱酸化ではシリコン基板界面が酸化され、増膜してしまい、イオン注入法で形成させたゲルマニウムの最大濃度位

10

20

30

40

50

置が移動し、さらに、ゲルマニウムが熱拡散してしまい、最大濃度が低下してしまうため、低温酸化が可能な酸素ラジカル雰囲気下が望ましい。

#### 【0091】

図2に表されるワード線方向の断面構造を考えた場合、素子分離絶縁層8を形成する前に、半導体層10上のシリコン酸化膜にゲルマニウムを注入して、シリコン、ゲルマニウム、酸素を含むトンネル絶縁膜4を形成してもよいし、素子分離絶縁層8を形成した後に、半導体層10上のシリコン酸化膜にゲルマニウムを注入して、シリコン、ゲルマニウム、酸素を含むトンネル絶縁膜4を形成してもよい。

#### 【0092】

ゲルマニウムを注入する前に素子分離絶縁層8を形成した場合、そのイオン注入により、素子分離絶縁層8にもゲルマニウムが導入され、図15、16に表すように、素子分離絶縁層8の表層にゲルマニウムが存在する構造が得られる。

#### 【0093】

図15は、トンネル絶縁膜4の表面（トンネル絶縁膜4と浮遊電極5との界面）に対して、素子分離絶縁層8の表面が突出している構造を表す。

図16は、素子分離絶縁層8の表面に対して、トンネル絶縁膜4の表面が突出している構造を表す。

#### 【0094】

##### 【第5の実施形態】

図17は、本発明の第5の実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

#### 【0095】

図17(a)に表すように、例えば、熱酸化法により、p型シリコンの半導体層10上に、約15(nm)のシリコン酸化膜3を形成する。

#### 【0096】

続いて、気相拡散法を用い、例えば、GeH<sub>4</sub>ガス分圧 $1.333 \times 10^{-2}$ (Pa)雰囲気下で、温度900( )の熱処理を行ない、シリコン酸化膜3中にゲルマニウムを導入する。図17(b)において斜線で表されるゲルマニウム分布領域102は、シリコン酸化膜3の表面から4(nm)以内の範囲に最大濃度（例えば、 $5 \times 10^{19}$ (個/cm<sup>3</sup>)）を持つ分布となっている。シリコン酸化膜3中のゲルマニウムの導入に際して、気相拡散法を用いることで、イオン注入ダメージを回避できる。

#### 【0097】

次いで、例えば、850( )、水雰囲気下で熱処理を行ない、シリコン酸化膜3中のゲルマニウムを酸化させ、図17(c)に表すように、シリコン酸化膜3中に、シリコンとゲルマニウムと酸素とを含む領域2を有するトンネル絶縁膜4が得られる。

#### 【0098】

本実施形態では、トンネル絶縁膜4の表面から4(nm)以内の領域にゲルマニウムが存在するトンネル絶縁膜4が形成され、ゲルマニウムが作るエネルギーレベルの浅い電荷アシスト準位がトンネル絶縁膜4の表面近傍（浮遊電極との界面近傍）に形成される。その結果、消去時、浮遊電極側から注入（放出）される電子の注入（放出）効率が向上し、消去電界を低減することができる。

#### 【0099】

さらに、気相拡散法を用いて、シリコン酸化膜3中にゲルマニウムを導入するため、イオン注入法を用いた場合に懸念されるイオン注入ダメージを回避することができ、書き込み消去の繰り返しによるストレス起因のリーク電流の増加を低減することができる。

#### 【0100】

シリコン酸化膜3の膜厚は前述した数値に限らない。シリコン酸化膜3の膜厚を、例えば約8(nm)としてもよい。

気相拡散温度は、900( )に限らず、例えば、800( )、または1000( )としてもよい。

10

20

30

40

50

気相拡散における原料ガスであるゲルマニウム含有ガスは、水素化ゲルマニウム ( $\text{GeH}_4$ ) ガスに限らず、例えば、四塩化ゲルマニウム ( $\text{GeCl}_4$ ) ガスなどでもよい。

ゲルマニウム含有ガス分圧は、 $1.333 \times 10^2$  (Pa) に限らない。より高濃度のゲルマニウムの導入を行なう場合、ゲルマニウム含有ガス分圧は、 $2.666 \times 10^4$  (Pa) でも良い。このときのゲルマニウム最大濃度は $10^{21}$  (個/cm<sup>3</sup>) となる。また、より低濃度のゲルマニウムの導入を行なう場合、ゲルマニウム含有ガス分圧は、 $1.333$  (Pa) でも良い。このときのゲルマニウム最大濃度は $10^{18}$  (個/cm<sup>3</sup>) となる。

酸化性雰囲気下の熱処理条件は、850 ( )、水雰囲気下は限らない。熱処理温度は300 ( ) 以上で良く、酸化性雰囲気は、酸素、酸素イオン、オゾン、酸素ラジカル、水酸化物イオン、水酸基ラジカルの少なくともいずれかを含む雰囲気に設定できる。望ましくは、低温、酸素ラジカル雰囲気下が良い。これは、高温酸化ではシリコン基板が酸化され、増膜してしまい、イオン注入で形成させたゲルマニウムのピーク濃度位置が移動し、さらに、ゲルマニウムが熱拡散してしまい、ピーク濃度が低下してしまうため、低温酸化が可能な酸素ラジカル雰囲気下が望ましい。

#### 【0101】

##### [第6の実施形態]

図18は、本発明の第6の実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

#### 【0102】

図18(a)に表すように、例えば、化学気相成長 (CVD: Chemical Vapor Deposition) 法を用いて、半導体層10の表面から4 (nm) の範囲内に、シリコンとゲルマニウムと酸素とを含む領域105を形成する。例えば、シリコン基板(半導体層10)を収容したチャンバー内に、シリコンを含むソースガス(例えば、シラン( $\text{SiH}_4$ )ガス)と、ゲルマニウムを含むソースガス(例えば、水素化ゲルマニウム( $\text{GeH}_4$ )ガス)と、酸化性ガス(例えば酸素ガス)と、を同時に導入することにより、シリコンとゲルマニウムと酸素とを含む領域105を形成する。

#### 【0103】

次いで、ゲルマニウムを含むソースガスの導入を止め、図18(b)に表すように、シリコンとゲルマニウムと酸素とを含む領域105の上にシリコン酸化膜3を堆積する。シリコン酸化膜3は、その膜厚が例えば15 (nm) になるまで堆積させる。この堆積後、酸化性雰囲気下、例えば酸素雰囲気下、1000 ( ) で熱処理を行い、シリコンとゲルマニウムと酸素とを含むトンネル絶縁膜104が得られる。

#### 【0104】

本実施形態においても、半導体層10とトンネル絶縁膜104との界面から4 (nm) 以内の領域にゲルマニウムが存在するトンネル絶縁膜104が形成され、ゲルマニウムを作るエネルギーレベルの浅い電荷アシスト準位が半導体層10とトンネル絶縁膜104との界面近傍に形成される。その結果、書き込み時、半導体層10側から注入される電子の注入効率が向上し、書き込み電界を低減することができる。

#### 【0105】

トンネル絶縁膜104の膜厚は前述した数値に限らず、例えば、約10 (nm) の膜厚でも良い。

シリコン含有ガスは、シランガスに限らず、例えば、ジシラン( $\text{Si}_2\text{H}_6$ )ガスでも良い。

ゲルマニウム含有ガスは、水素化ゲルマニウム( $\text{GeH}_4$ )ガスに限らず、例えば、四塩化ゲルマニウム( $\text{GeCl}_4$ )ガスなどでもよい。

酸化性ガスは、酸素ガスに限らず、例えば、酸素イオン、オゾン、酸素ラジカル、水、水酸化物イオン、水酸基ラジカルの少なくともいずれかを含むガスを用いることができる。

#### 【0106】

10

20

30

40

50

前述の具体例では、シリコンとゲルマニウムと酸素とを含むトンネル絶縁膜104の形成に、化学気相成長法を用いたが、原子層堆積法または分子層堆積法を用いても良い。原子層堆積法または分子層堆積法を用いた場合、シリコンまたはゲルマニウムを含むソースガスを導入し、基板表面に吸着させ、次いで、導入したソースガスを排出する。その後、酸化性ガスを導入し、基板表面に吸着させたソースガスを酸化させシリコン酸化膜または、ゲルマニウム酸化膜を形成させる。その後、酸化性ガスを排出させる。ソースガスを導入、ソースガス排出、酸化性ガス導入、酸化性ガス排出を繰り返すことにより、シリコン酸化膜、ゲルマニウム酸化膜を形成させることができる。この方法を用いることによって、シリコン酸化膜とゲルマニウム酸化膜の割合を層ごとに制御することができる。

## 【0107】

10

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

## 【0108】

前述した具体例においては、電荷蓄積層として浮遊電極5を用いた構造としたが、これに限らず、例えば、図19に表すように、電荷蓄積層としてシリコン窒化膜50を用いたMONOS(Metal / Oxide / Nitride / Oxide / Semiconductor)構造の不揮発性半導体記憶装置にも本発明は適用できる。

## 【0109】

20

また、前述した具体例では、電荷供給層(半導体層10が一例として対応する)と電荷蓄積層(浮遊電極5が一例として対応する)との間の絶縁膜が、シリコンとゲルマニウムと酸素とを含む構造にすることで、その絶縁膜におけるトンネル電流が増加するましたが、前記構造を採用することで、例えば、ホットキャリアの注入効率も向上させることができます。ただし、本発明は、特にトンネル電流の増加に効果があるものと考えられる。

## 【図面の簡単な説明】

## 【0110】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置要部におけるビット線方向の断面構造を例示する模式断面図である。

【図2】同不揮発性半導体記憶装置要部におけるワード線方向の断面構造を例示する模式断面図である。

30

【図3】同不揮発性半導体記憶装置においてトンネル絶縁膜の他の具体例を表す図である。

【図4】同不揮発性半導体記憶装置においてトンネル絶縁膜のさらに他の具体例を表す図である。

【図5】本発明の第2の実施形態に係る不揮発性半導体記憶装置要部におけるビット線方向の断面構造を例示する模式断面図である。

【図6】(a)は、図5に表される構造におけるトンネル絶縁膜に電圧が印加されていない場合のエネルギーバンド構造図であり、(b)はトンネル絶縁膜に書き換え相当の電圧が印加された場合のエネルギーバンド構造図である。

【図7】同不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

40

【図8】図7に続く工程断面図である。

【図9】図8に続く工程断面図である。

【図10】同不揮発性半導体記憶装置においてトンネル絶縁膜の他の具体例を表す図である。

【図11】本発明の第3の実施形態に係る不揮発性半導体記憶装置要部におけるワード線方向の断面構造を例示する模式断面図である。

【図12】同不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

【図13】図12に続く工程断面図である。

【図14】本発明の第4の実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

50

【図15】同不揮発性半導体記憶装置の他の具体例を表す断面図である。

【図16】同不揮発性半導体記憶装置のさらに他の具体例を表す断面図である。

【図17】本発明の第5の実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

【図18】本発明の第6の実施形態に係る不揮発性半導体記憶装置の製造工程の要部を例示する工程断面図である。

【図19】本発明の他の実施形態に係る不揮発性半導体記憶装置要部におけるビット線方向の断面構造を例示する模式断面図である。

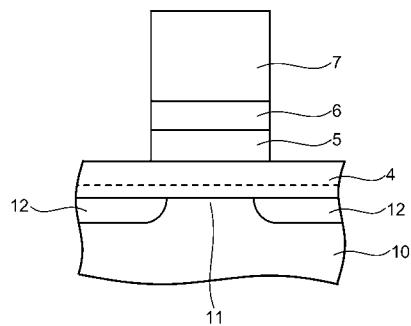
【符号の説明】

【0111】

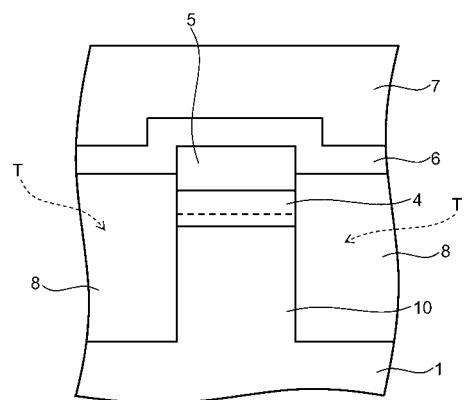
10

1 ... 半導体基板、 4 , 24 , 33 , 34 , 104 ... トンネル絶縁膜、 5 ... 電荷蓄積層、  
6 ... 絶縁膜、 7 ... 制御電極、 8 ... 素子分離絶縁層、 10 ... 半導体層、 11 ... チャネル形成  
領域、 12 ... 不純物拡散領域、 31 ... 第1の絶縁層、 32 ... 第2の絶縁層、 50 ... 電荷蓄  
積層

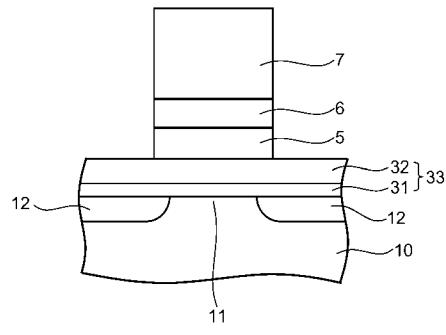
【図1】



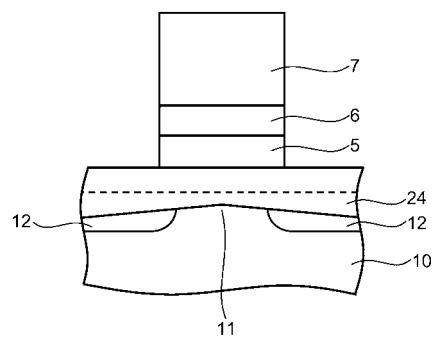
【図2】



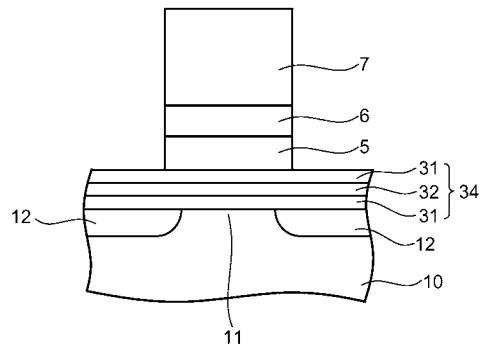
【図3】



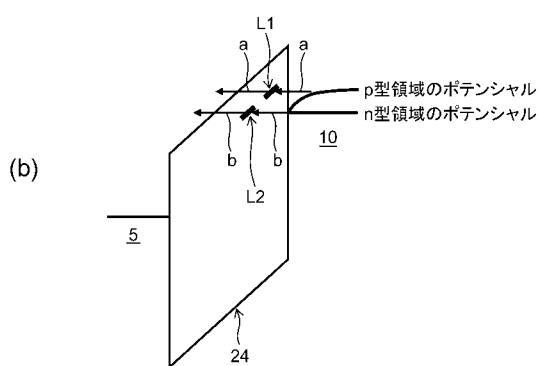
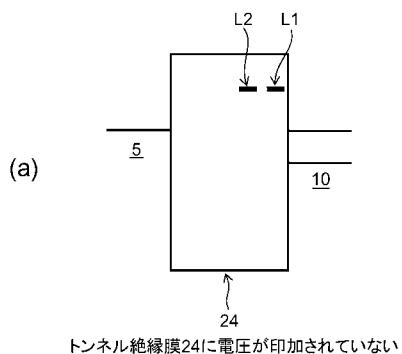
【図5】



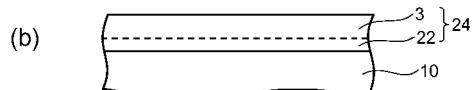
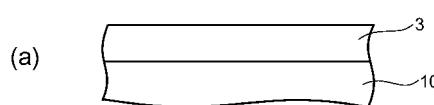
【図4】



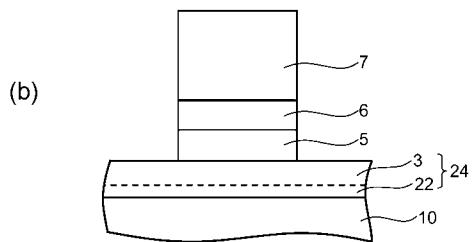
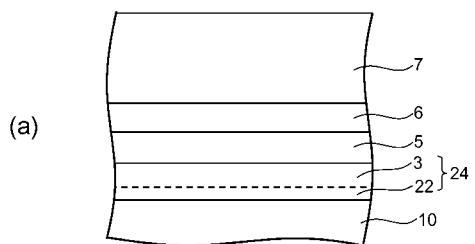
【図6】



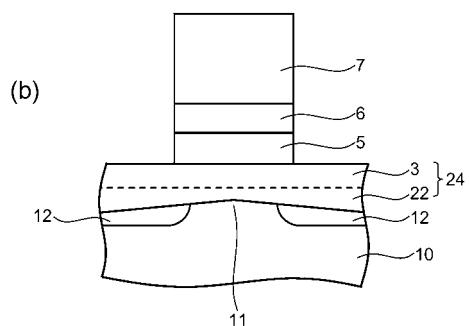
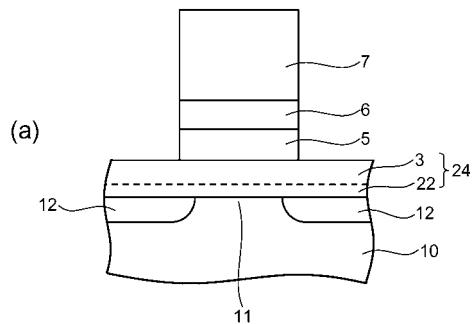
【図7】



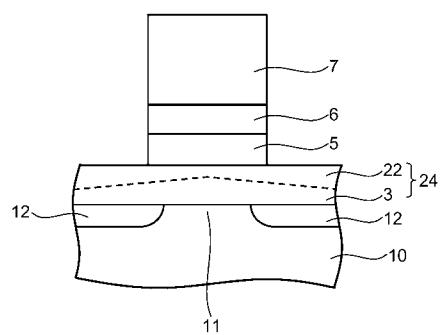
【図8】



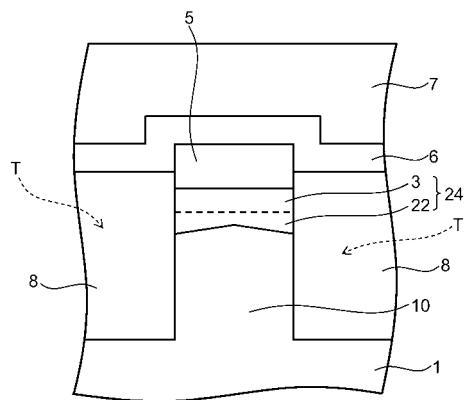
【図9】



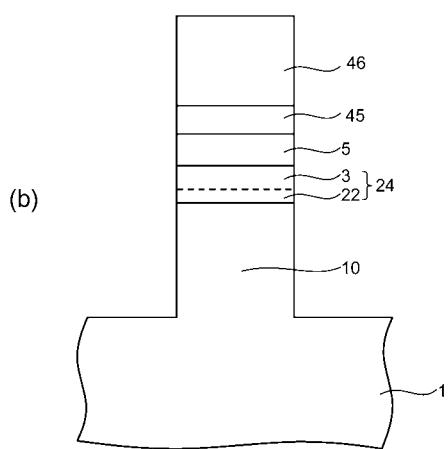
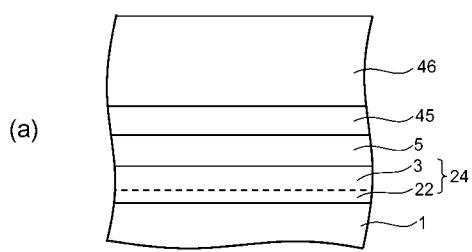
【図10】



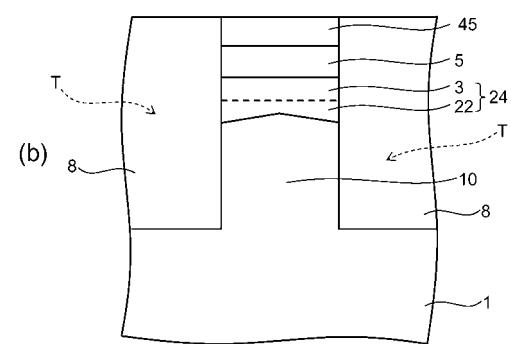
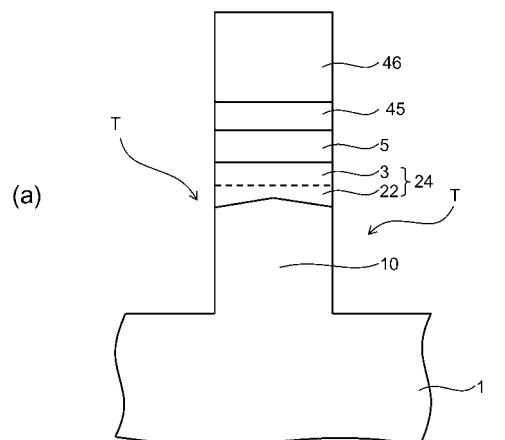
【図11】



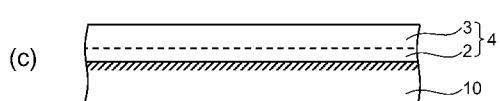
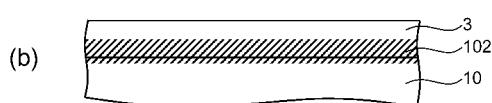
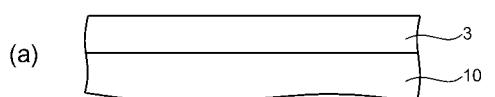
【図12】



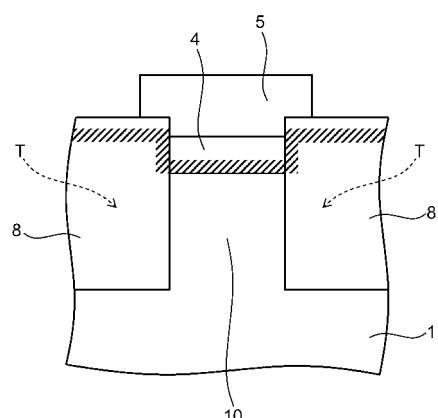
【図13】



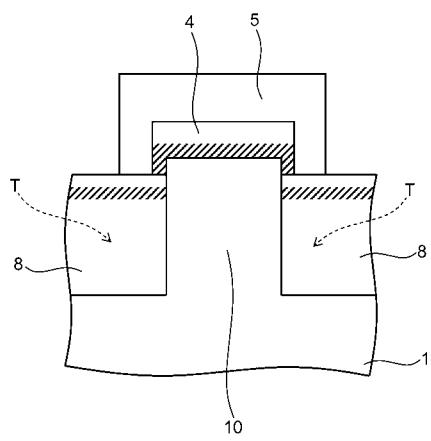
【図14】



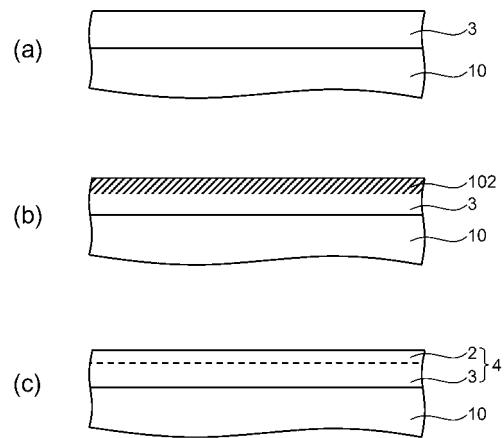
【図15】



【図16】



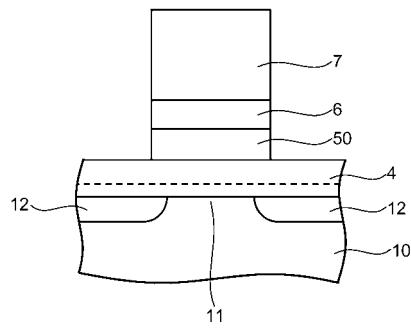
【図17】



【図18】



【図19】



---

フロントページの続き

(72)発明者 中崎 靖  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72)発明者 三谷 祐一郎  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 河合 俊英

(56)参考文献 特開2006-128703(JP,A)  
特開平11-074386(JP,A)  
特開2006-148103(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792