

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-109902

(P2005-109902A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int. Cl.<sup>7</sup>

H03K 5/13

F I

H03K 5/13

テーマコード(参考)

5J001

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2003-340939 (P2003-340939)  
 (22) 出願日 平成15年9月30日(2003.9.30)

(71) 出願人 000006747  
 株式会社リコー  
 東京都大田区中馬込1丁目3番6号  
 (74) 代理人 100086405  
 弁理士 河宮 治  
 (74) 代理人 100098280  
 弁理士 石野 正弘  
 (72) 発明者 辻 貴浩  
 東京都大田区中馬込1丁目3番6号 株式  
 会社リコー内  
 Fターム(参考) 5J001 AA04 BB00 BB05 BB09 BB12  
 BB25 CC06 DD03

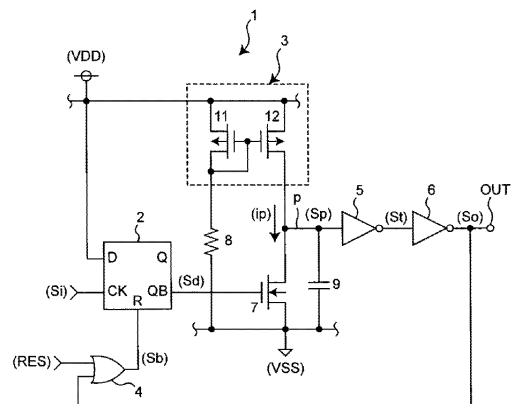
(54) 【発明の名称】 パルス発生回路

(57) 【要約】

【課題】 コンパレータや基準電圧生成回路を使用せずに回路規模を小さくすることができ、電源電圧の変動による遅延時間の変化を小さくすることができるパルス発生回路を得る。

【解決手段】 入力信号  $S_i$  の変化を検出するDフリップフロップ2の反転出力信号  $S_d$  が入力されるNMOSトランジスタ7の動作によって、コンデンサ9に対してカレントミラー回路3からの電流  $i_p$  による充電又は放電が行われ、コンデンサ9に充電された電荷により発生する電圧  $V_p$  が入力されるインバータ5の出力信号  $S_f$  をインバータ6を介してDフリップフロップ2のリセット端子  $RES$  に帰還する帰還ループを形成するようにした。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

パルス信号からなる入力信号が入力されてから所定時間後にパルス信号を所定の出力端から出力するパルス発生回路において、

所定の定電流を生成して出力する定電流発生回路と、

該定電流発生回路からの定電流によって充電されるコンデンサと、

前記入力信号における信号レベルの所定の変化を検出する D フリップフロップ回路と、

該 D フリップフロップ回路の所定の出力端から出力される信号に応じて、前記コンデンサに充電又は放電を行わせる充放電切替回路と、

前記コンデンサに充電された電荷によって発生する電圧を 2 値の信号に変換して前記出力端に出力する変換回路と、  
を備え、

前記変換回路の出力信号が、前記 D フリップフロップ回路のリセット信号入力端に入力され、変換回路の出力信号を D フリップフロップ回路のリセット信号入力端に帰還する帰還ループを形成することを特徴とするパルス発生回路。

## 【請求項 2】

前記定電流発生回路は、入力端に定電流源が接続されたカレントミラー回路で構成されることを特徴とする請求項 1 記載のパルス発生回路。

## 【請求項 3】

前記充放電切替回路は、D フリップフロップ回路の所定の出力端から出力された信号に応じて前記コンデンサの放電を行うトランジスタからなることを特徴とする請求項 1 又は 2 記載のパルス発生回路。

## 【請求項 4】

前記 D フリップフロップ回路は、外部からのリセット信号又は前記変換回路の出力信号に応じて所定のリセット動作を行うことを特徴とする請求項 1、2 又は 3 記載のパルス発生回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、入力されたパルス信号に対して任意の遅延量とパルス幅を有するパルスを生成して出力するパルス発生回路に関する。

## 【背景技術】

## 【0002】

図 3 は、従来のパルス発生回路の回路例を示した図である（例えば、特許文献 1 参照）。図 3 において、パルス発生回路 100 は、インバータ 101、D フリップフロップ 102、電流出力コンパレータ 103、コンパレータ 104、ヒステリシス付きコンパレータ 105 及びコンデンサ C を備えている。電流出力コンパレータ 103 には基準電圧 V1 が、コンパレータ 104 には基準電圧 V4 が、ヒステリシス付きコンパレータ 105 には基準電圧 V2 及び V3 がそれぞれ供給されている。

## 【0003】

図 4 は、図 3 のパルス発生回路 100 の動作例を示したタイミングチャートであり、図 4 を参照しながら図 3 のパルス発生回路 100 の動作例について説明する。インバータ 101 を介してパルス信号 S1 が入力される D フリップフロップ 102 の出力信号 S2 は、電流出力コンパレータ 103 の非反転入力端に入力され、電流出力コンパレータ 103 の出力電流は、コンデンサ C を充放電する。コンパレータ 104 の非反転入力端の電圧が基準電圧 V4 を超えると、コンパレータ 104 の出力信号の信号レベルが反転し、D フリップフロップ 102 がリセットされる。

## 【0004】

ここで、ヒステリシス付きコンパレータ 105 の出力信号が立ち上がる時の基準電圧 V2 及び立ち下がる時の基準電圧 V3 を、それぞれ基準電圧 V4 よりも小さい電圧にし

10

20

30

40

50

ておくと、ヒステリシス付きコンパレータ105の出力端からパルスを出力させることができる。このように、電流出力コンパレータ103からの定電流とコンパレータ104で、入力信号S1に対する出力信号S5の遅延時間が決定されており、カウンタ等を使用しなくても該遅延時間を精度よく設定することができる。

【特許文献1】実用新案登録第2593780号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、図3のような回路では、コンパレータが3つ必要であり、基準電圧V1~V4を得るため精度の良い電圧源を必要とする。このため、回路規模が大きくなるという問題があった。回路規模を小さくするために図5のような回路も考えられるが、LSIにこのような回路を搭載した場合、電源電圧やプロセスパラメータの影響で遅延時間が大きく変化するという問題があった。

10

【0006】

本発明は、上記のような問題を解決するためになされたものであり、カレントミラー回路で設定した電流を用いて遅延時間を設定することにより、コンパレータや基準電圧生成回路を使用せずに回路規模を小さくすることができ、電源電圧の変動による遅延時間の変化を小さくすることができるパルス発生回路を得ることを目的とする。

【課題を解決するための手段】

【0007】

この発明に係るパルス発生回路は、パルス信号からなる入力信号が入力されてから所定時間後にパルス信号を所定の出力端から出力するパルス発生回路において、

20

所定の定電流を生成して出力する定電流発生回路と、

該定電流発生回路からの定電流によって充電されるコンデンサと、

前記入力信号における信号レベルの所定の変化を検出するDフリップフロップ回路と、

該Dフリップフロップ回路の所定の出力端から出力される信号に応じて、前記コンデンサに充電又は放電を行わせる充放電切替回路と、

前記コンデンサに充電された電荷によって発生する電圧を2値の信号に変換して前記出力端に出力する変換回路と、

を備え、

30

前記変換回路の出力信号が、前記Dフリップフロップ回路のリセット信号入力端に入力され、変換回路の出力信号をDフリップフロップ回路のリセット信号入力端に帰還する帰還ループを形成するものである。

【0008】

具体的には、前記定電流発生回路は、入力端に定電流源が接続されたカレントミラー回路で構成されるようにした。

【0009】

また、前記充放電切替回路は、Dフリップフロップ回路の所定の出力端から出力された信号に応じて前記コンデンサの放電を行うトランジスタからなるようにした。

【0010】

また、前記Dフリップフロップ回路は、外部からのリセット信号又は前記変換回路の出力信号に応じて所定のリセット動作を行うようにしてもよい。

40

【発明の効果】

【0011】

本発明のパルス発生回路によれば、カレントミラー回路からなる定電流発生回路で設定した電流を用いて遅延時間を設定することができ、コンパレータや基準電圧生成回路を使用せずに回路規模を小さくできると共に電源電圧の変動による遅延時間の変化を小さくすることができる。

【発明を実施するための最良の形態】

【0012】

50

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態 .

図 1 は、本発明の第 1 の実施の形態におけるパルス発生回路の回路例を示した図である。

図 1 において、パルス発生回路 1 は、D フリップフロップ 2、カレントミラー回路 3、OR 回路 4、インバータ 5、6、NMOS トランジスタ 7、抵抗 8 及びコンデンサ 9 を備えている。更に、カレントミラー回路 3 は、PMOS トランジスタ 11 及び 12 で形成されている。なお、D フリップフロップ 2 は D フリップフロップ回路を、カレントミラー回路 3 及び抵抗 8 は定電流発生回路を、インバータ 5、6 は変換回路を、NMOS トランジスタ 7 は充放電切替回路を、抵抗 8 は定電流源をそれぞれなす。

10

【0013】

正側電源電圧 VDD と負側電源電圧 VSS との間に、PMOS トランジスタ 11 と抵抗 8 が直列に接続される共に PMOS トランジスタ 12 と NMOS トランジスタ 7 が直列に接続されている。PMOS トランジスタ 11 及び 12 の各ゲートは接続され、該接続部が PMOS トランジスタ 11 のドレインに接続されている。NMOS トランジスタ 7 のゲートは、D フリップフロップ 2 の反転出力端 QB に接続され、NMOS トランジスタ 7 に並列にコンデンサ 9 が接続されている。

【0014】

一方、PMOS トランジスタ 12 と NMOS トランジスタ 7 との接続部と出力端 OUT との間にはインバータ 5 及び 6 が直列に接続されている。更に、インバータ 6 の出力端は、OR 回路 4 の一方の入力端に接続され、OR 回路 4 の他方の入力端には外部からのリセット信号 RES が入力されている。OR 回路 4 の出力端は、D フリップフロップ 2 のリセット信号入力端 R に接続され、D フリップフロップ 2 の入力端 D には正側電源電圧 VDD が入力され、D フリップフロップ 2 のクロック信号入力端 CK には外部からの入力信号 Si が入力されている。

20

【0015】

このような構成において、OR 回路 4 の出力信号を Sb に、D フリップフロップ 2 の出力端 QB からの出力信号を Sd にそれぞれすると共に、NMOS トランジスタ 7、PMOS トランジスタ 12、コンデンサ 9 及びインバータ 5 の入力端の接続部を接続部 p とする。更に、インバータ 5 の出力信号を Sf とすると共に、インバータ 6 の出力信号を So とする。

30

図 2 は、図 1 のパルス発生回路 1 の動作例を示したタイミングチャートであり、図 2 を参照しながら図 1 のパルス発生回路 1 の動作について説明する。なお、図 2 において、斜線で示した部分は、D フリップフロップ 2 にリセットがかかる前の不定状態であることを示している。

【0016】

リセット信号 RES がハイ (High) レベルになると、D フリップフロップ 2 にリセットがかかり、出力端 Q はロー (Low) レベルに、反転出力端 QB はハイレベルになる。このとき、NMOS トランジスタ 7 は、オンしてコンデンサ 9 の電荷を放電し、接続部 p の電圧、すなわちインバータ 5 の入力端に入力される信号 Sp の電圧 Vp を負側電源電圧 VSS にする。このことから、インバータ 5 の出力信号 Sf はハイレベルになると共にインバータ 6 の出力信号 So はローレベルになり、リセット信号 RES がハイレベルからローレベルに戻ると、D フリップフロップ 2 のリセット状態が解除され、この状態は入力信号 Si の立ち上がりまで保たれる。

40

【0017】

入力信号 Si がローレベルからハイレベルに変わると、D フリップフロップ 2 において、出力端 Q はハイレベルに、反転出力端 QB はローレベルにそれぞれ変化する。NMOS トランジスタ 7 はオフ状態になり、カレントミラー回路 3 の出力電流 ip によってコンデンサ 9 が充電される。該出力電流 ip は、PMOS トランジスタ 11 及び 12 のゲート幅 W 及びゲート長 L がそれぞれ同じで、 $i_p = \mu_0 \times C_{ox} \times W / L$  (ただし、 $\mu_0$  : 移動度

50

、 $C_{ox}$ ：単位面積当たりのゲート酸化膜容量とする)とした場合、下記(1)式で示すことができる。

$$i_p = \left( \frac{V_{tp}}{2} \right) \times \left[ \left[ \frac{V_{tp}}{R_1} + \left\{ \left( \frac{V_{tp}}{R_1} \right)^2 - \frac{V_{DD}}{R_1} \right\}^{1/2} \right] - V_{tp} \right]^2 \dots \dots \dots (1)$$

なお、 $V_{tp}$ はPMOSトランジスタのしきい値(絶対値)を、 $R_1$ は抵抗8の抵抗値をそれぞれ示している。

#### 【0018】

前記電流 $i_p$ でコンデンサ9を充電したときの接続部pの電圧 $V_p$ は、入力信号 $S_i$ の信号レベルがローレベルからハイレベルになった時間、すなわちNMOSトランジスタ7がオフ状態になった時間を基準として、下記(2)式のように示すことができる。

$$V_p = (i_p / C_1) \times t \dots \dots \dots (2)$$

なお、 $t$ は時間を、 $C_1$ はコンデンサ9の容量をそれぞれ示している。

#### 【0019】

インバータ5のしきい値 $V_{th}$ が $V_{DD}/2$ であるとする、インバータ5の出力信号 $S_f$ がハイレベルからローレベルに反転する時間は、下記(3)式のように示すことができる。

$$t = (C_1 \times V_{DD}) / (2 \times i_p) \dots \dots \dots (3)$$

#### 【0020】

インバータ5の出力信号 $S_f$ の信号レベルが反転してハイレベルからローレベルになると、インバータ6の出力信号 $S_o$ はローレベルからハイレベルに信号レベルが反転する。出力信号 $S_o$ が帰還され、OR回路4を介してDフリップフロップ2にリセットがかかると、再びDフリップフロップ2の出力端QBがハイレベルになる。このことにより、出力端OUTはローレベルになり、該状態は入力信号 $S_i$ がハイレベルになるまで保たれる。

なお、電源電圧 $V_{DD}$ が変化したとき、前記(3)式における分子( $C_1 \times V_{DD}$ )が変化するが、前記(3)式の分母における電流 $i_p$ は、前記(1)式のように分子の変化分とほぼ同じ割合で電源電圧 $V_{DD}$ によって変化するため、結果として、電源電圧 $V_{DD}$ による遅延時間の変動の小さいパルス発生回路を実現することができる。

#### 【0021】

このように、本第1の実施の形態におけるパルス発生回路は、入力信号 $S_i$ の変化を検出するDフリップフロップ2の反転出力信号 $S_d$ が入力されるNMOSトランジスタ7の動作によって、コンデンサ9に対してカレントミラー回路3からの電流 $i_p$ による充電又は放電が行われ、コンデンサ9に充電された電荷により発生する電圧 $V_p$ が入力されるインバータ5の出力信号 $S_f$ をインバータ6を介してDフリップフロップ2のリセット端子RESに帰還する帰還ループを形成するようにした。このことから、カレントミラー回路で設定した電流を用いて遅延時間を設定することができ、コンパレータや基準電圧生成回路を使用せずに回路規模を小さくできると共に電源電圧の変動による遅延時間の変化を小さくすることができる。

#### 【図面の簡単な説明】

#### 【0022】

【図1】本発明の第1の実施の形態におけるパルス発生回路の回路例を示した図である。

【図2】図1のパルス発生回路1の動作例を示したタイミングチャートである。

【図3】従来のパルス発生回路の回路例を示した図である。

【図4】図3のパルス発生回路100の動作例を示したタイミングチャートである。

【図5】従来のパルス発生回路の他の回路例を示した図である。

#### 【符号の説明】

#### 【0023】

- 1 パルス発生回路
- 2 Dフリップフロップ
- 3 カレントミラー回路
- 4 OR回路

10

20

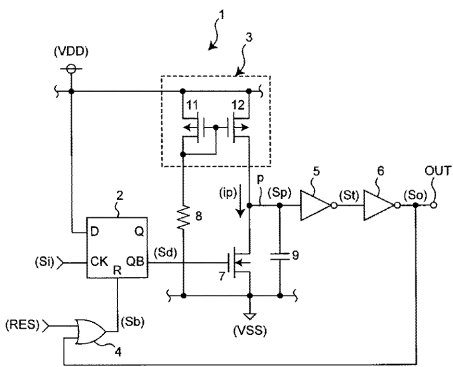
30

40

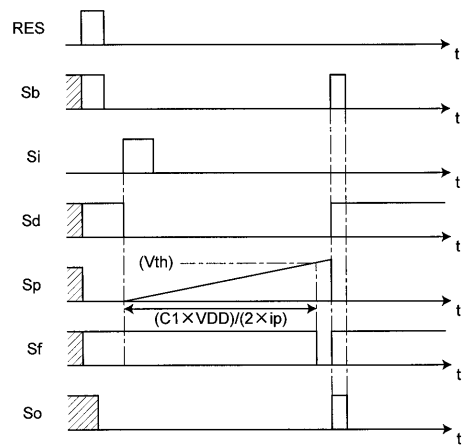
50

- 5 , 6 インバータ
- 7 NMOSTランジスタ
- 8 抵抗
- 9 コンデンサ
- 11 , 12 PMOSTランジスタ

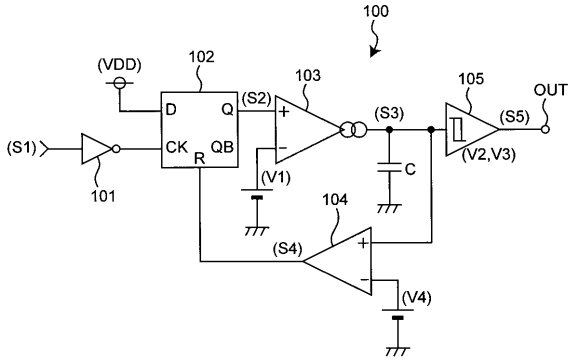
【 図 1 】



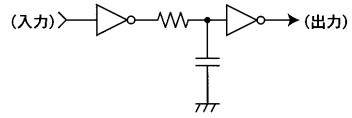
【 図 2 】



【 図 3 】



【 図 5 】



【 図 4 】

