

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年12月27日(2007.12.27)

【公表番号】特表2007-525827(P2007-525827A)

【公表日】平成19年9月6日(2007.9.6)

【年通号数】公開・登録公報2007-034

【出願番号】特願2006-541483(P2006-541483)

【国際特許分類】

<i>H 01 L</i>	<i>21/8238</i>	(2006.01)
<i>H 01 L</i>	<i>27/092</i>	(2006.01)
<i>H 01 L</i>	<i>29/423</i>	(2006.01)
<i>H 01 L</i>	<i>29/49</i>	(2006.01)
<i>H 01 L</i>	<i>21/28</i>	(2006.01)
<i>H 01 L</i>	<i>29/78</i>	(2006.01)

【F I】

<i>H 01 L</i>	<i>27/08</i>	3 2 1 D
<i>H 01 L</i>	<i>29/58</i>	G
<i>H 01 L</i>	<i>21/28</i>	3 0 1 R
<i>H 01 L</i>	<i>29/78</i>	3 0 1 G

【手続補正書】

【提出日】平成19年10月19日(2007.10.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

金属層と炭素含有層とを反応させることによって得られる炭化金属ゲート電極を有する少なくとも1つの電界効果トランジスタ(FET)を含む半導体構造。

【請求項2】

前記炭化金属がMoまたはMo-Ru合金の炭化物を含む、請求項1に記載の半導体構造。

【請求項3】

前記半導体構造が、ゲート金属から形成されたゲートを有する少なくとも1つのFETと、金属の炭化物から形成されたゲートを有する少なくとも1つのFETとを含む二重仕事関数のCMOSを含む、請求項1に記載の半導体構造。

【請求項4】

前記炭化物の前記金属が前記ゲート金属とは異なり、MoまたはMo-Ru合金を含む、請求項3に記載の半導体構造。

【請求項5】

第1のゲート金属から形成されたゲートを有する少なくとも1つのFETと、前記第1のゲート金属の炭化物から形成されたゲートを有する少なくとも1つのFETと、を含む、二重仕事関数のCMOSデバイス。

【請求項6】

前記第1の金属が、Al、Ba、Be、Bi、Co、Cr、Cu、Dy、Fe、Ga、Gd、Ir、Hf、Mg、Mo、Mn、Nb、Ni、Pd、Pt、La、Os、Pr、R

h、Re、Ru、Sc、Sn、Ta、Ti、V、W、Y、Zn、およびZrと、これらの金属またはその合金の導電窒化物、シリサイド、ゲルマニウム化物、窒化シリコンと、追加の非金属元素の有無を問わず、これらの金属の導電合金および化合物からなるグループから選択される、請求項5に記載のCMOSデバイス。

【請求項7】

前記第1の金属がMoまたはMo-Ru合金を含む、請求項5に記載のCMOSデバイス。

【請求項8】

第1の金属と少なくとも1つの追加元素から形成されたゲート電極を有する少なくとも1つのFETと、

前記第1の金属の炭化物から形成されたゲート電極を有する少なくとも1つのFETと、
を含む、二重仕事関数のCMOS回路。

【請求項9】

基板を準備するステップと、
前記基板の上に金属と炭素含有層とを付着させ、前記金属と炭素含有層とを反応させてゲート電極を設けるための炭化金属を形成するステップと、
を含み、前記金属がMoまたはMo-Ru合金である、FET用のゲートを形成する方法。

【請求項10】

基板上に二重仕事関数のCMOSデバイスを形成する方法であって、
第1および第2のセットのゲート領域上に金属の層を付着させるステップと、
前記第1および第2のセットのゲート領域のうちの一方に接触し、前記第1および第2のセットのゲート領域のうちのもう一方には接触せず、前記第1および第2のセットのゲート領域のうちの前記一方の上の前記金属層に直接接触する炭素含有層を設けるステップと、
前記第1および第2のセットのゲート領域のうちの前記一方の上の前記炭素含有層と、前記第1および第2のセットのゲート領域のうちの前記一方の上の前記金属とを反応させて、炭化金属を形成するステップと、
を含む、方法。

【請求項11】

前記炭素含有層を設けるステップが、炭素含有層を付着させるステップと、前記第1および第2のセットのゲート領域のうちの一方から前記炭素含有層を選択的に除去することにより前記炭素含有層にパターン形成し、さらに、前記第1および第2のセットのゲート領域のもう一方の上に残存している前記炭素含有層を残す、ステップとを含む、請求項10に記載の方法。

【請求項12】

前記炭素含有層を設けるステップが、フォトレジスト層を付着させてパターン形成するステップと、前記フォトレジスト層上に前記炭素含有層を付着させ、次に、前記フォトレジストの上に位置していない前記炭素含有層を残しながら、前記フォトレジストの上に位置する前記炭素含有層とともに前記フォトレジストを除去するステップとを含む、請求項10に記載の方法。

【請求項13】

前記金属と前記炭素含有層とを反応させた後で前記金属層にパターン形成する、請求項10に記載の方法。

【請求項14】

前記炭素含有層を付着させてパターン形成した後で前記金属層にパターン形成してゲート形構造を形成する、請求項10に記載の方法。

【請求項15】

前記金属層が、少なくとも1つの追加元素をさらに含む、請求項10に記載の方法。

【請求項 16】

前記金属が、Al、Ba、Be、Bi、Co、Cr、Cu、Dy、Fe、Ga、Gd、Ir、Hf、Mg、Mo、Mn、Nb、Ni、Pd、Pt、La、Os、Pr、Rh、Re、Ru、Sc、Sn、Ta、Ti、V、W、Y、Zn、およびZrと、これらの金属またはその合金の導電窒化物、シリサイド、ゲルマニウム化物、窒化シリコンと、追加の非金属元素の有無を問わず、これらの金属の導電合金および化合物からなるグループから選択される、請求項10に記載の方法。

【請求項 17】

前記炭素含有層の材料が、ダイヤモンド、グラファイトと、最小H含有量の非晶質炭素と、非晶質水素添加炭素と、炭素含有ポリマーと、有機フォトレジストと、Si、O、N、またはHあるいはこれらの組み合わせなどのその他の元素を含む非晶質炭素含有層と、からなるグループから選択される、請求項10に記載の方法。

【請求項 18】

基板上に二重仕事関数のCMOSデバイスを形成する方法であって、第1および第2のセットのゲート領域のうちの一方に接触し、前記第1および第2のセットのゲート領域のうちのもう一方には接触していない炭素含有層を設けるステップと、

前記第1および第2のセットのゲート領域上に、前記第1および第2のセットのゲート領域のうちの前記一方の上の前記炭素含有層に直接接触する金属の層を付着させるステップと、

前記第1および第2のセットのゲート領域のうちの前記一方の上の前記炭素含有層と、前記第1および第2のセットのゲート領域のうちの前記一方の上の前記金属とを反応させて、炭化金属を形成するステップと、

を含む、方法。

【請求項 19】

前記炭素含有層を設けるステップが、炭素含有層を付着させるステップと、前記第1および第2のセットのゲート領域のもう一方の上に残存している前記炭素含有層を残しながら、前記第1および第2のセットのゲート領域のうちの一方から前記炭素含有層を選択的に除去するステップとを含む、請求項18に記載の方法。

【請求項 20】

前記炭素含有層を設けるステップが、フォトレジスト層を付着させてパターン形成するステップと、前記フォトレジスト層上に前記炭素含有層を付着させ、次に、前記フォトレジストの上に位置していない前記炭素含有層を残しながら、前記フォトレジストの上に位置する前記炭素含有層とともに前記フォトレジストを除去するステップとを含む、請求項18に記載の方法。

【請求項 21】

前記金属と前記炭素含有層とを反応させた後で前記金属層にパターン形成する、請求項18に記載の方法。