

公告本

申請日期	9/15/23
案 號	911/0875
類 別	H01L29/8605

A4
C4

(以上各欄由本局填註)

558839

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	垂直金氧矽場效半導體二極體
	英 文	VERTICAL METAL OXIDE SILICON FIELD EFFECT SEMICONDUCTOR DIODES
二、發明 創 作 人	姓 名	理察 A. 梅茲勒 RICHARD A. METZLER
	國 籍	美國 U.S.A.
	住、居所	美國加州米遜維吉市爪拉路28232號 28232 DRIZA, MISSION VIEJO, CALIFORNIA 92692, U.S.A.
三、申請人	姓 名 (名 稱)	美商維藍科技責任有限公司 VRAM TECHNOLOGIES, LLC
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國加州哥斯塔梅莎市麥柯明克大道345號 345 MCCORMICK AVENUE, COSTA MESA, CALIFORNIA 92626, U.S.A.
	代 表 人 姓 名	理察 A. 梅茲勒 RICHARD A. METZLER

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2001年05月23日 09/864,436 ☒有 ☐無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

發明背景

1. 發明領域

本發明一般是有關於半導體裝置以及其製造方法。本發明尤其是有關於半導體二極體以及其製造方法。

2. 背景資訊

不同種類的半導體裝置在習用技術中是眾所周知的。因為本發明是有關於半導體二極體以及如何製造，所以本段說明的焦點是在半導體二極體上。

半導體二極體已經廣泛的應用於不同目的的電子電路。這種半導體二極體的主要目的是要提供對應於順向電壓偏壓的順向導通電流，以及阻擋對應於反向電壓偏壓的反向導通電流。該整流功能廣泛的應用於如不同種類的電源供應器，以及許多其它電子電路。

在典型的半導體二極體中，順向導通是被限制在漏電流值，直到順向電壓偏壓達到給特別型式半導體裝置用的特徵值為止。例如，矽pn接面二極體並不大量導通，直到順向電壓偏壓至少約0.7伏為止。許多矽蕭基二極體，因為蕭基障位的特性，而會開始在較低電壓下導通，比如0.4伏。鍺pn接面二極體在室溫下具有順向導通電壓降約0.3伏。然而，現在很少使用，不只是因為與矽積體電路製造的不相容性而已，而且還因為當作分散裝置時的溫度敏感性以及其它不需要的特性。

某些應用中，二極體並不是因其整流特性來使用，而是一直都是在順向偏壓下使用，以便提供其特徵順向導通電

五、發明說明(2)

壓降。例如，在積體電路中，二極體或二極體連接電晶體都經常被用來提供基本上等於電路內另一電晶體之基極-射極電壓的順向導通電壓降。雖然本發明的某些實施例可以發現到在這類一般電路中的使用，但是這類的使用並不是主要目的。

在使用半導體二極體之真實整流特性的電路中，二極體的順向導通電壓降在本質上通常是個缺點。特定的實例是，在直流對直流步階下降轉換器中，一般是使用變壓器，其中由適當控制器所控制的半導體切換器是用來週期性的連接以及切斷變壓器之主要電壓與直流電源。第二電壓是經由具整流特性之二極體，或是經由另一半導體切換器，而連接到轉換器的輸出。控制器改變工作周期或是到所需電源之主要連接的頻率，以保持所需輸出電壓。如果是用半導體切換器將第二電壓連接到輸出，則該該控制器也會控制第二切換器的操作。

使用半導體切換器將第二電壓耦合到輸出的優點是具有很低順向導通電壓降，雖然缺點是需要很小心的控制控制器的整體操作溫度範圍，以保持主要電壓至第二電壓的能量轉換效率。為此而使用半導體二極體所具有的優點是，去除掉對第二切換器進行控制的需要，但是缺點是，將半導體二極體的順向導通電壓降加到第二電路上。這具有至少二個主要缺點。第一，半導體二極體裝置的順向導通電壓降可以在本質上降低轉換器的效率。例如，一般在電腦系統中所使用到的較新積體電路都是被設計成操作在較低

五、發明說明 (3)

電源電壓，比如3.3伏，3伏以及2.7伏。如果是3伏電源電壓，則施加0.7伏的串聯電壓降是指，轉換器實際上是操作到3.7伏的負載，進而限制住轉換器的效率到81%，即使是在考慮到其它電路的損失之前。

第二，上述的效率損失代表二極體內的功率損失，造成對二極體的加熱。這會限制積體電路轉換器的功率轉換能力，而且在許多應用中需要使用到具足夠大小的分散二極體，增加整體的電路尺寸大小以及成本。

交流至直流轉換的另一常用電路是全波橋式整流器，通常是耦合到變壓器的第二繞線，具有被交流電源所驅動的主要電壓。此時，二個二極體電壓降被加到尖峰直流輸出，讓該電路在使用傳統二極體時會特別沒有效率，並增加電路的熱產生，而需要經由大的分散裝置，熱散失結構，等等來散熱，視所要提供的直流功率而定。

因此，具有低順向導通電壓降的半導體二極體，來當作電路中的整流單元是很有益處的，其中該二極體每次都會遭受到順向與反向偏壓電壓。雖然這種二極體會發現許多分散式的應用，但是這種二極體更加需要與積體電路製造技術相容，而能以積體電路型式實現相同裝置，當作更大積體電路的一部分。此外，雖然反向漏電流一直都是不需要的，而且正常的說是一定會被額外的順向導通電流構成，進而降低電路效率，但是反向漏電流對某些電路可以具有其它以及更加本質的負面效應。因此，這種半導體二極體也不需要進一步具有較低反向偏壓漏電流。

五、發明說明(4)

在許多應用中，需要將二極體放在跨越比如變壓器的線圈上。在這些實例中，反向電壓可能被施加到驅動成反向崩潰的二極體上，特別是進入接面雪崩崩潰條件。在直流至直流轉換器中尤其是如此，該轉換器是使用快速變化波形來驅動連接跨越二極體橋的變壓器線圈。這些應用中，"雪崩崩潰能量"能力的規格需求是一個參數，一般是包括在資料文件中。對於這種電路的設計者而言，二極體的雪崩崩潰能量能力是很重要的因素。當設計半導體二極體到電路內時，雪崩崩潰能量能力會決定出設計者要具有多少設計邊際。愈大數值的雪崩崩潰能量能力，電路設計者會有愈多的設計彈性。

雪崩崩潰能量能力是二極體從線圈中吸收能量之能力的一項量度，其中能量 $E=(1/2)*I^2*L$ ，而不破壞二極體。這些要求通常是在數十毫焦耳的數量級。二極體非破壞性散失掉這些能量之能力的關鍵因素是要散失掉這些能量之接面面積的大小，亦即，實際上在雪崩崩潰時進行導通的接面面積。半導體二極體的高雪崩崩潰能量能力會改善其利用率。

同時，有需要藉縮小其尺寸大小以及改善其製造方法，來降低半導體二極體的成本。

發明的簡單摘要

本發明包括如申請專利範圍中所主張的方法以及裝置。簡要的說，本發明是揭示出一種半導體二極體，具有低順向導通電壓降，低反向漏電流，高電壓能力與崩潰能量能

五、發明說明(5)

力，適合積體電路以及分散裝置使用。半導體二極體是垂直圓柱狀金氧半場效裝置的二極體，具有一個二極體端，當作垂直圓柱狀金氧半場效裝置之閘極與汲極之間之共同連接，還具有一個二極體端，當作垂直圓柱狀金氧半場效裝置之源極的共同連接。本發明揭露出製造垂直圓柱狀金氧半場效裝置的方法。可以使用不同的裝置終止，來完成二極體裝置。本發明揭露出不同的實施例。

對於熟知該技術領域的人士來說，在檢討過本發明特定實施例的說明以及相關專利權主張與圖式後，本發明的其他特點與特性將會變得更為明顯。

圖式的簡單說明

本發明的優點與特性，對於熟知該技術領域的人來說，將從以下本發明的詳細說明中變得更為明顯，其中：

圖1是本發明會使用到的全波橋式整流器之已知直流至交流轉換器的電路圖。

圖2A-2B是依據本發明二極體連接之n通道與p通道金氧半場效裝置的示意圖。

圖2C是圖2A與2B中二極體連接金氧半場效裝置的等效電路示意圖。

圖3A-3N是顯示出製造本發明二極體連接垂直金氧半場效裝置之典型處理步驟的剖示圖。

圖4A-4N是顯示出製造本發明二極體連接垂直金氧半場效裝置之另一典型處理步驟的剖示圖。

圖5A-5C是本發明垂直MOSFED二極體之典型另一結構的上視圖。

圖6顯示出晶圓上的主動二極體區域，該晶圓上形成複數

五、發明說明(6)

個垂直MOSFED二極體。

圖7是主動二極體區域的電氣等效示意圖。

圖式中相類似的參考數號與標記表示具有類似功能的單元。

本發明的詳細說明

首先參閱圖1，可以看到本發明會使用到的全波橋式整流器之已知直流至交流轉換器的電路圖。這種電路中，變壓器110是用來提供主要電路與第二電路之間的直流隔絕，並經常提供交流電壓向上步階或向下步階給全波橋，包括二極體D1，D2，D3與D4。當第二導線112相對於第二導線114是足夠正時，二極體D2將通過電阻116導通而充電，或進一步對電容118充電，並提供電流給負載119，該電流會經過二極體D3流到變壓器的導線114。類似的，在交流電壓的另一半周期內，當第二導線114相對於第二導線112是足夠正時，二極體D4會導通，經過電阻116提供電流充電給電容118，並提供電流給負載119，電容與負載電流會經過二極體D1流到導線112。所以可以看出來，每次電流從二極體D1的全波橋經由D4而流到全波橋的輸出時，二個二極體電壓降是與輸出串聯起來。此外，既然任何一對二極體只有在跨接變壓器110第二電路的電壓超過電容118跨壓有二個二極體壓降時才導通，所以很清楚的，電流只有在部分時間內才送到全波橋的輸出，亦即當變壓器第二電壓是在正或負尖峰或是接近時。

圖1的電路只是本發明會用到的實例性電路。這些電路的

五、發明說明(7)

特徵是，在該電路中，二極體會遭受到正(順向)與負(反向)差額電壓，跨越到二個二極體連接上，而且二極體的功能是整流功能，提供直流或整流電流輸出。要與這個分辨開的應用是，二極體的所需功能是要提供電壓參考，對應於二極體在導通電流時的順向導通電壓降特性，而不論二極體在使用時是否遭受到負差額電壓。本發明尤其適合的電路之特徵是，在該電路中，一個二極體或數個二極體將會遭受到跨越二極體連接上的正與負差額電壓，而且一個二極體或數個二極體的功能是功率整流功能，提供有足夠功率準位的直流整流電流輸出，以便供電給一個或多個電路連接用。要與這個分辨開的應用是，二極體的所需功能是要提供信好準位電流輸出，是要在後續電路中使用到的或進行處理，並不用二極體的直流或整流電流輸出。

圖1所示的許多電路種類中，除了平滑電容118，線性電壓調節器還可以在輸出時使用。此外，可以去除掉當作電流限制電阻用的電阻116，當作分開的電路元件，以配合變壓器的第二電阻值，因為本質上所有有用應用中的變壓器，將是有足夠大尺寸的實際分散元件，來逸散掉功率損失。然而，本發明中最重要的是二極體D1至D4本身，因為一般在這些二極體內的功率損失是沒有所需的電路功能，只產生不希望有的功率逸散與熱，而需要使用較大的二極體，不論是以分散元件或積體電路的形式，並且要提供該額外的功率輸出，實際上會增加變壓器的大小，比如負載所需的功率加上二極體逸散的功率。

五、發明說明(8)

本發明是要實現具有低二極體順向導通電壓降，低反向漏電流以及高電壓能力的二極體及/或二極體功能，主要是在這些電路或其它電路中使用，其中二極體可以是或實際上是遭受到使用中的順向與反向偏壓。在本發明中，是經由使用二極體連接場效裝置來達成，分別如圖2A與2B所示的n通道與p通道二極體連接場效裝置。依據本發明的較佳實施例，這種裝置是經由使用共用閘極與汲極連接來製造，通常是在基底上的共用傳導層，最好是經由一個或多個特別製造技術來加強最後裝置的電器特性。圖2C顯示出圖2A與2B二極體連接場效裝置的等效二極體，具有相對應的陽極"A"與陰極"C"端。

本發明實現形成一個或多個垂直與圓柱狀金氧半場效電晶體(MOSFET)的半導體二極體，具有二極體連接的構造。具有二極體連接構造的一個或多個平行連接垂直與圓柱狀金氧半場效電晶體(MOSFET)是指當作建構成一個或多個垂直金氧半場效裝置(MOSFED)的二極體。

製造垂直MOSFED的二極體時，也可以使用美國專利申請編號09/689,074由Richard A. Metzler以標題為"METHOD AND APPARATUS FOR PATTERNING FINE DIMENSIONS"而在2000年十月12日提出專利申請所述的光罩與製造技術，該專利在此當作參考資料，以便降低光罩的成本，並在本發明中提供比其它可用接線還細的接線。

製造本發明實施例的方法在此是依照圖3A-3N以及圖4A-4N的剖示圖來說明。這些實例性的方法形成本發明垂直金

五、發明說明(9)

氧半場效裝置(MOSFED)建構的二極體。垂直金氧半場效裝置所建構的個別二極體，在本質上可以被視為圓柱狀與垂直金氧半場效電晶體，連接到與共用閘極-汲極連接。(在此，為了特定目的，源極與汲極是以正常順向導通的方式來表示，認為源極與汲極在反向偏壓裝置時是反向的。)本發明垂直金氧半場效裝置所建構的二極體也被稱作垂直MOSFED二極體。然而，本發明不是傳統的金氧半場效電晶體(MOSFET)，因為操作不同，而且是用不同的方法製造出來。如同以下所看到的，在一般的應用中，較大的複數個緊密堆積MOSFED裝置是在單一基底上形成，所有的裝置都具有共用閘極-汲極連接以及共用源極連接。結果，在此所使用到的MOSFED可以看成是單一基底上多個共用連接裝置的單一裝置。

現在參閱圖3A-3N，是顯示出製造本發明二極體連接垂直金氧半場效裝置之實例性方法步驟的剖示圖。二極體連接或二極體組合垂直MOSFED都是使用圓柱狀基座來形成。圖3A-3L只顯示出一部份晶圓來說明單一MOSFED裝置的形成。通常，這種多個裝置是同時複製出大量數目之共用連接裝置集合體，跨越較大區域或整個半導體晶圓而形成。而且一般每個多個裝置的集合體，結合某種形式的邊緣終止，如習用技術中所已知的，來提供所需的崩潰電壓。

圖3A顯示出具二個矽磊晶層之晶圓的起始矽基底300。第一矽磊晶層301，直接在基底300的頂部，是與基底具相同的導電型，而且是要形成增加的反向崩潰電壓給二極體裝

五、發明說明 (10)

置。第二矽磊晶層302，直接在第一矽磊晶層301的頂部，並形成晶圓的表面，是具有相反的導電型。在用N型基底的實施例中，第一矽磊晶層具有約1.1 ohm-cm的電阻值且厚度約3 μm ，以便達成約40-5伏的反向偏壓崩潰電壓。第二P型矽磊晶層具有約0.25 ohm-cm的電阻值且厚度約0.6 μm ，被選取來決定MOSFED臨界值。具有矽磊晶層的磊晶晶圓可以買來當作起始材料，或是使用已知的標準磊晶成長技術，當作二極體處理的一部分來形成。第二磊晶層可以用沉積技術或離子佈植技術緊接著驅動製程來取代，進而在第一磊晶層的表面中形成第二導電型。

如果是N型矽基底，基底300的較低或背面表面會形成陰極，而基底300的頂部表面部分會形成陽極。如果是P型矽基底，二極體端被反轉，且基底300的較低或背面表面形成陽極，而基底300的頂部表面部分會形成陰極。

薄氧化層303是在基底300的表面上形成，如圖3B所示，以便將緊接的片離子佈植打亂掉。薄氧化層303通常是厚度三百埃(300薄氧化層Å)。緊接的片離子佈植不需要光罩來進行光罩處理，而是由被離子佈植到整個晶圓上的離子構成。片離子佈植是要提供良好的歐姆接觸給垂直MOSFED二極體的P型背部閘極區。離子佈植是約 4×10^{15} 原子每 cm^2 能量15 KeV的硼離子佈植。

再次參閱圖3B，顯示出完成第一光罩步驟。在第一光罩步驟與蝕刻處理之前，一層氧化物被加到跨越晶圓的薄氧化層303的頂部。然後利用光罩對氧化物層定義出圖案，並

五、發明說明 (11)

蝕刻掉包括部分薄氧化層303的區域，而在薄氧化層303上形成圓柱狀結構基座304。實施例中，圓柱狀結構基座304約1.0微米(μm)高。基座304的形狀可以是任何形狀，包括圓形，六角形，方形，矩形以及其它如彎區形等的固態形狀，但並受限於此。為了方便說明起見，圓柱狀可以假定是在氧化物層之外形成的矩形，而該矩形是形成矩形圓柱狀基座或棒狀。圖3B顯示出複數個矩形圓柱狀基座304中的四個之剖示圖，是跨越矽晶圓所形成。矩形圓柱狀結構基座304的尺寸大小在實施例中是約0.15微米寬，約1.0微米高，約0.4微米的間距。要了解的是，這些尺寸大小可以依據任何離子佈植程度的調整而改變，以便提供相類似的元件物理給二極體組合垂直MOSFED。矽晶圓的區域310是被分解成圖3C，以便進一步詳細說明複數個基座304中每一個的處理。

現在參閱圖3C，顯示出圖3B中區域310的分解圖。矩形圓柱狀結構基座304是在基底300的薄氧化物層303表面上形成。圖3D-3L顯示出對應於圖3C矩形圓柱狀結構基座304之二極體組合垂直MOSFED的進一步處理。

現在參閱圖3D，薄氧化物層303以及在基座304之間的部分基底300都已經被蝕刻到約500 Å的深度，形成淺矽溝槽308以及基底基座309。該蝕刻步驟是反應性離子蝕刻(RIE，方向性蝕刻)，同常是在矽處理中使用，形成溝槽金氧半(MOS)電晶體與電容。現在要進行N型陽極接觸離子佈植，通常是砷，劑量是 $3\text{E}15$ 而能量是15 KeV。這會提供在每個

五、發明說明 (12)

基座邊緣周邊的區域312，而該基座將變成裝置表面上的陽極區(汲極)。

現在參閱圖3E，額外的矽蝕刻已經進行到深度0.6 μm 。這會留下矽基座結構頂部上的陽極區312。緊接著是另一硼離子佈植314，劑量 3×10^{14} ，能量15 KeV，以便形成FED的源極。

另一500 Å的第三矽蝕刻結果是顯示於圖3F。去除掉溝槽底部第二離子佈植的主要部分，留下隔絕開的源極離子佈植314，接觸到N型磊晶層，如有使用到N型磊晶層的話，或是到達N型基底，如不使用N型磊晶層的話。該第二離子佈植並不是必要的，而另一實施例不需該第二離子佈植以及第三矽蝕刻，而建構出裝置。然而該第二離子佈植對於降低該裝置的導通電阻是很有用的。

如圖3G所示，氧化物基座的殘留部分被剝離開，而100 Å厚閘極氧化物層316以及重摻雜多晶矽層318是在閘極形成的第一階段以保持原有形狀的方式沉積到該裝置上。

下個處理步驟是多晶矽層的RIE蝕刻(方向性蝕刻)，終止於氧化物層，形成側壁閘極區318，如圖3H所示。緊接著是硼離子佈植，形成P型區320，以便阻斷掉在反向偏壓(off)期間從閘極氧化物底部的潛在性。

如圖3I所示，進行進一步的多晶矽RIE蝕刻。讓多晶矽閘極318向下移動，以便通到汲極單元。緊接著的是氧化物蝕刻，去除掉閘極氧化物，如圖3J所示。這會備製好表面給如TiSi或TiW之金屬擴散阻障層322的應用。圖3K顯示出具

五、發明說明 (13)

有阻障金屬層322的完成裝置，以及加在該結構上的頂部金屬層324。

圖3L顯示出具最後金屬之四個基座的完成部分。然而未顯示的是給該裝置用的源極接觸。某些應用中，源極接觸是將金屬化層330沉積到基底300背部上來做成，而與垂直MOSFED裝置332在相反側，如圖3M所示。在其它應用中，垂直MOSFED裝置332是在位阱334內形成，而源極接觸是將金屬化層330沉積到鄰接到或圍繞在垂直MOSFED裝置的位阱表面上來做成，如圖3N所示。

現在參閱圖4A至4M，可以看到形成本發明MOSFED的另一方法。該方法中，起始步驟是與圖3的說明相同，特別是圖3A至3D。所以，圖4A至4D是與圖3A至3D相等，而且使用相同的參考數號。緊接在圖4D之n型陽極接觸離子佈植形成區312後，將氧化物層沉積出來，然後利用方向性蝕刻進行回蝕，留下側壁區400，如圖4E所示。藉此，進行進一步方向性蝕刻步驟(圖4F)，緊接著是進一步的n型，通常是砷的離子佈植，形成n型區402。然後進行進一步的方向性蝕刻，留下源極區402，如圖4G所示。藉此，去除掉氧化物側壁區400，如圖4H所示，提供比先前的實施例還大的物理通路到形成區312。氧化物基座的殘留部分也被剝除掉。

下個步驟是安置閘極氧化物層404與重摻雜多晶矽層406，如圖3I所示。然後用方向性蝕刻從閘極氧化物層404的水平表面上去除掉多晶矽，留下側壁區406，如圖4J所示。進一步的方向性蝕刻會降低側壁區406的高度，特別是從區域

五、發明說明 (14)

408去除掉多晶矽。藉此，從曝露的表面曝露區312去除掉閘極氧化物層，之後沉積出擴散阻障層410與頂部金屬層412，形成圖4M的最後結構給單一圓柱狀裝置用，或是形成圖4N的結構給多個裝置用。如同之前所述，源極接觸是在基底的相反側上用金屬化層構成，比如圖3M的金屬化層330，或是藉接觸到位阱的金屬化層，其中圓柱狀裝置是如圖3M所示的來形成。

現在參閱圖5A-5C，顯示出典型的二極體組合垂直MOSFED的頂視圖。在圖5A中，二極體組合垂直MOSFED 340是用圓形的柱狀基座來形成。在圖5B中，二極體組合垂直MOSFED 340是用方形的柱狀基座來形成。在圖5C中，二極體組合垂直MOSFED 340是用六角形的柱狀基座來形成。可以用其他柱狀形狀給基座，以形成不同形狀的二極體組合垂直MOSFED 340。

現在參閱圖6，複數個二極體主動區90是被晶圓上二極體主動區90之間的切割通道91分隔開。複數個二極體組合垂直MOSFED 340是在每個二極體主動區90內。可以經由數個半導體裝置終止提供切割通道91內二極體主動區的邊緣終止，包括美國專利編號5,825,079的削尖終止，標題"Semiconductor diodes having low forward conduction voltage drop and low reverse current leakage"，由Richard A. Metzler與Vladimir Rodov在1997年一月23日提出，或是美國專利申請序號09/395,722的孤島終止，標題"Method and Apparatus for Termination of Semiconductor Devices"，由

五、發明說明 (15)

Richard Metzler在1999年九月14日提出。此外，已知的單一或多個正常環形終止也可以使用，或是可以使用結合裝置主動擴散之簡單的保護環，如果電壓許可的話。

現在參閱圖7，具有多個二極體340並聯連接之二極體主動區的等效示意圖，每個都代表二極體組合垂直MOSFED。加上每個二極體連接垂直MOSFED裝置340的電流能力會造成較大的電流承載能力。要了解的是，會有數百或更多個MOSFED裝置主動區90是在晶圓的每個集合體內，圖9中只顯示出四個。每個二極體主動區90都可以包含數千個個別的二極體垂直MOSFED 340。

對應於二極體的電流能力，順向電流是並聯耦合在一起二極體垂直MOSFED 340之數目的函數。

對應於臨界電壓，藉適當的選取出製造二極體垂直MOSFED的雜質，濃度與其它材料以及尺寸大小，讓通道區可以製造成剛好在本質上跨越陽極與陰極之零順向偏壓下導通。因此，在實際的整流應用中，比如電源供應以及類似應用，本發明會造成整流裝置內的較低功率消耗以及加熱，而且有較高的最後電路之整體效率。

在此已經揭示出來的是包含製造二極體組合垂直MOSFED的實例性方法以及所製造出來的MOSFED。要注意的是，在實例性的方法中，對應於要其上形成MOSFED的半導體基底，單一光罩步驟是只具有一個微不足道的對齊需求。藉此，對應於先前步驟的每個額外步驟是自我對齊，進而省略掉多個光罩，尤其是通常在製造半導體裝置時所使用

五、發明說明 (16)

到的光罩組之個別光罩間的重要對齊需求。這會簡化製程，增加良率並降低因光罩對齊所造成的晶圓與晶圓間變動。

上述說明的某些實例中，已經提出某些其它材料與方法。然而要注意的是，特定的其它材料與方法之辨別並沒有推論出，在製造方法中或最後二極體裝置內的那些或其它步驟的材料與方法，都是被排除在本發明的使用之外。相反的，除了在此所提出的那些以外，其它步驟與方法對於熟知該技術領域的人式來說將都將會很明顯。因此，雖然已經揭示出本發明，並且對應於某些較佳實施例做了說明，但是要了解的是，對於熟知該技術領域的人式來說，二極體以及製造該二極體的方法是在不偏離本發明的精神與範圍內做變動。

裝

訂

線

四、中文發明摘要(發明之名稱：垂直金氧矽場效半導體二極體)

本發明包括如申請專利範圍中所主張的方法以及裝置。簡要的說，本發明揭示出一種半導體二極體，具有低順向導通電壓降，低反向漏電流，高電壓能力與崩潰能量能力，適合積體電路以及分散裝置使用。半導體二極體是垂直圓柱狀金氧半場效裝置的二極體，具有一個二極體端，當作垂直圓柱狀金氧半場效裝置之閘極與汲極之間之共同連接，還具有一個二極體端，當作垂直圓柱狀金氧半場效裝置之源極的共同連接。本發明揭露出製造垂直圓柱狀金氧半場效裝置的方法。可以使用不同的裝置終止，來完成二極體裝置。本發明揭露出不同的實施例。

英文發明摘要(發明之名稱：VERTICAL METAL OXIDE SILICON FIELD EFFECT SEMICONDUCTOR DIODES)

The present invention includes methods and apparatus as described in the claims. Briefly, semiconductor diodes having a low forward conduction voltage drop, a low reverse leakage current, a high voltage capability and avalanche energy capability, suitable for use in integrated circuits as well as for discrete devices are disclosed. The semiconductor diodes are diode configured vertical cylindrical metal oxide semiconductor field effect devices having one diode terminal as the common connection between the gates and drains of the vertical cylindrical metal oxide semiconductor field effect devices, and one diode terminal as the common connection with the sources of the vertical cylindrical metal oxide semiconductor field effect devices.

四、中文發明摘要(發明之名稱：

)

英文發明摘要(發明之名稱：

)

The method of manufacturing the vertical cylindrical metal oxide semiconductor field effect devices is disclosed. Various device terminations can be employed to complete the diode devices. Various embodiments are disclosed.

五、發明說明 (17)

元 件 符 號 說 明

90	二極體主動區	316	閘極氧化物層
91	切割通道	318	重摻雜多晶矽層
110	變電器	320	P型區
112、114	第二導線	322	阻障金屬層
116	電阻	324	頂部金屬層
118	電容	330	金屬化層
119	負載	332	垂直MOSFED裝置
300	基底	334	位阱
301	第一矽磊晶層	340	二極體組合垂直MOSFED
302	第二矽磊晶層	400	側壁區
303	薄氧化層	402	n型區
304	基座	404	閘極氧化物層
308	淺矽溝槽	406	重摻雜多晶矽層
309	基底基座	408	區域
310	矽晶圓的區域	410	擴散阻障層
312	陽極區	412	頂部金屬層
314	砷離子佈植		

六、申請專利範圍

1. 一種形成二極體的方法，包括：

- a)提供第一導電型之半導體本體，在第一表面上具有第二導電型層；
- b)在第二導電型層上，形成複數個圓柱狀氧化物基座；
- c)進行方向性蝕刻，在基座之間的該第二導電型層內形成溝槽；
- d)在基座之間的該第二導電型層內形成第一導電型區，並且在基座底下少許延伸；
- e)進行方向性蝕刻，形成較深的溝槽，延伸穿過基座之間的第二導電型層，並去除掉基座之間的第二導電型層內的第一導電型區，但不是部分的第二導電型層，在基座底下稍微延伸；
- f)沉積出閘極氧化物；
- g)沉積出重摻雜多晶半導體層；
- h)對多晶半導體層進行方向性蝕刻，以便從基座之間的閘極氧化物中去除掉多晶半導體；
- i)進行離子佈植，將基座之間的區域從第一導電型轉換成第二導電型；
- j)進行方向性蝕刻，進一步將基座側壁上閘極氧化物層上的多晶半導體厚度，降低到上述d)項中殘留層的程度；
- k)去除掉曝露的閘極氧化物；
- l)沉積出導電層，當作是對二極體的第一電氣接觸；

六、申請專利範圍

以及

m)提供電氣接觸到半導體本體，當作是對二極體的第三電氣接觸。

2. 如申請專利範圍中第1項之方法，其中該半導體本體是半導體基底，而第二電氣接觸是由基底之第二表面上的金屬化層來提供。
3. 如申請專利範圍中第1項之方法，其中該半導體本體是在第二導電型之半導體基底內的位阱，而第二電氣接觸是由到該位阱的電氣接觸來提供。
4. 如申請專利範圍中第1項之方法，其中該半導體是矽半導體。
5. 如申請專利範圍中第4項之方法，其中該半導體本體是N型導電矽半導體本體。
6. 一種形成二極體的方法，包括：
 - a)在第一導電型半導體本體的第一表面上之，形成複數個圓柱狀半導體基座，該基座具有從半導體本體延伸出去的第一導電型下部區域，形成在基座之上部與下部區域之間pn接面的第二導電型上部區域，以及相鄰到pn接面之上部區域內或周圍的第一導電型區域；
 - b)形成閘極氧化物與導電閘極，從第一導電型區域之下部區域延伸出去，該第一導電型區域是在上部區域內或在其周圍延伸出去；
 - c)提供導電層，接觸到導電閘極以及在上部區域內或在其周圍延伸出去的第一導電型區域；以及

六、申請專利範圍

d)提供導電接觸到半導體本體。

7. 如申請專利範圍中第6項之方法，其中該半導體本體是半導體基底，而到半導體本體的導電接觸是由基底之第二表面上的金屬化層來提供。
8. 如申請專利範圍中第6項之方法，其中該半導體本體是在第二導電型之半導體基底內的位阱，而到半導體本體的導電接觸是由到該位阱的電氣接觸來提供。
9. 如申請專利範圍中第6項之方法，其中該半導體是矽半導體。
10. 如申請專利範圍中第9項之方法，其中該半導體本體是N型導電矽半導體本體。
11. 一種二極體，包括：

第一導電型的半導體本體；

在半導體本體之第一表面上的複數個圓柱狀基座，每個基座都具有第一導電型的下部區域以及第二導體型的上部區域，其間並形成pn接面，上部與下部區域定義出每個基座的側壁；

第一導電型區域，是在相鄰到pn接面的每個基座周圍；

在每個基座側壁上的閘極氧化物，從下部區域延伸到第一導電型區域，該第一導電型區域在每個基座的上部區域周圍，每個基座之上部區域周圍的部分第一導電型區域，並不被閘極氧化物覆蓋住；

在閘極氧化物上的導電閘極；

六、申請專利範圍

在基座之間的第二導電型層；

在複數個圓柱狀基座上的導電層，並造成導電閘極與每個基座之上部區域周圍處第一導電型區域的電氣接觸；以及

造成電氣接觸半導體本體的導電層。

12. 如申請專利範圍中第11項之二極體，其中該半導體本體是半導體基底，而造成電氣接觸到半導體本體的導電層是在基底之第二表面上的金屬化層。
13. 如申請專利範圍中第11項之二極體，其中該半導體本體是在第二導電型之半導體基底內的位阱，而造成電氣接觸到半導體本體的導電層是到該位阱的電氣接觸。
14. 如申請專利範圍中第11項之方法，其中該半導體是矽半導體。
15. 如申請專利範圍中第14項之方法，其中該半導體本體是N型導電矽半導體本體。
16. 一種二極體，包括：

在第一導電型半導體本體之第一表面上的複數個圓柱狀基座，該複數個基座都具有從半導體本體延伸出去的第一導電型的下部區域，第二導電型的上部區域並在基座之上部與下部區域間形成pn接面，以及在相鄰到pn接面的上部區域內以及在其周圍延伸出去的第一導電型區域；

閘極氧化物以及從下部區域延伸到第一導電型區域的導電閘極，該第一導電型區域是在每個基座的上部區域

六、申請專利範圍

內或是在其周圍；

接觸到導電閘極以及上部區域內與其周圍上之第一導電型區域的導電層；以及

到半導體本體的導電接觸。

17. 如申請專利範圍中第16項之二極體，其中該半導體本體是半導體基底，而到半導體本體的導電接觸是由基底之第二表面上的金屬化層來提供。
18. 如申請專利範圍中第16項之二極體，其中該半導體本體是在第二導電型之半導體基底內的位阱，而到半導體本體的導電接觸是由到位阱的電氣接觸來提供。
19. 如申請專利範圍中第16項之二極體，其中該半導體是矽半導體。
20. 如申請專利範圍中第19項之二極體，其中該半導體本體是N型導電矽半導體本體。

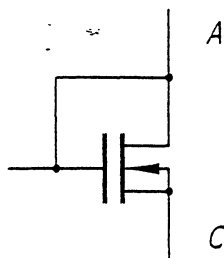
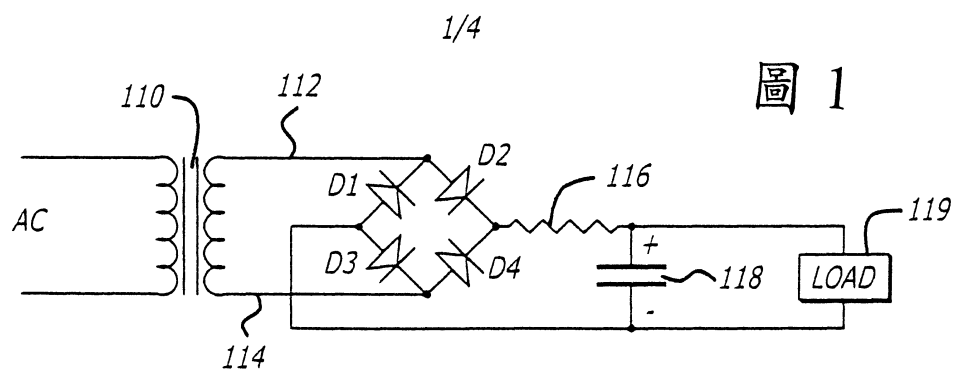


圖 2A

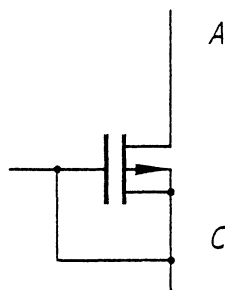


圖 2B

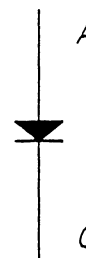


圖 2C

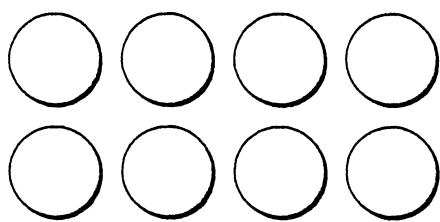


圖 5A

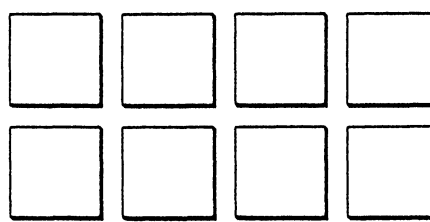


圖 5B

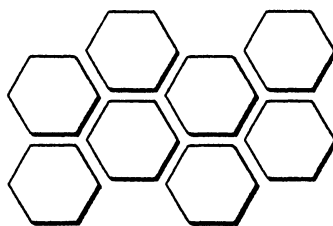


圖 5C

2/4

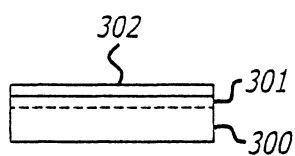


圖 3A

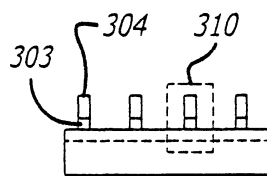


圖 3B

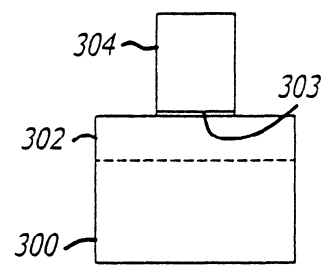


圖 3C

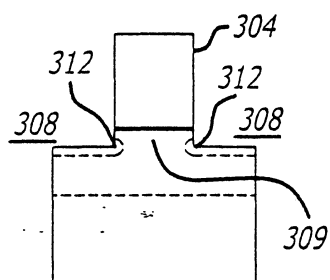


圖 3D

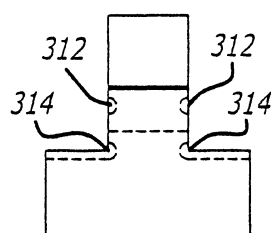


圖 3E

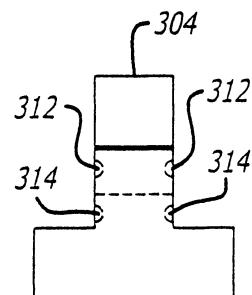


圖 3F

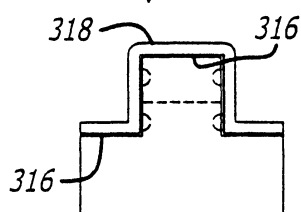


圖 3G

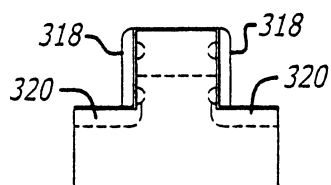


圖 3H

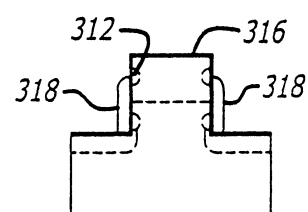


圖 3I

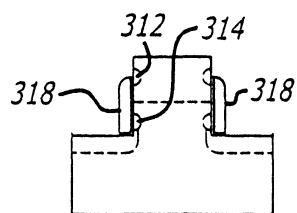


圖 3J

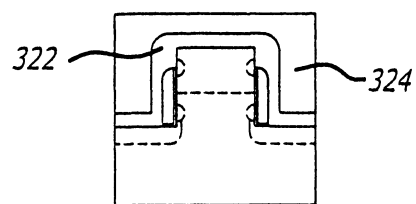


圖 3K

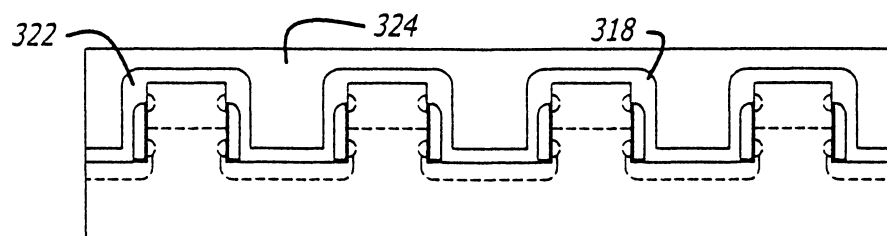


圖 3L

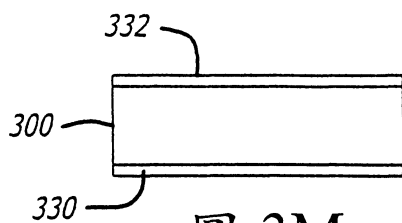


圖 3M

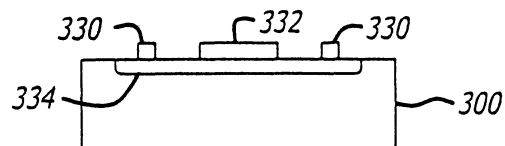


圖 3N

3/4

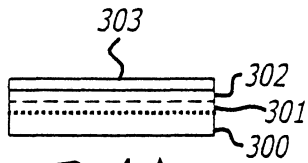


圖 4A

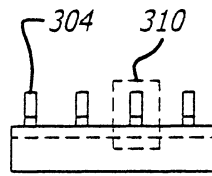


圖 4B

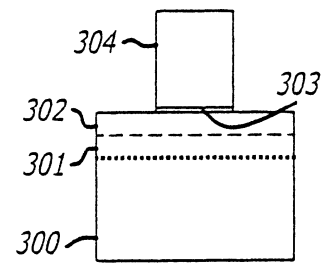


圖 4C

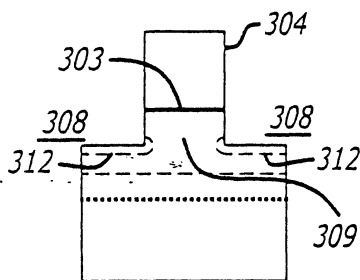


圖 4D

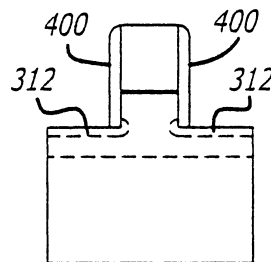


圖 4E

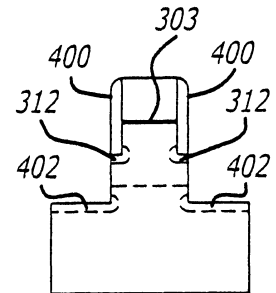


圖 4F

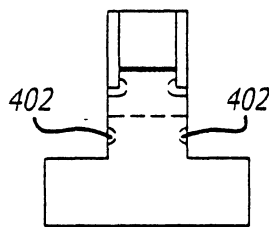


圖 4G

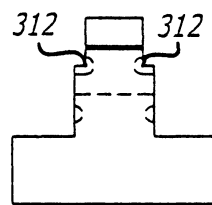


圖 4H

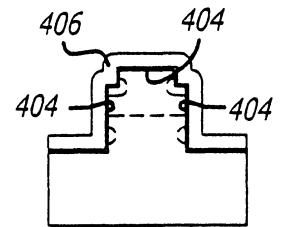


圖 4I

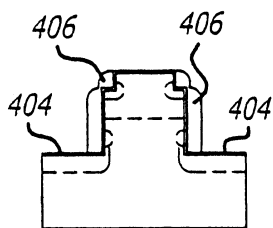


圖 4J

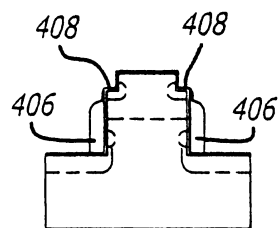


圖 4K

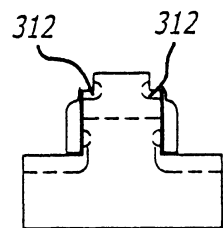


圖 4L

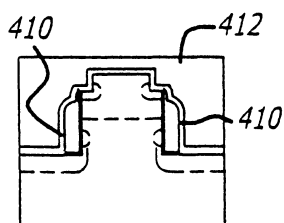


圖 4M

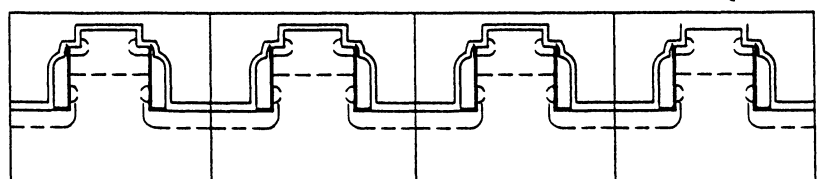


圖 4N

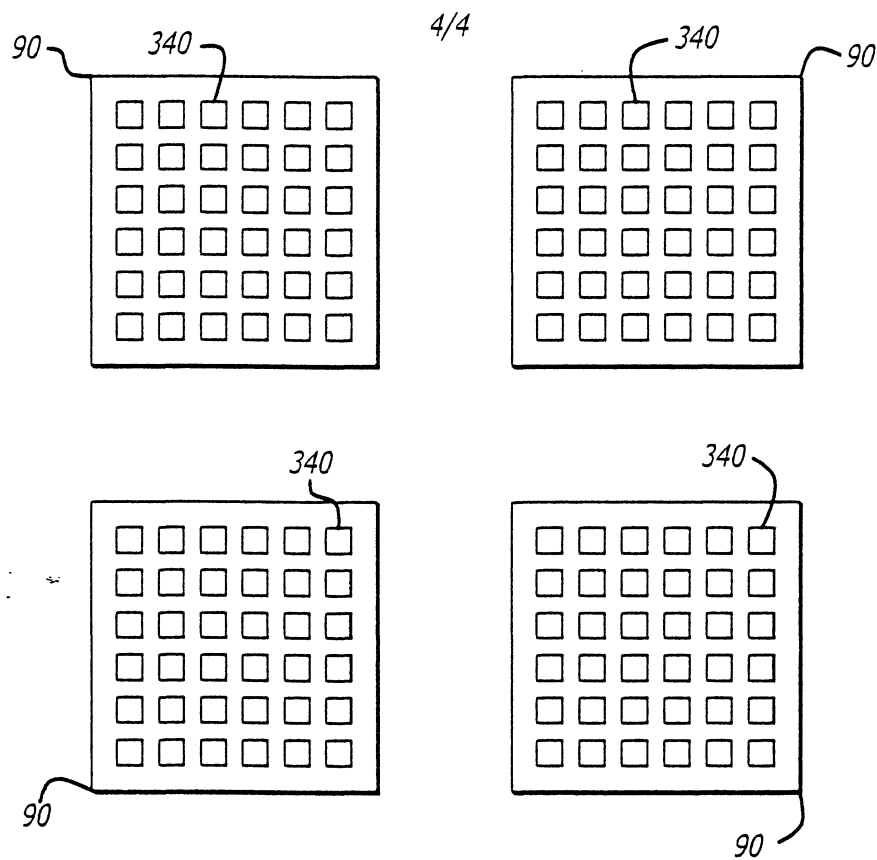


圖 6

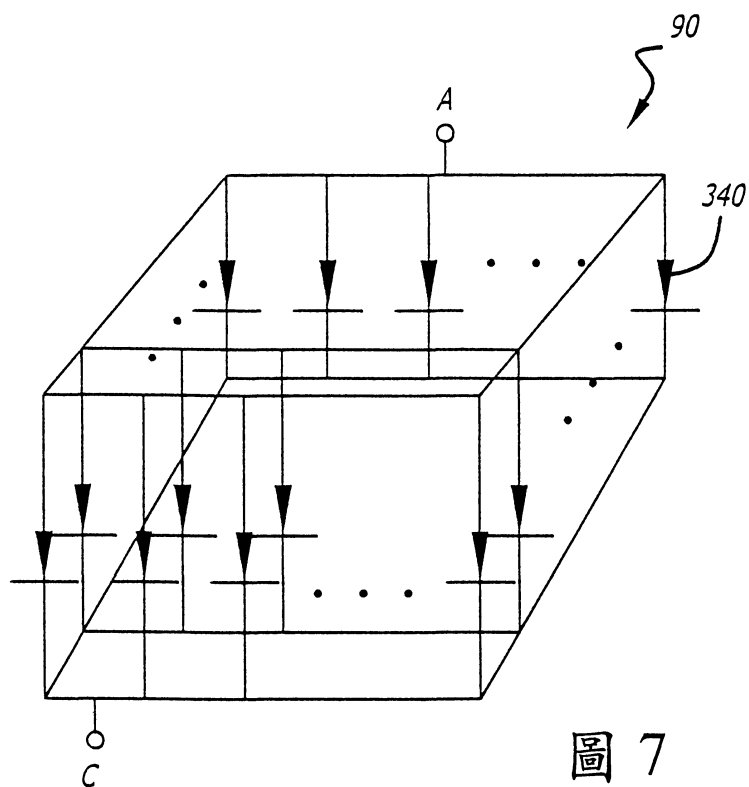


圖 7