(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102017073 B
(45)授权公告日 2014.04.09

(21)申请号 200980116008.1
(22)申请日 2009.04.07
(30)优先权数据
12/114,932 2008.05.05 US
(85)PCT国际申请进入国家阶段日
2010.11.03
(86)PCT国际申请的申请数据
PCT/US2009/039793 2009.04.07
(87)PCT国际申请的公布数据
WO2009/137210 EN 2009.11.12
(73)专利权人 美光科技公司
地址 美国爱达荷州
(72)发明人 库纳尔·R·帕雷克
约翰·K·扎胡拉克
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 宋献涛
(51)Int.Cl.
H01L 21/027(2006.01)

(56)对比文件
KR 10-2007-0076793 A,2007.07.25, 全文.
CN 101118910 A,2008.02.06, 全文.
US 6063688 A,2000.05.16, 全文.

审查员 王丹

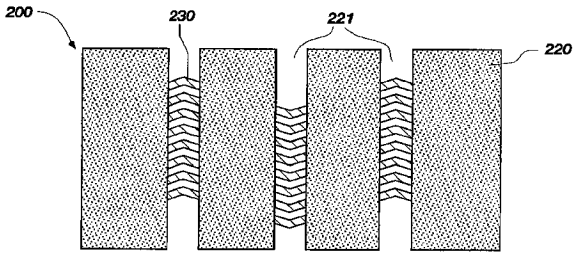
权利要求书2页 说明书10页 附图16页

(54)发明名称

在半导体结构中形成经隔离有源区域、沟槽及导电线的方法以及包含其的半导体结构

(57)摘要

本发明揭示不对称特征的间距加倍方法及包含所述不对称特征的半导体结构。在一个实施例中,可使用单一光刻掩模以对例如DRAM阵列的三个特征进行间距加倍。在一个实施例中,可对场上的两个字线及一接地栅极进行间距加倍。本发明还揭示包含所述特征的半导体结构。



CN 102017073 B

1. 一种形成半导体结构的方法，所述方法包括：

在衬底上形成第一消耗性材料；

在所述衬底上于第一方向上图案化所述第一消耗性材料；

在所述第一消耗性材料的侧壁上形成第一间隔物的图案；

移除所述第一消耗性材料；

将第一间隔物的所述图案转印到所述衬底中；

在所述衬底上于第二方向上图案化第二消耗性材料；

将第二间隔物材料沉积于经图案化的所述第二消耗性材料上；

将牺牲材料沉积于所述第二消耗性材料及所述第二间隔物材料上；

移除所述第二间隔物材料；以及

以所述第二消耗性材料和所述牺牲材料为掩膜蚀刻所述衬底，以在所述第二间隔物的位置中形成沟槽。

2. 根据权利要求 1 所述的方法，其进一步包括在于所述第一消耗性材料的所述侧壁上形成第一间隔物的所述图案之前修整所述第一消耗性材料。

3. 根据权利要求 2 所述的方法，其进一步包括将所述第一消耗性材料修整到亚光刻宽度。

4. 根据权利要求 1 所述的方法，其进一步包括用绝缘材料填充所述沟槽。

5. 根据权利要求 1 所述的方法，其中所述沟槽具有亚光刻宽度。

6. 一种在半导体结构上形成导电线的方法，所述方法包括：

在包括经隔离有源区域及亚光刻栅极沟槽的衬底上形成第一消耗性材料；图案化所述第一消耗性材料；

在所述第一消耗性材料的侧壁上形成间隔物；

邻近于所述间隔物形成第二消耗性材料，所述第二消耗性材料及所述第一消耗性材料在所述衬底上界定开口；

在所述开口内形成牺牲材料；

移除所述第一消耗性材料及所述第二消耗性材料；

在所述衬底中于所述间隔物与所述牺牲材料之间形成沟槽；以及

用导电材料填充所述沟槽。

7. 根据权利要求 6 所述的方法，其中在所述开口内形成牺牲材料包括在邻近于所述衬底上的有源区域的隔离区上形成所述牺牲材料。

8. 根据权利要求 6 所述的方法，其中在所述第一消耗性材料的侧壁上形成间隔物包括形成与所述衬底中的下伏栅极沟槽大体上垂直对准的所述间隔物。

9. 根据权利要求 6 所述的方法，其中邻近于所述间隔物形成第二消耗性材料包括将所述第二消耗性材料沉积于所述间隔物上，且修整所述第二消耗性材料以界定具有大体上类似于所述间隔物的宽度的宽度的所述开口。

10. 根据权利要求 6 所述的方法，其进一步包括在于所述衬底上形成第一消耗性材料之前在所述衬底中形成所述亚光刻栅极沟槽。

11. 根据权利要求 6 所述的方法，其进一步包括在于所述衬底上形成第一消耗性材料之前在所述衬底上形成所述经隔离有源区域，且用具有亚光刻宽度的隔离区分离所述经隔

离有源区域。

12. 根据权利要求 6 所述的方法，其中在所述开口内形成所述牺牲材料发生在形成所述第二消耗性材料之后以及形成所述开口之后。

13. 根据权利要求 6 所述的方法，其中所述沟槽包括在所述沟槽中的绝缘材料。

14. 根据权利要求 13 所述的方法，其中所述绝缘材料填充所述沟槽。

在半导体结构中形成经隔离有源区域、沟槽及导电线的方法以及包含其的半导体结构

技术领域

[0001] 本发明的实施例涉及集成电路制造，且更明确地说，涉及在半导体结构上形成不对称特征的方法及包含所述不对称特征的半导体结构。

背景技术

[0002] 由于许多因素（包含对现代电子装置中的增加便携性、计算能力、存储器容量及能量效率的需求），集成电路的大小正持续地减小。为促进此大小减小，形成集成电路的组成特征（例如，电装置及互连线宽度）的大小也正不断地减小。

[0003] 特征大小的持续减小对用以形成特征的技术寄予越来越大的需求。举例来说，光刻为在衬底上图案化特征（例如，导电线）的常规方法。可使用间距概念来描述所述特征的大小。可将间距界定为两个相邻特征中的相同点之间的距离。所述特征常规上是由邻近特征之间的间隔界定，间隔可由例如绝缘体的材料填充。结果，可将间距视为特征的宽度与将所述特征与相邻特征分离的空间的宽度的总和，或特征的一个边缘与下一邻近特征的对应相同边缘之间的距离。然而，归因于例如光学器件及光或辐射波长的因素，光刻技术具有最小间距，低于所述最小间距，特定光刻技术不能可靠地形成特征。因此，光刻技术的最小间距可限制特征大小减小。

[0004] 已提议间距加倍或间距倍增技术以用于扩展光刻技术的能力。间距倍增方法的一个实例说明于本文中的图 1A 到图 1F 中且描述于颁予罗瑞 (Lowrey) 等人的美国专利第 5,328,810 号中，所述专利的全部揭示内容以引用的方式并入本文中。参看图 1A，可首先使用光刻以在上覆于消耗性材料层 20 及衬底 30 上的光致抗蚀剂材料中形成线 10 的图案。如图 1B 所示，可接着通过蚀刻步骤（优选地为各向异性）而将图案转印到层 20，从而形成位置标志符 (placeholder) 或心轴 40。如图 1C 所示，可剥离光致抗蚀剂线 10 且可各向同性地蚀刻心轴 40 以增加相邻心轴 40 之间的距离。如图 1D 所示，可随后将材料层 50 沉积于心轴 40 上。如图 1E 所示，可接着通过以定向间隔物蚀刻来优先从水平表面 70 及 80 蚀刻间隔物材料而在心轴 40 的侧壁上形成间隔物 60，即，从另一材料的侧壁延伸或原先从另一材料的侧壁延伸而形成的材料。如图 1F 所示，可接着移除剩余心轴 40，从而留下独立间隔物 60。如图 1F 所示，间隔物 60 充当用于图案化下伏层的蚀刻掩模。因此，在给定间距先前包含界定一个特征及一个空间的图案的情况下，相同宽度现包含两个特征及两个空间。结果，在光刻技术下为可能的最小特征大小有效地减小。

[0005] 然而，常规间距加倍工艺是受限制的，此在于：其不能可靠地用以对（例如）对称性是由于场区域上的通过字线的移除而破坏的 DRAM 阵列中的不对称特征进行间距加倍。在阵列栅极图案化层级下出现问题，因为需要在间距上界定三个特征：场上的两个字线及一接地栅极。场上的接地栅极平衡图案密度以及确保可执行线性自对准接触蚀刻以形成用于将插塞传导到存储及位接触有源区域的空腔。常规间距加倍在此情况下并不有效，因为关于每个其它经图案化形式的经间距加倍特征不界定用于字线对字线及接地栅极的正确

间隙。因此，在此项技术中存在对将不对称特征进行间距加倍的方法及包含所述亚光刻特征的半导体结构的持续需要。

附图说明

[0006] 图 1A 到图 1F 为根据常规间距加倍方法而形成的掩模线的示意性横截面图；

[0007] 图 2 为用于 $6F^2$ 存储器阵列的一个配置的电路布局的简化平面图；

[0008] 图 3 为处于处理中的初步阶段的工件的实施例的横截面图；

[0009] 图 4 为处于处理步骤中在图 3 所说明的阶段之后的阶段的工件的实施例的平面图；

[0010] 图 5A 为半导体结构的实施例的俯视图，且图 5B 为中间半导体装置的横截面图；

[0011] 图 5C 为处于处理中在图 5B 所说明的阶段之后的阶段的半导体结构的实施例的横截面图；

[0012] 图 6A 为半导体结构的实施例的俯视图，且图 6B 为图 6A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；

[0013] 图 6C 为处于处理步骤中在图 6B 所说明的阶段之后的阶段的半导体结构的实施例的横截面图；

[0014] 图 7A 为半导体结构的实施例的俯视图，且图 7B 为图 7A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；

[0015] 图 8 为处于处理步骤中在图 7B 所说明的阶段之后的阶段的半导体结构的实施例的横截面图；

[0016] 图 9 为处于处理中在图 8 所说明的阶段之后的阶段的半导体结构的实施例的俯视图；

[0017] 图 10A 为半导体结构的实施例的俯视图，且图 10B 为图 10A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；

[0018] 图 11A 为半导体结构的实施例的俯视图，且图 11B 为图 11A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；

[0019] 图 12A 为处于处理中在图 11B 所说明的阶段之后的阶段的半导体结构的实施例的俯视图，且图 12B 为图 12A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；

[0020] 图 13 为处于处理中在图 12B 所说明的阶段之后的阶段的半导体结构的实施例的俯视图；

[0021] 图 14A 为半导体结构的实施例的俯视图，且图 14B 为图 14A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；

[0022] 图 15 为处于处理中在图 14B 所说明的阶段之后的阶段的半导体结构的实施例的横截面图；

[0023] 图 16 为处于处理中在图 15 所说明的阶段之后的阶段的半导体结构的实施例的俯视图；

[0024] 图 17A 及图 18A 为在各种制造阶段期间半导体结构的实施例的俯视图；

[0025] 图 18B 为图 18A 中沿着标记为 A 的虚线所截取的半导体结构的横截面图；以及

[0026] 图 19 及图 20 为在各种制造阶段期间半导体结构的实施例的俯视图。

具体实施方式

[0027] 以下描述参看图式而提供本发明的装置及方法的实施例的说明性实例。此描述仅出于说明性目的且并非限制本发明的范围。本文中所呈现的图式未必按比例绘制且不为特定半导体结构或其制造工艺的实际视图，而仅为用以描述本发明的实施例的理想化表示。所属领域的技术人员应理解，可根据本发明而实施装置及方法的其它实施例。

[0028] 本发明揭示包含至少一个不对称亚光刻特征的半导体结构，同时揭示形成所述半导体结构的方法。间距加倍工艺可用以在衬底上形成经隔离有源区域。不对称特征可破坏衬底上的线与空间之间的对称性。如本文中详细地所描述且如图 3 到图 10B 所说明，可在衬底上形成掩模材料且在衬底上于第一方向上将掩模材料图案化以形成有源区域图案。可形成有源区域掩模且在衬底上于大体上垂直方向上将有源区域掩模图案化且在邻近于其而形成间隔物之后将其移除。间隔物可在后续蚀刻期间充当掩模，使得在间隔物之间形成第一沟槽以隔离衬底上的有源区域。

[0029] 随后，可在衬底上形成凹入存取装置 (RAD) 沟槽。如本文中详细地所描述且如图 11A 到图 15 所说明，可在经隔离有源区域上形成多种掩模材料且将其图案化。可邻近于掩模材料而形成间隔物，且在移除间隔物之后，掩模材料可在后续蚀刻期间充当掩模以形成亚光刻沟槽。作为非限制性实例，沟槽可为存储器阵列的 RAD 沟槽、FIN 沟槽、双 FIN 沟槽或字线。

[0030] 接着，可在衬底上形成存储器阵列的导电线及接地栅极。如本文中详细地所描述且如图 16A 到图 20 所说明，可在沟槽上方形成交替掩模材料及间隔物且将其图案化。可移除掩模材料，且间隔物可在后续蚀刻期间充当掩模以形成到沟槽的连接。

[0031] 以下描述提供特定细节（例如，材料类型、蚀刻化学物及处理条件），以便提供本发明的实施例的详尽描述。然而，所属领域的技术人员应理解且了解，可在不使用这些特定细节的情况下实践本发明的这些及其它实施例。实际上，可结合工业中所使用的常规制造技术及蚀刻技术来实践本发明的实施例，因此，未在本文中对其加以详细地描述。此外，下文中所提供的描述不形成用于制造半导体装置的完整工艺流程。本文中所描述的半导体结构不形成完整半导体装置。下文仅详细地描述为理解本发明的实施例所必要的那些工艺动作及半导体结构。用以从半导体结构形成完整半导体装置的额外动作可通过常规制造技术而执行，因此，未在本文中对其加以描述。

[0032] 本文中所描述的方法可用以形成存储器装置（例如，动态随机存取存储器 (DRAM)）的半导体结构，包含 RAD 特征、FinFET、鞍形 FET、纳米线、三维晶体管，以及其它三维半导体装置特征。并入有所述结构的存储器装置或其它半导体装置可用于（无限制）无线装置、个人计算机或其它电子装置中。作为非限制性实例，本文中的方法描述制造存储器装置（例如，DRAM 存储器装置或 RAD 存储器装置）的半导体结构。虽然本文中的方法描述制造存储器装置的半导体结构，但所述方法还可在需要不对称特征的间距加倍的其它情形下使用。此外，虽然参考 $6F^2$ DRAM 装置配置或布局而说明本文中所描述的方法，但所述方法可用以形成具有其它布局（例如（举例来说），$4F^2$ 或 $8F^2$ 布局）的 DRAM 装置或其它半导体装置，只要隔离区域是大体上平行于最终将形成晶体管栅极的位置即可。

[0033] 本发明的实施例可包含对特征进行间距加倍，以形成有源区域、在 $6F^2$ 存储器阵列

的栅极中形成沟槽及/或形成到栅极的连接。图 2 展示 $6F^2$ 存储器阵列的电路布局的一部分的简化图，所述存储器阵列在本文中被称为包含衬底 110 的存储器阵列 100。可相对于衬底 110 而形成多个连续有源区域 112。为了清楚起见，已将每一所说明连续有源区域 112 展示成在衬底 110 的边界外部延伸。连续有源区域 112 通常为非线性的，其在大体上水平方向上遵循跨越存储器阵列 100 的蜿蜒路径。将多个内埋式位线 118 展示为大致水平地跨越存储器阵列 100 而延伸的阴影区域。每一位线 118 也遵循跨越存储器阵列 100 的蜿蜒路径，其中位线 118 的蜿蜒交织相对于连续有源区域 112 的交织是在相反方向上。

[0034] 可在衬底 110 上相对于有源区域 112 而形成多个导电线 120、134。在图 2 中，将导电线中的六者表示为 120，而将导电线中的两者表示为 134。可在导电线 134 的任一侧上形成一对导电线 120。导电线 120、134 相对于有源区域 112 而大体上垂直地延展。

[0035] 通过经表示为数字 125 的虚线轮廓来说明由根据所描绘存储器阵列的单一存储器单元所占用的个别区域。此区域可被认为或描述为与尺寸“F”有关，其为最小特征大小。在所说明实例中，F 等于存储器阵列的“最小间距”的一半。本文中所使用的术语“间距”意在用于其常规用法中，且（如先前所提及）可被界定为装置或特征的一个边缘与下一邻近装置或特征的对应相同边缘之间的距离。因此，相对于存储器单元 125，术语“最小间距”约等于线宽（例如，导电线 120、134）加上在导电线 120 的于导电线 120 与下一邻近导电线 120（在存储器单元 125 内的重复图案中）之间的一侧上紧邻于导电线 120 的空间的宽度的最小距离。如所展示，单一存储器单元 125 为约 3F 宽乘约 2F 深，因此给单一存储器单元 125 提供约 $6F^2$ 的占用面积。

[0036] 在存储器阵列 100（例如图 2 所描绘的存储器阵列）的实施方案的实例中，选定个别导电线可相对于邻近存储器单元 125 而提供电隔离。举例来说，如所描绘，导电线 120 相对于个别存储器单元 125 而用作字线。邻近对的存储器单元 125 之间的电隔离是通过插入导电线 134 提供，导电线 134 在操作中可与接地或合适负电压连接。或者，可利用场氧化物隔离技术。

[0037] 图 2 所描绘的存储器阵列 100 可另外包含电容器容器 136 及位线触点 138。电容器常规上可形成于电容器容器 136 内且可经由存储节点触点 140 而耦合到有源区域。在特定方面中，存储节点触点 140 可包含延伸到有源区域的节点部分的导电材料。

[0038] 参看图 2 应注意，所描绘的电容器容器 136 具有大体上等于存储器单元 125 的间距的间距。换句话说，每一电容器容器 136 的宽度（在页面上的垂直方向上）加上紧邻的电容器容器之间的空间的宽度（在页面上的垂直方向上）大体上等于图案间距“P”，其中 P 为线宽“W”加上紧邻于所述线的空间“S”的宽度的总和，如图 2 所描绘。

[0039] 为了形成图 2 所描绘的存储器阵列 100，结合上覆于衬底 110 上的材料的大体上垂直蚀刻而使用掩模材料以在衬底 110 中或在衬底 110 上形成自对准特征。如本文中所使用，“自对准”意味着且包含使用单一光掩模来形成其它特征所基于的初始图案。因而，形成于衬底 110 上的特征是在未利用额外掩模及光刻动作的情况下对准。衬底可为包括半导电材料层的常规硅衬底或另一块体衬底。如本文中所使用，术语“块体衬底”不仅意味着且包含硅晶片，而且意味着且包含绝缘体上硅（“SOI”）衬底（例如，蓝宝石上硅（“SOS”）衬底及玻璃上硅（“SOG”）衬底）、基底半导体座上的硅外延层及其它半导体或光电子材料（例如，硅 - 锗、锗、砷化镓、氮化镓及磷化铟）。

[0040] 图 3 到图 10B 描绘处于使用间距加倍以在衬底 110 上形成经隔离有源区域的各种制造阶段的半导体结构 200 的实施例。图 3 描绘具有各种材料的半导体结构 200，所述材料可包含在衬底 110 上的绝缘材料 250、任选蚀刻终止材料 260、第一消耗性材料 212 及可选择性界定材料 210。绝缘材料 250、任选蚀刻终止材料 260、消耗性材料 212 及可选择性界定材料 210 可共同被称为“掩模材料”。虽然在衬底 110 上以层的形式而说明所述材料，但所述材料还可以其它配置而形成。本文中所描述的掩模材料可通过任何合适沉积技术而形成，所述技术包含（但不限于）旋转涂布、毯覆式涂布、化学气相沉积（“CVD”）、原子层沉积（“ALD”）、等离子增强 ALD 或物理气相沉积（“PVD”）。视待使用的特定材料而定，所属领域的技术人员可选择用于形成掩模材料的技术。

[0041] 作为非限制性实例，衬底 110 是由硅形成，例如，硅半导体衬底。绝缘材料 250 可沉积于衬底 110 上。绝缘材料 250 可为氧化硅，例如，正硅酸四乙酯（“TEOS”）、二氧化硅（“SiO_2”）或高密度等离子（“HDP”）氧化物。绝缘材料 250 可热生长于衬底 110 上。作为非限制性实例，绝缘材料 250 可具有在大约25 Å到大约75 Å的范围内的厚度。在一个实施例中，绝缘材料 250 为 SiO_2 且热生长于衬底 110 上。

[0042] 蚀刻终止材料 260（如果存在）可沉积于绝缘材料 250 上。蚀刻终止材料 260 可在上覆材料的化学机械平面化（“CMP”）期间充当有效蚀刻终止。蚀刻终止材料 260 可为氮化物材料。在一个实施例中，蚀刻终止材料 260 为包含（但不限于）氮化硅（“Si_3N_4”）的氮化物。

[0043] 消耗性材料 212 可由可图案化材料形成，可图案化材料相对于衬底 110 及半导体结构 200 的其它暴露下伏材料而为可选择性蚀刻的。消耗性材料 212 的材料可为含碳材料、电介质抗反射涂层（“DARC”）或底部抗反射涂层（“BARC”）材料。作为非限制性实例，消耗性材料 212 可为无定形碳、透明碳、正硅酸四乙酯（“TEOS”）、氮化硅（“Si_3N_4”）、碳化硅（“SiC”）、硅或电介质抗反射涂层 (DARC)（例如，富硅氮氧化物（“SiO_3N_4”））、氧化硅 (SiO_2) 或其组合。作为非限制性实例，可以在大约800 Å到大约2500 Å的范围内的厚度（例如，以大约2000 Å）而沉积消耗性材料 212。可基于对用于本文中所论述的各种图案形成及图案转印步骤的化学物及处理条件的考虑而选择上覆于衬底 110 上的材料。因为消耗性材料 212 与衬底 110 之间的材料用以将从消耗性材料 212 所得到的图案转印到衬底 110，所以所述材料经选择成使得其可相对于其它暴露材料而被选择性蚀刻。如本文中所使用，当材料展现比暴露到相同蚀刻化学物的其它材料的蚀刻速率大至少大约两倍的蚀刻速率时，所述材料为“可选择性蚀刻的”。理想地，此材料具有比暴露到相同蚀刻化学物的另一材料的蚀刻速率大至少大约十倍的蚀刻速率。因而，应理解，消耗性材料 212、绝缘材料 250 及蚀刻终止材料 260 可为使得能够进行如本文中所描述的选择性移除的材料的任何组合。

[0044] 可选择性界定材料 210 可通过光刻工艺而界定，例如，由光致抗蚀剂材料（包含此项技术中已知的任何光致抗蚀剂材料）形成。因为光致抗蚀剂材料及光刻技术在此项技术中为众所周知的，所以选择、沉积、图案化及显影光致抗蚀剂材料以产生所要图案未在本文中加以详细地论述。

[0045] 图 4 展示上面具有经图案化可选择性界定材料 210 的半导体结构 200 的实施例。可选择性界定材料 210 中的图案可包含具有大体上相等宽度的空间及线。空间可对应于可选择性界定材料 210 的已移除部分，而线对应于可选择性界定材料 210 的剩余部分。线的

宽度可为可由用以形成图案的光刻技术印刷的最小特征大小（“F”）。或者，可以大于 F 的特征大小而印刷空间及线。作为非限制性实例，F 可处于大约 40nm 到大约 70nm 的范围内，例如，大约 44nm。虽然图 4 说明 1F 交织图案，但应了解，可使用其它布局。

[0046] 图 4 中邻近线之间的间距等于可选择性界定材料 210 的线的宽度与相邻空间的宽度的总和。为最小化使用线及空间的此图案而形成的特征的临界尺寸，间距可处于或接近于用以图案化可选择性界定材料 210 的光刻技术的极限。举例来说，线的间距可在约 80nm 与约 140nm 之间。因此，间距可处于光刻技术的最小间距，且下文所论述的间隔物图案可有利地具有低于光刻技术的最小间距的间距。或者，因为随着接近光刻技术的极限，位置及特征大小的误差容限通常增加，所以线可经形成为具有较大特征大小以最小化线的位置及大小上的误差且其随后可经修整到较小大小。

[0047] 参看图 5A，可将可选择性界定材料 210 中的图案转印到消耗性材料 212 中，从而在蚀刻终止材料 260（如果存在）上形成消耗性结构 264。在将图案转印到消耗性材料 212 之后，可通过常规技术来移除可选择性界定材料 210。在一个实施例中，消耗性结构 264 可为消耗性线。可使用常规蚀刻工艺（例如，常规干式蚀刻工艺、常规湿式蚀刻工艺或其组合）而将形成于可选择性界定材料 210 中的图案蚀刻到消耗性材料 212 中。作为非限制性实例，可使用干式蚀刻化学物来蚀刻消耗性材料 212，从而产生具有大体上垂直侧壁 265 的消耗性结构 264。如本文中所使用，术语“大体上垂直侧壁”意味着且包含具有与垂直线成小于大约 5° 的倾斜角的侧壁。在一个实施例中，消耗性结构 264 的宽度可为 F。

[0048] 在移除可选择性界定材料 210 之后，可修整消耗性结构 264。在本发明的实施例中，可将消耗性结构 264 从 F 修整到 1/2F。如图 5B 及图 5C 所示，可通过蚀刻消耗性结构 264 来加宽每一消耗性结构 264 之间的空间 266，以形成经修改空间 266a 及经修改结构 264a（图 5C）。可使用各向同性蚀刻来蚀刻消耗性结构 264 以“收缩”那些特征。合适蚀刻包含使用含氧等离子（例如，$SO_2/O_2/N_2/Ar$、$Cl_2/O_2/He$ 或 $HBr/O_2/N_2$ 等离子）的蚀刻。蚀刻的程度可经选择成使得经修改结构 264a 的宽度大体上等于稍后形成的间隔物 268 之间的所要间隔，此将从本文中的论述得以了解。举例来说，消耗性结构 264 的宽度可从约 70nm 减小到约 35nm。有利地，宽度减小蚀刻使经修改结构 264a 能够窄于将原本使用用以图案化可选择性界定材料 210 的光刻技术可能达到的宽度。此外，蚀刻可使经修改结构 264a 的边缘平滑，因此改进那些线的均一性。

[0049] 间隔物材料 214 可形成于半导体结构 200 的暴露表面上，如图 6A 及图 6B 所示。可通过常规技术（例如，通过 ALD）而将间隔物材料 214 保形地沉积于经修改结构 264a 上。通过保形地沉积间隔物材料 214，间隔物材料 214 的厚度可保持大体上均一，而不管下伏特征（例如，经修改结构 264a）的几何形状及构形。经修改结构 264a 可相对于间隔物材料 214 而为可选择性蚀刻的。仅作为实例，间隔物材料 214 可由多晶硅、氮化硅 Si_3N_4 或氧化硅（“SiO_x”）形成。

[0050] 参看图 6C，可各向异性地蚀刻间隔物材料 214，从而从大体上水平表面移除间隔物材料 214，而在大体上垂直表面上留下间隔物材料 214。因而，可暴露经修改结构 264a 的大体上水平表面及半导体结构 200 的下伏部分的大体上水平表面。如果间隔物材料 214 是由 SiO_x 形成，则各向异性蚀刻可为等离子蚀刻，例如，含 CF_4 等离子、含 C_2F_6 等离子、含 C_4F_8 等离子、含 CHF_3 等离子、含 CH_2F_2 等离子或其混合物。如果间隔物材料 214 是由氮化硅形成，

则各向异性蚀刻可为 $CHF_3/O_2/He$ 等离子或 $C_4F_8/CO/Ar$ 等离子。通过蚀刻而产生的间隔物 268 可存在于经修改结构 264a 的经蚀刻部分的大体上垂直侧壁上。间隔物 268 的宽度可对应于最终待形成于半导体结构 200 上的特征（例如，沟槽）的所要宽度。在一个实施例中，间隔物 268 的宽度可为 1/2F。如本文中进一步详细地所论述，具有亚光刻宽度的第一沟槽 222（展示于图 10A 及图 10B 中）可在衬底 110 中形成于由间隔物 286 所界定的区域之间。如本文中所使用，“亚光刻”意味着小于约 70nm，例如，约 44nm。在一个实施例中，第一沟槽 222（展示于图 10A 及图 10B 中）具有大约 1/2F 的宽度。

[0051] 接着，可通过常规方法而移除经修改结构 264a，从而留下间隔物 268，如图 7A 及图 7B 所示。举例来说，如果无定形碳用作消耗性材料 212（经修改结构 264a 是由其形成），则可使用氧基等离子（例如，O_2/Cl_2 等离子、O_2/HBr 等离子或 $O_2/SO_2/N_2$ 等离子）而移除无定形碳。

[0052] 紧接着，可使用干式蚀刻化学物以将间隔物 268 的图案转印到下伏于经修改结构 264a 下的材料中。或者，可使用多种干式蚀刻化学物以单独地蚀刻下伏于经修改结构 264a 下的材料中的每一者。举例来说，第一蚀刻可将间隔物 268 的图案转印到下伏蚀刻终止材料 260（如果存在）中，且第二蚀刻可将间隔物 268 的图案转印到衬底 110 中（如图 8 所示），从而在其中形成沟槽。适于蚀刻这些材料的蚀刻化学物在此项技术中为已知的，且因此，未在本文中对其加以详细地描述。

[0053] 如图 9 所示，可以包含开口 221 以隔离具有松弛间距及特征大小的有源区域 230 的有源区域掩模来图案化半导体结构 200 的有源区域 230。将有源区域 230 说明为跨越衬底 110 而在大体上水平方向上延伸，而将有源区域掩模 220 的开口 221 说明为大体上垂直于有源区域 230 而延伸。包含开口 221 的有源区域掩模可被认为是跨越衬底 110 而在大体上垂直方向上延伸。有源区域掩模 220 可由碳（例如，无定形碳或透明碳）形成。为减小有源区域掩模中的开口 221 的尺寸，可任选地将牺牲间隔物材料（未图示）沉积于开口 221 的侧壁上且将其修整成暴露有源区域掩模 220，使得有源区域掩模 220 开口 221 由间隔物侧接。可将开口 221 的图案转印到衬底 110 以隔离有源区域 230。可通过常规蚀刻方法或通过本文中所描述的方法而转印有源区域掩模 220 中的开口 221 的图案。在本发明的实施例中，可在半导体结构 200 上形成 70nm 间距的有源区域 230。

[0054] 如图 10A 及图 10B 所示，可移除有源区域掩模 220，且可在先前由有源区域掩模 220 所掩蔽的位置中蚀刻衬底 110。如果有源区域掩模 220 是由间隔物侧接，则可移除有源区域掩模 220 且可将剩余间隔物用作掩模以蚀刻衬底 110。可通过离子研磨、反应性离子蚀刻或化学蚀刻而蚀刻衬底 110。举例来说，如果衬底 110 是由硅形成，则可使用 HBr/Cl_2 或碳氟化合物等离子蚀刻而各向异性地蚀刻衬底 110。为将所要深度蚀刻到由硅形成的衬底 110 中，可控制蚀刻时间。举例来说，可将硅暴露到适当蚀刻化学物历经足以在硅中实现所要深度的时间量。

[0055] 在蚀刻之后，可通过常规方法（例如，湿式或干式蚀刻）而移除间隔物。作为非限制性实例，如果间隔物是由多晶硅形成，则可使用四甲基氢氧化铵 (TMAH) 的溶液而蚀刻间隔物。或者，如果间隔物是由氮化物形成，则可使用干式蚀刻化学物而移除间隔物。

[0056] 参看图 10A，在可为（例如）有源硅的有源区域 230 之间形成第一沟槽 222。如图 10B 所示，可将第一填充材料 226 毯覆式沉积于半导体结构 200 上且将其密化，如此项技术

中已知。第一填充材料 226 可为二氧化硅基材料，例如，旋涂电介质（“SOD”）、二氧化硅、TEOS 或高密度等离子（“HDP”）氧化物。可（例如）通过化学机械抛光（“CMP”）而平面化第一填充材料 226，以移除第一填充材料 226 的在衬底 110 的硅柱状物 232 上方延伸的部分。

[0057] 有源区域 230 中的硅柱状物 232 及第一沟槽 222（展示于图 10A 及图 10B 中）已在两个方向上进行间距加倍。应了解，虽然间距在上文的实例中实际上减半，但间距的此减小常规上被称为间距“加倍”。应进一步理解，本发明的实施例包含仅在一个方向上进行间距加倍，例如，将硅柱状物 232 的宽度或第一沟槽 222 的宽度进行间距加倍。在本发明的实施例中，硅柱状物 232 的宽度及 / 或第一沟槽 222 的宽度可为亚光刻的。

[0058] 图 10A 及图 10B 的半导体结构 200′ 可经受进一步处理。作为非限制性实例，半导体结构 200′ 可经受额外间距加倍工艺以在存储器阵列的栅极中形成沟槽，如图 11A 到图 15 所示。参看图 11A，可将第二消耗性材料 312 沉积于有源区域 230 上且将其图案化，如本文中所描述。可相对于第一沟槽 222 而在大体上平行定向上图案化第二消耗性材料 312。可以 F 而沉积第二消耗性材料 312 且将其修整到 1/2F。在实施例中，第二消耗性材料 312 可为无定形碳且可使用各向异性蚀刻（例如，使用碳氟化合物等离子的蚀刻）而进行图案化，但湿式（各向同性）蚀刻在第二消耗性材料 312 薄的情况下也可为合适的。等离子蚀刻化学物可包含（无限制）CF_4、CFH_3、CF_2H_2、CF_3H。

[0059] 可通过常规方法而将间隔物材料 314 沉积于经图案化第二消耗性材料 312 上且对其加以修整。可以 1/2F 而沉积间隔物材料 314，使得第二消耗性材料 312 与间隔物材料 314 具有为 F 的组合宽度。可通过化学气相沉积或原子层沉积而沉积间隔物材料 314。间隔物材料 314 可为能够相对于第二消耗性材料 312 及稍后形成的牺牲材料 313 而被选择性移除的任何材料。作为非限制性实例，间隔物材料 314 可包含氮化硅及氧化硅。在一个实施例中，间隔物材料 314 与第二消耗性材料 312 可为相同材料。可各向异性地蚀刻间隔物材料 314 以从第二消耗性材料 312 及下伏衬底 110 的水平表面移除间隔物材料 314，如图 11B 所示。可使用碳氟化合物等离子而执行此蚀刻（还被称为间隔物蚀刻）。

[0060] 紧接着，可将牺牲材料 313 沉积于第二消耗性材料 312 及间隔物材料 314 上。可平面化牺牲材料 313 以暴露第二消耗性材料 312 及间隔物材料 314，如图 12A、图 12B 所示。牺牲材料 313 可包含与第二消耗性材料 312 相同的材料，或可为与间隔物材料 314 相比被选择性蚀刻的任何材料。

[0061] 如图 13 所示，可相对于第二消耗性材料 312 及牺牲材料 313 而选择性蚀刻间隔物材料 314 以产生间隙 334。剩余消耗性材料 312 及牺牲材料 313 可在蚀刻下伏衬底 110 期间充当掩模以在间隙 334 的位置中形成第二沟槽 322，如图 14A 所示。第二沟槽 322 可具有为 1/2F 的宽度。归因于第二消耗性材料 312 与牺牲材料 313 的间隔，第二沟槽 322 可不对称地定位于衬底 110 上。可通过离子研磨、反应性离子蚀刻或化学蚀刻而蚀刻衬底 110。举例来说，如果衬底是由硅形成，则可使用 HBr/Cl_2 或碳氟化合物等离子蚀刻而各向异性地蚀刻衬底。为了将所要深度蚀刻到由硅形成的衬底中，可控制蚀刻时间。举例来说，可将硅暴露到适当蚀刻化学物历经足以在硅中实现所要深度的时间量。

[0062] 在本发明的实施例中，第二沟槽 322 可为凹入存取装置或“RAD”沟槽。如本文中所使用，“RAD 沟槽”意味着且包含衬底中的最终形成有 RAD 晶体管的开口。RAD 晶体管的

一个实例包含部分地形成于半导体衬底中的沟槽内的晶体管栅极（字线）。

[0063] 在蚀刻之后，可通过常规方法而移除第二消耗性材料 312 及牺牲材料 313。在移除第二消耗性材料 312 及牺牲材料 313 之后剩余的图案可包含具有阵列有源区域图案的有源区域 230 的硅柱状物 332（还被称为“基座”或“鳍状物”）及第二沟槽 322（栅极沟槽），如图 14B 所示。因此，对于栅极中的第二沟槽 322 来说，已发生间距加倍。在本发明的实施例中，第二沟槽 322 具有亚光刻宽度。

[0064] 应理解，第二消耗性材料 312、间隔物材料 314 及牺牲材料 313 可经选择成使得间隔物材料 314 可相对于第二消耗性材料 312 及牺牲材料 313 而为可选择性移除的。因此，在实施例中，第二消耗性材料 312 与牺牲材料 313 可为相同材料。第二消耗性材料 312、牺牲材料 313 及间隔物材料 314 中的每一者可选自无定形碳或透明碳、多晶硅、二氧化硅及氮化硅，使得间隔物材料 314 可相对于第二消耗性材料 312 及牺牲材料 313 而为可选择性移除的。用于第二消耗性材料 312 及牺牲材料 313 的材料可经选择成耐受后续沟槽蚀刻化学物。

[0065] 参看图 15，在形成第二沟槽 322 之后，可通过常规方法而生长栅极氧化物材料 370。紧接着，可通过常规方法而形成各种毯覆式晶体管栅极材料以形成图 15 的半导体结构 200″。毯覆式晶体管栅极材料可由具有合适功函数的材料（例如，经掺杂多晶硅 372 或金属（即，TiN）、导体 374（例如，钨）及氮覆盖材料 376）形成。半导体结构 200″ 可经受进一步常规处理以在第二沟槽 322 中产生晶体管。

[0066] 图 15 的半导体结构 200″ 可经受进一步处理，如图 16 所示。作为非限制性实例，半导体结构 200″ 可经受间距加倍以形成经由字线（即，导电线）而到晶体管栅极的连接。第一消耗性材料 412 可沉积于半导体结构 200″ 上。可通过常规方法或本文中所描述的方法而图案化第一消耗性材料 412 以暴露下伏第二沟槽 322。

[0067] 参看图 17，第一间隔物材料 414 可沉积于半导体结构 200″ 上。可通过常规方法而平面化及修整第一间隔物材料 414。第一间隔物材料 414 的厚度可界定晶体管栅极的临界尺寸。参看图 18，可将第二消耗性材料 402 沉积于半导体结构 200″ 上且将其平面化以暴露第一间隔物材料 414 及第一消耗性材料 412。可将第二消耗性材料 402 修整到所要宽度，所述所要宽度经选择以留下具有与第一间隔物材料 414 类似的宽度的开口。紧接着，可将第二间隔物材料 404 沉积于半导体结构 200″ 上且将其平面化以暴露第一间隔物材料 414、第一消耗性材料 412 及第二消耗性材料 402，如图 18 所示。第二间隔物材料 404 的厚度可界定接地栅极的临界尺寸。第一间隔物材料 414 及第二间隔物材料 404 可具有亚光刻宽度。

[0068] 如图 19 所示，可通过常规技术而选择性移除第一消耗性材料 412 及第二消耗性材料 402。在本发明的实施例中，第一消耗性材料 412 及第二消耗性材料 402 为无定形碳且是通过常规方法（例如，通过使用含 SO_2 等离子）而进行移除。接着，第一间隔物材料 414 及第二间隔物材料 404 可在常规蚀刻期间充当掩模以形成导电线 425，如图 20 所示。导电线 425 可充当字线 425′ 及接地栅极 425″。与下伏有源区域之间的间隙相比，相邻字线 425′ 之间的间隙为不对称的。在本发明的实施例中，导电线 425 具有亚光刻宽度。

[0069] 通过利用本发明的实施例的用以形成半导体结构 200′、200″、200′″ 的方法而实现许多优势。本文中所描述的方法适应在阵列栅极图案化时 $6F^2$ 架构的间距加倍。本文

中所描述的方法适应待在未按比例缩放所需光刻的情况下显著地按比例缩放的 $6F^2$ 架构。因而，可独立于光刻及蚀刻修整能力而形成亚光刻特征。另外，本发明的实施例的方法提供在非相等线空间上的不对称特征的间距加倍。应理解，还可在其它制造工艺期间使用本文中所描述的方法，（例如）以界定线性自对准接触特征（例如，电容器、数字线或其它亚光刻特征）。半导体结构 200′、200″、200′″ 可经受常规处理动作以产生图 2 所示的存储器阵列 100。因为用以形成存储器阵列 100 的额外处理动作是常规性的，所以这些动作未在本文中加以详细地描述。

[0070] 除了在图式中通过实例而展示且在本文中加以详细地描述的特定实施例以外，本发明还可容许各种修改及替代形式。因此，本发明不限于所揭示的特定形式。更确切来说，本发明的范围涵盖落入所附权利要求书及其合法等效物内的所有修改及替代。

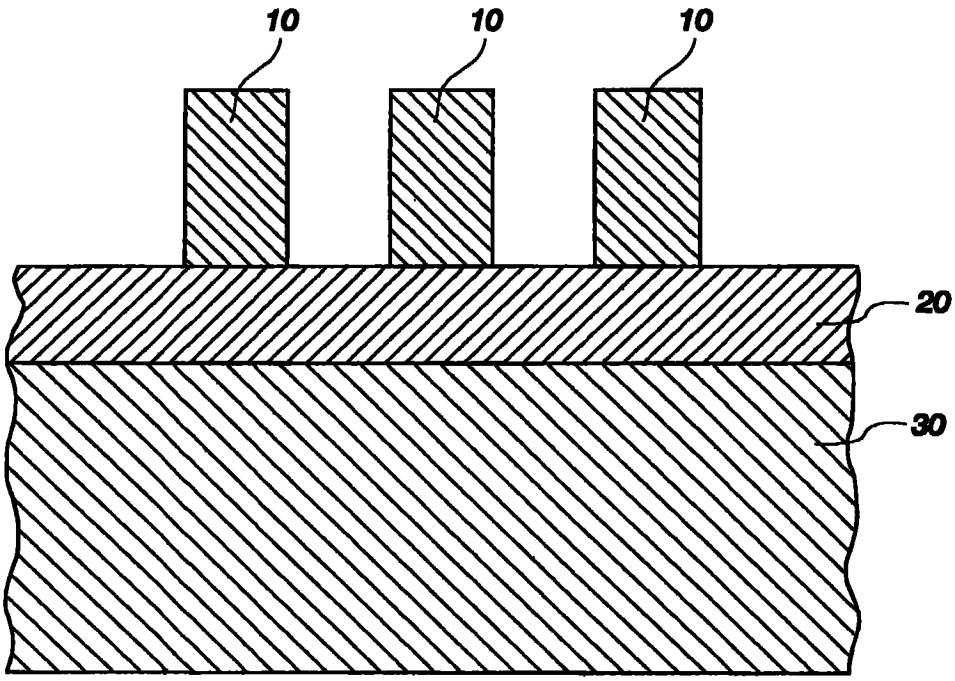


图 1A（现有技术）

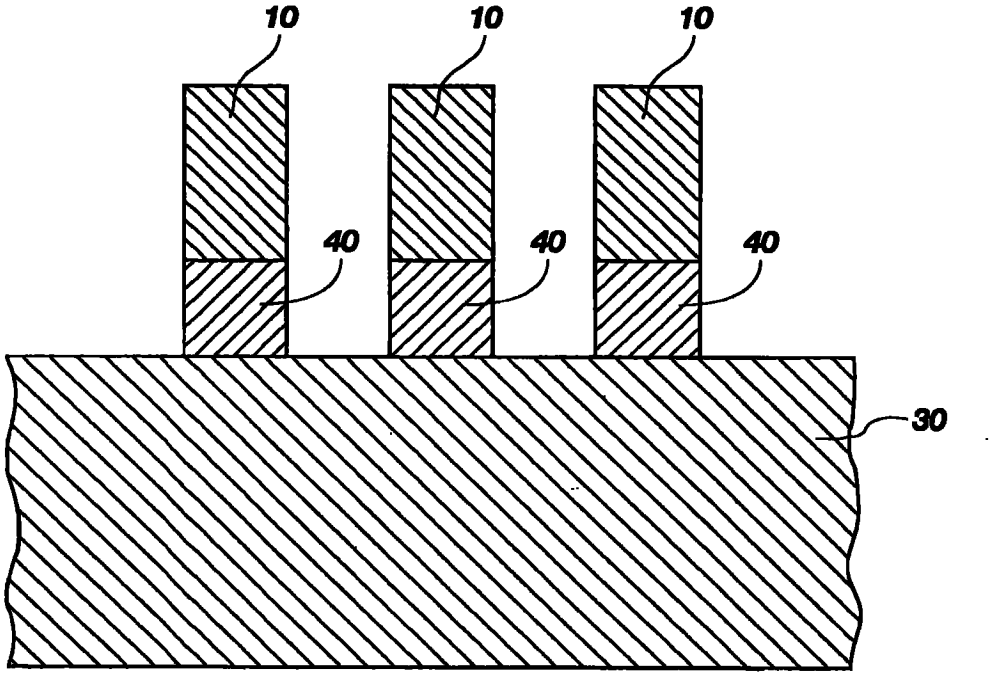


图 1B（现有技术）

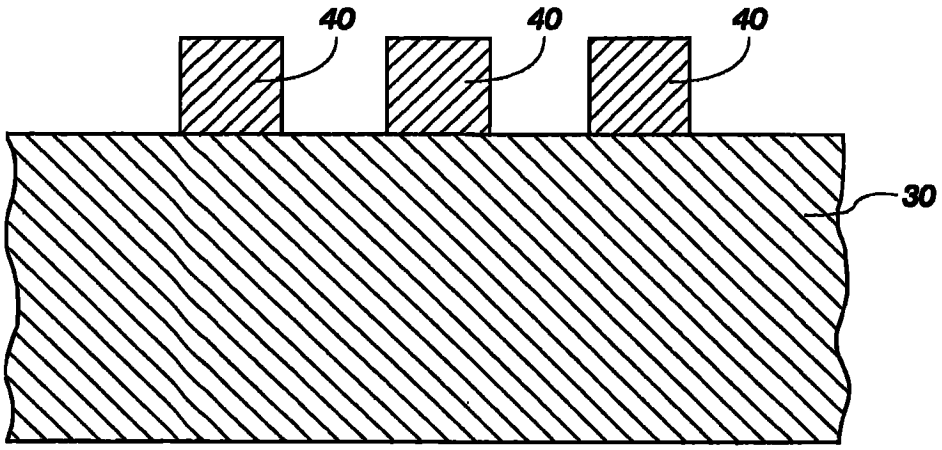


图 1C（现有技术）

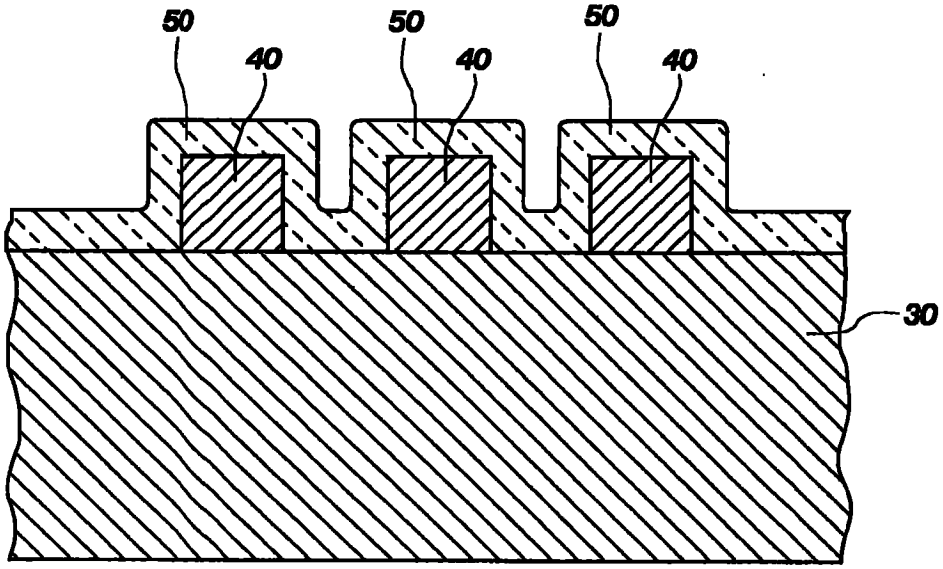


图 1D（现有技术）

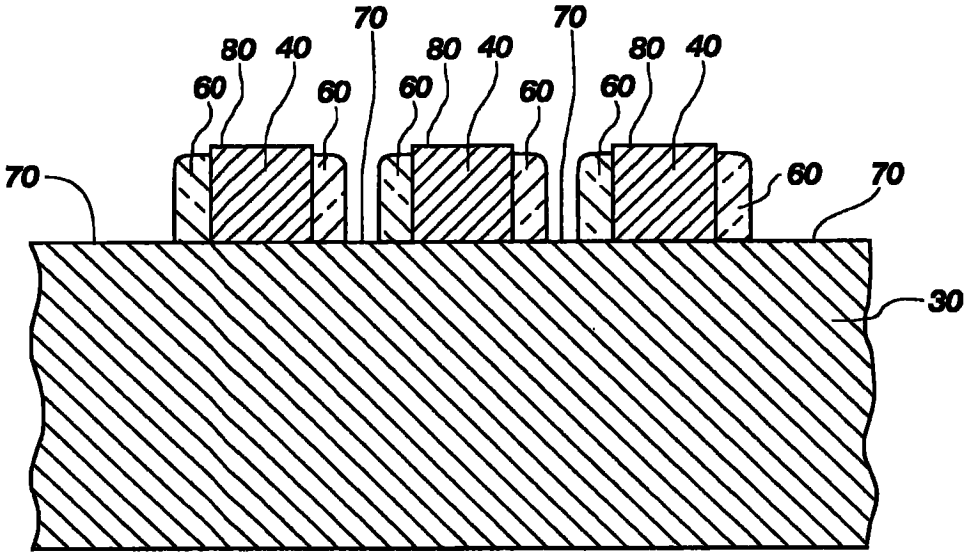


图 1E（现有技术）

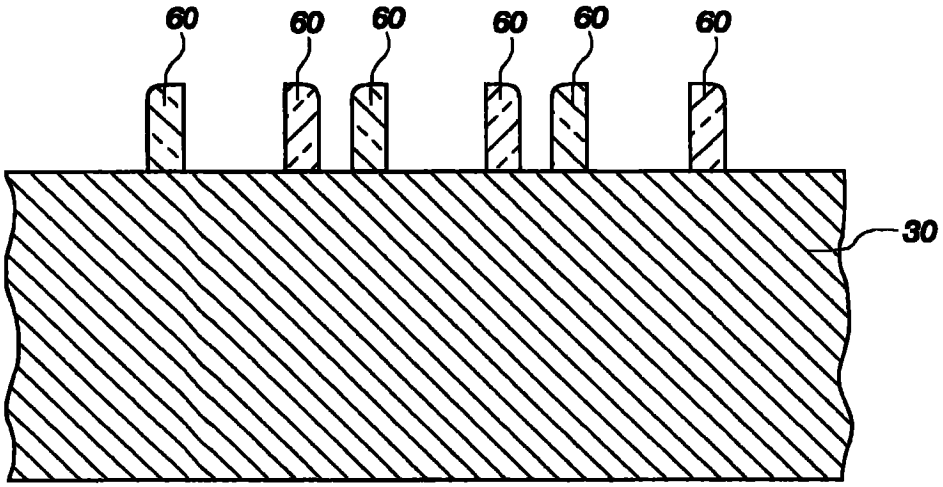


图 1F（现有技术）

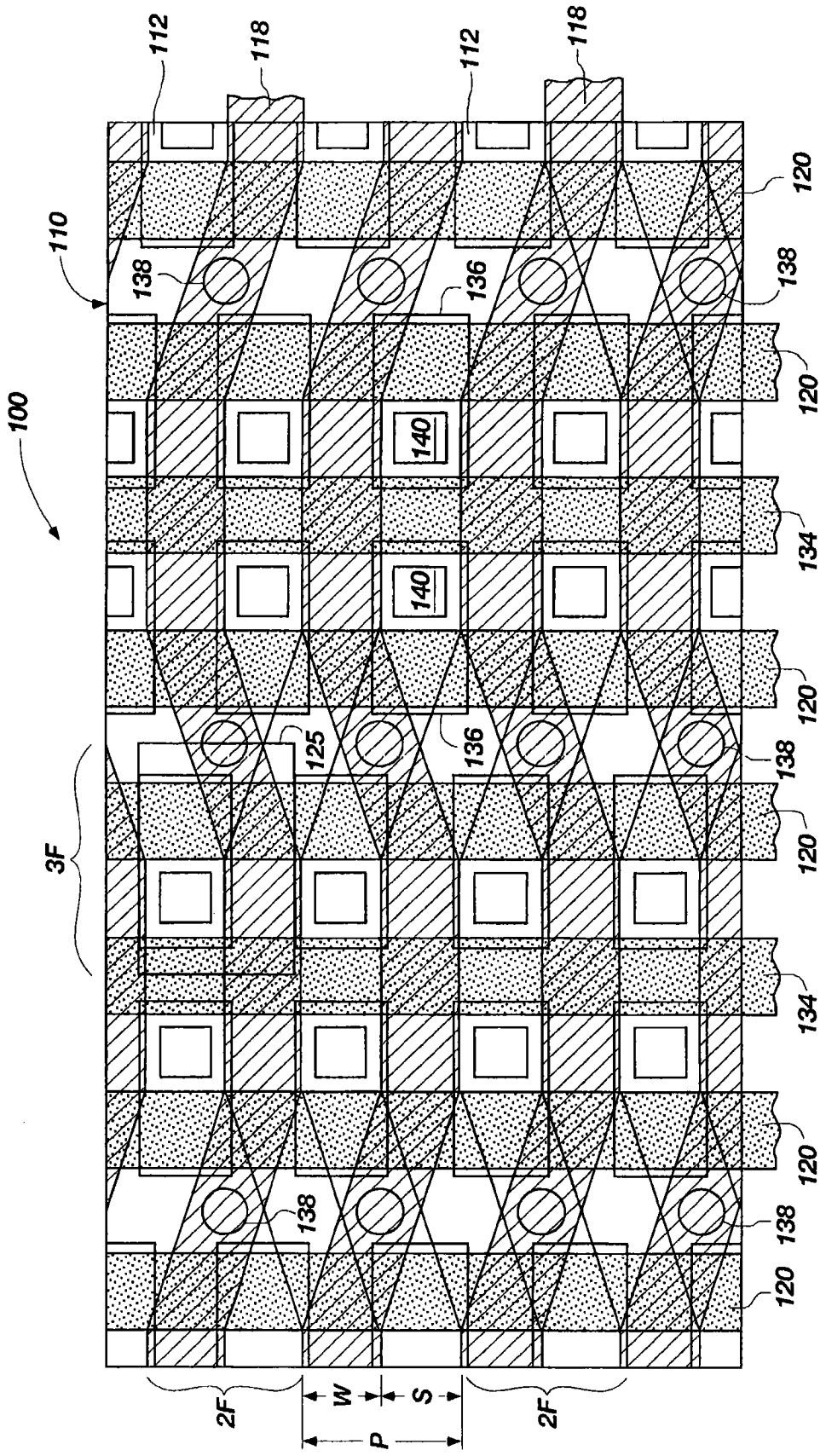

112
118
112
118
110
120
138
136
138
120
100
140
120
134
140
120
125
136
138
3F
120
134
120
138
138
120
2F
W
S
2F
P

图 2

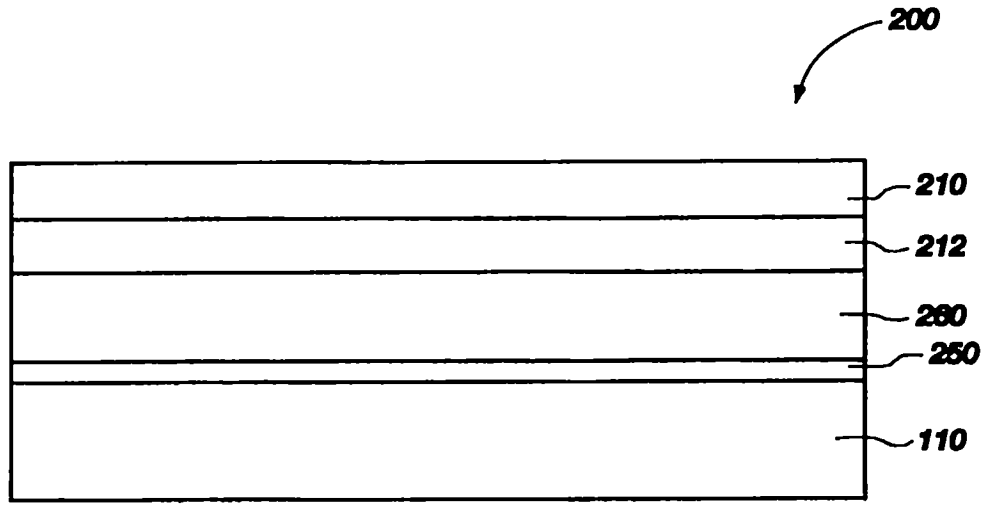


图 3

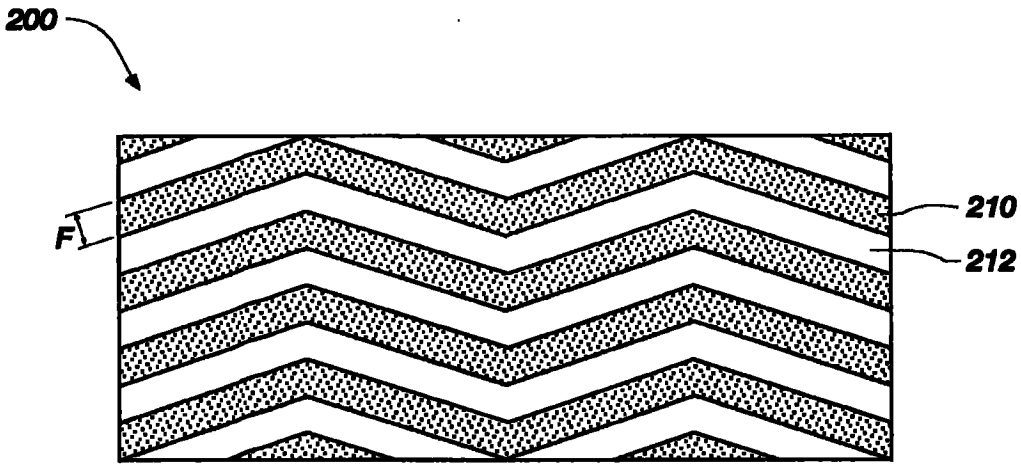


图 4

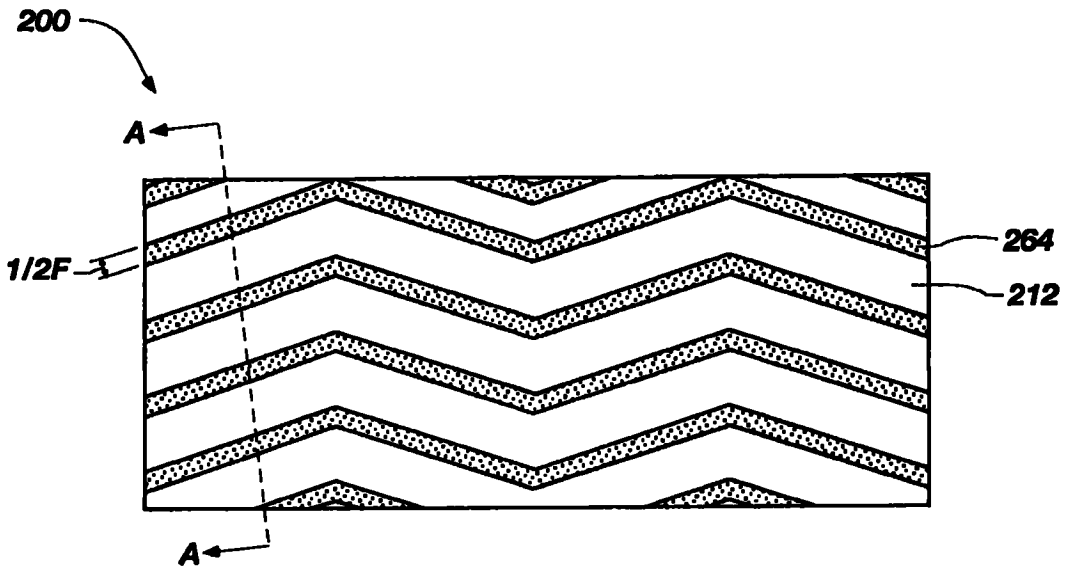


图 5A

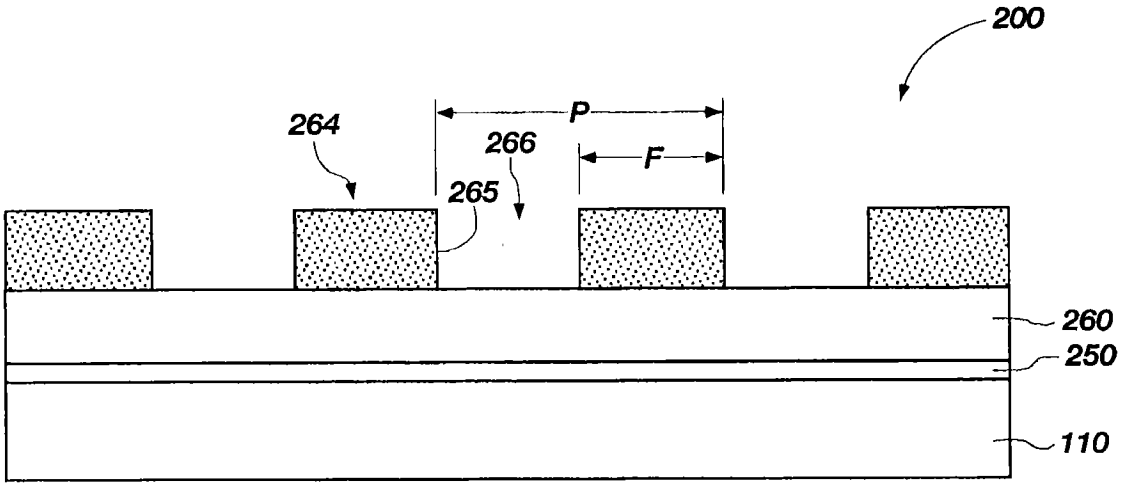


图 5B

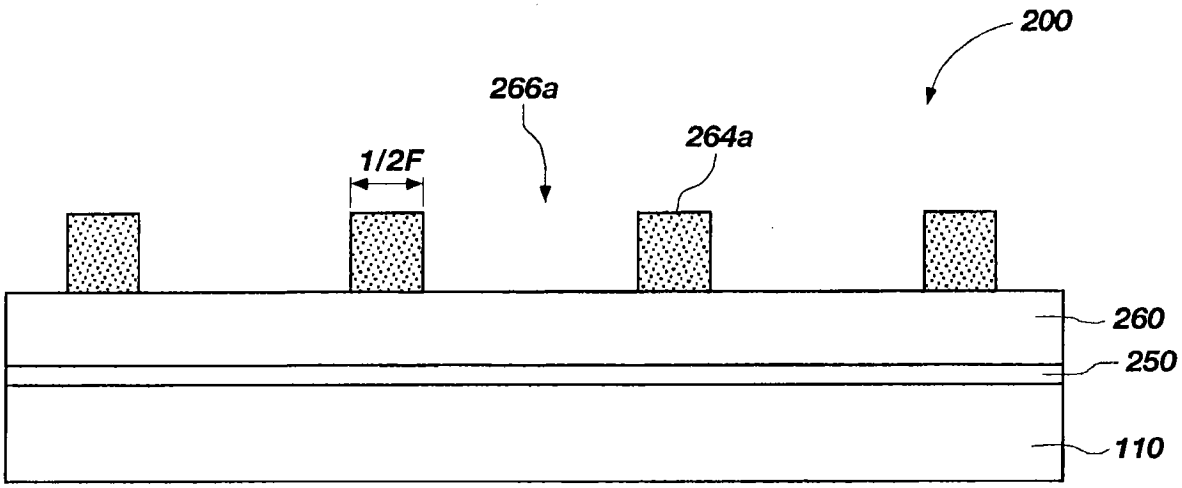


图 5C

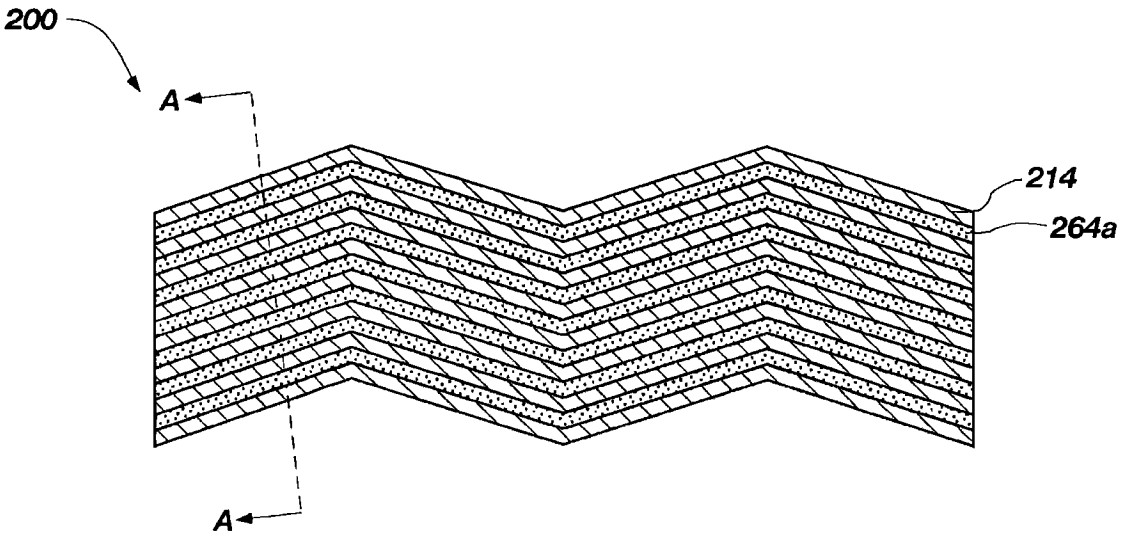


图 6A

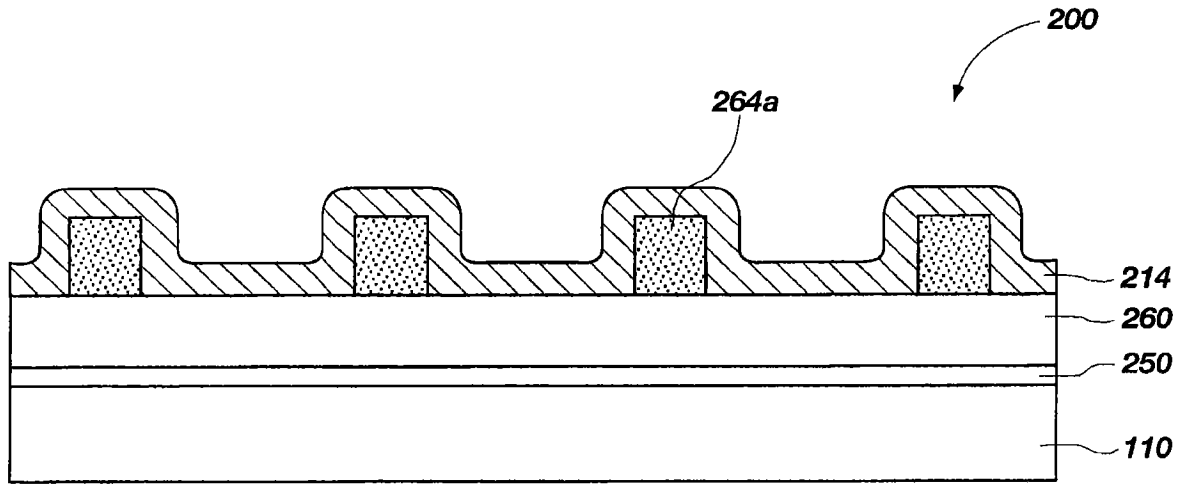


图 6B

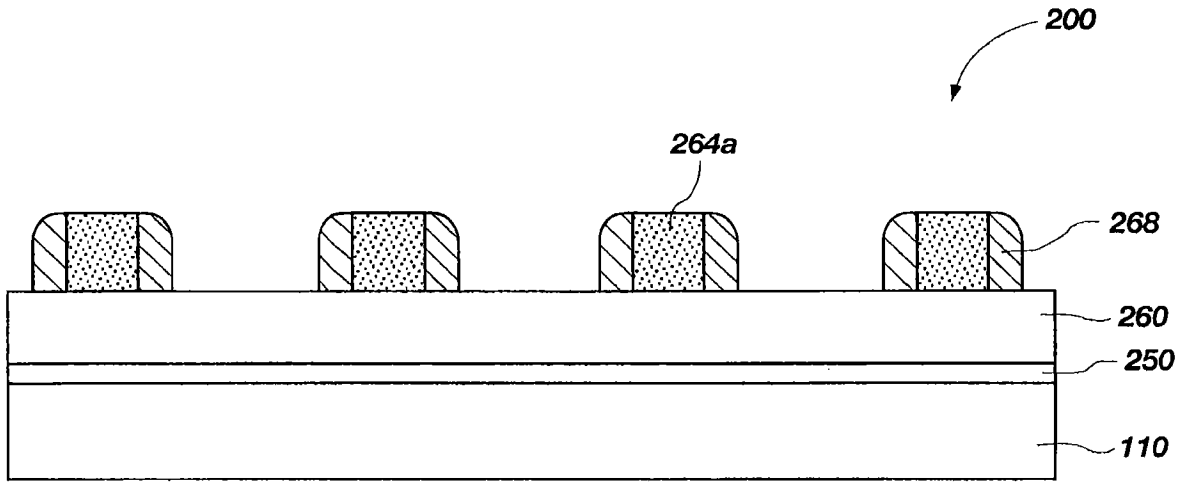


图 6C

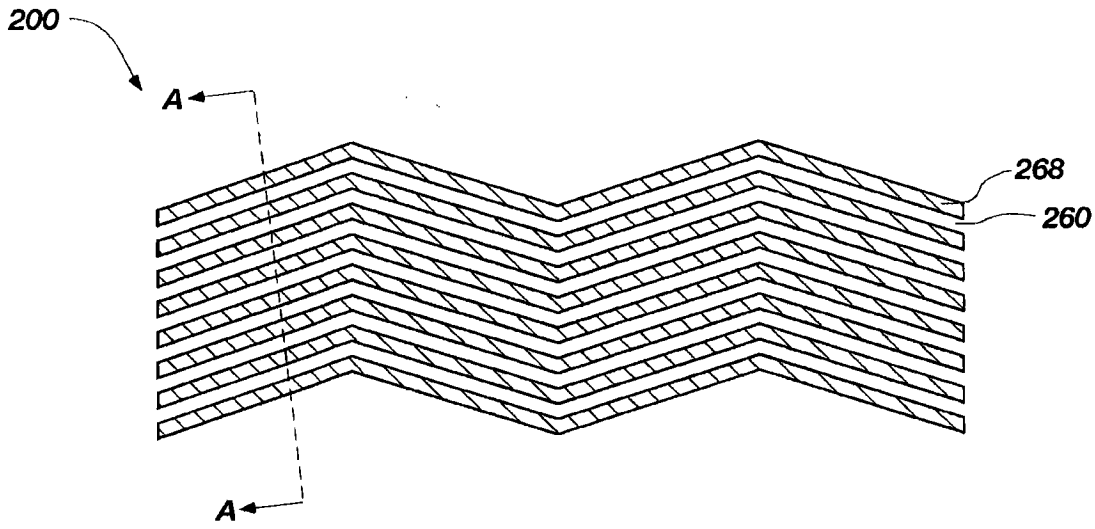


图 7A

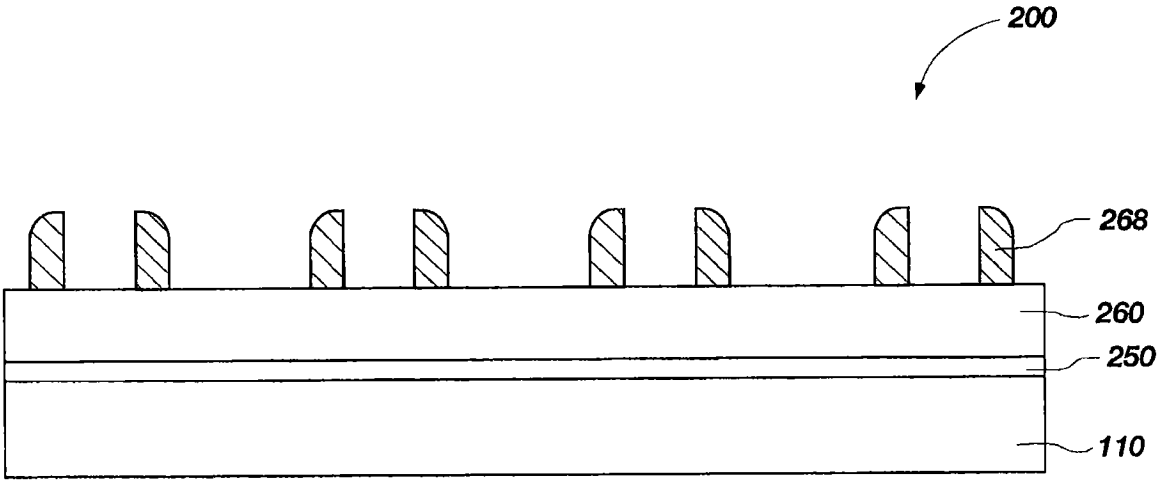


图 7B

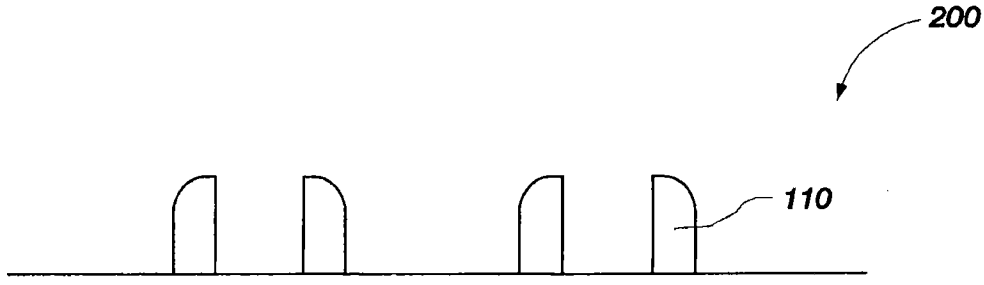


图 8

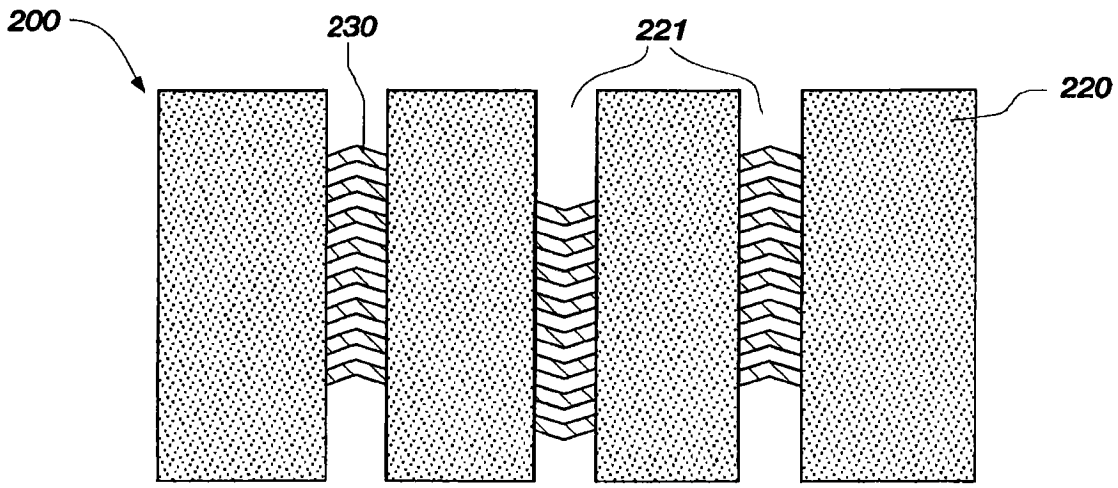


图 9

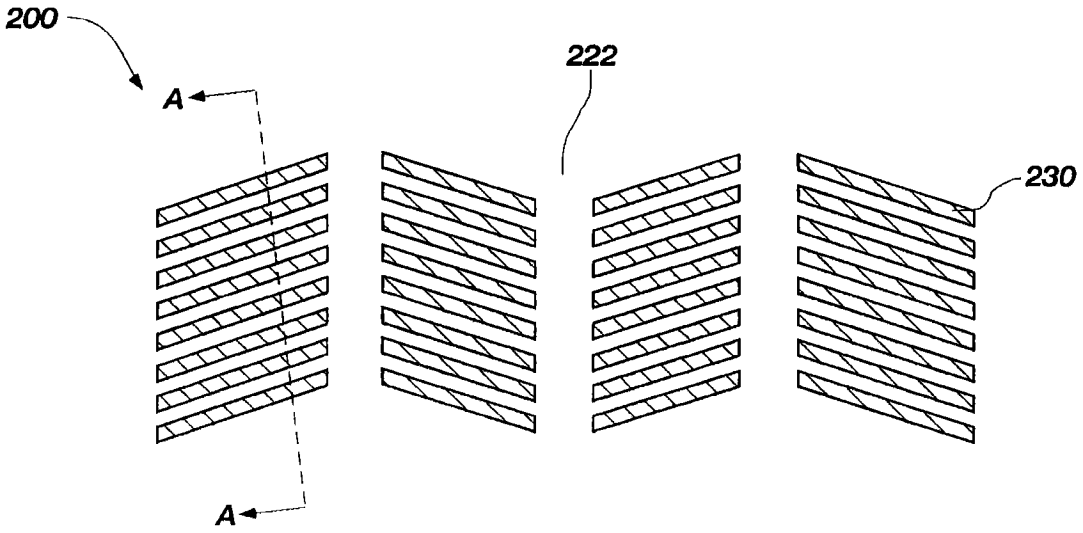


图 10A

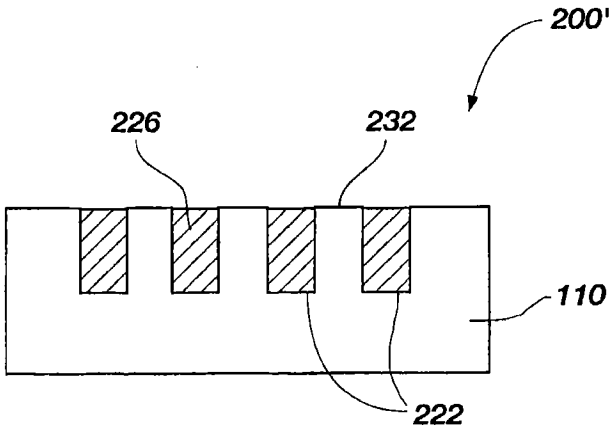


图 10B

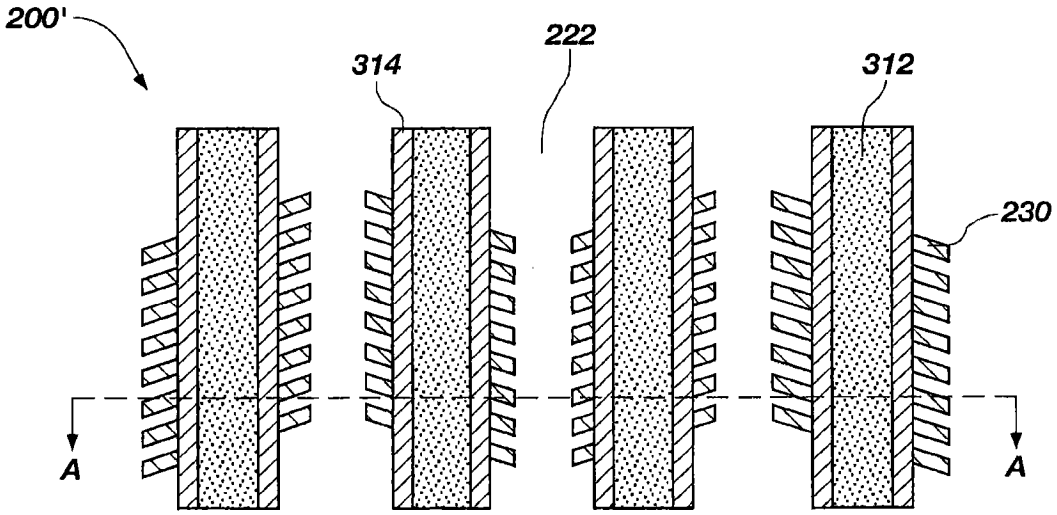


图 11A

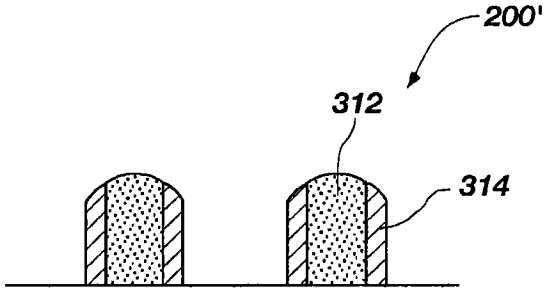


图 11B

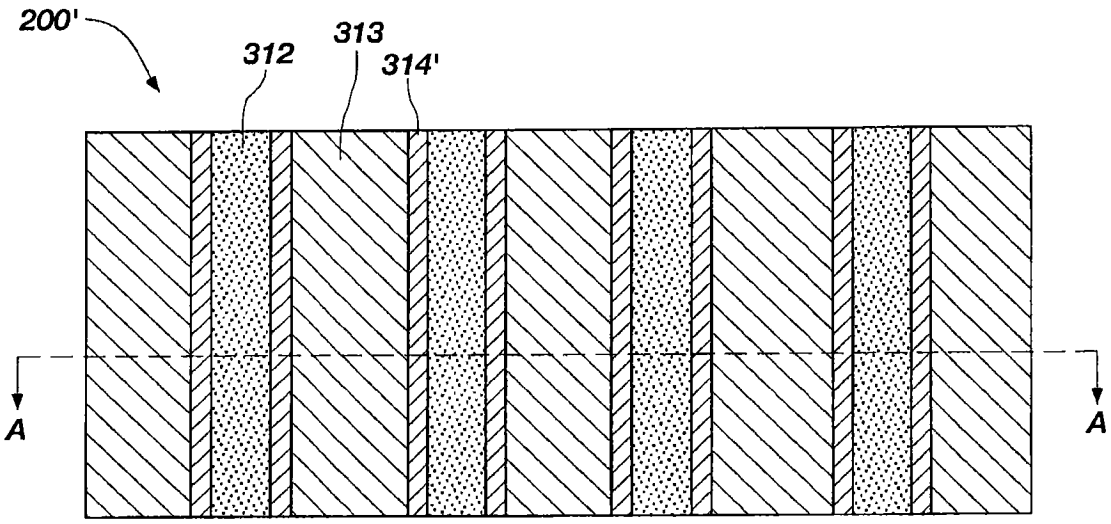


图 12A

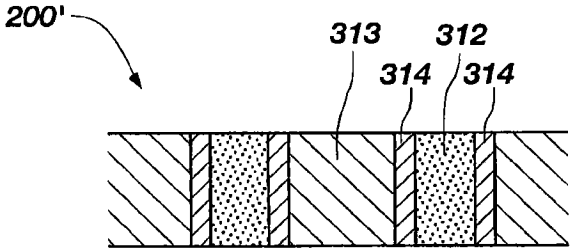


图 12B

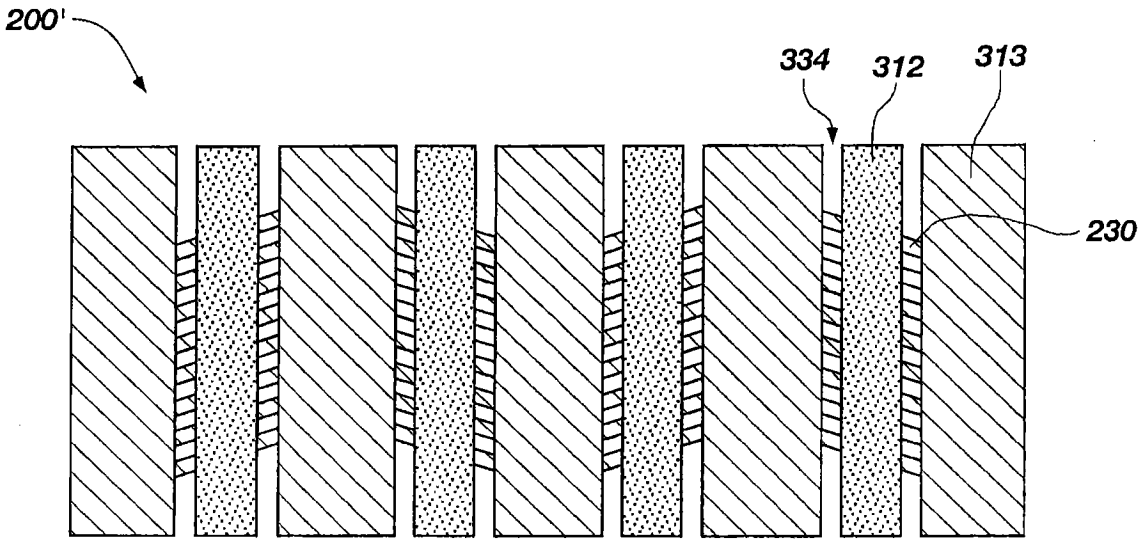


图 13

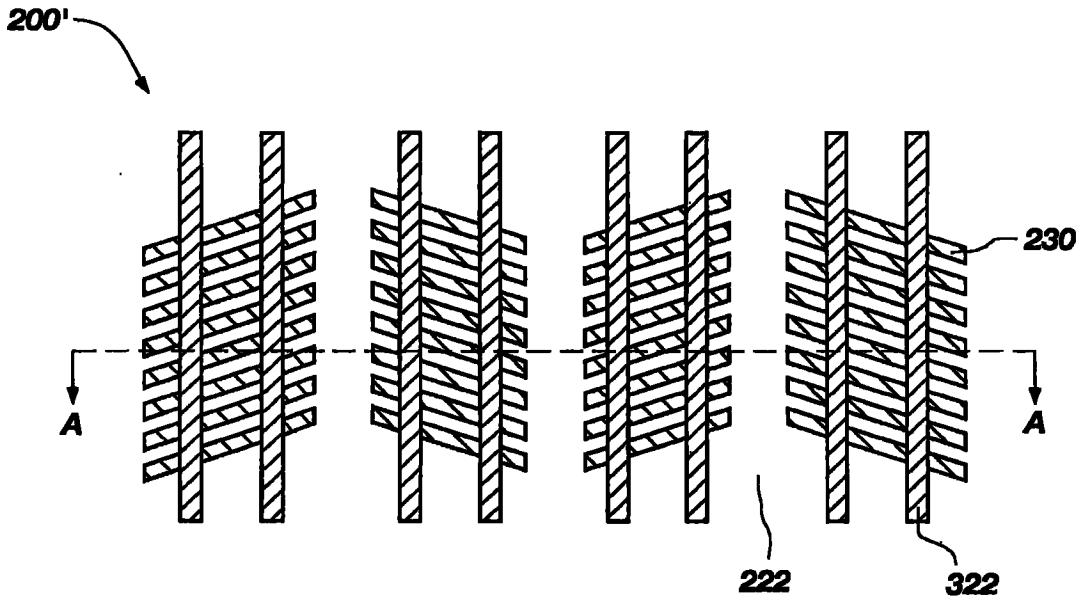


图 14A

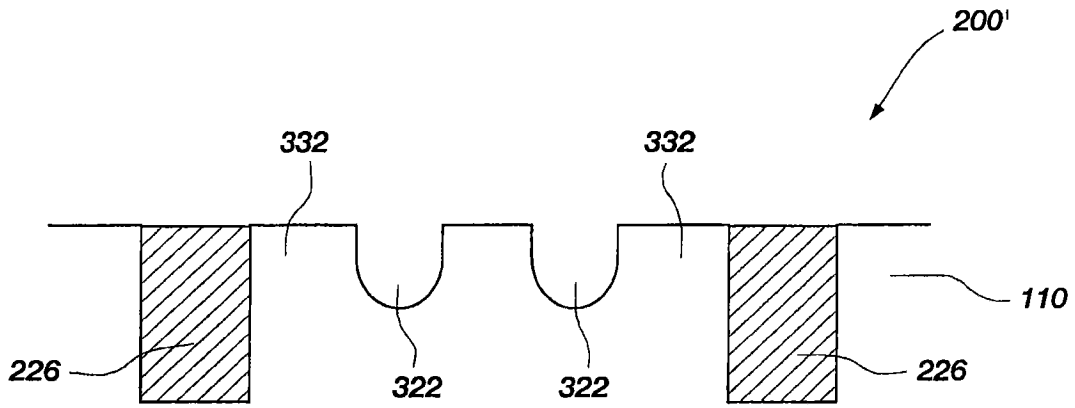


图 14B

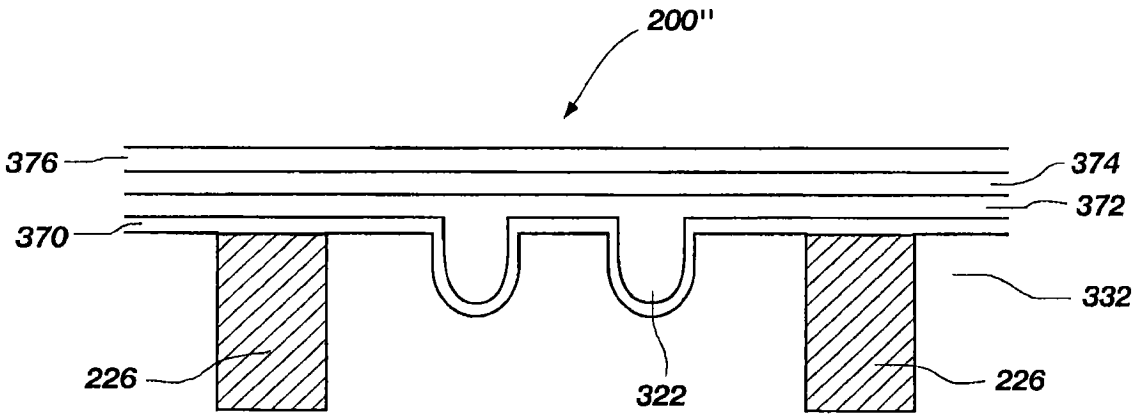


图 15

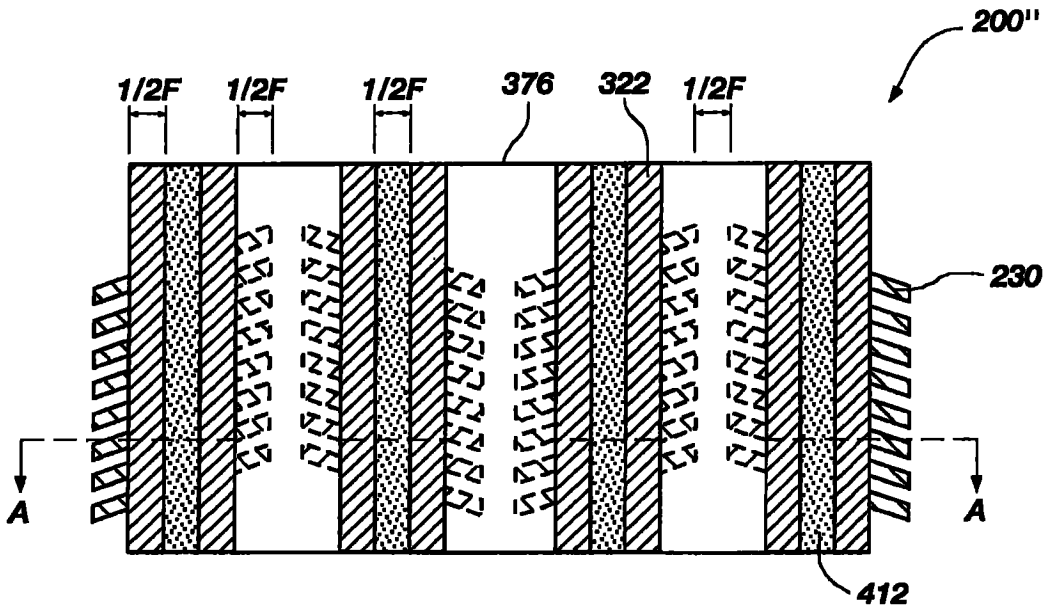

200''
1/2F
1/2F
1/2F
376
322
1/2F
230
A
A
412

图 16

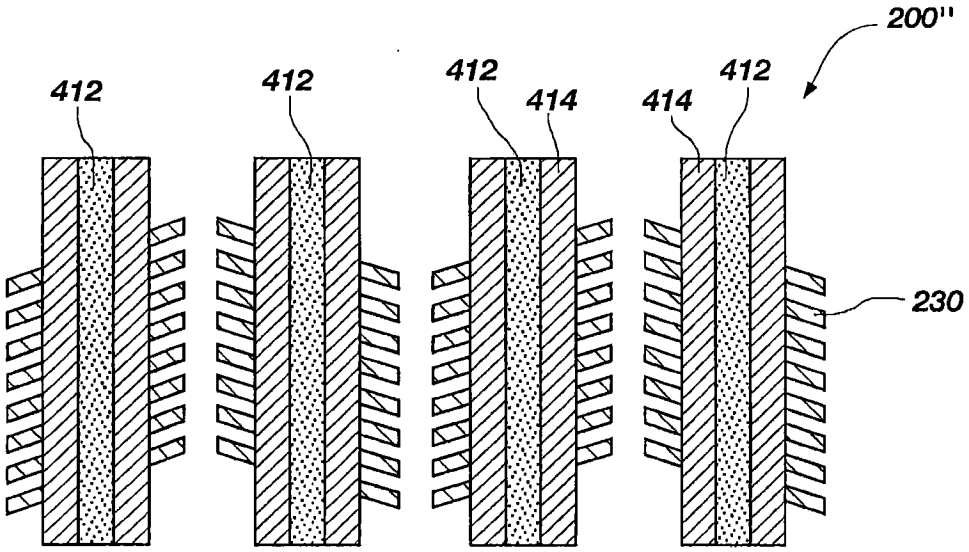

200''
412
412
412
414
414
412
230

图 17

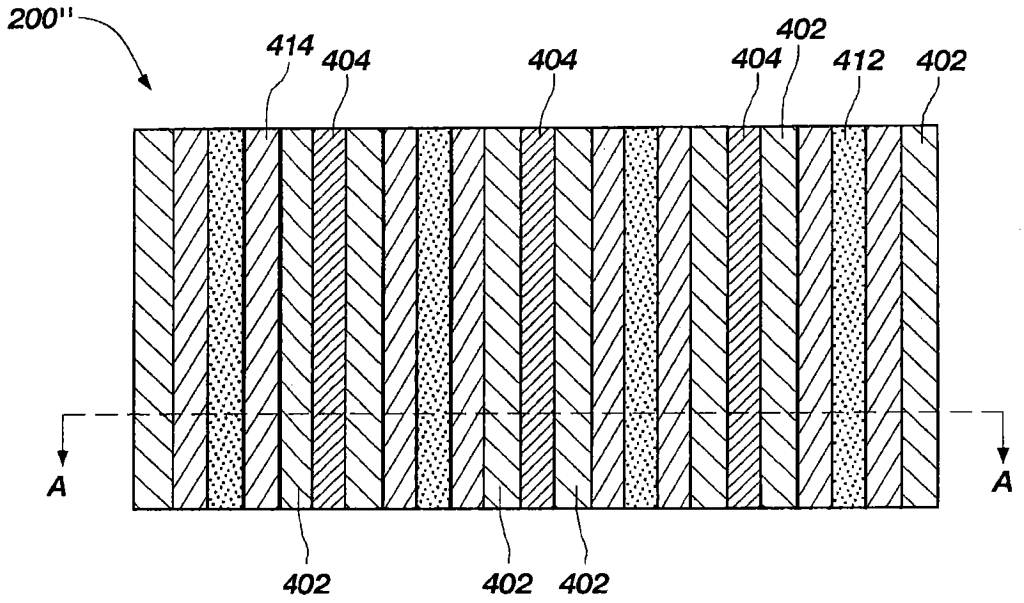


图 18A

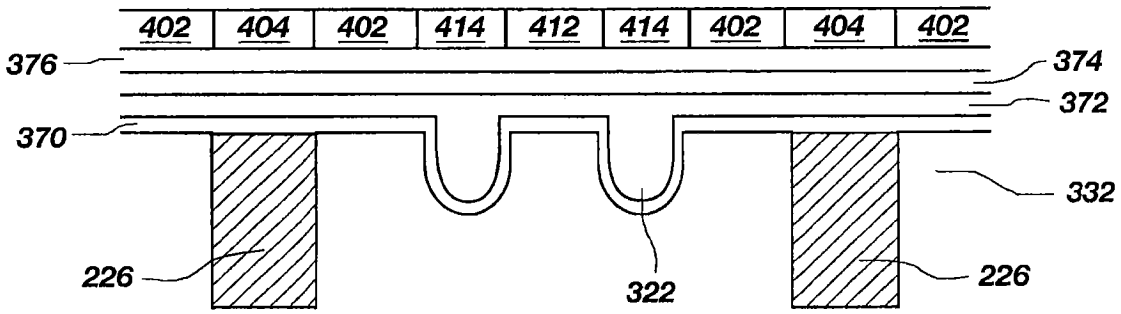


图 18B

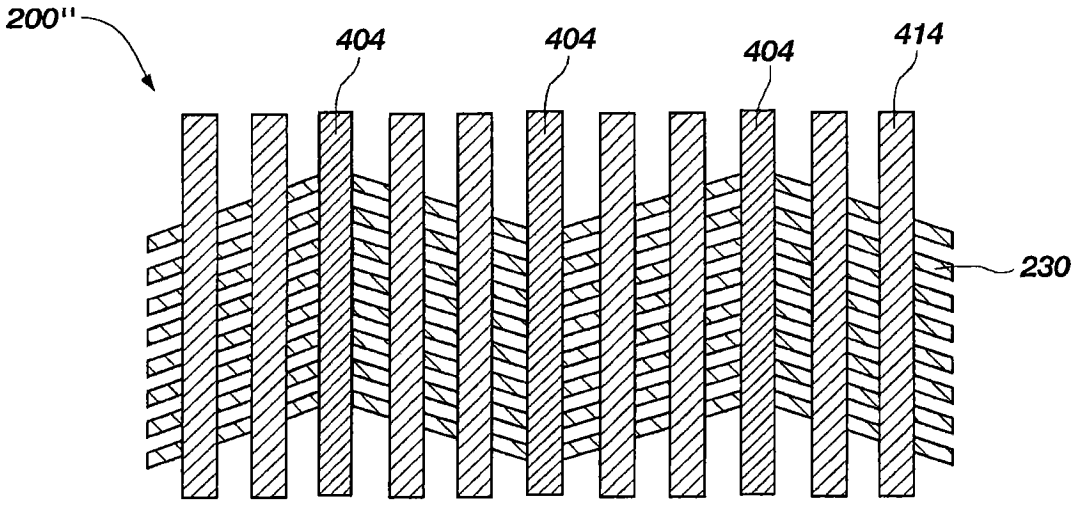


图 19

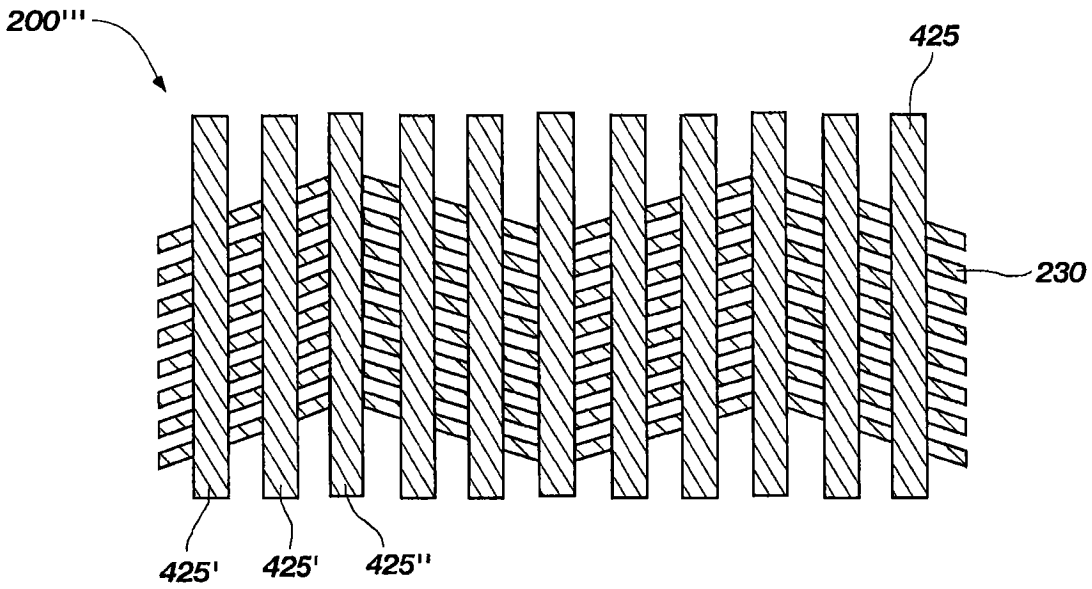


图 20