



**【特許請求の範囲】****【請求項 1】**

マスターデバイスであって、  
マスターインスレーブアウト(MISO)線およびマスターアウトスレーブイン(MOSI)線を含む修正周辺インターフェース(SPI)バスと、  
前記MOSI線を通じて複数のスレーブデバイスのうちのアドレス指定された1つにアドレス指定フレームを送信し、かつ前記MISO線を通じて前記スレーブデバイスの各々から非アドレス指定フレームを受信するように構成される、修正周辺インターフェースと  
を備える、マスターデバイス。

**【請求項 2】**

前記マスターデバイスのパワーオンリセットの後、アドレス割当てモードで動作するように構成されるアドレス割当てエンジンをさらに備え、前記アドレス割当てエンジンが、前記アドレス割当てモードの間に前記修正されたSPIバスの中のクロック線へとクロック信号を駆動するように構成されるクロックソースと、ローカルカウンタを決定するために前記割当てモードの間に前記クロック信号の周期をカウントするように構成されるローカルカウンタとを含む、請求項1に記載のマスターデバイス。

10

**【請求項 3】**

前記アドレス割当てエンジンが、組み込み集積回路間(I2C)インターフェースを備える、請求項2に記載のマスターデバイス。

**【請求項 4】**

前記アドレス割当てエンジンが組み込みI3Cインターフェースを備える、請求項2に記載のマスターデバイス。

20

**【請求項 5】**

マルチプレクサであって、前記アドレス割当てエンジンおよび前記修正周辺インターフェースを前記クロック線および前記MISO線へ選択的に結合するように構成される、マルチプレクサをさらに備える、請求項3に記載のマスターデバイス。

**【請求項 6】**

前記組み込みI2Cインターフェースが、前記MISO線の放電にตอบสนองして、前記ローカルカウンタの値によってスレーブデバイスのアドレスを特定するようにさらに構成される、請求項5に記載のマスターデバイス。

30

**【請求項 7】**

ホストプロセッサであって、前記マスターデバイスがシステムオンチップ(SoC)を備える、ホストプロセッサをさらに備える、請求項1に記載のマスターデバイス。

**【請求項 8】**

前記SoCおよび前記複数のスレーブデバイスが、携帯電話、スマートフォン、携帯情報端末、タブレットコンピュータ、ラップトップコンピュータ、デジタルカメラ、および携帯ゲームデバイスからなるグループから選択されるデバイスに組み込まれる、請求項7に記載のマスターデバイス。

**【請求項 9】**

前記ホストプロセッサが、前記修正周辺インターフェースを実装するためのソフトウェアを用いて構成される、請求項1に記載のマスターデバイス。

40

**【請求項 10】**

前記修正周辺インターフェースが有限ステートマシンを備える、請求項1に記載のマスターデバイス。

**【請求項 11】**

前記修正されたSPIバスの中のクロック線をさらに備え、前記修正周辺インターフェースが、前記アドレス指定フレームの前記送信の間および前記非アドレス指定フレームの前記受信の間に、前記クロック線を通じてクロック信号を駆動するようにさらに構成される、請求項1に記載のマスターデバイス。

**【請求項 12】**

50

前記修正周辺インターフェースが、前記MOSI線を通じて送信されるアドレス指定されたポーリングフレームを使用して各スレーブデバイスに定期的にポーリングするようにさらに構成される、請求項2に記載のマスターデバイス。

【請求項13】

前記マスターデバイスと前記MISO線との間および前記マスターデバイスと前記MOSI線との間で物理層インターフェースを形成するように構成される入力/出力回路のペアをさらに備える、請求項1に記載のマスターデバイス。

【請求項14】

スレーブデバイスであって、

マスターインスレーブアウト(MISO)線およびマスターアウトスレーブイン(MOSI)線を含む修正周辺インターフェース(SPI)バスと、

アドレス指定フレームが前記スレーブデバイスにアドレス指定されるかどうかを判定するためにマスターデバイスから前記MOSI線を通じて受信される前記アドレス指定フレームの中のアドレスヘッダを復号するように構成される、修正周辺インターフェースと

を備える、スレーブデバイス。

【請求項15】

前記修正されたSPIバスがクロック線を含み、前記スレーブデバイスが、カウントを決定するために前記クロック線上で受信されるクロック信号の遷移をカウントするように構成されるカウンタを有する組み込み集積回路間(I2C)インターフェースをさらに備え、前記組み込みI2Cインターフェースが、前記スレーブデバイスの初期アドレスに等しい前記

【請求項16】

前記修正周辺インターフェースが、前記MISO線を通じた前記マスターデバイスへの非アドレス指定フレームの送信の前に、前記マスターデバイスへの割込み信号をアサートするように構成される、請求項14に記載のスレーブデバイス。

【請求項17】

マスターデバイスから、複数のスレーブデバイスへとシリアル周辺インターフェース(SPI)クロック線を通じてクロック信号を反復するステップと、

各スレーブデバイスにおいて、ローカルカウントを維持するために前記クロック線上での前記クロック信号の前記反復にตอบสนองしてカウントするステップと、

各スレーブデバイスから、前記スレーブデバイスのローカルカウントの値が前記スレーブデバイスの初期アドレスに等しいとき、シリアル周辺インターフェース(SPI)のマスターインスレーブアウト(MISO)線を放電させることによって前記マスターデバイスにシグナリングするステップと

を備える、方法。

【請求項18】

前記マスターデバイスから、SPIマスターアウトスレーブイン(MOSI)線を通じて各スレーブデバイスのためのアドレス指定フレームを送信するステップであって、各々のアドレス指定フレームの中のヘッダが対応するスレーブデバイスの前記初期アドレスを含み、各々のアドレス指定フレームの本体が前記対応するスレーブデバイスの短縮アドレスを含み、各スレーブデバイスの短縮アドレスが前記スレーブデバイスの初期アドレスに格納されるビットよりも少数のビットを有する、ステップをさらに備える、請求項17に記載の方法。

【請求項19】

SPIクロック線上で送信されるSPIクロック信号の反復にตอบสนองして、前記MOSI線上で前記スレーブデバイスのうちの選択された1つへ短縮アドレス指定フレームを送信するステップであって、前記短縮アドレス指定フレームが、前記選択されたスレーブデバイスの前記短縮アドレスを含むアドレスヘッダを格納する、ステップをさらに備える、請求項18に記載の方法。

10

20

30

40

50

## 【請求項 20】

前記マスターデバイスにおいて、マスターデバイスのローカルカウントを維持するために前記クロック線上での前記クロック信号の前記反復に応答してカウントするステップと、

前記マスターデバイスにおいて、各スレーブデバイスが前記MISO線を放電させるときに前記マスターデバイスのローカルカウントの値を通じて各スレーブデバイスの初期アドレスを決定するステップと

をさらに備える、請求項17に記載の方法。

## 【請求項 21】

前記マスターデバイスから、SPIマスターアウトスレーブイン(MOSI)線を通じて各スレーブデバイスのためのアドレス指定フレームを送信するステップであって、各々のアドレス指定フレームの中のヘッダが、前記対応するスレーブデバイスの前記初期アドレスを含み、各々のアドレス指定フレームの本体が、前記クロック線、前記MOSI線、および前記MISO線からなるグループから選択される前記対応するスレーブデバイスのための線の割当てを含み、前記マスターデバイスが、前記対応するスレーブデバイスが前記マスターデバイスへ送信すべきフレームを有することの指示として、前記対応するスレーブデバイスによる前記割り当てられた線の一時的な放電を検出するようにさらに構成される、ステップをさらに備える、請求項17に記載の方法。

10

## 【請求項 22】

マスターインスレーブアウト(MISO)線、マスターアウトスレーブイン(MOSI)線、およびクロック線を含む、修正周辺インターフェース(SPI)バスと、

前記MOSI線を通じて複数のスレーブデバイスのうちのアドレス指定された1つにアドレス指定フレームを送信し、前記MISO線を通じて前記スレーブデバイスの各々から非アドレス指定フレームを受信するように構成される、修正周辺インターフェースと、

アドレスを各スレーブデバイスに割り当てるための手段と

を備える、マスターデバイス。

20

## 【請求項 23】

ホストプロセッサをさらに備え、前記マスターデバイスがシステムオンチップ(SoC)を備える、請求項22に記載のマスターデバイス。

## 【請求項 24】

前記SoCおよび前記複数のスレーブデバイスが、携帯電話、スマートフォン、携帯情報端末、タブレットコンピュータ、ラップトップコンピュータ、デジタルカメラ、および携帯ゲームデバイスからなるグループから選択されるデバイスに組み込まれる、請求項23に記載のマスターデバイス。

30

## 【請求項 25】

前記ホストプロセッサが、前記修正周辺インターフェースを実装するためのソフトウェアを用いて構成される、請求項22に記載のマスターデバイス。

## 【請求項 26】

前記修正周辺インターフェースが有限ステートマシンを備える、請求項22に記載のマスターデバイス。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

関連出願の相互参照

本出願は、2015年9月21日に出願された米国出願第14/860,568号の優先権を主張する。

## 【0002】

本出願はシリアル周辺インターフェースに関し、より具体的には、スレーブ選択線を不要にするためのシリアル周辺インターフェースの改良に関する。

## 【背景技術】

## 【0003】

50

システムオンチップ(SoC)プロセッサと様々な周辺デバイスとの間の同期シリアル通信を提供するために、シリアル周辺インターフェース(SPI)が一般にモバイルデバイスに含まれる。SoCはSPIマスターデバイスとして機能し、一方、各周辺デバイスはスレーブSPIデバイスとして機能する。SPIバスはマスターデバイスを各SPIスレーブデバイスに結合する。マスターデバイスは、SPIバスの中のクロック線にクロックを供給する。マスターデバイスとスレーブデバイスとの間のすべてのシリアルデータ交換がクロック信号に同期する。マスターデバイスは、マスターアウトスレーブイン(MOSI)線を通じてデータをスレーブデバイスに駆動する。スレーブデバイスは各々、共有されるマスターインスレーブアウト(MISO)線上でデータをマスターに駆動してもよい。MISO線はスレーブデバイスによって共有されるので、SPIバスはまた、共有されるMISO線にアクセスプロトコルを提供するために各スレーブデバイスのためのスレーブ選択線を含む。

10

#### 【0004】

各スレーブは固有のスレーブ選択線を有するので、各スレーブデバイスにおけるSPIバスは、クロックと、MOSIと、MISOと、スレーブ選択シグナリングとを収容するために、4線のバスである。しかし、マスターデバイスにおけるSPIバスは(3+N)線のバスであり、ここでNはスレーブデバイスの数を表す整数である。SPIバスの中の各線はその固有のピンに専用であるので、SPIバスに専用のマスターデバイスにおけるピンの数は、マスターデバイスがサービスするスレーブデバイスの数とともに増大する。結果として、他のシグナリングに対して専用である、SoCなどのマスターデバイスの中のピンはより少なくなることがある。その上、マスターデバイス上での各々の必要とされる追加のピンは製造コストを増やす。

20

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0005】

したがって、従来のSPIアーキテクチャにおけるピンの必要性を軽減する、改善されたSPIインターフェースが当技術分野において必要である。

#### 【課題を解決するための手段】

#### 【0006】

改良されたシリアル周辺インターフェースが、マスターデバイスおよび複数のスレーブのために提供される。各々の改良されたシリアル周辺インターフェース(修正周辺インターフェース(SPI)と表記されることもある)は、マスターアウトスレーブイン(MOSI)線を通じたマスターデバイスからのデータ送信と、マスターインスレーブアウト(MISO)線を通じたスレーブデバイスからマスターデバイスへのデータ送信とを、スレーブ選択線を使用することなく可能にするように構成される。したがって、得られるシステムは、マスターデバイスにおいて複数のスレーブ選択ピンを必要とせずに、MOSI線およびMISO線を通じた二重データ送信から利益を得る。本明細書では、「ピン」は、回路基板上のリードまたは他の適切な送信線に結合するために集積回路が使用するパッドまたは実際のピンなどの構造を包含する、汎用的な用語である。

30

#### 【0007】

マスターデバイスの中の修正されたSPIは、MOSI線を通じてスレーブへ送信されるアドレス指定フレームにアドレスヘッダを挿入するように構成される。各スレーブデバイスの中の修正されたSPIは、受信されたアドレス指定フレームがスレーブデバイスにアドレス指定されるかどうかを判定するために、MOSI線からの受信されたアドレス指定フレームの中のアドレスヘッダを復号するように構成される。

40

#### 【0008】

スレーブ選択線が存在しない場合に、共有されるMISO線にスレーブデバイスのためのアクセスプロトコルを提供するために、マスターデバイスの中の修正されたSPIは、アドレスヘッダを有するアドレス指定されたポーリングフレームを用いて各スレーブデバイスに定期的にポーリングしてもよい。受信されたアドレス指定されたポーリングフレームがスレーブデバイスに向けられていたとスレーブデバイスの中の修正されたSPIが決定する場

50

合、スレーブデバイスはMISO線を通じてデータフレームをマスターデバイスに送信することに進んでもよい。代替的に、各スレーブデバイスは、マスターデバイスによって受信される個々の割込み線に結合される割込みピンを含んでもよい。そのようなスレーブデバイスがマスターデバイスへ送信すべきフレームを有する場合、スレーブデバイスはまず、マスターデバイスの中のホストプロセッサに割り込んでもよい。そうすると、割り込むスレーブデバイスの識別情報が、対応する個々の割込み線を通じてマスターデバイスに知られる。スレーブデバイスにより生成されるフレームは、MISO線のためのこれらのアクセスプロトコルのもとではアドレス指定フレームである必要がない。

【図面の簡単な説明】

【0009】

【図1】本開示のある態様による、いずれのスレーブ選択線も含まない修正されたSPIバスを通じて通信するように構成される、マスターデバイスと複数のスレーブデバイスとを含む例示的なシステムの図である。

【図2】アドレス割当て手順の間の図1のシステムの図である。

【図3】図1のシステムにおいてアドレスを割り当てる方法のフローチャートである。

【図4】図1のシステムを組み込む例示的なデバイスのブロック図である。

【発明を実施するための形態】

【0010】

本開示の追加の態様およびそれらの利点は、以下の詳細な説明を参照することによって最も良く理解される。同様の参照番号が、図のうちの1つまたは複数に示される同様の要素を識別するために使用されることを理解されたい。

【0011】

スレーブ選択線が除去された、修正周辺インターフェース(SPI)が提供される。この方式では、マスターデバイスおよび複数のスレーブデバイスは、3線の修正されたSPIバスを使用してそれぞれの修正周辺インターフェースを通じてネットワーク接続されてもよい。したがって、マスターデバイスは、インターフェースにネットワーク接続されるスレーブデバイスの数とは無関係に、修正周辺インターフェースをサポートするのに3つのピンしか必要としない。

【0012】

スレーブ選択線が削除されているので、マスターデバイスの中の修正周辺インターフェースは、マスターアウトスレーブイン(MOSI)線を通じて、アドレス指定フレームをスレーブデバイスに送信するように構成され、各々のアドレス指定フレームは、選択されたスレーブデバイスのアドレスを伴うヘッダを含む。アドレスを提供するために、マスターデバイスおよびスレーブデバイスは各々、MiPi Allianceにより定義されるような組み込み集積回路間(I2C)インターフェースまたは組み込みI3C(センスワイヤ)インターフェースを含んでもよい。より一般的には、マスターデバイスおよびスレーブデバイスは各々、組み込みアドレス割当てエンジンを含んでもよい。したがって、以下の議論は、組み込みアドレス割当てエンジンがI2Cインターフェースであると、一般性を失うことなく想定する。

【0013】

組み込みI2Cインターフェースは、パワーオンリセット(POR)シーケンスの完了後などのパワーオンシーケンスの完了後に機能する。I2CおよびI3Cの技術分野において知られているように、I2Cバスは2線のバスである。したがって、組み込みI2Cインターフェースは、修正周辺インターフェースによって使用される3線のSPIバスの中のクロック線とMISO線とを共有する。マスターデバイス(およびスレーブデバイスも)の組み込みI2Cインターフェースおよび修正周辺インターフェースは、対応するマルチプレクサを通じてクロック線とMISO線とを選定してもよい。

【0014】

パワーオンリセットシーケンスが完了すると、マスターデバイスの中の組み込みI2Cインターフェースは、共有されたクロック線のクロッキングを開始する。マスターデバイスはまた、MISO線を電源電圧VDDに弱く荷電するように構成される。スレーブデバイスの中

10

20

30

40

50

の各々の組み込みI2Cインターフェースは、ローカルカウントを維持するためにクロック線の状態移行に 응답してカウントするように構成される。たとえば、スレーブデバイスの中の各々の組み込みI2Cインターフェースは、ローカルカウントを維持するために、クロック信号の各立ち上がりエッジまたは立ち下がりエッジをカウントするように構成されてもよい。代替的に、スレーブデバイスの中の各々の組み込みI2Cインターフェースは、ローカルカウントを維持するために、クロック信号の各立ち上がりエッジと各立ち下がりエッジとをカウントするように構成されてもよい。各スレーブデバイスの組み込みI2Cインターフェースは、Nビットの疑似ランダムまたはランダムなアドレスなどの初期アドレスを用いて構成される。ローカルカウントの各インクリメントの後で、各スレーブデバイスの組み込みI2Cインターフェースは、現在のローカルカウントを初期アドレスと比較する

10

#### 【0015】

現在のローカルカウントがスレーブデバイスの初期アドレスに等しいことを比較が示すとき、スレーブデバイスの組み込みI2Cインターフェースは、スレーブデバイスが対応する現在のローカルカウントに等しい初期アドレスを有することをマスターデバイスにシグナリングするために、共有されるMISO線をグランドへとローに放電させる。マスターデバイスの中の組み込みI2Cインターフェースはまた、スレーブデバイスにおいてカウンタが動作するのと同じ方式で、クロック信号の遷移に 응답してカウントするカウンタを含む。所与のシステムへのマスターデバイスおよびスレーブデバイスの統合の前に、マスターデバイスは、スレーブデバイスの総数を用いて構成される。たとえば、スレーブデバイスの数が、マスターデバイスの中のフラッシュメモリなどの読取り専用メモリに書き込まれてもよい。したがって、マスターデバイスの中の組み込みI2Cインターフェースは、スレーブデバイスの総数がスレーブデバイスの初期アドレスを特定するまでクロック信号を反復し続ける。そして、マスターデバイスがスレーブデバイスの各々の初期アドレスを保持する。

20

#### 【0016】

マスターデバイスの中の修正されたSPIインターフェースは次いで、MOSI線を通じて短縮アドレスをスレーブデバイスに割り当てることに進んでもよい。たとえば、8個以下のスレーブデバイスがある場合、すべてのスレーブデバイスを一意に特定するには3つのアドレスビットで十分である。他の実装形態では、予想される数のスレーブデバイスに対応するのに十分大きい、固定された短縮アドレスサイズが使用されてもよい。マスターデバイスの中の修正周辺インターフェースは、MOSI線を通じてスレーブデバイスのうちの第1のデバイスへアドレス指定された構成フレームを送信しながら、クロック線を状態移行することを開始してもよい。アドレス指定された構成フレームは、第1のスレーブデバイスの初期アドレスを伴うヘッダを含み、第1のスレーブデバイスの短縮アドレスを特定するフレーム本体を格納する。第1のスレーブデバイスの組み込みI2Cインターフェースは次いで、マスターデバイスの中の修正周辺インターフェースによるクロック線の状態移行に 응답して、MISO線を通じて肯定応答フレームを送信してもよい。この方式では、マスターデバイスは、第1のスレーブデバイスに関して論じられたように、残りの短縮アドレスを残りのスレーブに割り当てることに進んでもよい。本明細書では、簡潔にするために、さらなる限定を伴わない「アドレス」という用語は短縮アドレスを指す。

30

40

#### 【0017】

アドレスの割当ての後で、マスターデバイスおよびスレーブデバイスの中の修正周辺インターフェースは、動作のノーマルモードまたはミッションモードにおいてデータを交換することを開始してもよい。データのアドレス指定フレームをスレーブデバイスのうちの特定の1つに送信するために、マスターデバイスの中の修正周辺インターフェースは、所望のスレーブデバイスのアドレスをアドレス指定フレームのヘッダへと挿入するように構成される。本明細書において論じられる他のフレームタイプのように、アドレス指定フレームのビット長は所与のシステム要件に応じて変化してもよい。フレーム長とは無関係に、ビット長は、スレーブデバイスおよびマスターデバイスが適切な不揮発性メモリを使用

50

して構成され得るパラメータである。マスターデバイスの中の修正周辺インターフェースは次いで、クロック信号の遷移に 응답して、アドレス指定フレームをMOSI線へとビットごとにシフトアウトすることに進んでもよい。各スレーブデバイスは、クロック線を通じて送信されるようなクロック信号の遷移に 응답してMOSI線を通じてアドレス指定フレームを受信する。各スレーブデバイスの修正された周辺インターフェースは、受信されたアドレス指定フレームが対応するスレーブデバイスにアドレス指定されるかどうかを判定するために、受信されたアドレス指定フレームのヘッダを検査するように構成される。アドレス指定されたスレーブデバイスの中の修正周辺インターフェースのみがヘッダの中のアドレスに等しいアドレスを有し、そうすると、アドレス指定されたスレーブデバイスは、受信されたアドレス指定フレームの中のデータペイロードを処理することに進む。

10

**【0018】**

スレーブデバイスからマスターデバイスへの送信は類似している。しかしながら、スレーブデバイスの中の修正周辺インターフェースは、従来のSPIシステムにおけるスレーブデバイスからのフレーム送信と同様に、アドレスヘッダを伴わないフレームを、MISO線を通じてマスターデバイスに送信してもよい。従来のSPIスレーブデバイスとは対照的に、本明細書において開示されるスレーブデバイスは、MISO線に関するアクセスプロトコルとしてスレーブ選択線を使用しない。スレーブデバイスにより実践されるアクセスプロトコルは以下でさらに論じられる。スレーブデバイスがMISO線へのアクセスを有すると、スレーブデバイスの修正周辺インターフェースは、クロック線で受信されるクロック信号の遷移に 응답して、得られたフレームをMISO線へとシフトアウトすることに進んでもよい。

20

**【0019】**

マスターデバイスおよびスレーブデバイスの各々の中の修正周辺インターフェースおよび組み込みI2Cインターフェースの得られる組合せは、全二重通信をサポートする各デバイスがMISO線とMOSI線とを提供しながら、マスターデバイスが複数のスレーブデバイスと通信するために3つのピンしか使う必要がないという点で、極めて有利である。この方式では、製造コストは低減されるが、それでもマスターデバイスおよびスレーブデバイスは全二重シリアル通信に関与することがある。これらの有利な特徴は、以下の例示的な実装形態の検討を通じてより理解されることがある。

**【0020】**

ここで図面を見ると、例示的なネットワーク化されたシステム100が図1に示される。システムオンチップ(SoC)などのマスターデバイス105は、スレーブデバイス110、スレーブデバイス115、およびスレーブデバイス120などの複数のスレーブデバイスと3線の修正されたSPIバス125を通じて通信するための、修正周辺インターフェース130を含む。シリアル周辺インターフェース130は、マルチプレクサ150を通じて、MISO線135などのバス125の中のデータ線のうちの1つ、またクロック線140を、組み込みI2Cインターフェース145と共有する。マスターデバイス105の中のI/O回路(エンドポイント)155は、MISO線135を通じて受信された信号のための物理層の処理を実行する。

30

**【0021】**

パワーオンリセット(POR)信号(図示せず)に 응답することなどの、PORシーケンスの完了の後、修正周辺インターフェース130などのマスターデバイス105の中のコントローラは、対応するエンドポイント180を通じてクロック線140を駆動して、スレーブの初期アドレスが特定されるアドレス割当てモードを開始するために、I2Cクロックソース160からI2Cクロック信号170を選択するようにマルチプレクサ150に命令する。POR信号シーケンスの完了に 응답して、I2Cクロックソース160はI2Cクロック信号170を反復する。エンドポイント155は、MISO線135が荷電されたままでありながらI2Cクロックソース160がクロック線140を通じてI2Cクロック信号170を反復し続けるように、MISO線135を電源電圧VDDに弱く荷電するように構成される。このアドレス割当てモードの間、マルチプレクサ150は、エンドポイント155からの受信されたMISO信号をマスターデバイス105の中のI2Cデータ線175に結合する。

40

**【0022】**

50

各スレーブデバイスは、類似する組み込みI2Cインターフェース145、マルチプレクサ150、および修正周辺インターフェース130を含む。しかしながら、I2Cクロック170がマスターデバイス105によって駆動されるので、スレーブデバイスの中の組み込みI2Cインターフェース145はI2Cクロックソース160を含まない。加えて、スレーブデバイスのエンドポイントは、説明をわかりやすくするために図1に示されていない。パワーオンリセットシーケンスおよびクロック線140の反復の完了の後で、各スレーブデバイスは周期(または、両方のクロックエッジがカウントされるかどうかに応じて、半周期)のカウントを開始する。図2に示されるように、各スレーブデバイスの組み込みI2Cインターフェース145は、乱数(または疑似ランダム)アドレス190を記憶し、これは初期アドレス190としても指定されてもよい。各スレーブデバイスの組み込みI2Cインターフェース145の中のローカルカウンタ165は、マスターデバイス105においてI2Cクロックソース160からのクロック線140の反復に回答してカウントする。ローカルカウンタ165からのカウントが初期アドレス190に等しいことをスレーブデバイスの組み込みI2Cインターフェース145が決定するとき、組み込みI2Cインターフェース145はMISO線135をグランドへと放電させる。再び図1を参照すると、マスターデバイス105の中のエンドポイント155は、MISO線135を電源電圧VDDに弱く荷電するように構成される。したがって、スレーブデバイスは、それらのローカルカウントがそれらの初期アドレス190に等しいことをマスターデバイス105にシグナリングするために、MISO線135上でのこの弱プルアップを打ち消すことができる。マスターデバイスのI2Cインターフェース145はまた、I2Cクロックソース160からのクロック信号170の反復に回答して、スレーブデバイスの中のローカルカウンタ165によって決定されるローカルカウントを反映するマスターローカルカウントを維持する、ローカルカウンタ165を含む。マスターデバイスのI2Cインターフェース145は、初期アドレス190が現在のマスターカウントに等しいことをMISO線135の放電によってスレーブデバイスが示すように変更される。マスターデバイスのI2Cインターフェース145はまた、システム100の中のスレーブデバイスの総数を用いて構成されるので、マスターデバイスは、すべてのスレーブデバイスがそれらの初期アドレス190を特定するまでクロック信号170を発振し続けてもよい。修正されたSPIインターフェース130は次いで、前に論じられたようにスレーブデバイスにその短縮アドレスを知らせるために、初期アドレス190を使用して特定のスレーブデバイスにアドレス指定される、アドレス指定された構成フレームをMOSI線185を通じて送信することに進んでもよい。代替的な実装形態では、各スレーブデバイスは、MISO線135を放電させる代わりにMOSI線185を放電させることによって、各スレーブデバイスのローカルカウントがそれらの初期アドレスと一致することを、マスターデバイス105に知らせてもよい。したがって、マスターデバイス105の中のMOSI線185を駆動するための対応するエンドポイント195は、MOSI線185を電源電圧VDDに弱く荷電するように構成されてもよい。スレーブデバイスが、ローカルカウントと初期アドレス190との一致を、MISO線135を使用してマスターデバイス105に知らせるか、またはMOSI線185を使用してマスターデバイス105に知らせるかとは無関係に、結果として生じるMISO線135またはMOSI線185の放電は1ビットだけの期間の持続時間を有してもよいが、代替的な実装形態ではより長い持続時間が使用されてもよい。

#### 【0023】

したがって、マスターデバイス105の中の組み込みI2Cインターフェース145は、アドレス割当てエンジン145としても指定されてもよい。そのようなエンジンは、ソフトウェアまたはファームウェアを使用して実装されることがあり、I2CまたはI3C機能を有する必要がない。代替的に、アドレス割当てエンジン145は、有限ステートマシンを使用して実装されてもよい。同様に、各々の修正周辺インターフェース130は、ソフトウェア、ファームウェア、または有限ステートマシンを使用して実装されてもよい。アドレス割当てエンジン145によって実践される方法は、図3に示されるフローチャートに関して要約されてもよい。本方法はまた、シリアル周辺インターフェース(SPI)クロック線上でクロック信号を反復するマスターデバイスの行動300を含む。上で論じられたようなクロック線140上のクロック信号170の反復は、行動300の例である。加えて本方法は、ローカルカウントを

10

20

30

40

50

維持するために、クロック信号の反復に应答して各スレーブデバイスがカウントする行動305を含む。図2に関して論じられたようなスレーブデバイスによるローカルカウンタ165内でのカウントは、行動305の例である。最後に本方法は、スレーブデバイスのローカルカウンタの値がスレーブデバイスの初期アドレスに等しいときにSPI MISO線を放電させることによって、各スレーブがマスターデバイスにシグナリングする行動310を含む。図2に関して論じられたようなスレーブデバイスの組み込みI2Cインターフェース145によるMISO線135の放電は、行動310の例である。マスターデバイスの中の修正周辺インターフェース130は次いで、前に論じられたように短縮アドレスをスレーブデバイスに割り当てることに進んでもよい。

#### 【0024】

アドレスがすべて割り当てられると、図1のシステム100は通常の動作に遷移してもよく、これはミッションモードの動作と表記されることがある。スレーブ選択線がないので、共有されるMISO線135のためのアクセスプロトコルは、いくつかの方法で達成されてもよい。一実装形態では、マスターデバイス105は定期的に、個々にスレーブデバイスにポーリングしてもよい。そのようなポーリングは、MOSI線185を通じて送信される、マスターデバイスの中の修正されたSPI130からのアドレスヘッダを有するアドレス指定されるポーリングフレームを通じて行われる。各スレーブデバイスの修正されたSPI130は、スレーブデバイスがポーリングされているかどうかを判定するために、受信されたアドレス指定されたポーリングフレームの中のアドレスヘッダを復号するように構成される。スレーブデバイスがポーリングフレームによってアドレス指定され、マスターデバイス105へ送信すべきフレームを有する場合、スレーブデバイスは、MISO線135を一時的に放電させることによって、受信されるポーリングフレームに应答してもよい。ポーリングされたスレーブデバイスの中の修正周辺インターフェース130は、ポーリングされたスレーブデバイスの識別情報が知られているので、MISO線135を通じてマスターデバイス105に送信されるスレーブデバイスのフレームにおいてアドレスヘッダを付加する必要がない。

#### 【0025】

ある代替的なアクセスプロトコルの実装形態では、各スレーブデバイスは、マスターデバイス105に結合される割込み線を駆動するための割込みピンを含んでもよい。例示的な割込み線196は、スレーブデバイス110とマスターデバイス105との間に結合される。スレーブデバイス115および120などの各々の残りのスレーブデバイスは、マスターデバイス105にも割り込めるように自体の割込み線(図示せず)を有する。各スレーブデバイスの識別情報は対応する割込み線を通じて知られているので、スレーブデバイス110などのスレーブデバイスは、割込み線196を使用してマスターデバイス105において割込みをトリガすることによって、MOSI線185を通じて送信するというスレーブデバイスの意図をシグナリングしてもよい。アクセスプロトコルのためのポーリングに関して論じられるように、スレーブデバイスの中の各々の修正周辺インターフェース130は、送信側のスレーブデバイスが対応する割込み線196を通じて特定されるので、割込み線アクセス制御の実施形態においては、MISO線135を通じて送信されるフレームにアドレスヘッダを挿入する必要がない。

#### 【0026】

スレーブデバイスのための代替的なアクセスプロトコルは、マスターデバイス105が図1のシステム100に示されるものなどの3つだけのスレーブデバイスとネットワーク接続する実装形態において実践されてもよい。マスターデバイス105が初期アドレス190の各スレーブデバイスによる特定の後、短縮アドレスを割り当てる代わりに、マスターデバイス105は代わりに、3線のSPIバス125の中の線140、135、および185のうちの対応する線を各スレーブデバイスに割り当ててもよい。割り当てられる線は、対応するスレーブデバイスに対する割込み線または通知線として機能する。線を割り当てるために、マスターデバイス105の中の修正されたSPIインターフェース130は、スレーブデバイスの初期アドレス190を使用してアドレス指定される各スレーブデバイスに構成フレームを送信してもよい。構成フレームの本体は、割り当てられる線を特定する。線の割当てに続いて、各スレーブデバイ

10

20

30

40

50

スは、対応するスレーブデバイスがフレームの送信を意図していることをマスターデバイス105に知らせるために、その割り当てられる線を通知線または割込み線として使用してもよい。

【0027】

たとえば、図1のスレーブデバイス110はクロック線140に割り当てられてもよい。同様に、スレーブデバイス115はMISO線135に割り当てられてもよい。最後に、スレーブデバイス120はMOSI線185に割り当てられてもよい。各線のデフォルト状態はハイであってもよい(電源電圧VDDに荷電されてもよい)。マスターデバイス105がクロック線140を反復していない中断期間の間、スレーブデバイスのうちの1つが、割り当てられる線をグランドへと放電させることによって、フレームの送信を意図していることをシグナリングしてもよい。この放電は、デフォルトのフレーム長の中の単一のビットの持続時間の間だけなどの、比較的短いものであってもよい。マスターデバイスの中の修正されたSPIインターフェース130は次いで、3線のSPIバス125の中の対応する線が放電されたことを検出すると、対応するスレーブデバイスが送信すべきフレームを有することを知らされる。たとえば、スレーブデバイス120が送信すべきフレームを有することと、スレーブデバイスがMOSI線185に割り当てられたこととを仮定する。マスターデバイス105がクロック線140を状態移行していない中断期間の間、スレーブデバイス120は次いで、1ビットの期間の持続時間の間(または代替的な実装形態ではより長く)MOSI線185を放電させてもよい。マスターデバイス105の中の修正されたSPIインターフェース130は、クロック線140を状態移行することによって、そのような実装形態におけるMOSI線185の一時的な放電に応答するように構成される。スレーブデバイス120の中の修正されたSPIインターフェース130は次いで、クロック線140の反復に応答して、MISO線135を通じてフレームをマスターデバイス105にシフトアウトすることに進んでもよい。マスターデバイス105は、割り当てられる線の以前のローへの状態移行を通じて発信側のスレーブデバイスの識別情報を知らされるので、そのようなスレーブにより生成されるフレームにおいてアドレス指定は不要である。

【0028】

図1のシステム100の中のマスターデバイス105は、図4に示されるように、システムオンチップ(SoC)105としてデバイス400に組み込まれてもよい。デバイス400は、携帯電話、スマートフォン、携帯情報端末、タブレットコンピュータ、ラップトップコンピュータ、デジタルカメラ、携帯ゲームデバイス、または他の適切なデバイスを備えてもよい。SoC105は、DRAMなどのメモリ420およびディスプレイコントローラ425にも結合するシステムバス415を通じて、センサなどのスレーブデバイス110、115、および120と通信する。そして、ディスプレイコントローラ425はディスプレイ435を駆動するビデオプロセッサ430に結合する。したがって、システムバス415の中の3つの線(図示せず)は、SoC105が図1のシステム100に関して論じられたようにスレーブデバイス110、115、および120と通信し得るように、修正されたSPIバス125に専用である。

【0029】

当業者が今では諒解するであろうように、また当面の具体的な適用例に応じて、本開示の要旨および範囲から逸脱することなく、本開示のデバイスの材料、装置、構成、および使用方法において、かつそれらに対して、多くの修正、置換、および変形を行うことができる。このことに照らして、本明細書に図示および説明された特定の実施形態は、それらのいくつかの例によるものにすぎないため、本開示の範囲はそのような特定の実施形態の範囲に限定されるべきではなく、むしろ、下記に添付される特許請求の範囲およびそれらの機能的な均等物の範囲と完全に同じであるべきである。

【符号の説明】

【0030】

- 100 システム
- 105 マスターデバイス
- 110 スレーブデバイス
- 115 スレーブデバイス

10

20

30

40

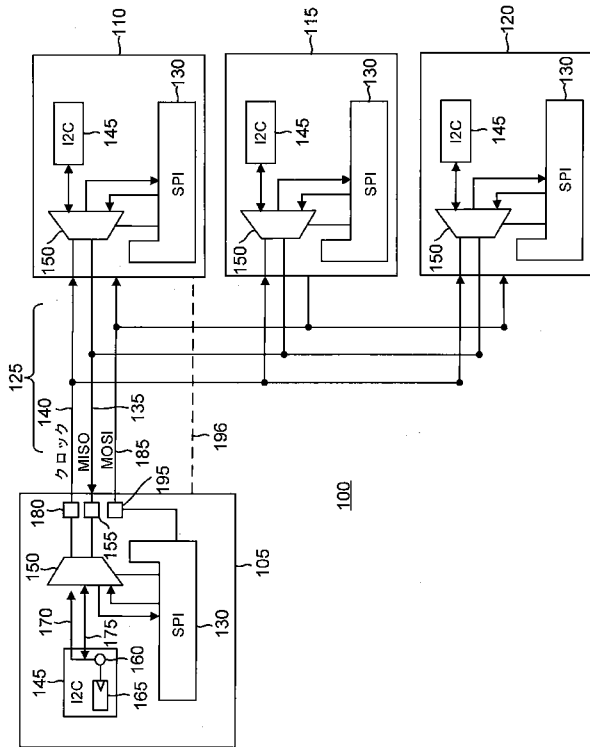
50

- 120 スレーブデバイス
- 125 SPIバス
- 130 シリアル周辺インターフェース
- 135 MISO線
- 140 クロック線
- 145 I2Cインターフェース
- 150 マルチプレクサ
- 155 エンドポイント
- 160 I2Cクロックソース
- 165 ローカルカウンタ
- 170 I2Cクロック信号
- 175 I2Cデータ線
- 180 対応するエンドポイント
- 185 MOSI線
- 190 初期アドレス
- 195 エンドポイント
- 196 割り込み線
- 400 デバイス
- 415 システムバス
- 420 メモリ
- 425 ディスプレイコントローラ
- 430 ビデオプロセッサ
- 435 ディスプレイ
- 440 ホスト

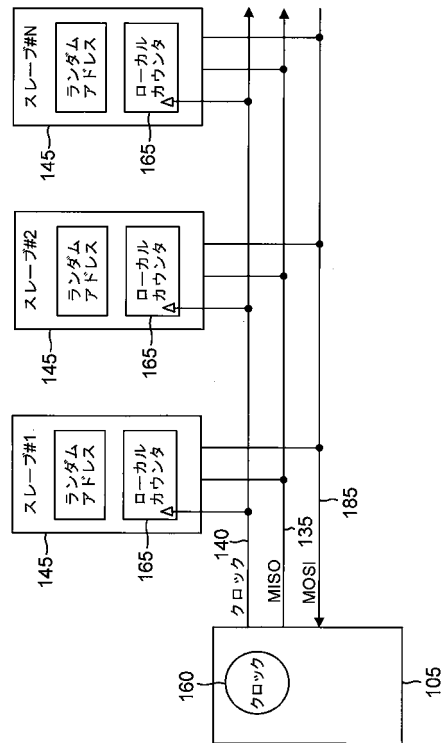
10

20

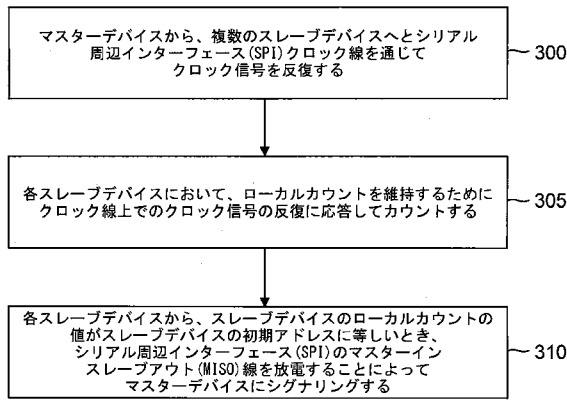
【 図 1 】



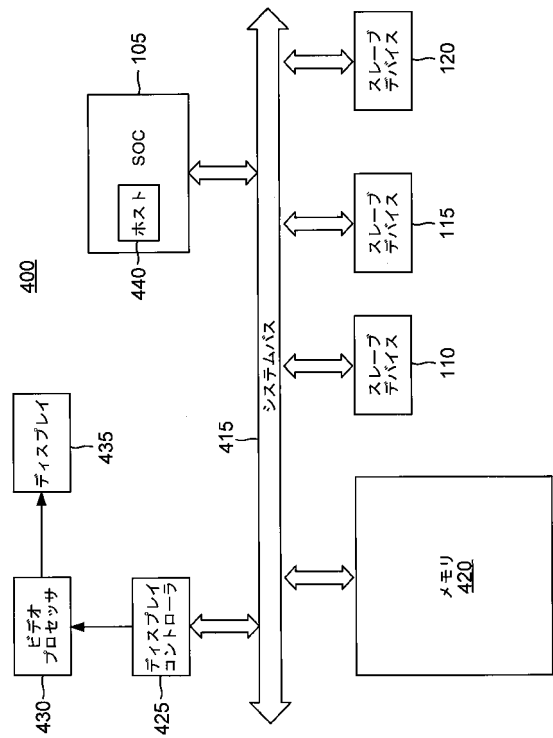
【 図 2 】



【 図 3 】



【 図 4 】



【 手続 補 正 書 】

【 提 出 日 】 平 成 30 年 3 月 23 日 (2018.3.23)

【 手 続 補 正 1 】

【 補 正 対 象 書 類 名 】 特 許 請 求 の 範 囲

【 補 正 対 象 項 目 名 】 全 文

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 特 許 請 求 の 範 囲 】

【 請 求 項 1 】

マスタ-デバイスであって、

マスタ-インスレーブアウト (MISO) 線およびマスタ-アウトスレーブイン (MOSI) 線を含む修正周辺インターフェース (SPI) バスと、

前記 MOSI 線を通じて複数のスレーブデバイスのうちのアドレス指定された1つにアドレス指定フレームを送信し、かつ前記 MISO 線を通じて前記スレーブデバイスの各々から非アドレス指定フレームを受信するように構成される、修正周辺インターフェースと、

前記マスタ-デバイスのパワーオンリセットの後、アドレス割当てモードで動作するように構成されるアドレス割当てエンジンであって、前記アドレス割当てエンジンが、前記アドレス割当てモードの間に前記修正されたSPIバスの中のクロック線へとクロック信号を駆動するように構成されるクロックソースと、ローカルカウントを決定するために前記割当てモードの間に前記クロック信号の周期をカウントするように構成されるローカルカウンタとを含む、アドレス割当てエンジンと

を含む、マスタ-デバイス。

【 請 求 項 2 】

前記アドレス割当てエンジンが、組み込み集積回路間 (I2C) インターフェースを備える、請求項1に記載のマスタ-デバイス。

## 【請求項 3】

前記アドレス割当てエンジンが組み込みI3Cインターフェースを備える、請求項1に記載のマスターデバイス。

## 【請求項 4】

マルチプレクサであって、前記アドレス割当てエンジンおよび前記修正周辺インターフェースを前記クロック線および前記MISO線へ選択的に結合するように構成される、マルチプレクサをさらに備える、請求項2に記載のマスターデバイス。

## 【請求項 5】

前記組み込みI2Cインターフェースが、前記MISO線の放電に応答して、前記ローカルカウンタの値によってスレーブデバイスのアドレスを特定するようにさらに構成される、請求項4に記載のマスターデバイス。

## 【請求項 6】

ホストプロセッサであって、前記マスターデバイスがシステムオンチップ(SoC)を備える、ホストプロセッサをさらに備える、請求項1に記載のマスターデバイス。

## 【請求項 7】

前記SoCおよび前記複数のスレーブデバイスが、携帯電話、スマートフォン、携帯情報端末、タブレットコンピュータ、ラップトップコンピュータ、デジタルカメラ、および携帯ゲームデバイスからなるグループから選択されるデバイスに組み込まれる、請求項6に記載のマスターデバイス。

## 【請求項 8】

前記ホストプロセッサが、前記修正周辺インターフェースを実装するためのソフトウェアを用いて構成される、請求項1に記載のマスターデバイス。

## 【請求項 9】

前記修正周辺インターフェースが有限ステートマシンを備える、請求項1に記載のマスターデバイス。

## 【請求項 10】

前記修正されたSPIバスの中のクロック線をさらに備え、前記修正周辺インターフェースが、前記アドレス指定フレームの前記送信の間および前記非アドレス指定フレームの前記受信の間に、前記クロック線を通じてクロック信号を駆動するようにさらに構成される、請求項1に記載のマスターデバイス。

## 【請求項 11】

前記修正周辺インターフェースが、前記MOSI線を通じて送信されるアドレス指定されたポーリングフレームを使用して各スレーブデバイスに定期的にポーリングするようにさらに構成される、請求項1に記載のマスターデバイス。

## 【請求項 12】

前記マスターデバイスと前記MISO線との間および前記マスターデバイスと前記MOSI線との間で物理層インターフェースを形成するように構成される入力/出力回路のペアをさらに備える、請求項1に記載のマスターデバイス。

## 【請求項 13】

スレーブデバイスであって、

マスターインスレーブアウト(MISO)線およびマスターアウトスレーブイン(MOSI)線を含む修正周辺インターフェース(SPI)バスと、

アドレス指定フレームが前記スレーブデバイスにアドレス指定されるかどうかを判定するためにマスターデバイスから前記MOSI線を通じて受信される前記アドレス指定フレームの中のアドレスヘッダを復号するように構成される、修正周辺インターフェースと

を備え、

前記修正されたSPIバスがクロック線を含み、前記スレーブデバイスが、カウントを決定するために前記クロック線上で受信されるクロック信号の遷移をカウントするように構成されるカウンタを有する組み込み集積回路間(I2C)インターフェースをさらに備え、前記組み込みI2Cインターフェースが、前記スレーブデバイスの初期アドレスに等しい前記

カウントの値に**応答して前記MISO線を放電させるようにさらに構成される、スレーブデバイス。**

【請求項14】

前記修正周辺インターフェースが、前記MISO線を通じた前記マスターデバイスへの非アドレス指定フレームの送信の前に、前記マスターデバイスへの割込み信号をアサートするように構成される、請求項13に記載のスレーブデバイス。

【請求項15】

マスターデバイスから、複数のスレーブデバイスへとシリアル周辺インターフェース(SPI)クロック線を通じてクロック信号を反復するステップと、

各スレーブデバイスにおいて、ローカルカウントを維持するために前記クロック線上での前記クロック信号の前記反復に**応答してカウントするステップと、**

各スレーブデバイスから、前記スレーブデバイスのローカルカウントの値が前記スレーブデバイスの初期アドレスに等しいとき、シリアル周辺インターフェース(SPI)のマスターインスレーブアウト(MISO)線を放電させることによって前記マスターデバイスにシグナリングするステップと

を備える、方法。

【請求項16】

前記マスターデバイスから、SPIマスターアウトスレーブイン(MOSI)線を通じて各スレーブデバイスのためのアドレス指定フレームを送信するステップであって、各々のアドレス指定フレームの中のヘッダが対応するスレーブデバイスの前記初期アドレスを含み、各々のアドレス指定フレームの本体が前記対応するスレーブデバイスの短縮アドレスを含み、各スレーブデバイスの短縮アドレスが前記スレーブデバイスの初期アドレスに格納されるビットよりも少数のビットを有する、ステップをさらに備える、請求項15に記載の方法。

【請求項17】

SPIクロック線上で送信されるSPIクロック信号の反復に**応答して、前記MOSI線上で前記スレーブデバイスのうちの選択された1つへ短縮アドレス指定フレームを送信するステップであって、前記短縮アドレス指定フレームが、前記選択されたスレーブデバイスの前記短縮アドレスを含むアドレスヘッダを格納する、ステップをさらに備える、請求項16に記載の方法。**

【請求項18】

前記マスターデバイスにおいて、マスターデバイスのローカルカウントを維持するために前記クロック線上での前記クロック信号の前記反復に**応答してカウントするステップと、**

前記マスターデバイスにおいて、各スレーブデバイスが前記MISO線を放電させるときに前記マスターデバイスのローカルカウントの値を通じて各スレーブデバイスの初期アドレスを決定するステップと

をさらに備える、請求項15に記載の方法。

【請求項19】

前記マスターデバイスから、SPIマスターアウトスレーブイン(MOSI)線を通じて各スレーブデバイスのためのアドレス指定フレームを送信するステップであって、各々のアドレス指定フレームの中のヘッダが、前記対応するスレーブデバイスの前記初期アドレスを含み、各々のアドレス指定フレームの本体が、前記クロック線、前記MOSI線、および前記MISO線からなるグループから選択される前記対応するスレーブデバイスのための線の割当てを含み、前記マスターデバイスが、前記対応するスレーブデバイスが前記マスターデバイスへ送信すべきフレームを有することの指示として、前記対応するスレーブデバイスによる前記割り当てられた線の一時的な放電を検出するようにさらに構成される、ステップをさらに備える、請求項15に記載の方法。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/049105

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G06F13/42 ADD.  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G06F  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2008/183928 A1 (DEVILA YAKI [IL] ET AL) 31 July 2008 (2008-07-31) abstract paragraphs [0004], [0027] - [0029], [0064]; figures 4,5 -----	1,7-14, 16,22-26 2-6,15, 17-21
X A	US 2009/193165 A1 (HSIEH MING-CHIH [TW] ET AL) 30 July 2009 (2009-07-30) abstract; figure 1 paragraph [0015] -----	1,7-14, 16,22-26 2-6,15, 17-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier application or patent but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family		
Date of the actual completion of the international search  16 November 2016		Date of mailing of the international search report  24/11/2016
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Albert, Jozsef

1

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2016/049105

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2008183928 A1	31-07-2008	CN 101261614 A IL 189039 A TW 200842588 A US 2008183928 A1	10-09-2008 31-07-2012 01-11-2008 31-07-2008
US 2009193165 A1	30-07-2009	CN 101499046 A US 2009193165 A1	05-08-2009 30-07-2009

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 リチャード・ドミニク・ヴィートフェルト

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライヴ・5775

Fターム(参考) 5B077 AA18 BA09 HH03 NN02