

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-228564
(P2005-228564A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 J 1/304	HO 1 J 1/30	F 5C031
HO 1 J 9/02	HO 1 J 9/02	B 5C036
HO 1 J 29/04	HO 1 J 29/04	5C127
HO 1 J 31/12	HO 1 J 31/12	C 5C135

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号 特願2004-35277 (P2004-35277)	(71) 出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日 平成16年2月12日 (2004. 2. 12)	(74) 代理人 100064746 弁理士 深見 久郎
(出願人による申告) 平成15年度、独立行政法人新エネルギー・産業技術総合開発機構、「革新的温暖化対策技術プログラム カーボンナノチューブFEDプロジェクト」委託研究、産業活力再生特別措置法第30条の適用を受ける特許出願	(74) 代理人 100085132 弁理士 森田 俊雄
	(74) 代理人 100083703 弁理士 仲村 義平
	(74) 代理人 100096781 弁理士 堀井 豊
	(74) 代理人 100098316 弁理士 野田 久登
	(74) 代理人 100109162 弁理士 酒井 将行

最終頁に続く

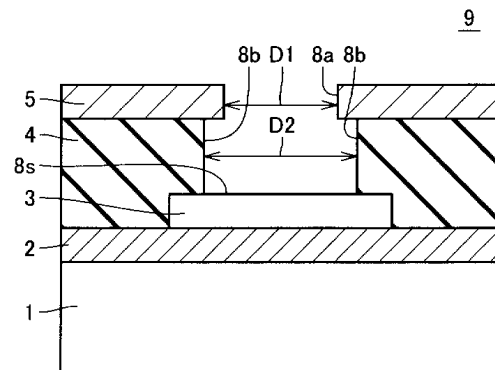
(54) 【発明の名称】 電子放出源、その製造方法および画素表示装置

(57) 【要約】

【課題】 高耐圧、平坦、高開口密度を可能にし、高温加熱で変形が少なくかつガス放出の少ない絶縁層、を備える電子放出源を提供する。

【解決手段】 カソード電極5とゲート電極との間に位置する電子放出部3から電子を放出する電子放出源であって、カソード電極5および電子放出部3と、ゲート電極とに挟まれるシリコンラダーポリマーの絶縁層4と、電子放出部が露出するように絶縁層およびゲート電極に設けられた開口部8とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

ゲート電極を有し、カソード電極上の電子放出部から電子を放出する電子放出源であって、

前記カソード電極および電子放出部と、前記ゲート電極とを隔てるように位置するシリコンラダーポリマーの絶縁層と、

前記電子放出部が露出するように前記絶縁層およびゲート電極に設けられた開口部とを備える、電子放出源。

【請求項 2】

前記シリコンラダーポリマーの重量平均分子量が 16 万以下である、請求項 1 に記載の電子放出源。 10

【請求項 3】

前記電子放出部がカーボンナノチューブによって形成されている、請求項 1 または 2 に記載の電子放出源。

【請求項 4】

前記絶縁層における開口部の直径は、前記ゲート電極における開口部の直径と、その絶縁層の膜厚の 2 倍との和以下である、請求項 1 ~ 3 のいずれかに記載の電子放出源。

【請求項 5】

前記ゲート電極における開口部は 2 つ以上の開口部からなり、平面的に見て、前記 2 つ以上の開口部はすべて前記絶縁層における 1 つの開口部に含まれる、請求項 1 ~ 4 のいずれかに記載の電子放出源。 20

【請求項 6】

前記電子放出部はレーザ照射がなされたレーザ照射層を有する、請求項 1 ~ 5 のいずれかに記載の電子放出源。

【請求項 7】

画素が平面状に配列された画素表示装置であって、平面的に見て、複数のストライプ状のカソード電極と、複数のストライプ状のゲート電極とが、互いに交差するように配置され、その交差部に前記画素が配置され、その画素に前記請求項 1 ~ 6 のいずれかに記載の電子放出源を備える、画素表示装置。

【請求項 8】 30

基板の上にカソード電極を形成する工程と、

前記カソード電極の上に電子放出部を形成する工程と、

前記カソード電極および前記電子放出部を覆うように、ワニス状のシリコンラダーポリマーを塗布し、前記シリコンラダーポリマーを熱処理することにより絶縁層を形成する工程と、

前記絶縁層の上に、前記電子放出部の上方に開口部を有する導電層のゲート電極を形成する工程と、

前記絶縁層をエッチングして、前記電子放出部をその底面とする開口部を形成する工程とを備える、電子放出源の製造方法。

【請求項 9】 40

前ゲート電極を形成する工程では、前記絶縁層の上に前記導電層を形成し、次いでその導電層の上にレジスト膜を形成し、その後前記電子放出部の上方部分が抜けるように前記レジスト膜を露光 / 現像し、次いで現像後のレジスト膜パターンをマスクとして前記導電層をエッチングして、前記絶縁層を露出させる、請求項 8 に記載の電子放出源の製造方法。

【請求項 10】

前ゲート電極を形成する工程では、前記絶縁層の上にレジスト膜を形成し、次いで前記電子放出部の上方部分が残るように前記レジスト膜を露光 / 現像し、その後前記絶縁層とレジスト膜上に渡って導電層を成膜し、次いで前記残ったレジスト膜とその残ったレジスト膜上に成膜された導電層とをリフトオフし、他の部分の導電層はゲート電極として残し 50

て、前記絶縁層を露出させる、請求項 8 に記載の電子放出源の製造方法。

【請求項 11】

前記開口部を通して、前記電子放出部にレーザ照射する工程をさらに備える、請求項 8 ~ 10 のいずれかに記載の電子放出源の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子放出源、その製造方法および画素表示装置に関するものである。

【背景技術】

【0002】

FED(Field Emission Display)背面パネルのゲート電極を支える絶縁層としては、(1) SiO₂、SiN、またはSiONの膜、(2) SOG(スピノングラス)やポリイミド樹脂の膜、または(3) 低融点ガラスペーストを用いて成る膜が、報告されている(例えば、下記の特許文献1を参照)。

【0003】

上記の(1) SiO₂、SiN、SiONの膜は、真空蒸着法、スパッタリング法またはCVD(Chemical Vapor Deposition)法を用いることで、ガラス基板上に形成される。

【0004】

また上記の(2) SOGやポリイミド樹脂の膜は、スピンコートを用いてガラス基板上に形成される。

【0005】

また、(3) 低融点ガラスペーストを用いた絶縁層は、スクリーン印刷法によって形成される。

【0006】

また、電子源であるカーボンナノチューブ(CNT: Carbon Nano Tube)の表面に保護膜を形成することにより、CNTが化学的および物理的な作用により損傷を受けることを防止する製造方法が開示されている(例えば、下記特許文献2参照)。この製造方法によれば、CNTを電子源として用いた場合の本来の特性である低閾値で大電流密度を示す電子放出特性が損なわれない。

【0007】

上記の文献では、絶縁層として、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂、エポキシアクリレート樹脂、有機珪素系樹脂、SOG、フルオレン骨格を有するエポキシアクリレート樹脂、およびベンゾシクロブテン樹脂のうちいずれか一つを用いてなる膜が報告されている。

【特許文献1】特開2002-270087号公報

【特許文献2】特開2002-140979号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

(1) 耐電圧確保に必要な最低限のFED用絶縁層の膜厚は、10 μm程度(6 μm ~ 10 μm)である。しかしながら、真空蒸着法やスパッタリング法を利用してSiO₂、SiN、またはSiONをFED用絶縁層として形成する場合には、生成可能な膜厚の限界は3 μm程度であることが、本発明者の研究活動によって確かめられている。すなわち、上記方法を用いて膜厚6 μm ~ 10 μmの絶縁層としてSiO₂、SiN、またはSiON膜を形成すると、膜応力による歪が大きくなり、基板のそりが大きくなったり、膜が剥離する等の不具合が生じることが、新たに発見された。

【0009】

また、CVD法でSiO₂、SiN、又はSiON膜を形成する場合、同様に膜厚を耐電圧確保に必要なレベルまで厚くすることが出来ない。しかも、上記の方法でSiO₂、SiN、又はSiON膜を絶縁層として形成する際に、予め下部に電子放出部を形成して

10

20

30

40

50

おくと、絶縁層上面の形状は電子放出部の凹凸を反映した表面形状になる。この結果、絶縁層上面の平坦性が悪くなるという問題が発生する。このような平坦性が比較的悪い上面を有する絶縁層を備える電子放出源を多数個用いて画像表示装置を構成すると、ゲート電極とカソード電極間の距離がばらつき、このばらつきが、電子放出特性の不均一性の原因となる。

【0010】

(2) SOGやポリイミド樹脂を絶縁層として用いる場合、これらの膜は一般的にはスピコートで形成される。しかしながら、スピコート法を用いても、これらの膜の膜厚を耐電圧確保に必要なレベルにまで厚くすることはできない。とくに、ポリイミド樹脂の場合には、その耐熱性が不十分である。このため、画像表示装置の製造プロセスの熱処理工程において、ポリイミド樹脂より成る絶縁層が変形してしまうという問題が発生しうる。

10

【0011】

加えて、ポリイミド樹脂は、硬化時に縮合水を伴い、膜収縮も大きい。この膜収縮の残留応力である膜応力によって歪が大きくなり、基板のそりが大きくなったり、膜が剥離する等の不具合が生じ得る。

【0012】

また、SOGやポリイミド樹脂を絶縁層として用いる場合、水等のガス放出が大きく、真空内に導入した後も、長期に及ぶガス放出が見られる。この残留ガスの放出は異常放電の原因になり、その上、放電時に上記放出ガスがイオン化して、電子源としてCNTを用いた場合には、CNTに衝突し、CNTが劣化したり、真空度の向上に時間がかかるという問題が発生する。

20

【0013】

(3) 低融点ガラスペーストを用いて絶縁層を形成する場合には、その膜厚を $6\mu\text{m}$ ~ $10\mu\text{m}$ にすることは、製造上、可能である。しかしながら、この場合には、ガラスペーストに感光性をもたせて露光および現像をおこなって当該絶縁層内に開口部を形成する必要がある。しかしガラスペーストには粒径 $5\mu\text{m}$ ~ $10\mu\text{m}$ の低融点ガラスのビーズがバインダー中に混入されているので、開口径 $30\mu\text{m}$ よりも微細な開口部は安定に形成できない。このため、単位面積あたりの開口部の数(以後、開口密度と称す)が少なくなるという問題がある。

30

【0014】

また、有機珪素系樹脂を用いて絶縁層を形成し、ウェットエッチングにより開口部を形成する場合には、露光により硬化した膜が、有機溶媒によって膨潤する。このため、前記開口部の側壁が膨張し、良好な形状の開口部を形成することができない。このため、開口部のピッチを小さくすることができず、開口密度が小さくなり、表示画面の高精細化に対応できないという問題が発生し得る。

【0015】

以上の通り、従来のFED用電子放出源(背面パネル)においては、(a1)耐電圧確保に必要な最低限の膜厚及び平坦な上面を有し、(a2)比較的高い開口密度を有するとともに、(a3)後工程である画像表示装置の製造プロセスにおいて変形を発生させることの無い程度の耐熱性を備え、(a4)さらにガス放出の少ない、絶縁層及びその製造技術は、未だ実現されるに至っていない。

40

【0016】

この発明は上記の問題を解決するためになされたものであり、その目的とするところは、(a1)耐電圧確保に必要な最低限の膜厚及び凹凸の無い平坦な上面を有し、(a2)比較的高い開口密度を有すると共に、(a3)後工程である画像表示装置の製造プロセスにおいて変形を発生させることの無い程度の高耐熱性を備え、(a4)さらにガス放出の少ない、絶縁層を備えるFED用電子放出源、その製造技術および画像表示装置を提供することにある。

【課題を解決するための手段】

50

【0017】

本発明の電子放出源は、カソード電極とゲート電極との間に位置する電子放出部から電子を放出する電子放出源である。この電子放出源は、カソード電極および電子放出部と、ゲート電極とに挟まれるシリコンラダーポリマーの絶縁層と、電子放出部が露出するように絶縁層およびゲート電極に設けられた開口部とを備える。

【0018】

本発明の電子放出源の製造方法は、基板の上にカソード電極を形成する工程と、カソード電極の上に電子放出部を形成する工程とを有する。そして、カソード電極および電子放出部を覆うように、ワニス状のシリコンラダーポリマーを塗布し、シリコンラダーポリマーを熱処理することにより絶縁層を形成する工程と、絶縁層をウエットエッチングして、電子放出部をその底面とする開口部を形成する工程とを備える。

10

【発明を実施するための最良の形態】

【0019】

次に本発明の実施の形態の基本をなす重要ポイントについて説明する。

【0020】

(1)シリコンラダーポリマーは、図1に示すようにシロキサン結合が梯子状に形成され、側鎖にフェニル基やビニル基や低級アルキル基などの官能基Rを有する。ここで、低級とは、炭素数1~4の分枝または直鎖状のものをいう。本発明の実施の形態では、絶縁層の材料として、シリコンラダーポリマーを、例えば官能基にフェニル基をもつポリフェニルシルセスキオキサン(以下、PPSQと表記)を、採用する。このため、絶縁層の膜厚を、耐電圧確保に必要な膜厚である約10 μ mにすることができる。

20

【0021】

(2)電子放出源においては、ガラス基板とカソード電極との段差およびカソード電極と電子放出部との段差が存在する。しかしながら、本発明の実施の形態では、比較的粘度の高いワニス状のPPSQ溶液を塗布後した後に熱処理してポリマー化(固体化)することで絶縁層を形成する。このため、絶縁層上面が平坦になる。

【0022】

(3)本発明の実施の形態における絶縁層は、ウエットエッチング可能なシリコンラダーポリマーより成る。そこで、本発明の実施の形態では、基板を高速回転させながらエッチング液を吹き付けてエッチングを行うスピンウエットエッチングによって絶縁層の開口部を形成する。このため、アンダカットが少なく、開口密度は、従来技術と比較して、著しく増加する。加えて短時間で絶縁層の加工が可能である。

30

【0023】

また、シリコンラダーポリマーは吸湿性が低く、膨潤による開口部側壁の膨張を比較的小さく抑えることができ、良好な形状の開口部が得られる。このため、開口部のピッチを小さくして開口密度を増加でき、高精細化に対応した電子放出源を得ることができる。

【0024】

(4)シリコンラダーポリマーは、比較的高い温度まで、耐熱性を発揮し得る。例えば、PPSQは、約500まで、その耐熱性を有する。このため、熱工程において印加される熱応力に対してシリコンラダーポリマーの絶縁層の形状変化は比較的小さく、画像表示装置の製造プロセスにおける熱工程に耐え得る電子放出源が得られる。

40

【0025】

また、シリコンラダーポリマーは吸湿性が低く、膜収縮も小さいため、膜応力による歪が小さく抑えられる。そのため、基板のそりが大きくなったり、膜が剥離する等の不具合の生じない電子放出源を得ることができる。

【0026】

さらに、シリコンラダーポリマーは元々ポリマーであるため、膜厚の変化が少ない。加えて、梯子型で剛直な構造のため、一般的な鎖状シリコンポリマーでは末端のシラノールが高温で自身のシロキサン結合を攻撃し、6員環等で分解するのに対して、このようなことが起きず、高耐熱性である。

50

【0027】

(5) シリコンラダーポリマーは吸湿性も低く、ガス放出も小さいために、電子放出源を真空内に導入した後も、長期にわたってガス放出が見られない。このため、残留ガスによる異常放電が発生したり、イオン化して、電子源としてCNTを用いた場合、このCNTが劣化したり、真空度の向上に時間がかかったりということを回避できる。

【0028】

シリコンラダーポリマーは、末端シラノールから脱水するが、高分子量であるため、ガス放出が小さい。加えて、吸湿性が小さいため、さらにガス放出が抑えられる。

【0029】

次に上記の本発明の基本的な重要ポイントを利用した本発明の具体的な実施の形態について説明する。 10

【0030】

(実施の形態1)

本発明の実施の形態1に係るFED用背面パネルまたは電子放出源の製造工程を、図2～図9に示す。

【0031】

図2は、本実施の形態における電子放出源の構造を示す図である。電子放出源9は、ガラス基板(単に基板とも称す)1と、同基板1の上面1a上に形成されたカソード電極(第1主電極)2と、カソード電極2の上面に形成された、カーボンナノチューブを含む電子放出部3とを含む。そして、電子放出部3の周囲のカソード電極上面、電子放出部3の側面、及び電子放出部3の上面の周縁部上に形成され、約10 μ mの膜厚tを有し、かつ凹凸の無い平滑な上面を有するシリコンラダーポリマーの絶縁層4を備えている。また、絶縁層4の上面にゲート電極(制御電極)5が形成されている。 20

【0032】

さらに、電子放出源9は、ゲート電極5及び絶縁層4を貫通し、かつ電子放出部上面の露出部をその底面8sとする開口部8を備えている。しかも、ゲート電極(制御電極)5の開口径D1は略10 μ mであり、絶縁層4の開口径D2はゲート電極(制御電極)5の開口径D1に絶縁層膜厚(約10 μ m)の2倍を加えた値を超えない。すなわち略30 μ mを超えない値である。 30

【0033】

このように、本実施の形態における電子放出源9は、絶縁層材料としては新規な材料から成る絶縁層4とその周辺構造とを備えるので、次のような利点を得られる。 30

【0034】

すなわち、電子放出源9における絶縁層4は、(1)基板の反りや膜剥離等の不具合を有すること無く、その耐電圧確保に必要な最低限の膜厚を容易に備えることができる。(2)その上、絶縁層上面の平坦性は確実に確保されている。このため、電子放出源9をFED装置用背面パネルに用いても、ゲート電極とカソード電極間の距離にばらつきが発生しにくく、電子放出特性を均一化し得る。この結果、より好ましい背面パネルを提供することが可能である。しかも、当該絶縁層4は、(3)後工程の画像表示装置の製造プロセスにおいて変形を発生させることの無いレベルの高耐熱性を有している。さらに、(4)吸湿性も低く、ガス放出も小さいために、電子放出源9を真空内に導入した後も、長期に及ぶガス放出が見られない。これらを総合すると、電子放出源9は信頼性の高い背面パネルとしてFED装置に適用可能であることが分かる。 40

【0035】

加えて、(5)電子放出源9の絶縁層の開口径は、一般的なウエットエッチングによる開口径よりも小さく抑えることができるため、隣り合う開口部間の配列ピッチを比較的短く設定できる。この結果、比較的高い開口密度を有する電子放出源9を実現することができる。

【0036】

次に、本実施の形態における電子放出源9の製造方法を、図3～図9を用いて説明する 50

。

【0037】

工程1：カソード電極2の形成（図3参照）

ガラス基板1の表面上に、例えば透明導電膜であるITO膜から成るカソード電極2の膜を、スパッタリング法を用いて形成する。膜厚は、例えば0.3 μmである。

【0038】

その後、フォトリソグラフィ等の方法を用いて、パターン形成し、ライン状の電極であるカソード電極2を得る。

【0039】

なお、ここで挙げたフォトリソグラフィとは、半導体製造技術において、光や電子線等を利用して平面基板にパターンを転写する写真製版のことを意味する。この工程では、レジストの塗布、露光、エッチングおよびレジストの除去等の様々な工程を含んでいるが、一般的な工程であるため、ここでは一つの工程に含めて説明する。

10

【0040】

工程2：電子放出部3の形成（図4参照）

カソード電極2の上面に、電子放出部3を形成する。その際、カソード電極上面の全面に渡ってではなくて、上面の内で、後で形成する電子放出用開口部8の直下に対応する領域上とその周辺領域上とにのみ、電子放出部3を形成する。

【0041】

より具体的には、カーボンナノチューブ粉末を含むスクリーン印刷ペーストを用いて、スクリーン印刷法により、電子放出部3を形成する。このとき、カーボンナノチューブ粉末の平均粒径を1.5 μmとし、ペーストの組成比は、重量比で、（カーボンナノチューブ）：（エチルセルロース）：（ブチルカルビトール）：（ブチルカルビトールアセテート）= 4：13：42：41とする。スクリーン印刷用マスクとしては、250番メッシュのスクリーン版を用いる。

20

【0042】

電子放出部3の印刷後は、150 で電子放出部3を乾燥し、その後、大気中において450 で電子放出部3を10分間焼成し、電子放出部3中の樹脂および溶剤を燃焼分解する。

【0043】

工程3：絶縁層4の形成（図5参照）

次に、カソード電極2の露出面、電子放出部3において露出している側面および上面、及び基板1の露出面（図示せず）の上に、ワニス状のシリコンラダーポリマー溶液を塗布する。次いで、当該シリコンラダーポリマーを熱処理（ポリマー化）することにより、約10 μmの膜厚tを有する絶縁層4を形成する。より、具体的には、次の通りである。

30

【0044】

まず、シリコンラダーポリマーの一例として、ポリフェニルシルセスキオキサン（PPSQ：この状態では粉末）をアニソールに溶解しワニス状の溶液とし、テーブルコータを用いて、上記露出面上に、均一に塗布する。ここで、アニソールに溶解する際の濃度は、必要な膜厚に応じて調整すればよい。また、テーブルコータにおいては、図6に示すように、スリット状の射出部を有するインク射出部21を、基材22との間隔を一定に保ちながら、基材22の表面に沿って低速度で移動させて、スリット状の射出部からインクを押し出す。この機構により、均一な塗布膜23を基材22の表面に形成することができる。

40

【0045】

ここでは、塗布直後のウェット膜厚が40 μmになるように、インク押し出し量および射出部21の移動速度を調整する。なお、塗布直後のウェット状態においては、PPSQ表面には、ガラス基板1とカソード電極2との段差およびカソード電極2と電子放出部3との段差を反映した凹凸が現れるが、表面張力の作用によりPPSQ表面は直ちに一樣な

50

凹凸の無い平坦な面となる。

【0046】

次に、平坦な上面を有するワニス状のPPSQの塗布膜としての絶縁層4が形成された基板1を、ホットプレートを用いて、240の温度下で乾燥する。さらに、基板1を、大気中で250の温度下で1時間熱処理して、PPSQをポリマー化(固体化)することで、絶縁層4を強固なものとする。その結果、絶縁層の膜厚tは約10 μ mになる。しかも、絶縁層4は、平坦な上面を有するワニス状から、上面の平坦性が保たれたままで固体化されているので、熱処理後の絶縁層4の上面もまた、一様に凹凸の無い平坦な面となる。

【0047】

ここで、ワニス状のPPSQ塗膜をポリマー化(固体化)する工程は、大気中ではなく窒素中に行っても良い。このことで、PPSQ表面の酸化を抑制することが可能で、後のスピノウエットエッチングを行いやすくする。

【0048】

あるいはまた、ワニス状のPPSQ塗膜をポリマー化(固体化)する工程は、大気中ではなく真空中で行っても良い。このことで、処理時間の短縮が期待できるとともに、硬化温度を低く設定することができるので、熱によるCNTの劣化を抑えつつ良好な電子放出特性が保たれる。

【0049】

工程4：ゲート電極5の形成(図7参照)

次に、絶縁層4の上面に、ゲート電極5となる金属膜(導電層)を形成する。例えば、DC(直流)マグネトロンスパッタ法を用いて、Al膜を成膜する。膜厚は500nmである。ここで蒸着法を使用しないのは、以下のような不具合が生じるからである。すなわち高温の蒸着粒子がPPSQ最表面に厚さ200nm~300nm程度の変質層を形成し、この変質層は後述するスピノウエットエッチング工程でエッチング液に溶解しないためである。一方DCマグネトロンスパッタ法を用いて成膜する場合は、変質層ができても高々100nm程度の膜厚のため、変質層が破れることでスピノウエットエッチングは成功する。

【0050】

工程5：レジスト膜6の形成(図8参照)

次に、ゲート電極5の上に、レジスト膜6を全面的に形成する。例えば、ポジ型レジスト液を用いてスピコートで、レジスト膜6を塗布する。その後、レジスト膜6を乾燥させる。

【0051】

工程6：レジスト膜6の露光/現像(図9参照)

レジスト膜6の乾燥後、開口部8の横断面形状に相当する円形の透過部をもつ露光マスク7を用いて、レジスト膜6を露光する。さらに、アルカリ現像液で現像を行ない、露光された部分のレジスト膜を除去する。これにより、この後に設けられる開口部の入口8aに相当するパターンを有するレジスト膜パターン6が形成される。

【0052】

工程7：ゲート電極のエッチング(図10参照)

現像後のレジスト膜パターン6をマスクとしてゲート電極5をエッチングして、絶縁層4の上面の一部を露出させる。すなわち、レジスト膜パターン6における円形開口部の直下に位置する金属膜をエッチングして、電子放出部3の上面の直上に位置するゲート電極5の部分に、当該部分を貫通する第1開口部8aを形成する。例えばAlのエッチングにはリン酸系のエッチング液を用いる。エッチング速度はエッチング液の液温で変化するので、Alのエッチングのときには液温を40に保つ。

【0053】

工程8：開口部8の形成(図2参照)

次に、絶縁層4の上面の露出部(第1開口部8aの底面に該当)より、その直下の絶縁

10

20

30

40

50

層 4 をスピノウエットエッチングして、電子放出部 3 の上面の一部をその底面 8 s の一部または全体とする開口部 8 を形成する。より具体的には、次の通りである。

【 0 0 5 4 】

第 1 開口部 8 a が形成された基板 1 をスピノーターに配置し、2000 rpm で回転させながら所定のエッチング液をフラット形スプレーノズルから扇形に噴射して基板に吹きつけ、ウエットエッチングを行う。第 1 開口部 8 a の直下に当る絶縁層 4 の部分に、当該部分を貫通しかつ露出した上面をその底面 8 s とする第 2 開口部 8 b を形成する。その際、エッチング液としては重量比がアニソール：キシレン = 1：2 の混合溶液を用い、エッチング時間は 10 秒から 30 秒の間でエッチング残が発生しない値に選ばばよい。引き続き基板を 1000 rpm で回転させながらリンス液をフルコーン形スプレーノズルから円形全面に噴射して基板に吹きつけて前記エッチング液を洗い流す。リンス液としてはキシレンを用い、リンス時間はたとえば 10 秒である。引き続き基板を 3000 rpm で 30 秒間回転させて前記リンス液を乾燥させる。

10

【 0 0 5 5 】

ここで、スピノウエットエッチングの意義について説明する。一般的にウエットエッチングは等方エッチングとなる。すなわち絶縁層 4 を貫通して底面までエッチングをした場合、第 2 開口部（絶縁層開口部）8 b の径 D_2 は、第 1 開口部（ゲート開口部）8 a の径 D_1 から両側にさらに絶縁層膜厚 t だけ広がった値 $(D_1 + 2 \times t)$ 以上となる。マージンのためにエッチング時間が延長された場合は第 2 開口部径 D_2 はさらに広がる。一方スピノウエットエッチングを行った場合は、エッチング液が強く吹き付けられながら、かつ基板が高速回転することで古いエッチング液が直ちに基板外に逃がされるため、基板面に垂直方向に掘り進むエッチングレートが、横方向に広がるエッチングレートよりも速いことが発明者らの実験により明らかになっている。この効果で、ゲート電極の下部にまでエッチングが進行するアンダカットを抑制しつつ絶縁層 4 を貫通しかつ電子放出部の露出上面をその底面 8 s とする第 2 開口部 8 b を形成することができる。

20

【 0 0 5 6 】

スピノウエットエッチングを行うことで、さらに次のような効果が得られる。PPSQ をアニソールとキシレンの混合液でエッチングする場合は、10 μm の厚膜のエッチングに要する時間が 10 秒～30 秒であり、たとえば Al 膜をリン酸系のエッチング液でエッチングする場合などと比べて、エッチングレートが速い。したがってエッチング液の入れ替わりが遅いとエッチング液が飽和して、開口内に PPSQ の析出物が発生し、残渣の原因となる。しかしスピノウエットエッチングを行うことで、常に新鮮なエッチング液が供給されるため、残渣のない開口を得ることができる。

30

【 0 0 5 7 】

さらにスピノウエットエッチングを行うことで、さらに次のような効果が得られる。PPSQ 膜のエッチングにドライエッチングを用いる場合、エッチングレートは 0.1 $\mu\text{m}/\text{min}$ 程度であるため、10 μm の膜厚に対して 100 分のエッチングを実施する必要がある。これは非常にスループットの悪いプロセスである。一方スピノウエットエッチングを用いた場合、前述のように、10 秒～30 秒でエッチングが完了するため、スループットの高いプロセスである。

40

【 0 0 5 8 】

工程 9：レジスト剥離工程

アミン系剥離液あるいは酢酸ブチルに浸漬してレジスト剥離を行う。PPSQ は上記剥離液あるいは酢酸ブチルには溶解しないため、レジストのみを除去可能である。これにより本実施の形態における電子放出源 9 が得られる。レジスト剥離工程として、乾燥酸素中でプラズマを発生させることで、レジストを灰化させることもできる。この場合、シリコーンラダーポリマーからなる絶縁層の開口部側壁表面部が改質され、その表面にはシリコン酸化膜が形成され、ガス放出がさらに抑制され、電子放出源の信頼性は向上する。なお、レジスト灰化中は中性ラジカルの照射、酸化により基板温度が上がる。電子放出源は多層構造を有する為、急激な温度変化は基板クラックの発生原因となる。これを防止するた

50

め水冷等で温度上昇を抑制するのが好ましい。

【0059】

(作用および効果)

(f1) 上記の様な工程で作製された電子放出源9は、その絶縁層4にPPSQを使用しているため、従来技術で生じる様な不具合を何等発生させること無く、絶縁層4の膜厚を約10 μ mに設定することができる。

【0060】

(f2) しかも、ガラス基板1とカソード電極2との段差及びカソード電極2と電子放出部3との段差があるにも拘わらず、絶縁層4をPPSQで形成することで、絶縁層4の上面を容易に凹凸の無い平坦な面とすることができる。

10

【0061】

また、PPSQは吸湿性が低く、膜収縮も小さいため、膜応力による歪が小さく抑えられる。そのため、基板のそりが大きくなることなく、膜が剥離する等の不具合が生じない。加えて、膜厚変化も小さいため、電子放出源9を真空内に導入した後も、凹凸の無い平坦な面を長期にわたり維持することができる。

【0062】

(f3) さらに、PPSQは約500 までの耐熱性を有しており、熱工程における、その形状変化も小さい。このため、画像表示装置の製造プロセスでの熱工程に耐え得る電子放出源9を得ることができる。

【0063】

(f4) さらに、スピノウエットエッチングで絶縁層4の開口部8bを形成しているため、アンダカットが少ない。加えて、絶縁層4を形成するPPSQは、吸湿性も低く、膨潤による開口部側壁の膨張が比較的小さく抑えられるため、開口部8の密度を飛躍的に増大させることができる。

20

【0064】

(f5) さらに、PPSQは吸湿性も低く、ガス放出も小さいために、電子放出源9を真空内に導入した後も、長期にわたってガス放出が見られない。この為、残留ガスによる異常放電が発生したり、イオン化して、電子源としてCNTを用いた場合、このCNTが劣化したり、真空度の向上に時間がかかったりということが回避できる。

【0065】

(実施の形態2)

本発明の実施の形態2に係るFED用背面パネルないしは電子放出源の製造工程を、既出の図面および図11~図14を用いて説明する。本実施の形態においては、実施の形態1と工程1から工程3までは同一であるので、工程4以降についてのみ説明する。

30

【0066】

工程4：ネガレジスト膜36の形成(図11参照)

絶縁層4の上面に、ネガレジスト膜36を全面的に形成する。その後ネガレジスト膜36を乾燥させる。

【0067】

工程5：ネガレジスト膜36の露光および現像(図12参照)

ネガレジスト膜36の乾燥後、この後に設ける開口部8aの横断面形状に相当する円形の透過部を持つ露光マスク7を用いて、ネガレジスト膜36を露光する。次いで再び120 \times 90秒の露光後ベークを行い、必要に応じて全面露光を行う。このあとアルカリ現像液で現像を行い、露光された部分のレジストを残し、それ以外のレジスト膜を除去する。これにより、開口部8aに相当する位置に島状のレジストパターン36が形成される。

40

【0068】

工程6：ゲート電極5の形成(図13参照)

次に、絶縁層の上面および島状のレジストパターン36に、ゲート電極5となる金属膜(導電層)を形成する。金属膜としては、たとえば電子ビーム蒸着装置を用いてAlを成膜する。膜厚は500nmとする。ここでスパッタ法を用いないのは以下の理由からであ

50

る。工程 5 で示したようにネガレジストを用いて島状レジストパターンを形成した場合、その断面形状が逆テーパ形になるため、蒸着法を用いて Al を成膜すると蒸着粒子の直進性の良さからレジストパターン側壁には Al は成膜されない。したがって島状のレジストパターン上の Al 膜は他部の Al 膜と分離される。一方スパッタ法では、比較的真空の雰囲気中で成膜するためスパッタ粒子の回り込みが発生して、レジストパターン側壁にも Al が成膜されてしまい、島状のレジストパターン頂上の Al 膜と他部の Al 膜とがつながり、後述のリフトオフ工程が成功しない。

【0069】

工程 7：ゲート電極 5 のリフトオフ（図 14 参照）

アミン系剥離液あるいは酢酸ブチルに浸漬してレジスト剥離を行う。このときに島状のレジストパターンの頂上にのみ付着している Al 膜はリフトオフされ、第 1 開口部 8 a が形成される。このリフトオフ工程には、前記剥離液または酢酸ブチル中で超音波洗浄を行う工程を追加してもよい。または前記剥離液または酢酸ブチルをノズルから勢いよく吹き付ける工程を追加してもよい。

10

【0070】

工程 8：開口部 8 の形成（図 2 参照）

前記実施の形態 1 の工程 8 と同一のため、説明を省略する。

【0071】

（作用および効果）

本発明の実施の形態 2 における製造方法では、ゲート電極 5 に第 1 開口部 8 a を形成する方法としてリフトオフ法を用いるため、実施の形態 1 に示した利点以外に以下のような利点がある。PPSQ 上にゲート電極を成膜すると熱的要因によって PPSQ 最表面に変質層が形成され、PPSQ のスピンウエットエッチングを阻害する。一方リフトオフ法を用いる場合は、第 1 開口部 8 a に相当する PPSQ 上には島状のレジストが存在するため、Al が直接は成膜されないため、変質層は形成されない。したがって、スピンウエットエッチングは変質層に阻害されることなく成功する。

20

【0072】

（実施の形態 3）

本発明の実施の形態 3 における電子放出源の製造方法では、PPSQ および / またはカソード電極および / またはゲート電極を、上記実施の形態 1 および 2 と異なる製造方法で製造する点に特徴がある。

30

【0073】

（1）実施の形態 1 及び実施の形態 2 では、テーブルコータを用いて PPSQ を塗布し熱処理することで絶縁層 4 を形成する方法を一例として記載している。それに代えて、スピンコータを用いた塗布方式（スピン塗布方式）によってワニス状の PPSQ 溶液を塗布し、その後に PPSQ を乾燥・熱処理することによって、絶縁層 4 を形成してもよい。またはスクリーン印刷法を用いてワニス状の PPSQ 溶液を塗布し、その後に PPSQ を乾燥・熱処理することによって、絶縁層 4 を形成してもよい。後者の場合においても、スキージング時のワニス塗布量をコントロールすることで、絶縁層 4 下方のガラス基板 1 とカソード電極 2 との段差等に起因した凹凸が絶縁層 4 の上面に生じないようにして、絶縁層の上面の平坦化を図りつつ、その膜厚を耐電圧確保に必要な厚みに設定することが可能となる。

40

【0074】

（2）実施の形態 1 及び実施の形態 2 では、カソード電極をスパッタリング法で形成した ITO 膜で作製しており、また実施の形態 1 ではゲート電極をスパッタ法で形成した Al 膜でそれぞれ作製している。しかし、両電極をそれ以外の方法で、例えば Ag ペーストを用いたスクリーン印刷法またはめっき法で形成してもよい。とくにゲート電極をスクリーン印刷法やめっき法で形成する場合は、PPSQ 最表面に前記変質層が形成されないため、それ以降の PPSQ のスピンエッチング工程に好都合である。

【0075】

50

(実施の形態4)

本発明の実施の形態4における電子放出源の製造では、実施の形態1および実施の形態2において絶縁層として用いたPPSQの重量平均分子量を16万以下に限定する点に特徴がある。PPSQの重量平均分子量を16万以下に限定する根拠を以下に示す。すなわち、10 μ mの第一開口部8aをハードマスクとしてPPSQのスピンコートエッチングを行う場合は、分子量が16万以下のPPSQに対しては、分子量に応じたほぼ一定のエッチングレートを持ったまま、エッチングを完了することができる。すなわちエッチング時間と絶縁層に形成される孔の深さはほぼ比例関係にある。

【0076】

一方分子量が16万を超えるPPSQに対しては、エッチング後期にエッチングレートが飽和する。すなわちエッチング時間を増加させてもエッチングが進行しなくなり、底面が露出しない。

【0077】

図15に、発明者らが確認した分子量とエッチング深さの関係の一例を示す。図中の曲線50、51、52はそれぞれ重量平均分子量が11万、13万、17万のPPSQを用いた場合のエッチング深さをエッチング時間に対してプロットしたものである。重量平均分子量11万のものと13万のものはそれぞれエッチングレートは異なるものの、一定時間が経過したところで膜厚である10 μ mのエッチングを完了する。11万のものと13万のものがエッチング深さ10 μ mで飽和しているのは、もともとPPSQ膜厚が10 μ mであるためである。しかし、重量平均分子量17万のものはエッチング深さが7 μ m付近でエッチングが進行しなくなる。

【0078】

本実施の形態のようにPPSQの重量平均分子量を16万以下に限定することにより、その膜厚を耐電圧確保に必要な厚み、たとえば10 μ mに設定しても、電子放出部にいたる深さの開口部を形成することが可能になる。

【0079】

(実施の形態5)

実施の形態1及び実施の形態2では、シリコンラダーポリマーの一例としてPPSQを用いる例を記載しているが、これに限られるものではない。たとえば側鎖構造の異なる他のシリコンラダーポリマーを用いてもよい。その様な一例として、PPSQのフェニル基の一部をビニル基に置き換えたポリビニルシルセスキオキサン(PVSEQ)を挙げることができる。

【0080】

本発明の実施の形態5では、絶縁膜に用いるシリコンラダーポリマーとして、PPSQのフェニル基の一部をビニル基に置き換えたPVSEQを用いた点に特徴がある。PVSEQを用いることにより、絶縁膜の材料および/または製造方法に多様性をもたせることができる。

【0081】

(実施の形態6)

本発明の実施の形態6における電子放出源は、実施の形態1および実施の形態2の電子放出源の構造を変更してカソード電極とゲート電極との間の短絡を防止する構造を有する点に特徴がある。絶縁層としてPPSQを適用した場合、膜厚10 μ mとすることで、電子放出源に必要な耐電圧が確保できる。しかし、実施の形態1および実施の形態2に示した電子放出源では1画素内に複数の開口部8が形成されており、その壁面8bの延べ長さは開口の個数に応じて増加する。ため、沿面放電の確率が増し、信頼性を低下させるおそれがある。

【0082】

図16は、本発明の本実施の形態6における電子放出源の一部をゲート電極側から見た図である。図17はその断面斜視図である。図16では3つのゲート開口8aに対して1つの絶縁層開口8bを持っている。このようなゲート開口のひとまとまりをひとつのゲ

ト開口群と呼ぶことにする。ゲート開口群は2つ以上のゲート電極で構成されていれば、本実施の形態で述べる効果は奏される。

【0083】

作製プロセスは実施の形態1および実施の形態2と同一の方法である。ゲート開口の開口径と間隔の関係について説明する。本実施の形態で説明する構造は、絶縁層の膜厚は $10\mu\text{m}$ 、ゲート開口径は $10\mu\text{m}$ 、それぞれのゲート開口の中心間の間隔は $15\mu\text{m}$ である。図に示したようなゲート電極開口に対して、PPSQのスピノウエットエッチングを行うと、アンダカットが片側略 $5\mu\text{m}$ 発生し、絶縁層の各開口径は略 $20\mu\text{m}$ となる。しかし隣接するゲート開口との中心間の距離は $15\mu\text{m}$ であるので、隣の絶縁層開口とつながり、図中、破線で示したような絶縁層開口8bの形状となる。このようにして3つの絶縁層開口が1つにつながった場合、絶縁層開口8bの壁面の延べ長さは $104\mu\text{m}$ である。

10

【0084】

一方たとえば隣接するゲート開口8aの中心間の距離が $30\mu\text{m}$ の場合は絶縁層開口径が略 $20\mu\text{m}$ となっても隣接する開口がつかないことはなく、3つの絶縁層開口壁面の延べ長さは $170\mu\text{m}$ である。

【0085】

したがって、上記ゲート開口の中心間の距離が $15\mu\text{m}$ の本実施の形態における電子放出源の場合、絶縁層開口の壁面の延べ長さは、上記ゲート開口中心間距離が $30\mu\text{m}$ の場合に比べてその61%に減少する。このため、沿面放電の確率も同じ割合で減少し、信頼性が改善される。

20

【0086】

すなわち、本発明の実施の形態6における電子放出源では、複数のゲート開口をまとめて配置して各ゲート開口の間隔を所定距離以下にして、ゲート開口の下に形成される各絶縁膜開口が1つに繋がるように配置する。上記ゲート開口の配置構造により絶縁膜開口の壁面の延べ長さを短縮し、沿面放電の確率を低下させて信頼性を高めることができる。

【0087】

上記の本実施の形態と同じように沿面放電を防止できる構造として、上記ゲート電極の替わりとして、カソード電極から一定の距離を保って、 $100\mu\text{m}$ 程度の厚みの金属電極を保持する構造が考えられる。この場合、金属電極を保持するために、低融点ガラスペーストなどが用いられる。しかしこの構造の場合は、作製するとき、金属電極の開口と電子放出部のパタニングは個別に行い、あとで両者を位置合せして貼り合わせる必要がある。金属電極および電子放出部の加工寸法精度および位置合せ精度が高いレベルで必要となり、非常に難易度の高い作業工程となる。これは作製する基板面積が大きくなるにつれさらに顕著となる。これに比して、本実施の形態では、ゲート電極の開口をマスクとして、絶縁層の開口を行うため、両者を位置合わせする必要がない。

30

【0088】

さらに本実施の形態をとった場合、カソード配線とゲート電極の交差部のうち絶縁層の占める領域が減少するため、画素の静電容量を低減することができ、応答速度の向上に貢献する。

40

【0089】

(実施の形態7)

本発明の実施の形態7における電子放出源は、実施の形態1、実施の形態2および実施の形態6における電子放出源に対してレーザー照射を行い、電子放出効率を向上させたものである。電子放出部であるカーボンナノチューブに近紫外波長のレーザーを $4\text{MW}/\text{cm}^2$ の密度で照射すると放出電流密度を略100倍改善することができる。

【0090】

実施の形態6における電子放出源にレーザー照射を行った場合は、さらに次のような問題を解決することができる。すなわち複数のゲート電極開口に対して、絶縁層開口が1つである場合、絶縁層開口を覆っている部分のゲート電極の直下の電子放出部から放出された

50

電子は、その覆っているゲート電極の部分に衝突し、ガス放出の原因となる。またはゲート電流としてゲート電極駆動回路に流入し、応答性能を劣化させる。または電流容量の高い回路が必要になってしまうなどの問題を生じる。これに対して、ゲート電極開口を経て電子放出源にレーザ照射を行った場合は、レーザ光は、上記覆っているゲート電極の部分に遮蔽されて、ゲート開口の直下の部分の電子放出部にのみを照射し、その照射した部分の放出電流密度を改善することができる。言い換えれば、絶縁層開口を覆っているゲート電極の部分の直下の電子放出部からは低い放出電流しか得られない。このため、ゲート開口から飛び出す電流に対してゲート電極に流入する電流の比率を抑えることができる。

【0091】

さらにレーザ光を収束する、あるいはアパーチャを通過させるなどして、ビーム径をゲート電極開口径以下にして、位置あわせをして開口の底面の電子放出部にのみレーザ照射できるようにするとなおよい。これは以下に示す効果に基づく。ゲート電極にレーザ光が照射される場合、ゲート電極がレーザ光により損傷を受ける可能性がある。しかし、上記のようにレーザ光のビーム径を絞って、ゲート開口径以下にすることにより、開口の底面の電子放出部にのみレーザ照射され、ゲート電極損傷のおそれがない。

【0092】

(実施の形態8)

図18は、本発明の実施の形態8における画像表示装置を示す断面図である。本発明の実施の形態8においては、実施の形態1～実施の形態7に係る電子放出源を画像表示装置のFEDパネルに適用する例について説明する。図18において、ガラス基板1上のカソード電極2の上に電子放出源3が設けられている。絶縁層4は、カソード電極上の電子放出源3とゲート電極5とを隔てるように位置している。絶縁層4およびゲート電極5には、電子放出源3が露出するように開口部8が設けられている。この開口部に対面するように離れた位置にアノード電極6が位置し、その上に蛍光体層が配置されている。

【0093】

以下、画像表示装置を製造する際の工程を、図18～図26を参照して説明する。なお、図19、21、23、25は、実施の形態1～実施の形態7に係る電子放出源がマトリックス状に形成・配置されるカソード基板(背面パネル)を上面から見た平面概略図である。また、図20、22、24、26は、上記平面概略図に示した断線に沿う縦断面概略図である。

【0094】

まず、ガラス基板1の上に、カソード電極として、第1方向Xに延在する複数のITO(Indium Tin Oxide)膜をストライプ状に形成する(図19、20参照)。すなわち、スパッタリング法でITO膜をガラス基板1の上面に全面的に形成し、通常のレジスト膜を用いた露光/現像を行なってITO膜のストライプパターンを形成する。このITO膜が、第1方向Xに延在した複数のストライプ状カソード電極2となる。カラー表示のために、1画素は、赤、青及び緑色の3つの発光点で構成される。そのため、カソード電極の数は3の倍数となる必要がある。ここでは、説明を簡単にするために、便宜上、カソード電極の数を3本に設定している。

【0095】

次に、図21および22に示すように、各カソード電極2の上面であってかつ後述する発光点の直下となる箇所に、カーボンナノチューブ粉末を含んだ印刷ペーストを用い、スクリーン印刷法によって、複数の電子放出部3を印刷する。その上で、印刷パターンを乾燥させ、その後焼成を行うことにより、各カソード電極2上を第1方向Xに一列に配列して成る電子放出部3を形成する。

【0096】

次に、テーブルコートで、ガラス基板1の周辺部を除いた、ガラス基板1のほぼ全面にわたってPPSQを塗布し、その後のPPSQの乾燥・熱処理工程を経て、絶縁層4を形成する。

【0097】

10

20

30

40

50

その上で、図 23、24 に示すように、ガラス基板の上面に全面的に金属膜をスパッタ法で蒸着し、通常のレジスト膜を用いた露光/現像を行なって、カソード電極 2 の延在方向 X と直交する第 2 方向 Y に延在した、複数のストライプ状のゲート電極 5 を形成する。

【0098】

次に、図 25、26 に示すように、各カソード電極 2 と各ゲート電極 5 との立体交差位置に、放出電子を取り出すための複数の第 1 開口部 8 a を形成する。この第 1 開口部 8 a は、上記ゲート電極形成方法と同様に、通常のレジスト膜を用いた露光/現像を行なうことで形成される。ストライプ状のゲート電極 5 のパターンニングと第 1 開口部 8 a のパターンニングは同時に行ってもよい。その上で、各ゲート電極 5 の各第 1 開口部 8 a をマスクとしてスピノウエットエッチングを行い、その直下の絶縁層 4 に第 2 開口部 8 b を形成する。これにより、ゲート電極 5 及び絶縁層 4 を貫通してその直下の電子放出部 3 の上面を露出させる開口部 8 が、形成される。

10

【0099】

次に、図 18 に示すように、上記の一連の工程で作製されたカソード基板 49 と、アノード電極（第 2 主電極）61 および蛍光体層 62 が形成されたアノード基板（前面パネル）63 とを、スペーサガラス 64 を挟むことで一定の距離を維持しつつ、各蛍光体層 62 とそれに対応する電子放出部 3 とが互いに対向するように配置した上で、カソード基板 49 とスペーサガラス 64 との接合部およびアノード基板 63 とスペーサガラス 64 との接合部をとともに、フリットガラスで接合する。スペーサガラス 64 は、図 18 では基板の左右端にのみ表示されているが、実際は 型のガラス枠であり、カソード基板 49 およびアノード基板 63 と合わせて気密容器を構成している。これにより、FED パネルが形成される。その上で、FED パネルを大気中 450 の温度下で 30 分間焼成して気密容器とし、最後に内部を真空中に排気することで、図 18 に示す画像表示装置が作製される。

20

【0100】

（作用および効果）

上記の工程で作製された画像表示装置においては、カソード電極とゲート電極との間の間隔が全画素で均一であり、画素間の輝度ばらつきが小さい。また気密容器にするための 450 焼成でも絶縁層の形状変化がなく、画素欠陥も生じない。さらには、開口部の密度が高いので、1 画素内の電子放出部の数が多く、画素内の輝度均一性が向上する。

【0101】

以上、本発明の実施の形態を詳細に開示し記述したが、以上の記述は本発明の適用可能な局面を例示したものであって、本発明はこれに限定されるものではない。即ち、記述した局面に対する様々な修正や実施の形態を、この発明の範囲から逸脱することの無い範囲内で考えることが可能である。

30

【図面の簡単な説明】

【0102】

【図 1】シリコンラダーポリマーの基本構造を示す図である。

【図 2】本発明の実施の形態 1 における電子放出源を示す図である。

【図 3】ガラス基板上にカソード電極を形成した状態を示す図である。

【図 4】さらに電子放出部を形成した状態を示す図である。

40

【図 5】シリコンラダーポリマーによる絶縁層を形成した状態を示す図である。

【図 6】テーブルコートを示す斜視図である。

【図 7】ゲート電極用の金属膜を成膜した状態を示す図である。

【図 8】さらにレジスト膜を形成した状態を示す図である。

【図 9】露光マスクを配置してレジスト膜をパターンニングした状態を示す図である。

【図 10】ゲート電極に開口部を設けた状態を示す図である。

【図 11】本発明の実施の形態 2 において、シリコンラダーポリマーの上にレジスト膜を形成した状態を示す図である。

【図 12】露光マスクを配置してレジスト膜をパターンニングして島状レジストパターンを形成した状態を示す図である。

50

【図 1 3】ゲート電極用の金属膜を成膜した状態を示す図である。

【図 1 4】開口部に対応するゲート電極用の金属膜をリフトオフした状態を示す図である。

【図 1 5】シリコンラダーポリマーの絶縁層の重量平均分子量と、スピンウエットエッチングにおける到達エッチング深さとの関係を示す図である。

【図 1 6】本発明の実施の形態 6 における電子放出源の開口部を示す平面図である。

【図 1 7】図 1 6 の断面斜視図である。

【図 1 8】本発明の実施の形態 8 における画像表示装置を示す断面図である。

【図 1 9】本発明の実施の形態 8 における画像表示装置の製造においてカソード電極を形成した状態を示す平面図である。

10

【図 2 0】図 1 9 の X X - X X 線に沿う断面図である。

【図 2 1】さらにシリコンラダーポリマーの絶縁層を形成した状態を示す平面図である。

【図 2 2】図 2 1 の X X I I - X X I I 線に沿う断面図である。

【図 2 3】さらにゲート電極を形成した状態を示す平面図である。

【図 2 4】図 2 3 の X X I V - X X I V 線に沿う断面図である。

【図 2 5】さらに開口部を設け、電子放出部を露出させた状態を示す平面図である。

【図 2 6】図 2 5 の X X V I - X X V I 線に沿う断面図である。

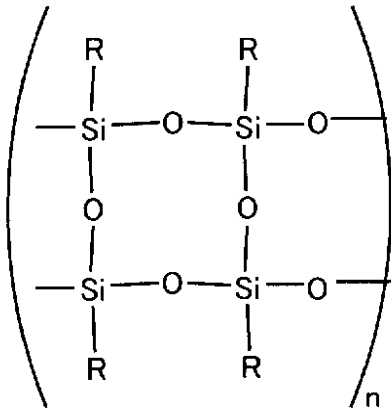
【符号の説明】

【0 1 0 3】

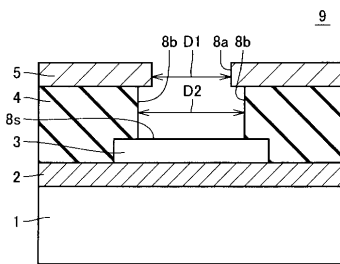
20

1 ガラス基板、2 カソード電極、3 電子放出部、4 絶縁層、5 ゲート電極、6 レジスト膜、7 露光マスク、8 開口部、8 a ゲート開口部（第 1 開口部）、8 b 絶縁層開口部（第 2 開口部）、2 1 インク射出部、2 2 基材、2 3 塗布膜、3 6 ネガレジスト膜、4 9 カソード基板、5 0 重量平均分子量 1 1 万の曲線、5 1 重量平均分子量 1 3 万の曲線、5 2 重量平均分子量 1 7 万の曲線、6 1 アノード電極、6 2 蛍光体層、6 3 アノード基板（前面パネル）、6 4 スペーサガラス。

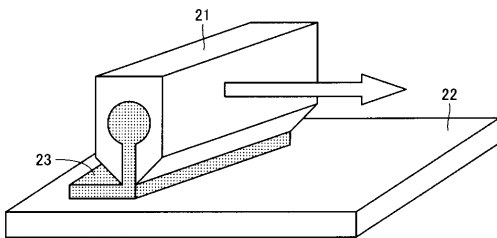
【 図 1 】



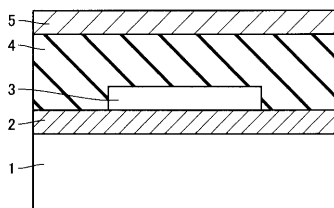
【 図 2 】



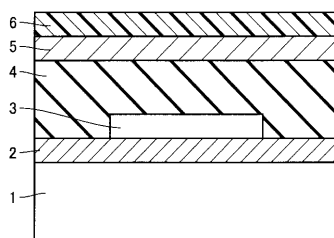
【 図 6 】



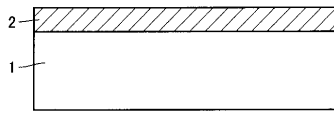
【 図 7 】



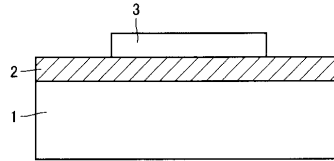
【 図 8 】



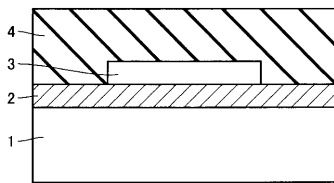
【 図 3 】



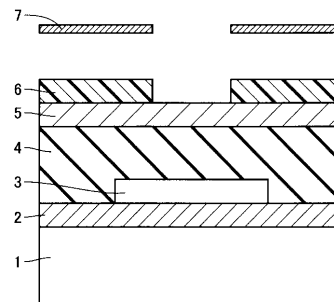
【 図 4 】



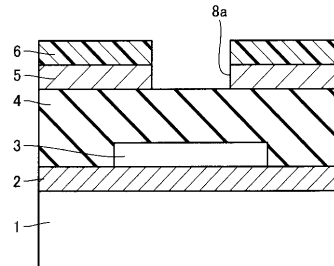
【 図 5 】



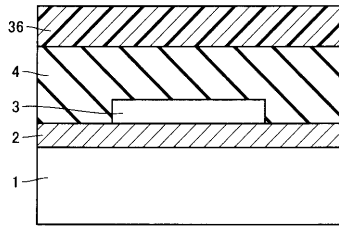
【 図 9 】



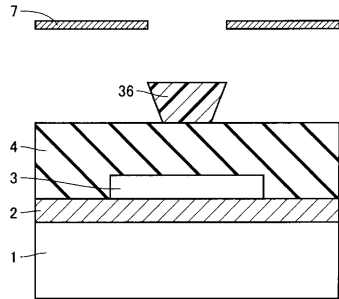
【 図 10 】



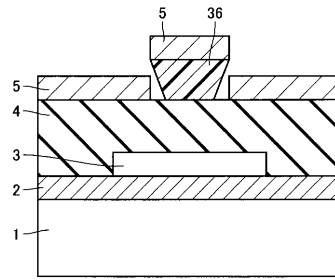
【図 1 1】



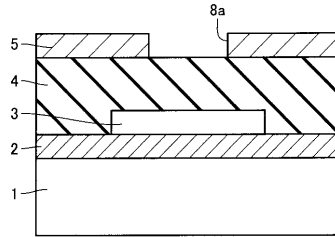
【図 1 2】



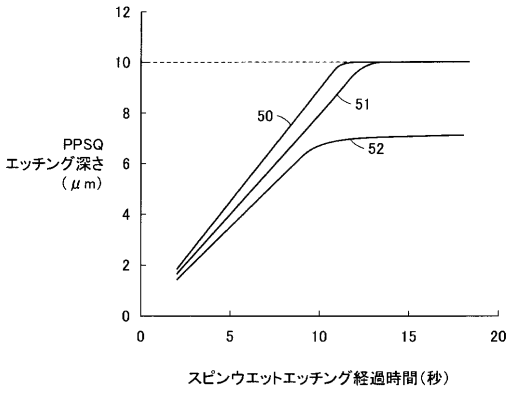
【図 1 3】



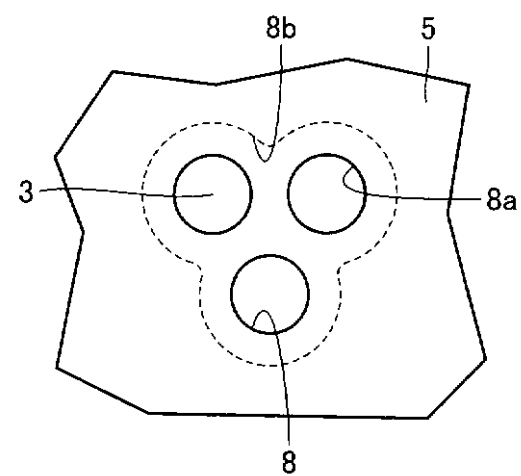
【図 1 4】



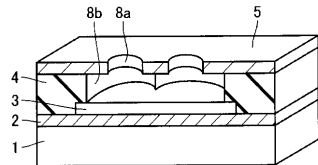
【図 1 5】



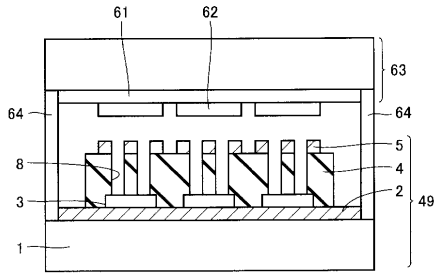
【図 1 6】



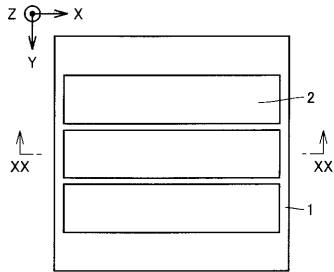
【図 1 7】



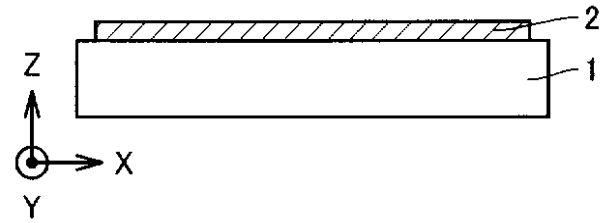
【図 18】



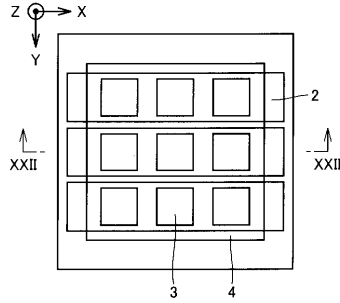
【図 19】



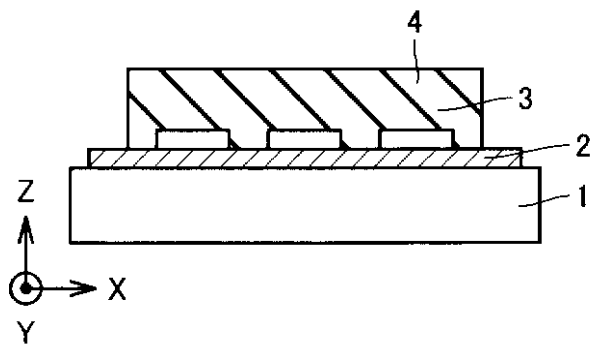
【図 20】



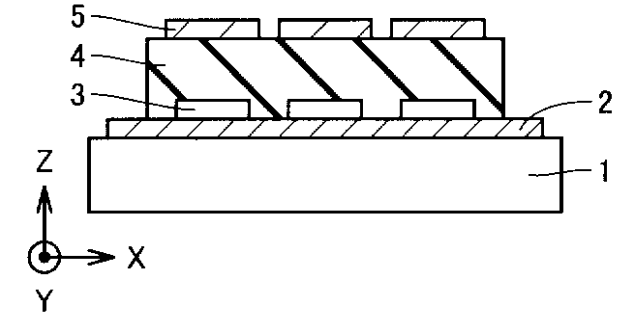
【図 21】



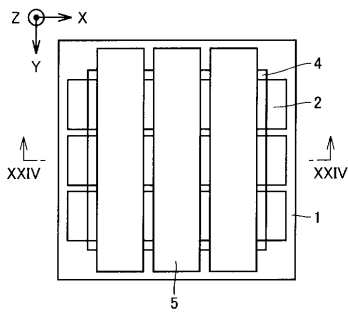
【図 22】



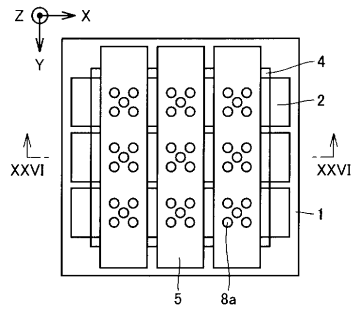
【図 24】



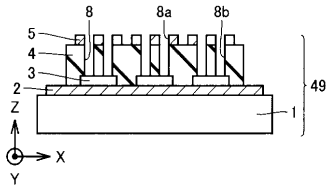
【図 23】



【図 25】



【 図 26 】



フロントページの続き

- (72)発明者 西村 邦彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 橋本 典綱
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 細野 彰彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 中田 修平
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 保田 直紀
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 足達 廣士
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5C031 DD17

5C036 EG12 EG17 EG31 EH06
5C127 AA01 BA09 BA15 BB07 CC03 CC08 CC09 DD02 DD07 DD09
DD13 DD15 DD19 DD25 DD38 DD39 DD40 DD42 DD43 DD57
DD59 DD63 DD64 DD67 DD68 DD84 EE02 EE04 EE07 EE13
EE16 EE17
5C135 AA09 AB07 AC03 AC07 AC14 AC16 AC22 AC25 HH16 HH17