



I261249

747474

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 92100618

※ IPC 分類： G11C 11/405

※ 申請日期： 92 年 01 月 13 日

壹、發明名稱：

(中文) 半導體積體電路裝置

(英文) 半導體集積回路裝置

貳、發明人 (共 4 人)

發明人 1

姓 名：(中文) 岩橋誠之

(英文) 岩橋誠之

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財產權本部內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財産權本部內

參、申請人 (共 1 人)

申請人 1

姓名或名稱：(中文) 日立製作所股份有限公司

(英文) 株式会社日立製作所

住居所地址：(中文) 日本國東京都千代田區神田駿河台四丁目六番地

(或營業所) (英文) _____

國 籍：(中文) 日本

(英文) JAPAN

代 表 人：(中文) 1. 庄山悅彥

(英文) _____

發明人 2

姓 名：(中文) 中原茂

(英文) 中原茂

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的財產權本部內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財産権本部
内發明人 3

姓 名：(中文) 鈴木武史

(英文) 鈴木武史

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的財產權本部內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財産権本部
内發明人 4

姓 名：(中文) 日下田惠一

(英文) 日下田惠一

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的財產權本部內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財産権本部
内

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/01/29 ; 2002-020222

(1)

玖、發明說明

【發明所屬之技術領域】

本發明是關於，半導體積體電路裝置，是關於，利用在備有可以進行高速讀出動作的記憶電路的大規模積體電路時很有效的技術。

【先前技術】

在日本特開平8 - 129891號公報(相對應的美國專利5,592,414號)揭示有，具備寫入用埠及讀出用埠的靜態型記憶格的例子。

【內容】

〔發明所欲解決的課題〕

如上述的讀出專用埠的記憶格很適合高速動作，但檢測其讀出信號的放大電路一般是使用差動電路。隨著半導體技術的進展帶動的元件的細緻化，正積極在促進電源電壓的低電壓化。然而，差動型感測放大器的偏移電壓之改善，無法對應上述電源電壓的降低，因而可以預測，以反相器電路放大讀出信號的架構會較為有利。

但是，反相器放大型的電路在位元線電位未超過邏輯臨界值之前不會動作，因此電路動作的延遲明顯。如果以動態電路取代反相器，電路動作的延遲將獲得改善。但是，對具有層次構造的SPAM，如果只是單純應用動態電路，對製造上的參差不齊，產生誤動作的可能性很高。或者

(2)

，爲了迴避上述誤動作，需要有過多的餘量，有影響到電路的頻率特性的可能性。

本發明之目的在提供，備有可高速化及定時之設定很容易的記憶電路的半導體積體電路裝置。本發明之其他目的在提供，備有高速記憶器與大記憶容量記憶電路之新穎的半導體積體電路裝置。本發明之上述及其他目的以及新穎的特徵，可以從本說明書的記述及附圖獲得進一步的瞭解。

〔解決課題的手段〕

茲簡單說明本案所揭示的發明中具代表性者的概要如下。配設：包含有，對分別連接上述記憶格的複數條位元線分別供給閘極，在供給此等位元線的預充電電壓下維持成截斷狀態之第1導電型的第1 MOSFET，對應上述位元線的選擇信號成爲動作狀態的第1放大電路；及包含有，分別在閘極供應這種第1放大電路的複數個放大信號，連接成並聯形態的複數個第2導電型的第2 MOSFET，可形成對應上述第1放大電路之放大信號的第2放大電路；當作爲，使記憶電流依據字元線的選擇動作與記憶資訊而流通或不流通之記憶格的讀出電路。

【實施方式】

〔發明的實施形態〕

第1圖及第2圖是表示搭載於本發明的半導體積體電路

(3)

裝置的記憶電路之一實施例的電路圖。第1圖例示記憶器陣列部及設在位元線的局部放大器，第2圖例示包含用以放大上述局部放大器的輸出信號的主放大器的輸出電路。本實施例的記憶電路可以構成，如後述的具有微電腦功能的大規模積體電路的高速巨大RAM(RAM macro)。

如以矩陣狀配置在複數條字元線與複數條位元線交點的複數個記憶格MC中，對應左端的位元線的記憶格MC作為代表所例示，是使用8個MOSFET的雙埠記憶格。亦即，如該圖的左上端的記憶格MC所代表，記憶格MC是採用，以P通道型MOSFET MP與N通道型MOSFET MD所構成的兩個CMOS反相電路，將其輸入與輸出交叉連接而成的門鎖電路，作為記憶部，對這種記憶部分別配設寫入路徑與讀出路徑的雙埠架構。

上述寫入路徑是由，設在上述門鎖電路的一對輸入輸出節點，與寫入用的互補位元線間的位址選擇用的一對MOSFET MT所構成。上述讀出路徑是，由閘極施加有上述門鎖電路的一方的記憶節點的資訊電壓，在源極施加電路的接地電位的N通道型MOSFET MN2，與設在此MOSFET MN2的汲極與讀出用位元線BB0U之間的位址選擇用的MOSFET MN1所構成。構成上述寫入路徑的一對MOSFET MT的閘極，連接在寫入用字元線MWWD0，構成上述讀出路徑的MOSFET MN1的閘極則連接在讀出用字元線MWD0。

上述讀出用位元線BB0U設有，由接受定時信號YEQ之

(4)

P通道型 MOSFET 構成的位元線預充電電路 BPC。上述讀出用位元線 BB0U 的讀出信號，由局部放大器(或感測放大器) LAMP 加以放大。局部放大器 LAMP 是由兼具行選擇電路功能的反轉放大電路所構成。亦即，上述位元線 BB0U 傳至 P通道型 MOSFET MP2 的閘極，此 MOSFET MP2 的汲極與源極設有，由行選擇信號 YR0 - N 轉接控制的 P通道型 MOSFET MP1 與 N通道型 MOSFET MN3。

上述 N通道型 MOSFET MN3 在由行選擇信號 YR0 - N 使其成為導通狀態時，構成放大元件的 MOSFET MP2 的負載元件。同時，P通道型 MOSFET MP1 則被用作供應動作電壓的開關。上述放大 MOSFET MP2 的汲極輸出設有，由反相電路與 N通道型 MOSFET 構成的低位準門鎖電路。

雖不特別限制，但本實施例為了電路的高積體化，對上述局部放大器 LAMP 的上下分開配置位元線。該圖是以其中的配置在上側的位元線 BB0U ~ BB3U 作為代表例示之，而配置在其下側的位元線 BB0D ~ BB3D 則省略其記憶格部或預充電電路，僅表示其一部分。為了要藉由上述局部放大器 LAMP 檢測上下一對位元線 BB0U、BB0D 的信號，放大 MOSFET MP2 與 MP3 連接成並聯形態，各該閘極連接上述位元線 BB0U、BB0D。

如此，將局部放大器 LAMP 供分配成上下的元線 BB0U、BB0D 共用時，可以使實質上的位元線長度減半，位元線的雜散電容也可以減半，因此對高速讀出十分有益。這種架構在選擇字元線時，是上側的記憶陣列與下側的記憶

(5)

陣列中的任一方的記憶陣列的字元線被選擇。

如第2圖所示，上述局部放大器LAMP的輸出信號，是將對應行選擇電路的複數條集中，而輸入到輸出電路DOC的主放大器MA。例如本實施例，藉由4個行選擇信號 $YR0 - N \sim YR3 - N$ 選擇4條位元線中的任意1條時，與其相對應的4個局部放大器LAMP的輸出信號(節點A0 ~ A3)，傳送至N通道型MOSFET MN4 ~ MN7的閘極。此等之放大MOSFET MN4 ~ MN7連接成並聯形態。此等放大MOSFET MN4 ~ MN7的汲極設有P通道型MOSFET MP4，源極設有對電路供應接地電位的電力開關的N通道型MOSFET MN8。

放大MOSFET MN4 ~ MN7的共同連接之汲極的輸出節點B設有，由反相電路與P通道型MOSFET構成的用以保持高位準的門鎖電路。構成上述門鎖電路的反相電路之輸出節點C，傳至D型正反器電路DFF。控制此D型正反器電路DFF與上述主放大器MA的動作的P通道型MOSFET MP4與N通道型MOSFET MN8，供給有定時信號YEQ2。從此正反器電路DFF的輸出q向資料端子DQ0傳送輸出信號。本實施例的巨大RAM如果能以例如32位元的單位讀出，則配設32組的上述記憶器陣列部、局部放大器LAMP及輸出電路。

第3圖表示合併上述第1圖與第2圖的整體電路圖。本實施例表示，對應1個資料位元的記憶單元(或記憶塊)。在1個記憶單元，是藉由4個行選擇信號 $YR0 - N \sim YR3 - N$ 4選擇4條位元線BB0 ~ BB3中的1條。這時，因為是將位元線分割上下分開配置，僅選擇對應任一方的位元線

(6)

的字元線，因此爲了選擇上下的字元線而使用1位元的行位址。

舉例言之，資料位元是由32位元構成時，則配設3個的上述記憶單元或記憶塊。此等32個記憶單元或記憶塊是沿字元線的延長方向配置。因此，字元線是共同連接在此等記憶單元或記憶塊。

在本實施例的記憶電路，字元線採與時鐘脈衝的上昇同步的脈衝驅動方式。如上述，字元線僅有上下陣列的一方動作，藉此，選擇上下分開的位元線的一方。對應被選擇的字元線的局部位元線所配設的局部放大器LAMP，是由P通道型MOSFET的區塊型的多米諾(Domino骨牌)電路所構成。此P區塊型多米諾電路的時鐘脈衝，是輸入行選擇信號的負極信號 $YR0 - N$ (N 表示負極性)。

對應局部放大器LAMP的各輸出(節點A)，傳給後級的全局感測放大器(主放大器MA)。此整體感測放大器MA是由N通道型MOSFET的N區塊型的多米諾電路所構成。此N區塊型多米諾電路的時鐘脈衝是供應輸入CK的正極性的脈衝 $YEQ2$ 。此整體感測放大器MA的輸出信號，則經由整體位元線(節點C)傳送給進行資料門鎖的正反器電路DFF。

第4圖表示說明本發明的記憶電路的動作之一個例子的定時圖。在此之說明是假定，『選擇讀出用字元線 $MWDx$ (x 是數字)內的字元線 $MWD0$ 』時的情形。同時是依據下述前提之動作。位元線 $BBxU/D$ 在非動作時，由位元線預充電電路保持在高位準(定時信號 $YEQ =$ 低位準)。在

(7)

讀出用字元線 MWD0 成爲導通(選擇狀態)的同時，預充電信號 YEQ 進行截斷(高位準)的動作，在讀出用字元線 MWD0 截斷的同時，預充電信號 YEQ 進行導通(低位準)的動作。而，因字元線 MWWD_x是寫入用，因此本發明將不觸及。

被選擇的字元線 MWD0 以外的字元線維持低位準(非選擇狀態)的狀態，因此，可以獲得從記憶格的讀出信號者只是記憶器陣列的上側的位元線 BB_xU，下側的位元線 BB_xD 則保持高位準(預充電狀態)。

因上述字元線 MWD0 的選擇動作，在位元線 BB_xU 獲得如下的讀出信號。在記憶格，依記憶資訊，若 MOSFET MN2 是在導通狀態，因字元線 MWD0 的高位準而選擇 MOSFET MN1 是導通狀態，使位元線 BB_xU 從高位準變化成低位準。若傳送這種低位準的讀出信號，局部放大器的 P 通道型 MOSFET MP₂ 將成爲導通狀態。對此，下側的位元線 BB_xD 是在預充電電壓的狀態，因此將上述狀態供給閘極的 P 通道型 MOSFET MP₃ 是維持截斷狀態。

在上述記憶格，依照記憶資訊，若 MOSFET MN2 是在截斷狀態，縱使因爲字元線 MWD0 的高位準使選擇 MOSFET MN1 成爲導通狀態，也不會形成記憶電流路徑，因此位元線 BB_xU 將維持高位準狀態。若傳送這種高位準的讀出信號，局部放大器的 P 通道型 MOSFET MP₂ 將成爲截斷狀態。因此，MP₂ 及 MP₃ 均成爲截斷狀態。

這時，若選擇(從高位準變成低位準)行選擇信號

(8)

YR0_N，局部放大器 LAMP 的 N 通道型 MOSFET MN3 成為截斷狀態，P 通道型 MOSFET MP1 成為導通狀態。因從上述記憶格的讀出信號，使位元線 BB0U 從高位準變化成低位準時，如上述，P 通道型 MOSFET MP2 會成為導通狀態，輸出節點 A 會從低位準變成高位準。同時，因從上述記憶格讀出的讀出信號，使位元線 BB0U 維持高位準時，因 P 通道型 MOSFET MP2 及上述 N 通道型 MOSFET MN3 均在截斷狀態，因此輸出節點 A 將保持低位準。

在閘極接受未被選擇的行選擇信號 YR1_N ~ YR3_N 的局部放大器 LAMP 的 N 通道型 MOSFET（對應上述 MN3 者）恆常在導通狀態，因此局部放大器 LAMP 的輸出將保持低位準。

在本實施例，成為上述局部放大器 LAMP 的輸入之位元線 BBxU 與行選擇信號 YRx_N 是，那一邊先動作都可以。亦即，因定時信號 YEQ 的低位準，P 通道型 MOSFET MP1 成為導通狀態，N 通道型 MOSFET MN3 成為截斷狀態後，依照記憶格的記憶資訊之讀出信號可以通過位元線 BBxU / D 傳送，也可以，藉由讀出用字元線 MWxD 的選擇動作，將讀出信號傳至位元線 BBxU / D，而在上述 P 通道型 MOSFET MP2 / MP3 的導通狀態 / 截斷狀態確定後，藉由定時信號 YEQ 的低位準，使 P 通道型 MOSFET MP1 成為導通狀態，N 通道型 MOSFET MN3 成為截斷狀態，或者也可以是同時。

在設於下一級輸出電路的主放大器，N 通道型 MOSFET MN4 ~ 7 中，對應非選擇位元線 BB1 ~ BB3 的 N 通道型

(9)

MOSFET MN5 ~ 7之閘極電位是，因為與的相對應的局部放大器 LAMP的輸出信號是在低位準，因此是在截斷狀態。

接著，定時信號 YEQ2從低位準變成高位準時，P通道型 MOSFET MP4成為截斷狀態，N通道型 MOSFET MN8成為導通狀態。上述局部放大器 LAMP的輸出信號在讀出到位元線 BB0U的信號是，如上述由高位準變成低準時，主放大器 MA的N通道型 MOSFET MN4的閘極電位從低位準變化成高位準。藉此，由N通道型 MOSFET MN4及MN8使輸出節點 B從高位準變化到低位準，使通過反相器電路的整體位元線(節點 C)成為低位準。

反之，位元線 BB0U保持高位準時，上述N通道型 MOSFET MN4的閘極是維持低位準的狀態，因此，上述節點 B維持高位準，節點 C維持低位準狀態。這時，節點 B會成為浮動狀態，因此，反相器電路與P通道型 MOSFET MP5構成的閘鎖電路保持節點 B的高位準。藉由以上的動作，將對應整體位元線的節點 C的信號取入進行資料閘鎖的正反器電路 DFF，確定記憶電路 SRAM的資料端子 DQ0的信號。

本實施例，上述成為主放大器 MA輸入的節點 B之信號變化，與活性化信號 YEQ2的那一邊先動作均可以。亦即，可以在因定時信號 YEQ2的高位準，使主放大器 MA的N通道型 MOSFET MN8成為導通狀態，P通道型 MOSFET MP4成為截斷狀態的後，局部放大器 LAMP的輸出信號(節點 B)

(10)

始變化，也可以是，傳送過來局部放大器 LAMP 的輸出信號，上述 N 通道型 MOSFET MN4 ~ 7 的任一方的導通狀態／截斷狀態確定後，藉由定時信號 YEQ2 的高位準，使 N 通道型 MOSFET MN8 變成導通狀態，P 通道型 MOSFET MP4 變成截斷狀態，或者同時也可以。

第 5 圖表示上述實施例的記憶電路之讀出路徑的等效電路圖。由兩個串聯 MOSFET 構成的記憶格之讀出電流路徑連接在局部位元線，輸入由構成局部放大器 LAMP 的 P 通道型 MOSFET 構成的邏輯方塊 (P - Block)。對此邏輯方塊，經由藉時鐘脈衝／CK 轉接控制的 P 通道型 MOSFET 供應電源電壓，經由藉時鐘脈衝／CK 控制轉接的 N 通道型 MOSFET 供應電路的接地電位。

上述邏輯方塊 (P - Block) 的輸出節點 A 輸入到，由構成主放大器 MA 的 N 通道型 MOSFET 構成的邏輯方塊 (N - Block)。對此邏輯方塊，經由藉跟上述局部放大器 LAMP 成反相位關係的時鐘脈衝 CK 轉接控制的 P 通道型 MOSFET 供應電源電壓，經由藉時鐘脈衝 CK 控制轉接的 N 通道型 MOSFET 供應電路的接地電位。

在這種電路架構，如上述，時鐘脈衝／CK、CK 及各輸入信號的時間關係之前後並沒有什麼關係，因此，節點 A 與時鐘脈衝 CK 的動作條件只要是，邊緣 2' < 邊緣 3 < 邊緣 2 便可以，無頻率限制。

本發明人曾在本發明之前，先檢討如第 18 圖所示的放大電路。在第 18 圖，對構成主放大器的 N 通道型 MOSFET 的

(11)

邏輯區塊 (N - Block)，藉由時鐘脈衝 CK 以 P 通道型 MOSFET 預充電時，必須爲了使其在時鐘脈衝 CK 在低位準的預充電期間沒有電流通過，而使節點 A 成爲低位準。因此，動作條件是，邊緣 1 < 邊緣 3 < 邊緣 2 及邊緣 1 < 邊緣 4 < 邊緣 2，頻率限制是 $T_c / 2 > t_{w34}$ 。

雖未圖示，但也曾檢討，藉信號 YEQ_N 控制上述局部放大器 LAMP 的 N 通道型 MOSFET MN3，藉利用行選擇信號 YR0 - 3_N 控制的局部放大器 LAMP 將輸出節點 A 共同化，單純地以反相器電路放大節點 A 的信號。但這種架構仍然因下述各點而欠缺高速及可靠性。

亦即，控制進入用以將上述節點 A 固定在低位準的 N 通道型 MOSFET MN3 的閘極的信號 YEQ_N，與行選擇信號 YR0 - 3_N 的定時很重要。爲了拉下 (pull down) 節點 A，上述 N 通道型 MOSFET MN3 必須充分大。其結果會有，將 N 通道型 MOSFET MN3 及在閘極接受位元線 BB 的 P 通道型 MOSFET MP2、其他局部放大器 LAMP 的 P 通道型 MOSFET M 全部連接到節點 A，負載變很大，無法高速動作的問題。

如上述，局部位元線、整體位元線等之具有層次位元線構造的讀出系列，若是只是單純地應用動態型電路，因製造時的參差不齊而引起誤動作的可能性很高。或者，爲了迴避上述誤動作，需要有過大的定時餘量，有可能要節制電路的頻率性能。對此，上述實施例沒有這種限制，動作可以高速化。

第 6 圖是表示本發明的記憶格之一實施例的電路圖。

(12)

本實施例的記憶格是如上述第1圖，以8MOS記憶格構成。亦即，交叉連接，由P通道型MOSFET MPL與N通道型MOSFET MDL，及P通道型MOSFET MPR與N通道型MOSFET MDR構成的兩個CMOS反相器電路的輸入與輸出，使成門鎖電路形態。在上述門鎖電路的一對輸入輸出節點與一對互補的寫入用位元線BL、BR之間，設有寫入用字元線MWWD連接在閘極的N通道型MOSFET MTL、MTR。

配設N通道型MOSFET MN1及MN2的串聯電路做為讀出系列電路。上述MOSFET MN2的閘極向上述門鎖電路的一方的輸入輸出節點供應保持電壓，向源極供應接地電位。上述MOSFET MN1的汲極連接在讀出用位元線BB，閘極連接在讀出用字元線MWD。

為了資訊保持動作的穩定化與讀出動作的高速化，本實施例使構成讀出電路的N通道型MOSFET MN1與MN2的臨界值電壓，較構成上述門鎖電路的N通道型MOSFET MDL、MDR、MTL、MTR及P通道型MOSFET MPL、MPR的臨界值電壓小。

例如，半導體積體電路裝置是由：構成輸入輸出電路的因高耐壓化等而有厚閘極絕緣膜的高臨界值電壓的MOSFET；具有構成內部電路的薄形閘極絕緣膜，使用在慢速信號通路的中臨界值電壓的MOSFET；使用在高速信號通路的低臨界值電壓的MOSFET的3種MOSFET，所構成。

構成上述門鎖電路的N通道型MOSFET MDL、MDR、

(13)

MTL、MTR與P通道型MOSFET MPL、MPR，具有上述中等臨界值電壓。對此，構成上述讀出電路的N通道型MOSFET MN1及MN2則是，在高速通路使用的低臨界值電壓。

爲了達成讀出動作的進一步高速化，上述讀出電路的串聯MOSFET MN1與MN2，是將連接於位元線BB的MOSFET MN1的尺寸(通道寬度)縮小，在閘極接受保持電壓的MOSFET MN2則形成爲相對大的尺寸(通道寬度)。在上述記憶格，對分配給串聯電路的佔用面積，由於將MOSFET MN1與MN2的尺寸如上述分配成互異，可以減少連接在位元線的MOSFET MN1的汲極雜散電容，減少位元線負載容量，同時因使上述MOSFET MN2的尺寸較大，藉此可以獲得較大的記憶電流。

第7圖是表示本發明的記憶電路之一實施例的整體方塊圖。記憶器陣列在字元線的延長方向設有，對應資料位元0 ~ 31的記憶單元，或記憶塊DB0 ~ DB31。同時，在字元線的延長方向的中央部，以夾著位元線預充電電路BPC、局部放大器LAMP、寫入驅動器WDV及輸出電路DOC、輸入電路DIC狀，分割成兩個(上側U及下側D)記憶格陣列MCAU、D。

上述輸出電路DOC對應資料輸出端子Q0，上述輸入電路DIC則對應資料輸入端子D0。上述1個輸出電路DOC分配有4個局部放大器LAMP。這種局部放大器LAMP是連接在上述分開成上下的記憶格陣列MCAU與MCAD的讀出位元線。對應上述資料輸出端子Q0、資料輸入端子D0分別分配4

(14)

條的讀出用位元線，行位址是 0 ~ 3。分成上下的位元線分別連接有 32 個記憶格。輸入電路 DIC 的輸出信號 wdl、wdr 被傳送至，分別對應上述上下分配的寫入用的位元線對配設的寫入驅動器 WD。

上側的記憶器陣列的讀出用字元線 MWD31 ~ 0，是藉由上述 X 讀出解碼器 & 驅動器 RXDVU($\times 32$) 分別選擇，寫入用字元線 MWWD31 ~ 0 則是由上側的寫入解碼器 & 驅動器 WXDVU($\times 32$) 選擇。下側的記憶器陣列的讀出用字元線 MWD63 ~ 32，是由下側的讀出解碼器 & 驅動器 RXDVD($\times 32$) 選擇，寫入用字元線 MWWD63 ~ 32 則由下側的寫入解碼器 & 驅動器 WXDVD($\times 32$) 加以選擇。

讀出用位址 AR(0) 與 (1)，是經由讀出 Y 位址緩衝器 RYAB 供給讀出 Y 解碼器 & 驅動器 RYDV，在此生成上述行選擇信號 YR0_N ~ RY3_N。同樣地，寫入用位址 AW(0) 與 (1)，是經由寫入 Y 位址緩衝器 WYAB 供給寫入 Y 解碼器 & 驅動器 WYDV，在此生成寫入驅動器 WD 的活性化信號。

讀出用位址 AR(2) ~ (7) 中，最上位位元的位址 AR(7)，是經由讀出 Y 位址緩衝器 RYAB，當作上側或下側的任一方的字元線選擇信號使用，下位 (2) ~ (6) 的 5 位元的位址 AR(6 - 2)，則是為了經由讀出 X 位址緩衝器 RXAB 形成 1 / 32 的選擇信號，而供給上下的解碼器 & 驅動器 RXDVU / D。同樣地，寫入用位址 AW(2) ~ (7) 中，最上位位元的位址 AW(7)，是經由寫入 Y 位址緩衝器 WYAB，當作上側或下側的任一方的字元線選擇信號使用，下位 (2) ~ (6) 的 5 位元的

(15)

位址 $AW(6 - 2)$ ，則爲了經由寫入 X 位址緩衝器 $WXADB$ 形成 $1 / 32$ 的選擇信號，而供給上下的解碼器 & 驅動器 $WXDVU / D$ 。

藉此，可以獨立進行讀出動作與寫入動作，而在各記憶單元或記憶塊，從 $32 \times 2 \times 4$ 中選擇 1 個記憶格，32 個記憶單元或整個記憶塊選擇 32 個記憶格，記憶電路則可以 32 位元單位獨立讀出或寫入資料。

第 8 圖是表示本發明的記憶電路之一實施例的整體布置圖。本實施例對應上述第 7 圖的實施例。記憶器陣列在字元線的延長方向分割爲 2，位元線的延長方向也分割爲 2。在上述字元線的延長方向的中央部，亦即上述 32 個記憶單元或記憶塊分成各 16 個，在中央部分配置 X 解碼器 & 驅動器 ($XDVU =$ 上述 $RXD VU / D$ 及 $WXDVU / D$)。在位元線的延長方向的中央部設有：局部放大器 $LAMP$ 、寫入驅動器 WDV 、輸出電路 DOC 、輸入電路 DIC 。同時，上述預充電電路 BPC 也設在此。

由於是如上述在字元線的延長方向的中間部配置 X 解碼器 & 驅動器，可以使從驅動器所看的字元線的長度減半，使字元線的選擇動作更快速。同時，在記憶塊的中央部配設：行解碼器 & 驅動器 YDV 、時鐘脈衝電路 CLK 、位址緩衝器 ADB 、時鐘脈衝電路 CLK 及控制電路 $CONT$ 。

第 9 圖是放大第 8 圖的中央部分之一實施例的布置圖，在該圖，以例示方式一併表示與其相關連的 X 解碼器 & 驅動器 $XDVU(RXD VU + WXDVU)$ ，與記憶器陣列 $MCAU(L)$ 、局

(16)

部放大器 LAMP 或輸出電路 DOC、輸入電路 DIC 及寫入驅動器 WD(U、D)的一部分。上述的行(Y)解碼器 & 驅動器 YDV、位址緩衝器 ADB、控制電路 CONT。

第 10 圖是放大第 8 圖的中央部分之一實施例的布置圖，在本實施例，X 解碼器 & 驅動器 XDV 的讀出用 RXDV 與寫入用 WXD 是沿著字元線之排列，分成左右配設，與之相對應，位址緩衝器也是讀出用與寫入用的 ADB 分開配設。同樣地，行解碼器 & 驅動器 YDV 也是將讀出用 RYDV 與寫入用 WYDV 左右分開配置。但是，此等讀出用與寫入用的解碼器 & 驅動器分別是可以同時選擇，將 1 個選擇信號左右分割(個 16 位元)之記憶器陣列的字元線及行選擇線。

第 11 圖是表示搭載於本發明的半導體積體電路裝置的記憶電路之其他一實施例的電路圖。該圖例示有記憶器陣列部及設在位元線的局部放大器，這種局部放大器的輸出信號是傳送到上述第 2 圖所示的包含主放大器的輸出電路。本實施例的記憶電路也是構成，具有如後述的微電腦功能的搭載於大規模積體電路的高速巨大 ROM。

成矩陣狀配置在複數條字元線與複數條位元線交點的複數個記憶格 MC，是由 1 個 N 通道型 MOSFET MN1 所構成。MOSFET MN1 是構成所謂掩罩 ROM 者，閘極是連接在字元線 MWD。而源極 - 汲極的一方是連接在位元線 BB，源極 - 汲極是對應記憶資訊連接至接地電位或電源電壓。

藉此，構成記憶格的 N 通道型 MOSFET MN1 是取，對字元線 MWD 的選擇位準，對應記憶資訊要不要流通記憶電

(17)

流的 2 值。上述記憶資訊的設定也可以在製造過程製成，MOSFET MN1 的閘極是否要連接在字元線，或汲極是否要連接在位元線，或者，對字元線的選擇位準，是否要將 MOSFET MN1 的臨界值電壓形成為較大的電壓(導通狀態／截斷狀態)的任一方。

除了上述記憶格的構造外，其他架構是與上述第 1 圖的實施例相同。亦即，在位元線設位元線預充電電路 BPC。例如，位元線 BB0U 的讀出信號是由局部放大器(或感測放大器)LAMP 加以放大。局部放大器 LAMP 是由兼有行選擇電路功能的反轉放大電路所構成。上述位元線 BB0U 傳至 P 通道型 MOSFET MP2 的閘極，此 MOSFET MP2 的汲極與源極則設有，藉由行選擇信號 YR0_N 轉接控制的 P 通道型 MOSFET MP1 與 N 通道型 MOSFET MN3。在這種掩罩型 ROM，若使用上述說明的本案發明的局部放大器／主放大器，便能夠進行高速的讀出動作。

第 12 圖是表示本發明的記憶格之其他一實施例的電路圖。本實施形態的目標是記憶容量的擴充。亦即，對具備有如上所述的由複數個記憶電路 BLOCKA、B 進行資料門鎖之正反器電路 DFF 的整體輸出電路 GDOC，在位元線方向縱方向堆疊。藉此，可以對應記憶塊(BLOCK)數目增大記憶容量。

這種架構是，在所例示的各記憶塊 BLOCKA 與 B，配設接受上述局部放大器 LAMP 的輸出信號的第 1 主放大器 MA1，其輸出節點 B 的信號經由整體位元線，傳至整體輸

(18)

出電路GDOC 的上述局部放大器LAMP，與類似的第2主放大器MA2，而被取入進行資料門鎖的正反器電路DFF。上述記憶塊BLOCKA、B分別設有時鐘脈衝起動端子CKE，可分別進行各記憶塊的選擇動作。在非選擇狀態的記憶塊，若將第1主放大器MA1的輸出信號固定在高位準，上述第2主放大器MA2則放大所選擇者的信號。

這種架構可以向位元線方向擴充記憶器陣列，由於增加擴充數，則可對上述第1圖之實施例1的記憶器電路實現很大的記憶容量。同時，在形成於半導體積體電路裝置的記憶電路，可在巨單元化的記憶電路之端部配置資料輸出端子(資料輸入端子)，資料的輸入輸出很容易。

第13圖是表示本發明之記憶格的另一其他一實施例的電路圖。本實施例是第12圖的實施例的變形例，與上述同樣，對具備有由複數個記憶電路BLOCKA、B進行資料門鎖的正反器電路DFF的整體輸出電路GDOC，在位元線方向縱向堆疊。

本實施例是，整體位元線共同連接在上述縱向堆疊的複數個記憶塊BLOCKA、B等之第1主放大器MA1的輸出端子。因此，各記憶器BLOCKA、B等的第1主放大器MA1的輸出部設有3狀態輸出電路。亦即，以非選擇的記憶塊的輸出成為高阻抗，在整體位元線則傳送選擇的記憶器塊的輸出信號。在這種架構，整體輸出電路GDOC可以用單純的反相電路構成第2主放大器MA2。

第14圖是表示本發明的半導體積體電路裝置的一實施

(19)

例的整體架構圖。該圖所示的各電路塊是配合實際的半導體晶片上的幾何學式配置表示。本實施例是由各種運算器、記憶器電路、記憶器控制電路及匯流排控制電路等所構成。

爲了要能配合運算器 ALU 或 FPU(Floating Point Unit) 的動作速度進行高速的資料寫入或讀出，在該等的周邊配置上述的高速 RAM。對此，在半導體晶片的下部配置備有由 6 個 MOSFET 構成的記憶格 MC 的單埠 SRAM。此等記憶器電路(單埠的 SRAM)是被當作不太需要高速動作的記憶器電路使用。動作是較上述 8MOS 記憶格構成的單埠 SRAM 慢，但其反面，如果是相同面積，則可以使記憶容量較大，因此被用作保持運算結果等的資料區域。

上述各電路塊是對應其各自的功能以不同的臨界值電壓的 MOSFET 構成。例如，被要求有高耐壓等的輸入輸出電路 IO 是高臨界值電壓 V_H ，被要求有高速通路的運算器 ALU、FPU、時鐘脈衝電路與 8 個 MOSFET 構成的 2 埠 SRAM 的記憶器電路 HSRAM、由 6 MOSFET 構成的單埠 SRAM 的 6MCSRAM，則是低臨界值電壓 V_{LL} ，其餘的指令單元 IU(Instruction Unit)、位址暫存器 ADR、或程式記數器 PC 等則是中臨界值電壓 V_{LH} 。單埠 SRAM(HSRAM)的記憶容量較 2 埠 SRAM(6MCSRAM)的記憶容量大。

再詳細說明如下。本發明的上述高速記憶器 HSRAM 是如上述第 1 圖的實施例所示，讀出系統的兩個 MOSFET MN1、MN2 是低臨界值電壓 V_{LL} ，其餘是中臨界值電壓

(20)

VLH。而，使用 6MOS 記憶格的 SRAM，閃鎖電路的 MOSFET 是中臨界值電壓 VLH，位址選擇用的 MOSFET 是低臨界值電壓 VLL。

第 15 圖是表示本發明的半導體積體電路裝置的其他一實施例的整體架構圖。該圖所示的各電路塊是配合實際的半導體晶片上的幾何學的配置表示。本實施例也是由：各種運算器、記憶電路、記憶器控制電路及會流排控制電路等，所構成。

爲了要能配合運算器 ALU 或 FPU (Floating Point Unit) 的動作速度進行高速的資料的寫入或讀出，在該等的周邊配置上述的高速 RAM。對此，在半導體晶片的上下部配置備有使用動態型記憶格的 DRAM。此等記憶電路是被當作不太需要高速動作的記憶器電路使用。動作是較慢，但其反面，如果是相同面積，則可以使記憶容量較大，因此被用作保持運算結果等的資料區域。DRAM 的記憶格含有 N 通道型的 MOS 電晶體。

上述各電路塊是對應其各自的功能以不同的臨界值電壓的 MOSFET 構成。與上述同樣，被要求有高耐壓等的輸入輸出電路 IO 是高臨界值電壓 VH，被要求高速通路的運算器 ALU、FPU、時鐘脈衝電路與高速 RAM 是低臨界值電壓 VLL，其餘的指令單元 IU (Instruction Unit)、位址暫存器 ADR、及 DRAM 的記憶格部則是中臨界值電壓 VLH。但在高速 RAM 則與上述第 1 圖的實施例一樣，讀出系統的 MOSFET 是低臨界值電壓 VLL，其餘則是中臨界值電壓 VLH。

(21)

第 16 圖是表示本發明的記憶電路的局部放大器之另一實施例的電路圖。本實施形態的局部放大器附加有可以選擇動態動作與靜態動作的兩種放大動作的功能。在該圖，用虛線所圍的電路是構成在上述第 1 圖等所用的動態型電路。對此等電路，則追加下述的 N 通道型 MOSFET MN10 ~ MN14。

MOSFET MN11 與 MN12 及 MN13 與 MN14 分別成串聯，經由 MOSFET MN10 對上述 MOSFET MN3 成並聯連接的形態。對此等串聯的 MOSFET MN 11、MN12 及 MN13、MN14 的各閘極，供應有位元線 BB0U 及 BB0D。雖不特別限定，但位元線 BB0U 與 BB0D 對 MN11、MN12 及 MN13、MN14 的閘極成交叉連接。

在 MOSFET MN10 的閘極供應有控制信號 CNTL。控制信號 CNTL 在低位準時，MOSFET MN10 成為截斷狀態，因此上述以虛線表示的動態型電路動作，進行如上述的動態動作。指示靜態動作時，控制信號 CNTL 成為高位準，使 MOSFET MN10 成為導通狀態。藉此，對上述 MOSFET MN3，將上述 MOSFET MN10 與 MN11、MN12 或 MN10 與 MN13、MN14 連接成並聯狀態。

上述 MOSFET MN10 在導通狀態時，例如上側的位元線 BB0U 獲得讀出信號時，下側的位元線 BB0D 維持高位準，因此 MOSFET MN12 與 MN13 是在導通狀態。因此，位元線 BB0U 的讀出信號將對 P 通道型 MOSFET MP2，由 N 通道型

(22)

MOSFET MN11、MN14加以放大。嚴格來講，可獲得對應上述MN10 ~ MN14的合成電導與MP2的電導的比的輸出信號，但電導之回應輸入信號的變化，是如上述由P通道型MOSFET MP2與N通道型MOSFET MN11、MN14而定。

上述MOSFET MN10在導通狀態時，例如下側的位元線BB0D獲得讀出信號時，上側的位元線BB0D維持高位準，因此MOSFET MN11與MN14是在導通狀態。因此，位元線BB0D的讀出信號將對P通道型MOSFET MP2，由N通道型MOSFET MN12、MN13加以放大。如上述，使兩組串聯電路MN11、MN12與MN13、MN14成為並聯狀態，以交叉方式供應位元線BB0U、BB0D，藉此，不論對那一方的位元線BB0U、BB0D的信號，均可使N通道型MOSFET側的電導等量變化，可以進行穩定的靜態型放大動作。

第17圖是表示本發明的記憶電路的局部放大器之再一實施例的電路圖。本實施形態的局部放大器附加有可以選擇動態動作與靜態動作的兩種放大動作的功能。在該圖，用虛線所圍的電路是構成在上述第1圖等所用的動態型電路。對此等電路，則追加下述的N通道型MOSFET MN20 ~ MN28及P通道型MOSFET MP20。

在MOSFET MN20的閘極供應有控制信號CNTL。控制信號CNTL在低位準時，MOSFET MN20成為截斷狀態，因此，上述以虛線表示的動態型電路動作，進行如上述的動態動作。指示靜態動作時，控制信號CNTL成為高位準，使MOSFET MN20成為導通狀態。藉此，對上述MOSFET

(23)

MN3，將上述 MOSFET MN20與 MN21連接成並聯狀態。

爲了使其選擇位元線 BB0U或 BB0D的任一方時，均可供給同樣的放大信號，在上述 MOSFET MN21的閘極設有下列電路。MOSFET MN22與 MN23及 MN24與 MN25分別成串聯，各該閘極連接交叉的位元線 BB0U與 BB0D。藉此，位元線 BB0U、D的電壓將通過 MOSFET MN22、MN23及 MN24、MN25，以源極隨動型態傳至上述 N通道型 MOSFET MN21的閘極。

上述源極隨動型態的 MOSFET MN22、MN23或 MN24、MN25的共同化的源極輸出部，成串聯設有：位準移位用的二極體連接的 N通道型 MOSFET MN26；當作負載動作的 N通道型 MOSFET MN27及當作電力開關的 MOSFET MN28。在上述 MOSFET MN28的閘極供應有上述控制信號 CNTL，靜態型動作時，MOSFET MN28成爲導通狀態。

行選擇信號 YR0_N由反相器電路 IV2加以反轉，傳至 MOSFET MN27的閘極。亦即，對應被選擇的位元線的局部放大器 LAMP的 MOSFET MN27成爲導通狀態，上述位元線 BB0U、D的讀出信號因源極隨動器輸出動作，傳至上述 N通道型 MOSFET MN21的閘極。藉此，位元線 BB0U、D的電壓傳至 P通道型 MOSFET MP2或 MP3，及 N通道型 MOSFET MN21，進行與上述同樣的靜態放大動作。

P通道型 MOSFET MP20的行選擇信號 YR0_N在非選擇狀態時成爲導通狀態，將源極隨動器輸出節點，亦即將 N通道型 MOSFET MN21的閘極，預充電至，與位元線 BB0U

(24)

、D的預充電電壓相同的電源電壓。二極體連接的MOSFET MN26是用以防止，MOSFET MN21的閘極電壓在開始放大動作時過度下降。

以上，依據實施例具體說明由本發明人所完成的發明，但本發明並不限定如上述實施例，當然可以在不脫離其主旨的範圍內做各種變更。例如，記憶格也可以同樣適用於可電氣方式寫入之可程式化ROM。以上之說明，主要是說明將本發明人所完成的發明，應用在成為其背景的利用領域，內部設有複數個RAM的例如微處理機的LSI之情形，但本發明不限定如此，可以廣泛利用在，備有包含以層次方式讀出記憶電路的信號之電路的半導體積體電路裝置。

〔發明效果〕

茲簡單說明，可由本案所揭示的發明中具代表性者獲得之效果如下。因為配設：包含有，對分別連接上述記憶格的複數條位元線分別供給閘極，在供給此等位元線的預充電電壓下維持成截斷狀態之第1導電型的第1 MOSFET，對應上述位元線的選擇信號成為動作狀態的第1放大電路；及包含有，分別在閘極供應這種第1放大電路的複數個放大信號，連接成並聯形態的複數個第2導電型的第2 MOSFET，可形成對應上述第1放大電路之放大信號的第2放大電路，而得實現高速化、定時設定之容易化、定時餘量的削減及擷取時間的提高。

(25)

由於如上述藉由動態電路化改善電路動作的延遲，及採用如上述的組合N通道型MOSFET與P通道型MOSFET的多米諾電路，藉此可以迴避誤動作，而得削減定時餘量。由於在上述讀出系統電路所具有的8MOSFET(雙埠)記憶器，組合6MOSFET的單埠SRAM或DRAM，因而可以獲得搭載高速記憶器與大容量記憶器之很好使用的半導體積體電路裝置。

【圖式的簡單說明】

第1圖是表示搭載於本發明的半導體積體電路裝置的記憶電路，其一部分的一實施例之電路圖。

第2圖是表示搭載於本發明的半導體積體電路裝置的記憶電路，其餘的一部分的一實施例之電路圖。

第3圖是合併第1圖與第2圖的整體電路圖。

第4圖是說明本發明記憶電路的動作之一個例子的定時圖。

第5圖是第3圖之實施例的記憶電路之讀出路徑的等效電路圖。

第6圖是表示本發明記憶格的一實施例的電路圖。

第7圖是表示本發明的記憶電路的一實施例的整體方塊圖。

第8圖是表示本發明記憶電路的一實施例的整體布置圖。

第9圖是放大第8圖的中央部分之一實施例的布置圖。

(26)

第 10 圖是放大第 8 圖的中央部分、一實施例的布置圖。

第 11 圖是表示搭載於本發明半導體積體電路裝置的記憶電路之其他一實施例的電路圖。

第 12 圖是表示本發明記憶格的其他實施例的電路圖。

第 13 圖是表示本發明記憶格的另一其他實施例的電路圖。

第 14 圖是表示本發明半導體積體電路裝置的一實施例的整體架構圖。

第 15 圖是表示本發明半導體積體電路裝置的其他實施例的整體架構圖。

第 16 圖是表示本發明記憶電路的局部放大器之另一實施例的電路圖。

第 17 圖是表示本發明記憶電路的局部放大器之再一實施例的電路圖。

第 18 圖是表示在本發明前檢討的放大電路之一個例子的架構圖。

〔圖號說明〕

MC：記憶格

BPC：位元線預充電電路

LAMP：局部放大器

DOC：輸出電路

DIC：輸入電路

WD：寫入驅動器

(27)

MA、MA1、MA2：主放大器

DFF：正反器電路

MCAU、D：記憶格陣列

RXADB、WXDVU、RYADB、WYADB：位址緩衝器

RXDVU／D、WXDVU／D：X解碼器&驅動器

RYDV、WRDV：Y解碼器&驅動器

CONT：控制電路

MP1 ~ MP5、MP2：P通道型 MOSFET

MN1 ~ MN28：N通道型 MOSFET

IV、IV2：反相器電路

肆、中文發明摘要

發明之名稱：半導體積體電路裝置

本發明提供一種備有：可以達成高速化且容易設定定時的記憶電路、高速記憶體與大容量記憶電路之新穎的半導體積體電路裝置。

依據字元線的選擇動作及記憶資訊來判定記憶體電流是否流通之記憶格的讀出電路設有：第1放大電路、及第2放大電路。

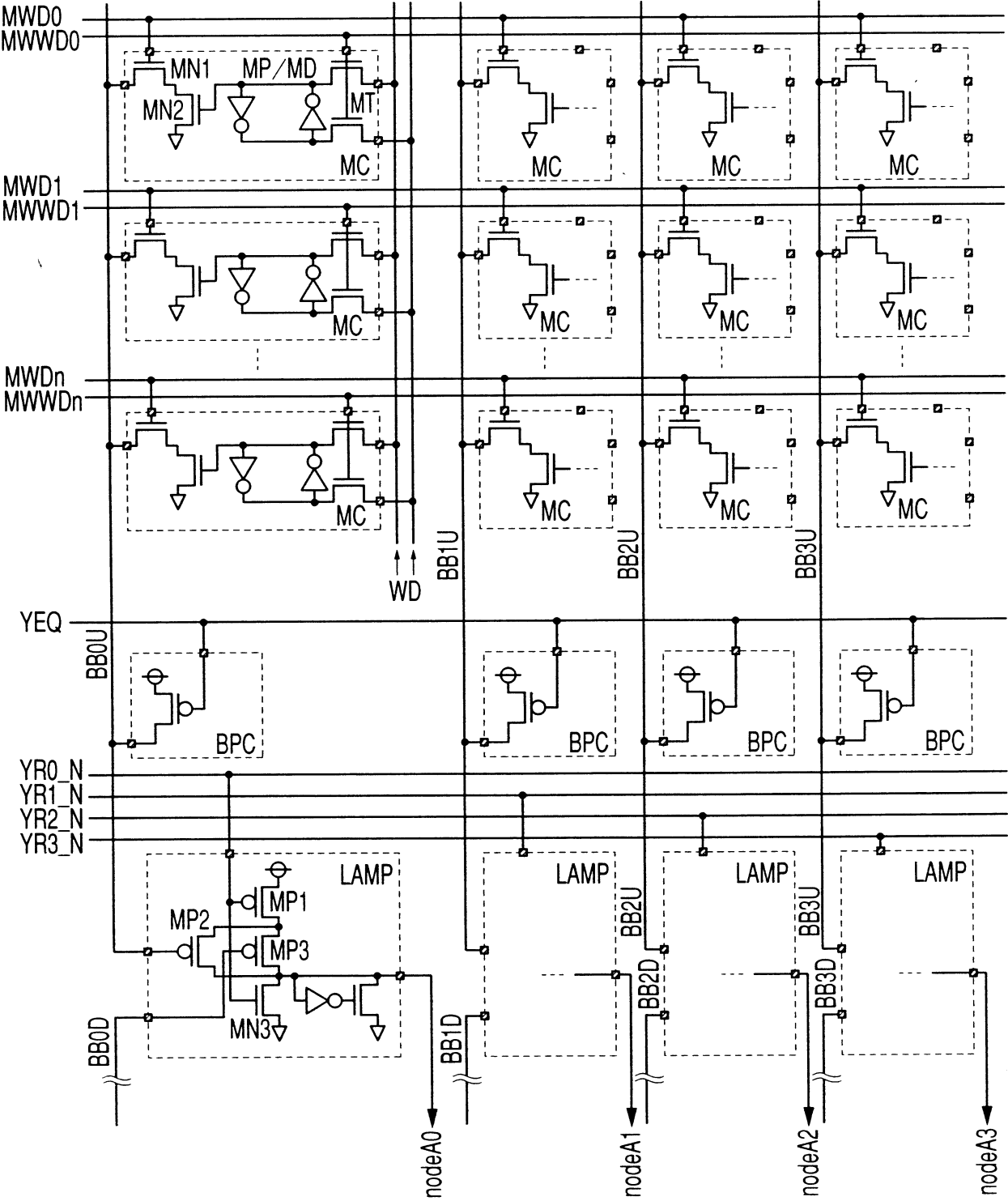
上述第1放大電路包含：分別將閘極供給至每個連接於上述記憶格之複數位元線，並在對相關位元線施加預充電電壓的狀態下維持截斷狀態之第1導電型的第1 MOSFET，且該第1放大回路可根據上述位元線的選擇信號進行作動。

上述第2放大電路包含：分別將相關之第1放大電路的複數個放大信號供給至閘極，並連接成並聯形態之複數個第2導電型的第2 MOSFET，且該第2放大回路可根據上述第1放大回路的放大信號產生放大信號。

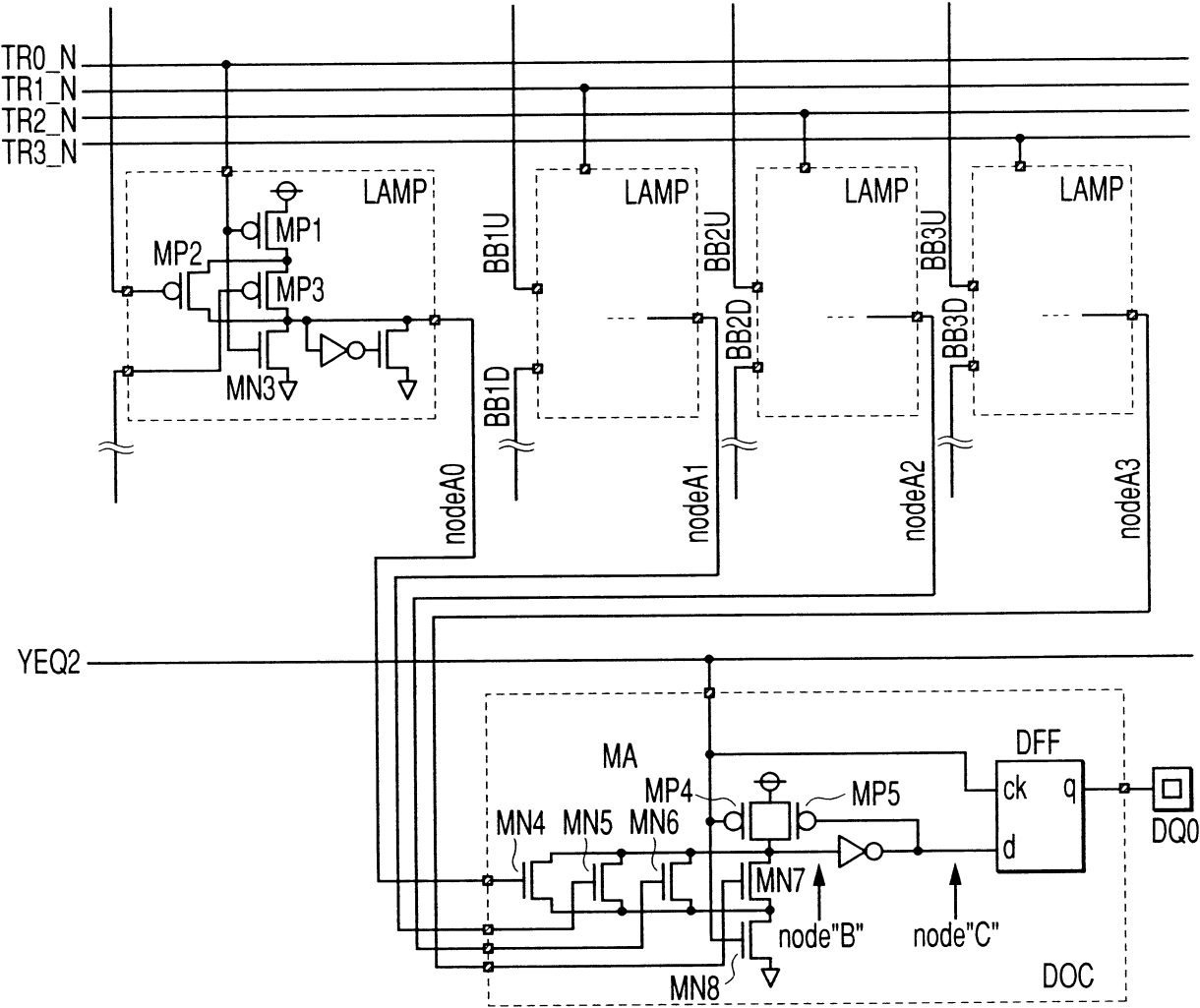
伍、英文發明摘要

發明之名稱：

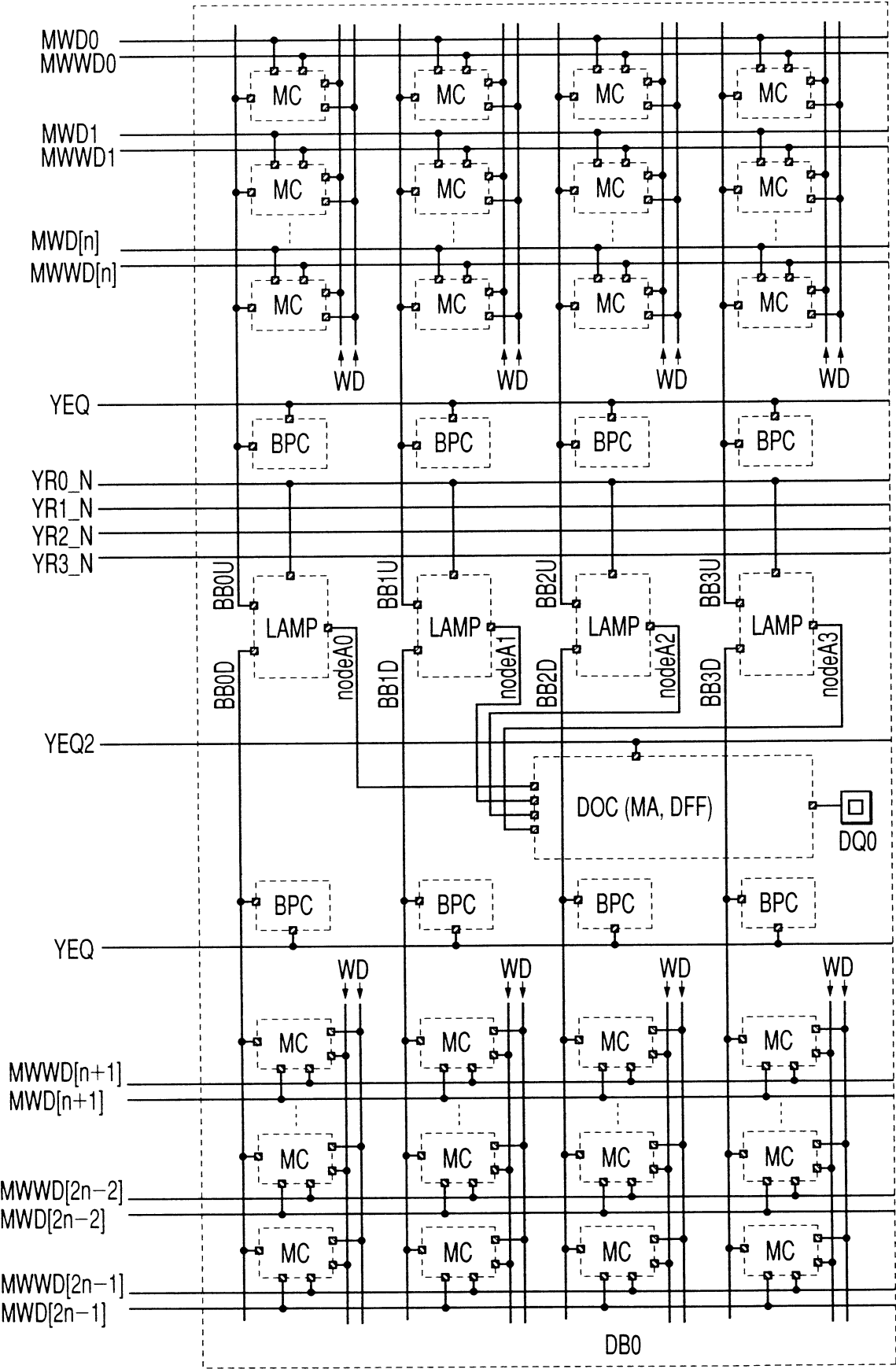
第 1 圖



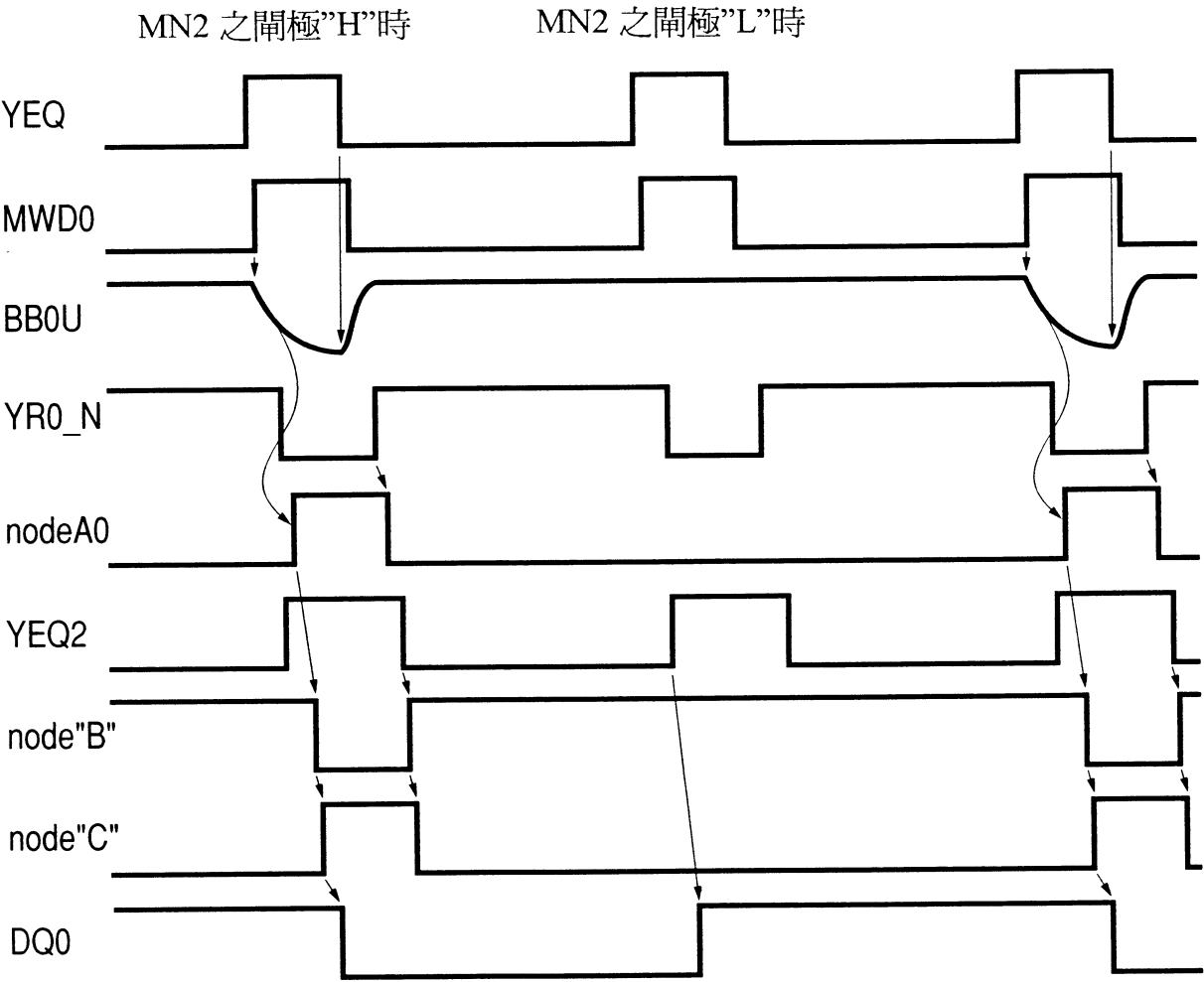
第 2 圖



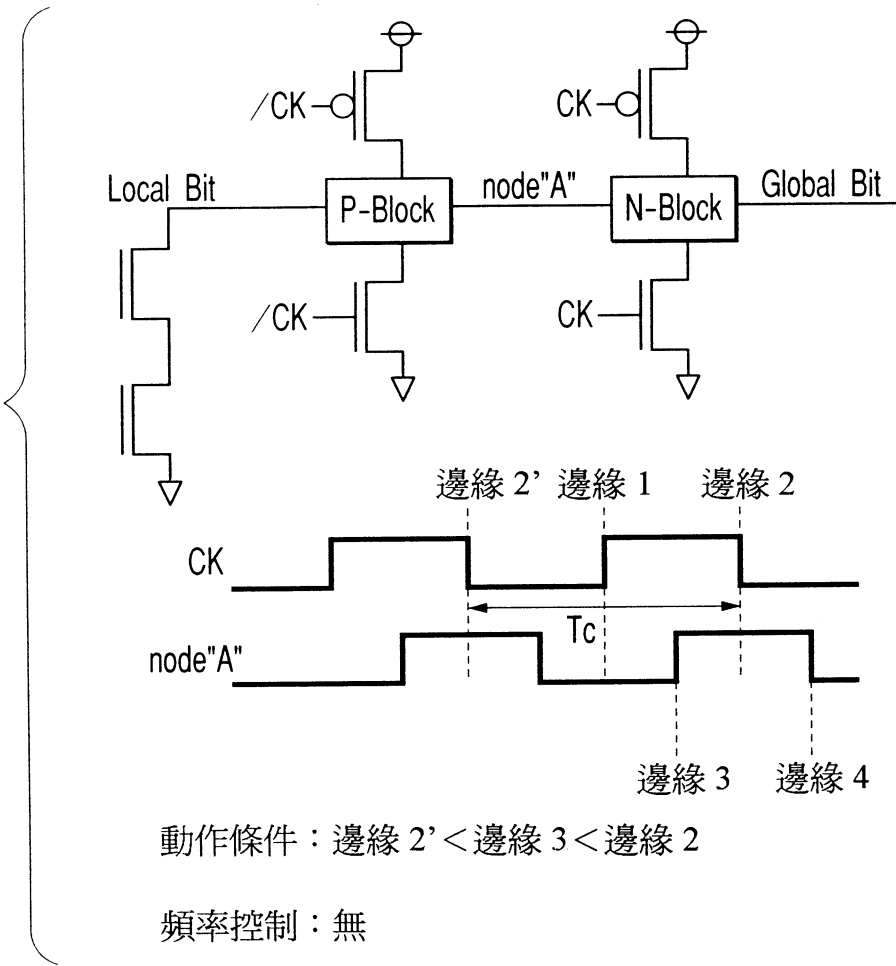
第 3 圖



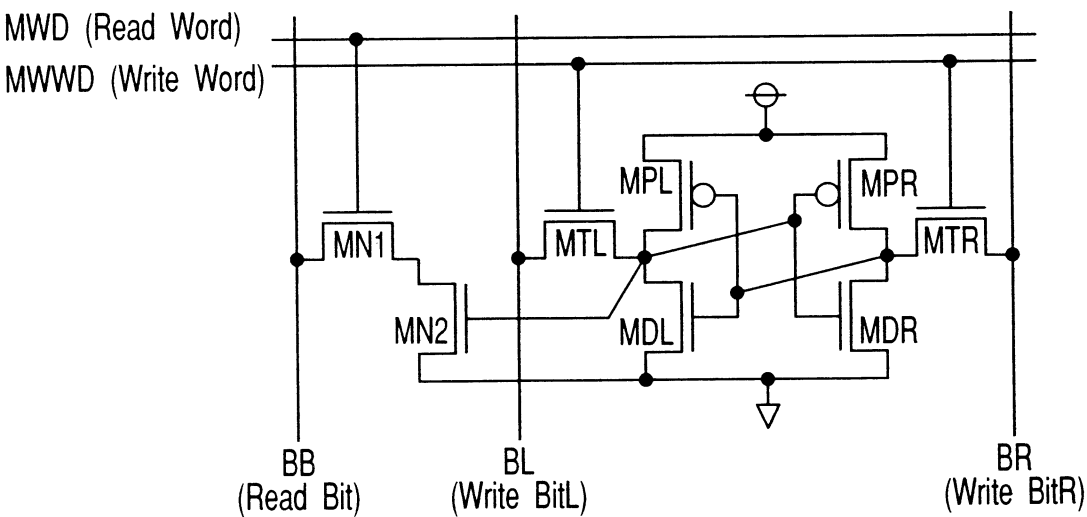
第 4 圖

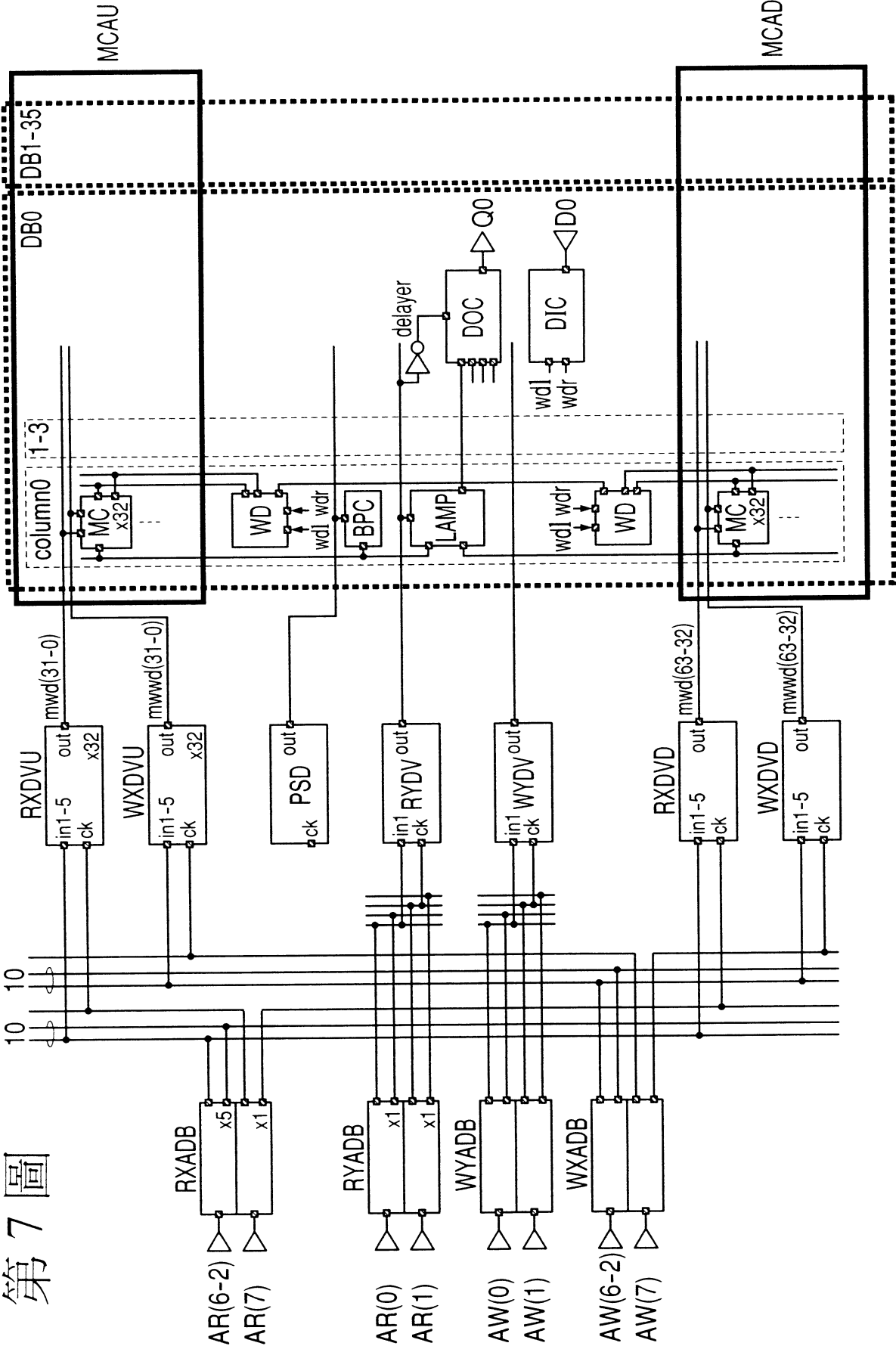


第 5 圖



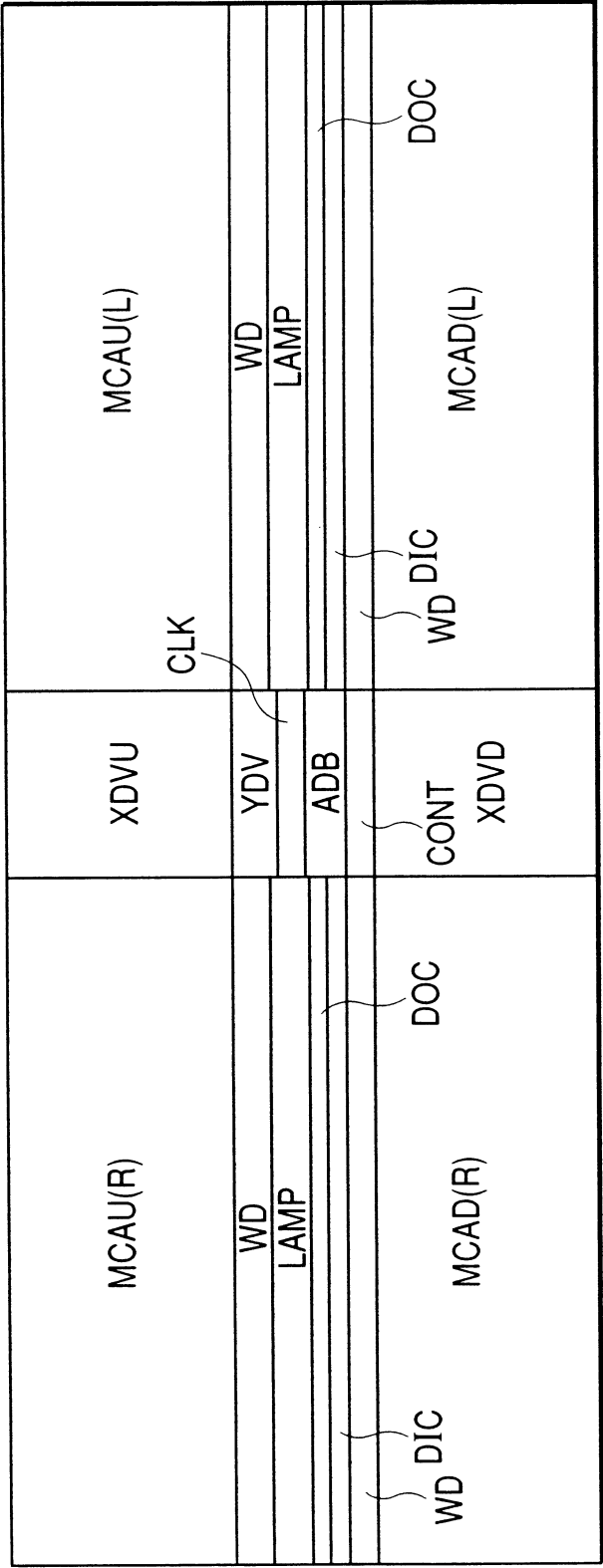
第 6 圖





第 7 圖

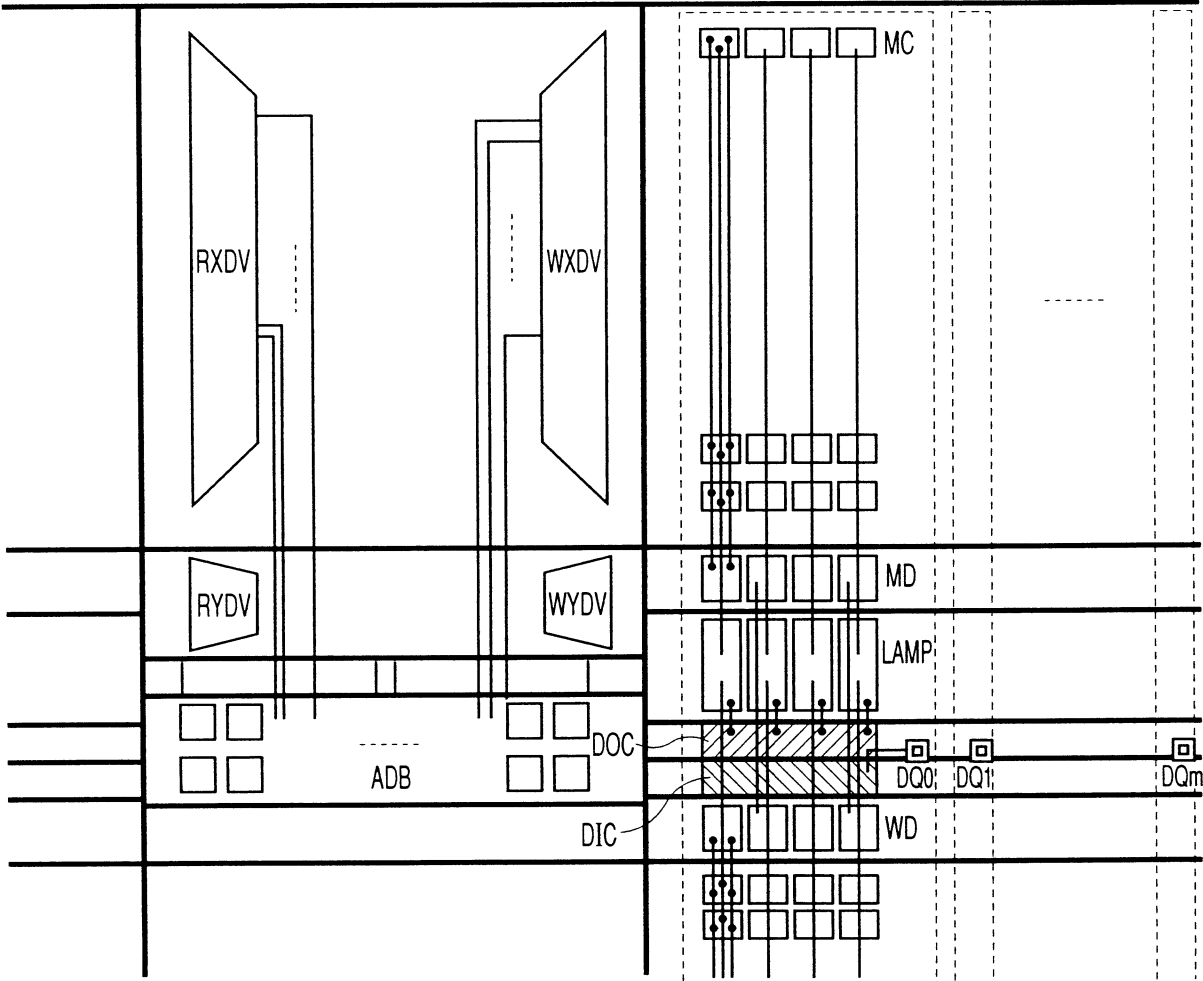
第 8 圖



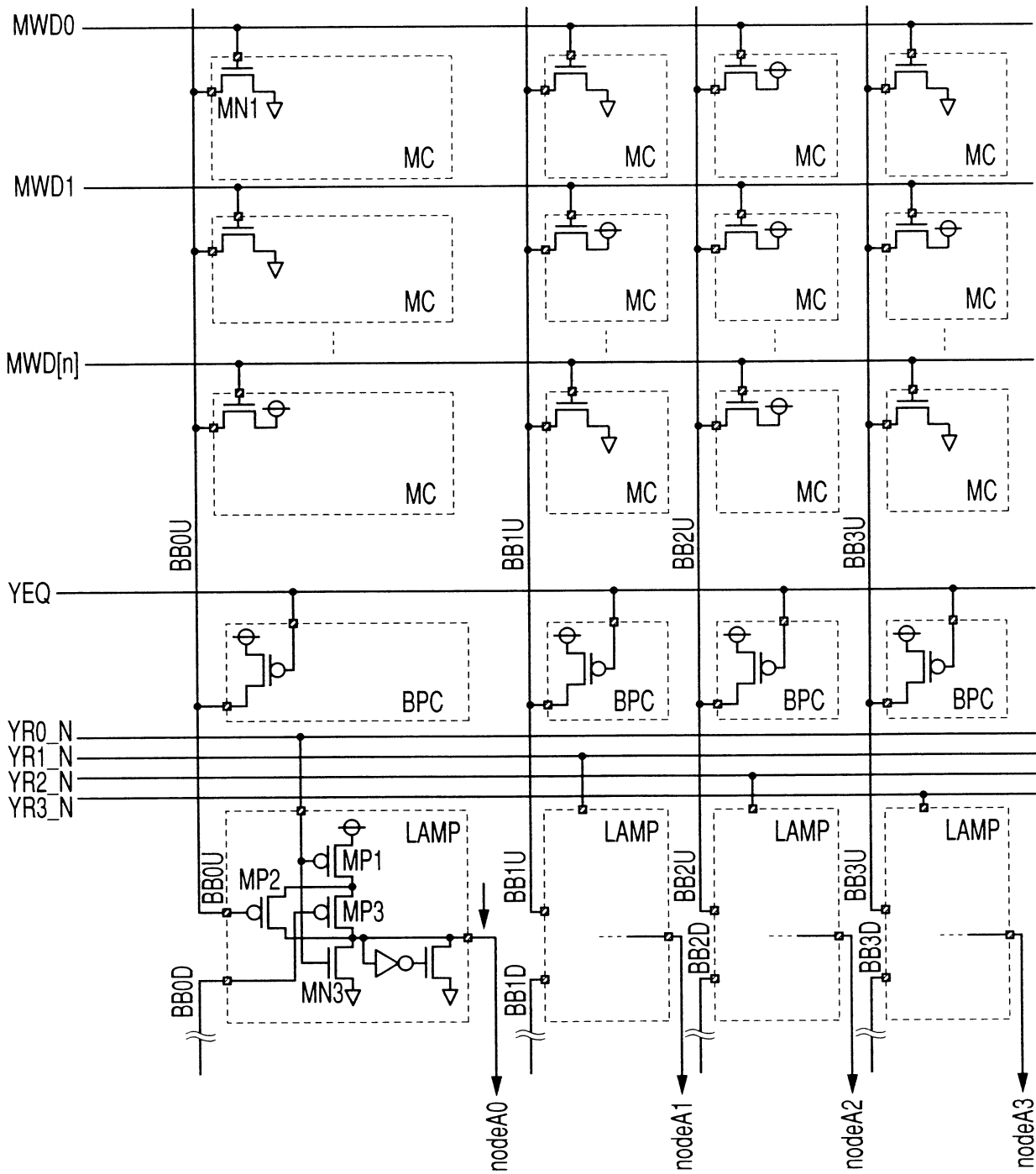
第 9 圖

	XDVU	MCAU(L)
	YDV	WD(U)
	CLK	LAMP
	ADB	DOC
		DIC
	CONT	WD(D)
	XDVD	MCAD(L)

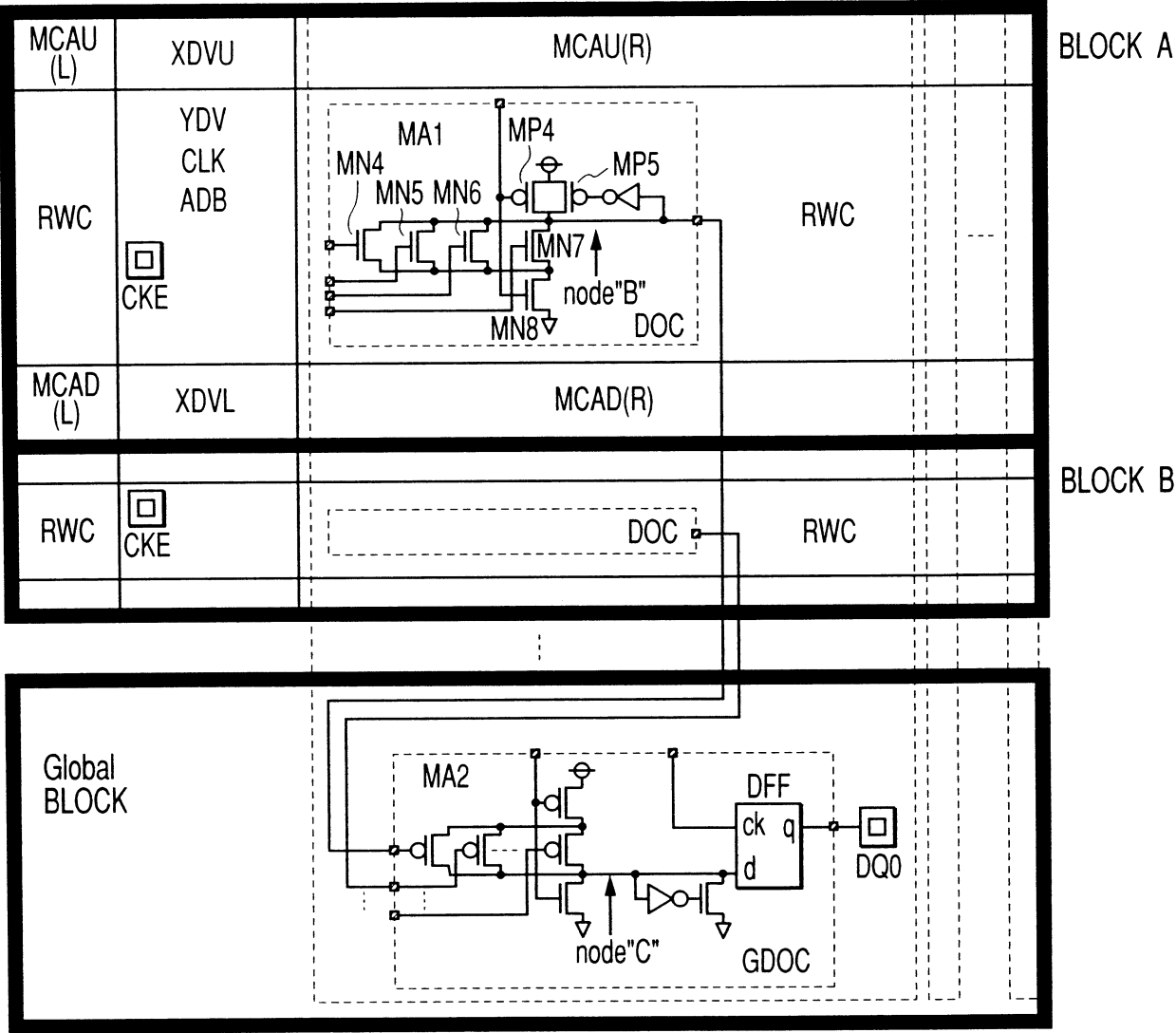
第 10 圖



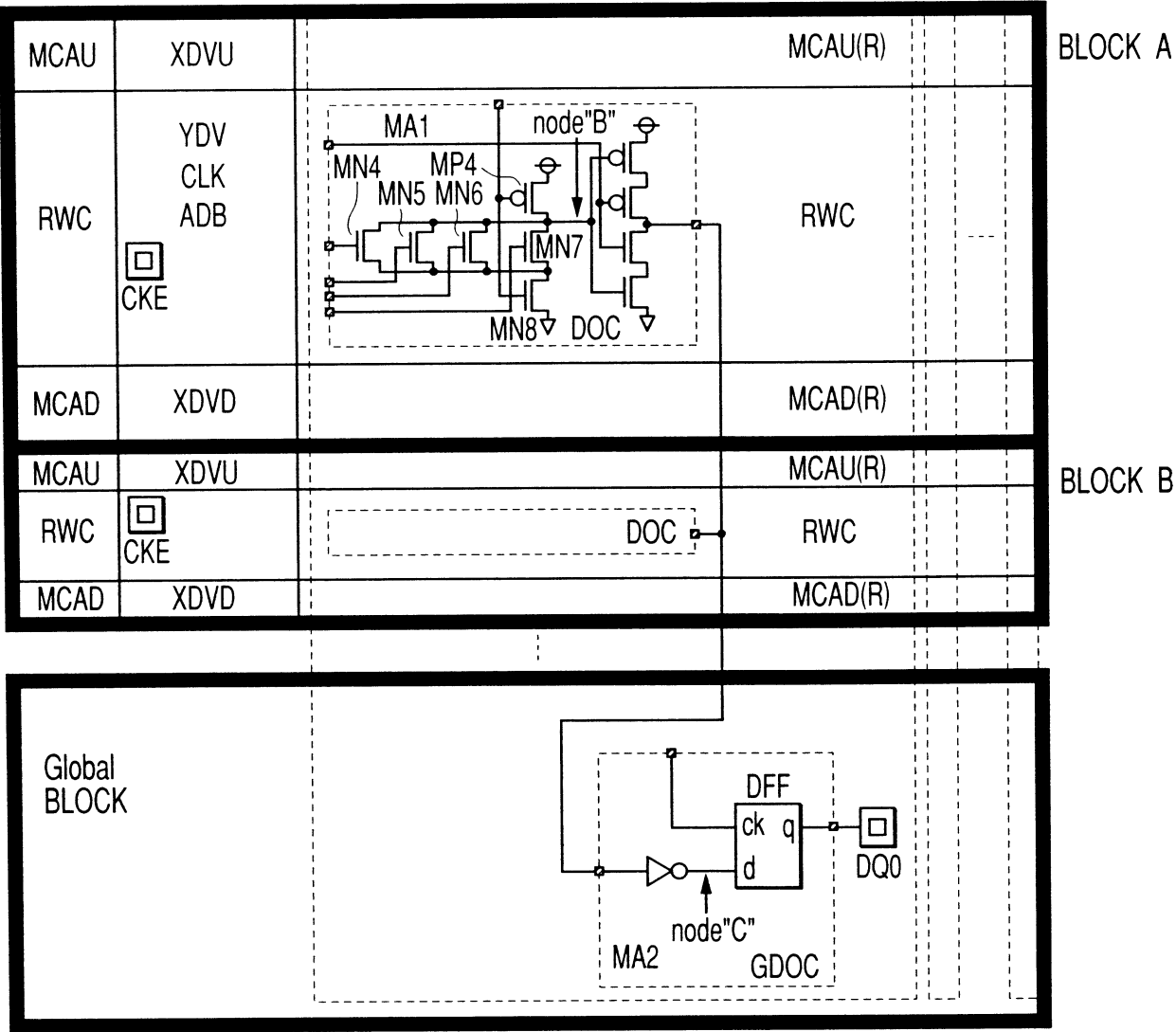
第 11 圖



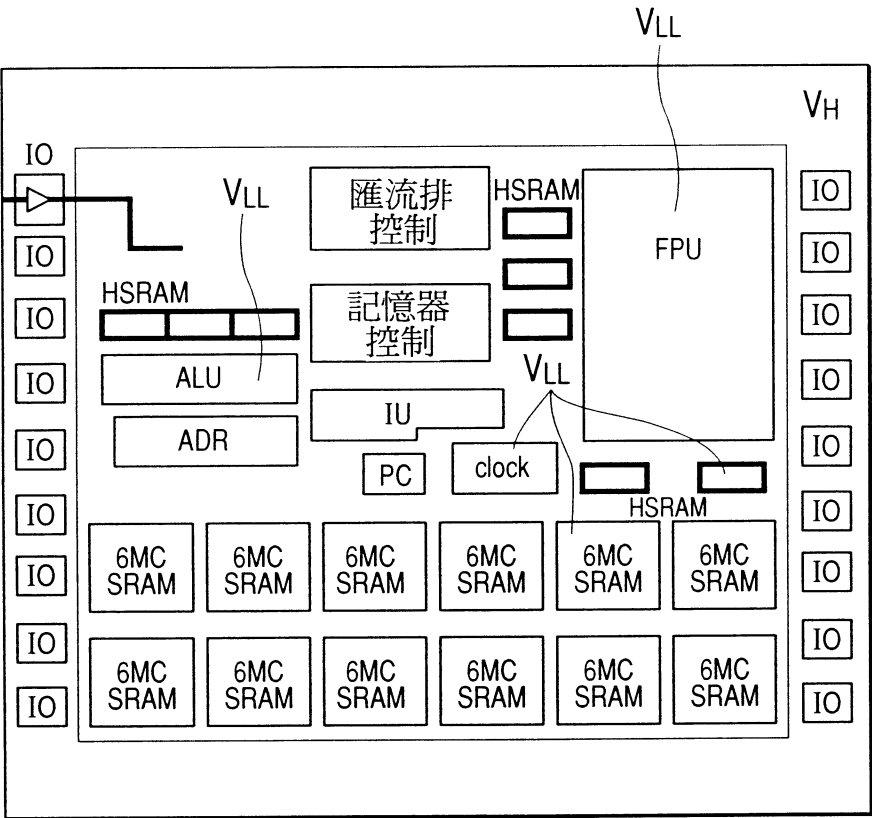
第 12 圖



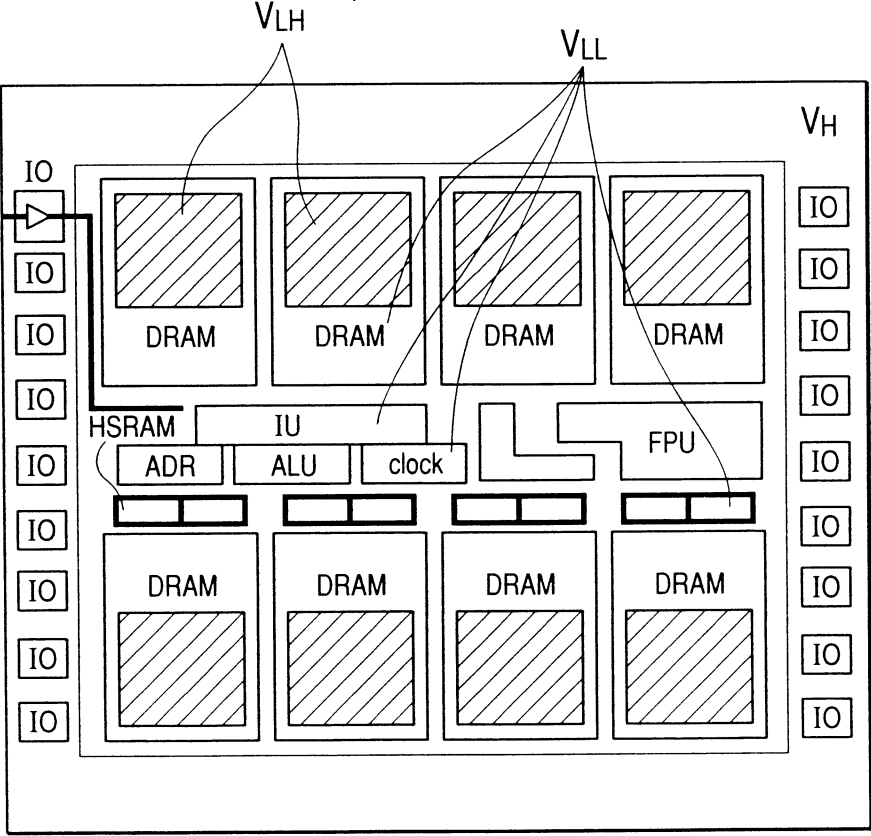
第 13 圖



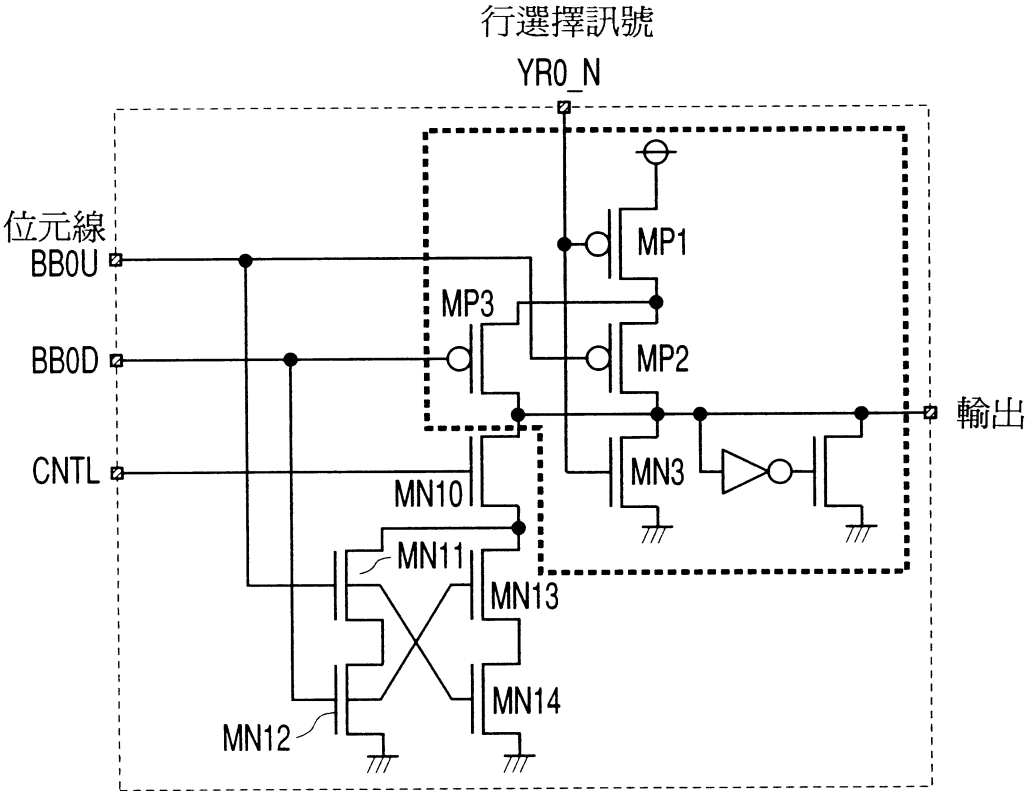
第 14 圖



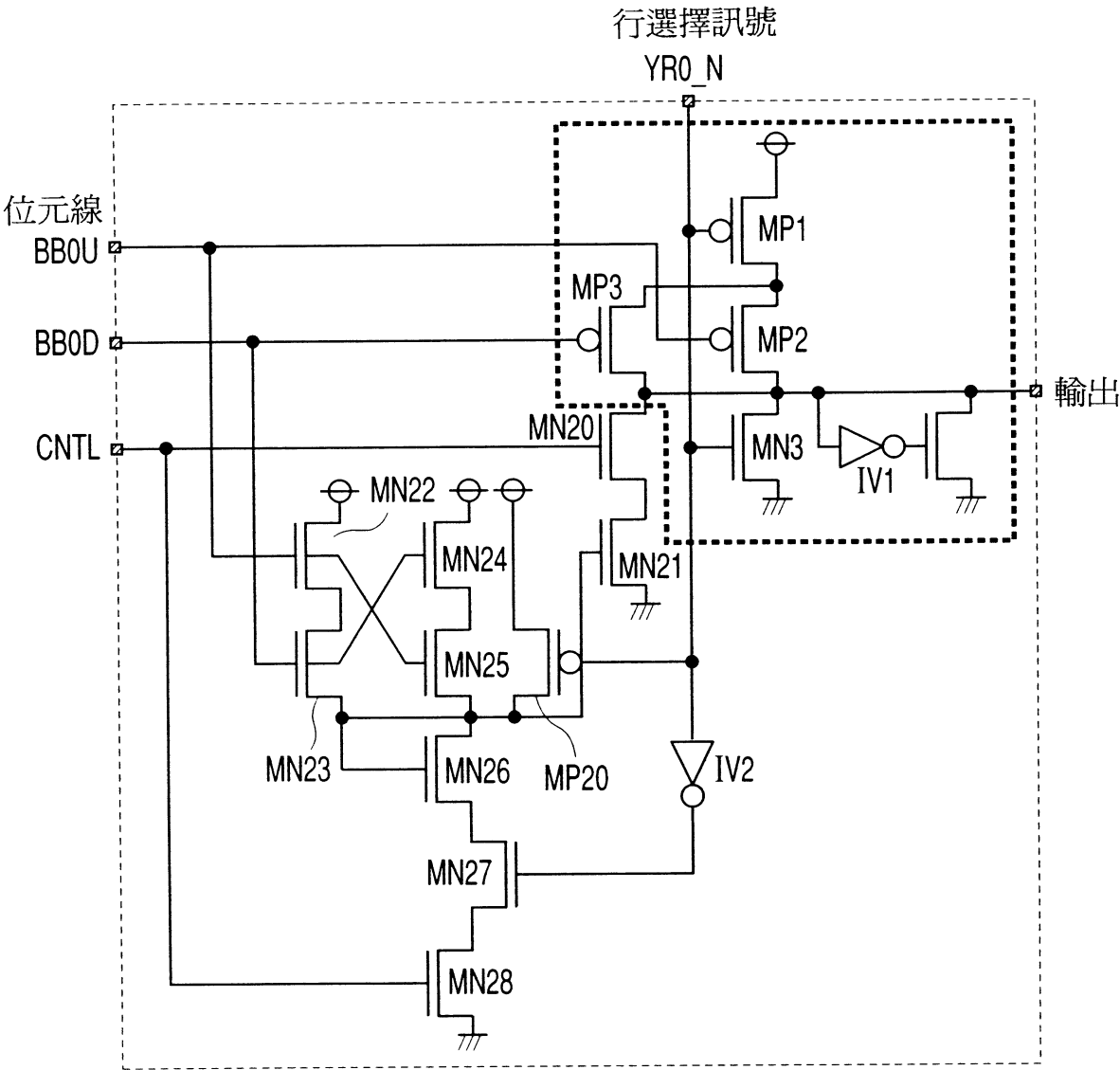
第 15 圖



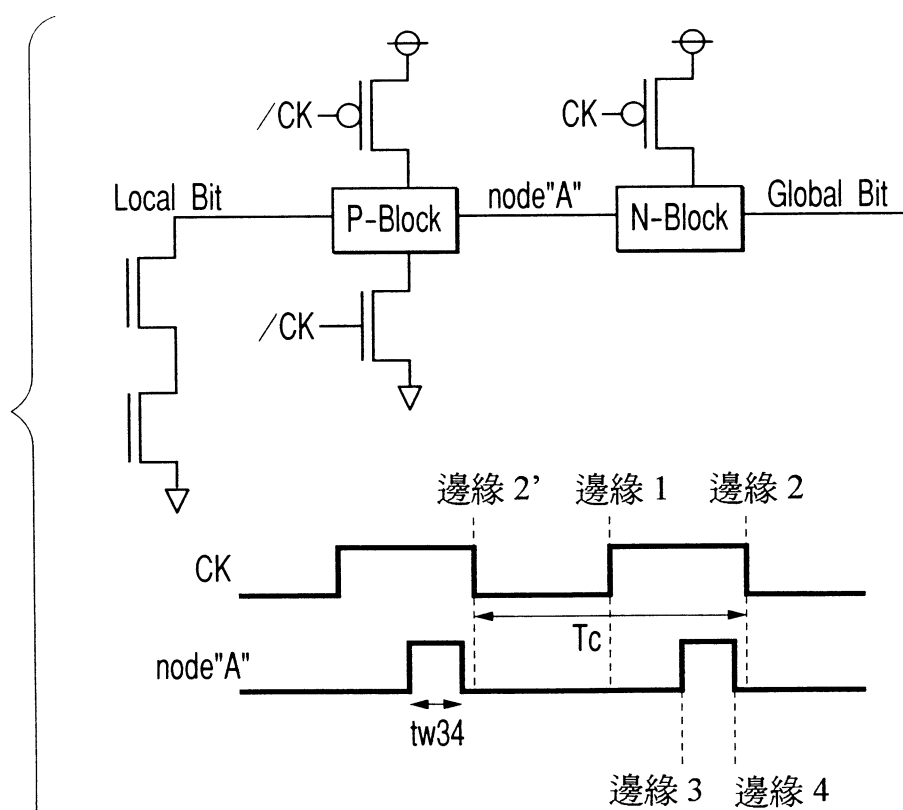
第 16 圖



第 17 圖



第 18 圖



動作條件：邊緣 1 < 邊緣 3 < 邊緣 2

：邊緣 1 < 邊緣 4 < 邊緣 2

頻率控制： $T_o/2 > tw_{34}$

陸、（一）、本案指定代表圖為：第 1 圖

（二）、本代表圖之元件代表符號簡單說明：

MC：記憶格

BPC：位元線預充電電路

LAMP：局部放大器

MP、MP1 ~ MP3：P通道型 MOSFET

MD：N通道型 MOSFET

MA、MA1、MA2：主放大器

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

第 092100618 號專利申請案

中文申請專利範圍修正本

民國 95 年 1 月 12 日修正

1. 一種半導體積體電路裝置，含有第 1 記憶電路，

上述第 1 記憶電路具備有：

複數條字元線；

由上述複數條字元線選擇的複數個記憶格；

連接上述複數個記憶格的複數條位元線；

上述複數條字元線在非選擇狀態時，進行上述複數條位元線的預充電動作，有一條字元線被選擇時，不進行上述預充電動作的預充電電路；

包含，其閘極連接在上述複數條位元線，在由上述預充電電路供給位元線的預充電電壓下維持成截斷狀態之第 1 導電型的第 1 MOSFET，對應選擇上述位元線用的選擇信號成為動作狀態，放大上述位元線之讀出信號的複數個第 1 放大電路；以及

包含，上述複數個第 1 放大電路的輸出信號連接在其閘極，連接成並聯形態，與第 1 導電型不同之第 2 導電型的複數個第 2 MOSFET，形成對應上述第 1 放大電路的輸出信號之放大信號的第 2 放大電路。

2. 如申請專利範圍第 1 項所述的半導體積體電路裝置，其中

上述記憶格的記憶電流路徑是由串聯形態的第 3 及第 4

MOSFET所成，

在上述第3 MOSFET的閘極供應，由兩個CMOS反相電路構成的閘鎖電路所保持的記憶電壓，第4 MOSFET的閘極則供應字元線的選擇信號，

上述位元線是讀出專用位元線，

上述字元線是讀出專用字元線，

在上述閘鎖電路的一對輸入輸出節點是經由，寫入專用的字元線轉接控制的一對選擇MOSFET，連接在寫入專用的一對互補位元線。

3. 如申請專利範圍第1項所述的半導體積體電路裝置，其中

包含，具有當作上述記憶格的記憶電流路徑的源極・汲極路徑的第5 MOSFET，藉由對應的字元線的選擇動作，決定要不要形成記憶電流路徑。

4. 如申請專利範圍第2項所述的半導體積體電路裝置，其中

對上述複數個第1放大電路分配一個第2放大電路，由於具有複數個上述第2放大電路，而得輸出複數個位元單位的讀出信號。

5. 如申請專利範圍第3項所述的半導體積體電路裝置，其中

對上述複數個第1放大電路分配一個第2放大電路，由於具有複數個上述第2放大電路，而得輸出複數個位元單位的讀出信號。

6. 如申請專利範圍第2項所述的半導體積體電路裝置，其中

對上述第1放大電路，進一步含有：在上述位元線的相反方向配置之位元線；位元線的預充電電路及複數條字元線；將閘極分別供給上述配置於相反方向的位元線，由上述預充電電路供給位元線的預充電電壓下維持截斷狀態之第1導電型的第5 MOSFET，

上述第5 MOSFET與上述第3 MOSFET連接成並聯狀態，

對應配置在上述第1放大電路兩側的位元線中之任一方位元線的字元線成為選擇狀態。

7. 如申請專利範圍第2項所述的半導體積體電路裝置，其中

上述第3及第4 MOSFET的臨界值電壓是被形成為，較構成上述CMOS反相電路的MOSFET的臨界值電壓為小的臨界值電壓。

8. 如申請專利範圍第2項所述的半導體積體電路裝置，其中

進一步備有第2記憶電路，

上述第2記憶電路含有：

複數條字元線；

複數條互補位元線；

設在上述複數條字元線與複數條互補位元線的交點，由CMOS門鎖電路構成的記憶電路；及設在其一對輸入輸

出節點與上述互補位元線之間，由閘極連接在上述字元線的選擇用MOSFET所構成的複數個記憶格。

9. 如申請專利範圍第8項所述的半導體積體電路裝置，其中

上述第2記憶電路具有，電壓較記憶動作時低的動作模態。

10. 如申請專利範圍第8項所述的半導體積體電路裝置，其中

上述第2記憶電路的記憶容量，較上述第1記憶電路的記憶容量大。

11. 如申請專利範圍第2項所述的半導體積體電路裝置，其中

進一步備有第3記憶電路，

上述第3記憶電路含有：

複數條字元線；

複數條位元線；

設在上述字元線與位元線的交點，用以保持資訊電荷的電容器；及設在上述電容器的資訊保持節點與上述位元線之間，由閘極連接在上述字元線的選擇用MOSFET所構成的複數個記憶格。

12. 如申請專利範圍第11項所述的半導體積體電路裝置，其中

上述第3記憶電路的記憶容量，較上述第1記憶電路的記憶容量大。

13. 一種半導體裝置，包含有：

複數條字元線；

複數條位元線；

連接在上述複數條字元線與複數條位元線的複數個記憶格；以及

連接在上述複數條位元線，用以放大上述複數條位元線之電位的放大電路，

上述放大電路包含，具有連接在上述位元線中的一條位元線之閘極的第1導電型之第1 MOS電晶體，及具有連接在上述第1 MOS電晶體的源極－汲極路徑之閘極的第2導電型之第2 MOS電晶體，

且，上述第2 MOS電晶體的源極－汲極路徑與上述位元線絕緣。

14. 如申請專利範圍第13項所述的半導體裝置，其中上述第1導電型是P型，

上述第2導電型是N型。

15. 如申請專利範圍第13項所述的半導體裝置，其中

進一步含有，連接在上述複數條位元線，對上述複數條位元線進行預充電的預充電電路，

上述預充電電路包含，具有連接在上述複數條位元線中的一條位元線與電源電壓間之源極－汲極路徑的第3 MOS電晶體。

16. 如申請專利範圍第15項所述的半導體裝置，其中上述第1 MOS電晶體及上述第3 MOS電晶體是P通道型

MOS電晶體，

上述第2 MOS電晶體是N通道型MOS電晶體。

17. 如申請專利範圍第13項所述的半導體裝置，其中上述複數個記憶格是靜態型的記憶格。

18. 一種半導體裝置，含有：

複數條第1字元線；

複數條第2字元線；

第1位元線；

第2位元線；

連接在上述複數條的第1字元線及上述第1位元線的複數個第1記憶格；

連接在上述複數條的第2字元線及上述第2位元線的複數個第2記憶格；

連接在上述第1及第2位元線，用以放大上述第1位元線及第2位元線之電位的放大電路，

上述放大電路包含：具有連接在上述第1位元線的閘極之第1導電型的第1 MOS電晶體；具有連接在上述第2位元線的閘極之第1導電型的第2 MOS電晶體；及跟上述第1導電型不同的第2導電型的第3 MOS電晶體，

上述第1 MOS電晶體的汲極連接在上述第2 MOS電晶體的汲極，

上述第3 MOS電晶體的閘極連接在上述第1 MOS電晶體的汲極。

19. 如申請專利範圍第18項所述的半導體裝置，其中

上述第1導電型是P型，

上述第2導電型是N型。

20. 如申請專利範圍第18項所述的半導體裝置，其中進一步含有：連接在上述第1位元線，對上述第1位元線進行預充電的第1預充電電路；以及

連接在上述第2位元線，對上述第2位元線進行預充電的第2預充電電路，

上述第1預充電電路包含，具有連接在上述第1位元線與電源電壓間之源極－汲極路徑的第4 MOS電晶體，

上述第2預充電電路包含，具有連接在上述第2位元線與電源電壓間之源極－汲極路徑的第5 MOS電晶體。

21. 如申請專利範圍第20項所述的半導體裝置，其中上述第1、第2、第4及第5 MOS電晶體是P通道型 MOS電晶體

上述第3 MOS電晶體是N通道型 MOS電晶體。

22. 如申請專利範圍第18項所述的半導體裝置，其中上述複數個記憶格是靜態型的記憶格。

23. 如申請專利範圍第18項所述的半導體裝置，其中上述第1位元線與上述第2位元線向同一方向延伸，

上述放大電路形成在，形成有上述複數個第1記憶格的四方形的領域，與形成有上述複數個第2記憶格的四方形的領域之間的領域。

24. 一種半導體裝置，其特徵為：形成在一片半導體基板上，含有：

第 1 字 元 線 ；

第 2 字 元 線 ；

讀 出 位 元 線 ；

第 1 寫 入 位 元 線 ；

連 接 在 上 述 第 1 及 第 2 字 元 線 、 和 上 述 讀 出 位 元 線 及 上
述 第 1 寫 入 位 元 線 的 第 1 記 憶 格 ；

第 3 字 元 線 ；

第 1 位 元 線 ；

第 2 位 元 線 ； 以 及

連 接 在 上 述 第 3 字 元 線 、 和 上 述 第 1 位 元 線 及 上 述 第 2
位 元 線 的 第 2 記 憶 格 ，

上 述 第 1 記 憶 格 具 備 有 ： 第 1 反 相 器 電 路 ； 具 有 連 接 在
上 述 第 1 反 相 器 電 路 的 輸 出 之 輸 入 ， 與 連 接 在 上 述 第 1 反 相
器 電 路 的 輸 入 之 輸 出 的 第 2 反 相 器 電 路 ； 具 有 其 一 方 連 接
在 上 述 讀 出 位 元 線 的 源 極 - 汲 極 路 徑 的 第 1 電 晶 體 ； 具 有
其 一 方 連 接 在 上 述 第 1 電 晶 體 的 上 述 源 極 - 汲 極 路 徑 的 另
一 方 ， 其 另 一 方 連 接 在 供 應 有 第 1 電 壓 的 第 1 端 子 之 源 極 -
汲 極 路 徑 的 第 2 電 晶 體 ； 具 有 其 一 方 連 接 在 上 述 第 1 反 相 器
電 路 的 上 述 輸 入 ， 其 另 一 方 連 接 在 上 述 第 1 寫 入 位 元 線 之
源 極 - 汲 極 路 徑 的 第 3 電 晶 體 ，

上 述 第 1 電 晶 體 的 閘 極 ， 連 接 在 上 述 第 1 字 元 線 ，

上 述 第 2 電 晶 體 的 閘 極 ， 連 接 在 上 述 第 1 反 相 器 電 路 之
輸 出 ，

上 述 第 3 電 晶 體 的 閘 極 ， 連 接 在 上 述 第 2 字 元 線 ，

上述第2記憶格具備有：具有連接於第3反相器電路與上述第3反相器電路的輸出之輸入、與連接在上述第3反相器電路的輸入之輸出的第4反相器電路；具有連接在上述第2位元線與上述第3反相器電路的輸入源極－汲極路徑，與連接在上述第3字元線的閘極的第4電晶體；具有連接在上述第2位元線與上述第3反相器電路之輸入的源極－汲極路徑，與連接在上述第3字元線之閘極的第5電晶體。

25. 如申請專利範圍第24項所述的半導體裝置，其中上述第1電壓是接地電位。

26. 如申請專利範圍第24項所述的半導體裝置，其中上述第1至第4反相器電路的各電路，均含有一個P通道型MOS電晶體及一個N通道型MOS電晶體。

27. 如申請專利範圍第24項所述的半導體裝置，其中上述第1位元線與上述第2位元線的各位元線是供寫入及讀出所共同利用的位元線，

上述第1字元線是讀出專用的字元線，

上述第2字元線是寫入專用的字元線，

上述第3字元線是供讀出及寫入所共同利用的字元線。

28. 如申請專利範圍第24項所述的半導體裝置，其中上述第1記憶格是多埠記憶格，

上述第2記憶格是單埠記憶格，

上述半導體裝置含有複數個多埠記憶格及複數個單埠記憶格，

上述複數個單埠記憶格的記憶容量，較上述複數個多埠記憶格的記憶容量大。

29. 如申請專利範圍第28項所述的半導體裝置，其中上述第1記憶格是雙埠記憶格。

30. 如申請專利範圍第24項所述的半導體裝置，其中上述半導體裝置進一步含有第2寫入位元線，

上述第1記憶格進一步包含，其一方連接在上述第1反相器電路的上述輸出，另一方連接在上述第2寫入位元線的源極－汲極路徑；及具有連接在上述第2字元線的閘極的第6電晶體。

31. 一種半導體裝置，其特徵為：形成在一片半導體基板上，含有：

第1字元線；

第2字元線；

讀出位元線；

第1寫入位元線；

連接在上述第1及第2字元線、和上述讀出位元線及上述第1寫入位元線的第1記憶格；

第3字元線；

第1位元線；

第2位元線；以及

連接在上述第3字元線、上述第1位元線及上述第2位元線的第2記憶格，

上述第1記憶格具備有：包含第1反相器電路、及具有

連接在上述第1反相器電路的輸出之輸入、與連接在上述第1反相器電路的輸入之輸出的第2反相器電路的閘鎖電路；

在上述讀出位元線與供應有第1電壓的第1端子之間串聯該等之源極－汲極路徑的第1及第2電晶體；具有連接在上述閘鎖電路與上述第1寫入位元線間之源極－汲極路徑，與連接在上述第2字元線之閘極的第3電晶體，

上述第1電晶體的閘極連接在上述第1字元線，

上述第2電晶體的閘極連接在上述閘鎖電路，

上述第2記憶格具備有：具有第3反相器電路、與連接在上述第3反相器電路的輸出之輸入、與連接在上述第3反相器電路的輸入之輸出的第4反相器電路；具有連接在上述第1位元線與上述第3反相器電路的上述輸出之源極－汲極路徑、與連接在上述第3字元線之閘極的第4電晶體；具有連接在上述第2位元線與上述第3反相器電路的輸入之源極－汲極路徑、與連接在上述第3字元線之閘極的第5電晶體。

32. 如申請專利範圍第31項所述的半導體裝置，其中

上述第1電晶體之源極－汲極路徑的一方連接在上述讀出位元線，

上述第2電晶體之源極－汲極路徑，連接在上述第1電晶體之上述源極－汲極路徑的另一方與上述第1端子之間，

上述第2電晶體之上述閘極連接在上述第1反相器電路

的上述輸出，

上述第3電晶體的上述源極－汲極路徑，連接在上述第1反相器電路的上述輸入與上述第1寫入位元線之間。

33. 如申請專利範圍第31項所述的半導體裝置，其中
上述第1電晶體的源極－汲極路徑的一方連接在上述讀出位元線，

上述第2電晶體的源極－汲極路徑，連接在上述第1電晶體的上述源極－汲極路徑的另一方與上述第1端子之間，

上述第2電晶體的上述閘極連接在上述第1反相器電路的上述輸出，

上述第3電晶體的上述源極－汲極路徑，連接在上述第1反相器電路的上述輸出與上述第1寫入位元線之間。

34. 如申請專利範圍第31項所述的半導體裝置，其中
上述第1電壓是接地電位。

35. 如申請專利範圍第31項的半導體裝置，其中
上述第1至第4反相器電路的各電路，含有一個P通道型MOS電晶體及一個N通道型MOS電晶體。

36. 如申請專利範圍第31項所述的半導體裝置，其中
上述第1位元線與上述第2位元線的各位元線是供寫入及讀出所共同利用的位元線，

上述第1字元線是讀出專用的字元線，

上述第2字元線是寫入專用的字元線，

上述第3字元線是供讀出及寫入所共同利用的字元線

。

37. 如申請專利範圍第31項所述的半導體裝置，其中

上述第1記憶格是多埠記憶格，

上述第2記憶格是單埠記憶格，

上述半導體裝置含有複數個多埠記憶格及複數個單埠記憶格，

上述複數個單埠記憶格的記憶容量，較上述複數個多埠記憶格的記憶容量大。

38. 如申請專利範圍第37項所述的半導體裝置，其中上述第1記憶格是雙埠記憶格。

39. 如申請專利範圍第31項所述的半導體裝置，其中上述半導體裝置進一步含有，第2寫入位元線，

上述第1記憶格進一步包含，具有連接在上述第1反相器電路之上述輸出、與上述第2寫入位元線間之源極－汲極路徑、及連接在上述第2字元線之閘極的第6電晶體，

上述第1電晶體的源極－汲極路徑的一方連接在上述讀出位元線，

上述第2電晶體的源極－汲極路徑，連接在上述第1電晶體的上述源極－汲極路徑的另一方與上述第1端子之間，

上述第2電晶體的上述閘極，連接在上述第1反相器電路的上述輸出，

上述第3電晶體的上述源極－汲極路徑，連接在上述第1反相器電路的上述輸入與上述第1寫入位元線之間。

40. 一種半導體裝置，其特徵為：形成在一片半導體基板上，含有：

第1字元線；

第2字元線；

讀出位元線；

第1寫入位元線；

連接在上述第1及第2字元線、和上述讀出位元線及上述第1寫入位元線的第1記憶格；

第3字元線；

第1位元線；以及

連接在上述第3字元線、及上述第1位元線的第2記憶格，

上述第1記憶格具備有：包含第1反相器電路、及具有連接在上述第1反相器電路的輸出之輸入、與連接在上述第1反相器電路的輸入之輸出的第2反相器電路的門鎖電路；

在上述讀出位元線與供應有第1電壓的第1端子之間，串聯該等之源極－汲極路徑的第1及第2電晶體；具有連接在上述門鎖電路與上述第1寫入位元線間之源極－汲極路徑、與連接在上述第2字元線之閘極的第3電晶體，

上述第1電晶體的閘極連接在上述第1字元線，

上述第2電晶體的閘極連接在上述門鎖電路，

上述第2記憶格包含：具有連接在上述第3字元線的閘極，與其一方連接在上述第1位元線之源極－汲極路徑的

第4電晶體；及具有其一方連接在上述第4電晶體的上述源極－汲極路徑的另一方，其另一方接受第2電壓的一對電極的電容器。

41. 如申請專利範圍第40項所述的半導體裝置，其中上述第1電晶體的源極－汲極路徑的一方連接在上述讀出位元線，

上述第2電晶體的源極－汲極路徑，連接在上述第1電晶體的上述源極－汲極路徑的另一方與上述第1端子之間，

上述第2電晶體的上述閘極，連接在上述第1反相器電路的上述輸出，

上述第3電晶體的上述源極－汲極路徑，連接在上述第1反相器電路的上述輸入與上述第1寫入位元線之間。

42. 如申請專利範圍第40項所述的半導體裝置，其中上述第1電晶體的源極－汲極路徑的一方連接在上述讀出位元線，

上述第2電晶體的源極－汲極路徑，連接在上述第1電晶體的上述源極－汲極路徑的另一方與上述第1端子之間，

上述第2電晶體的上述閘極，連接在上述第1反相器電路的上述輸出，

上述第3電晶體的上述源極－汲極路徑，連接在上述第1反相器電路的上述輸出與上述第1寫入位元線之間。

43. 如申請專利範圍第40項所述的半導體裝置，其中

上述第1電壓是接地電位，

上述第2電壓是較上述接地電位大的陽極電位。

44. 如申請專利範圍第40項所述的半導體裝置，其中
上述第1至第4反相器電路的各電路，含有一個P通道型MOS電晶體及一個N通道型MOS電晶體。

45. 如申請專利範圍第40項所述的半導體裝置，其中
上述第1位元線與上述第2位元線的各位元線是供寫入
及讀出所共同利用的位元線，

上述第1字元線是讀出專用的字元線，

上述第2字元線是寫入專用的字元線，

上述第3字元線是供讀出及寫入所共同利用的字元線

。

46. 如申請專利範圍第40項所述的半導體裝置，其中
上述第1記憶格是多埠記憶格，

上述第2記憶格是單埠記憶格，

上述半導體裝置含有複數個多埠記憶格及複數個單埠
記憶格，

上述複數個單埠記憶格的記憶容量，較上述複數個多
埠記憶格的記憶容量大。

47. 如申請專利範圍第46項所述的半導體裝置，其中
上述第1記憶格是雙埠記憶格。

48. 如申請專利範圍第40項所述的半導體裝置，其中
上述半導體裝置進一步含有，第2寫入位元線，

上述第1記憶格進一步包含，具有其一方連接在上述

第1反相器電路的輸出，另一方連接在上述第2寫入位元線的源極－汲極路徑、及連接在上述第2字元線之閘極的第5電晶體，

上述第1反相器電路的輸入連接在上述第2反相器電路的輸出，

上述第1反相器電路的上述輸出連接在上述第1反相器電路的輸入，

上述第1電晶體的源極－汲極路徑的一方連接在上述讀出位元線，

上述第2電晶體的源極－汲極路徑，連接在上述第1電晶體的上述源極－汲極路徑與上述第1端子之間，

上述第2電晶體的上述閘極，連接在上述第1反相器電路的上述輸出，

上述第3電晶體的上述源極－汲極路徑，連接在上述第2反相器電路的上述輸出與上述第1寫入位元線之間。

49. 如申請專利範圍第40項所述的半導體裝置，其中上述第1至第4電晶體是N通道型MOS電晶體。