(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) **N° de publication :** **2 803 080**
(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **99 16445**

(51) Int Cl[7] : **G 11 C 16/04,** G 11 C 11/4093, 7/10

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 22.12.99.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 29.06.01 Bulletin 01/26.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *STMICROELECTRONICS SA* *Société anonyme* — FR.

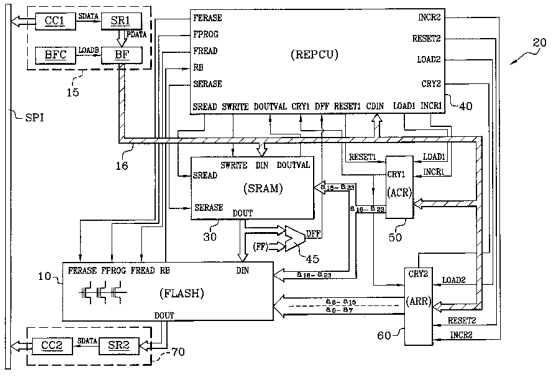
(72) **Inventeur(s) :** ZINK SEBASTIEN, CAVALERI PAOLA et LECONTE BRUNO.

(73) **Titulaire(s) :**

(74) **Mandataire(s) :** OMNIPAT.

(54) MEMOIRE FLASH PROGRAMMABLE PAGE PAR PAGE.

(57) L'invention concerne une mémoire (20) en circuit intégré comprenant une mémoire FLASH (10) comportant des moyens pour enregistrer un mot présenté sur son entrée sans possibilité d'enregistrer simultanément plusieurs mots en parallèle. Selon l'invention, la mémoire comprend une mémoire tampon (30) d'une capacité suffisante pour stocker une pluralité de mots, dont la sortie est reliée à l'entrée de la mémoire FLASH (10), et des moyens (40, 50, 60) pour enregistrer dans la mémoire tampon (30) une suite de mots à enregistrer dans la mémoire FLASH et enregistrer dans la mémoire FLASH les mots préalablement enregistrés dans la mémoire tampon.



FR 2 803 080 - A1

MEMOIRE FLASH PROGRAMMABLE PAGE PAR PAGE

La présente invention concerne les mémoires effaçables et programmables électriquement, ou mémoires EEPROM, et plus particulièrement les mémoires EEPROM du type FLASH.

A l'heure actuelle, le marché des mémoires en circuits intégrés effaçables et programmables électriquement est divisé en trois grandes catégories de mémoires : les mémoires EEPROM programmables mot par mot, les mémoires EEPROM programmables page par page, une page comprenant une pluralité de mots, et les mémoires FLASH (ou FLASH-EEPROM) programmables mot par mot. La catégorie des mémoires FLASH programmables page par page n'existe pas en raison de particularités technologiques de ces mémoires qui seront brièvement rappelées en se référant aux figures 1A et 1B.

La figure 1A représente schématiquement le cœur d'une mémoire EEPROM et la figure 1B représente le cœur d'une mémoire FLASH. Chaque mémoire comprend une pluralité de cellules mémoire, respectivement $CE_{i,j}$, $CF_{i,j}$, agencées de façon matricielle et connectées à des lignes de mots WL_i et des lignes de bits BL_j.

Sur la figure 1A, on voit que les cellules $CE_{i,j}$ de la mémoire EEPROM comportent un transistor à grille flottante FGT et un transistor d'accès TA. Le transistor d'accès TA a sa grille G connectée à une ligne de mots WL_i, son drain D connecté à une ligne de bits BL_j, sa source S étant connectée au drain D du transistor FGT. Le transistor FGT a sa grille G reliée à une ligne de sélection de colonne CL_k par l'intermédiaire d'une ligne de contrôle de grille CGL et d'un transistor de contrôle de grille CGT, et sa source S connectée à une ligne de source SL, la grille du transistor CGT étant connectée à la ligne de mots WL_i. Ainsi, les cellules mémoire $CE_{i,j}$

d'une même ligne de mots WL_i sont arrangées en colonnes de rang k, et forment des mots $W_{i,k}$, généralement des octets, pouvant être sélectionnés en lecture au moyen de la ligne de sélection de colonne CL_k et de la ligne de mots WL_i auxquelles ils sont rattachés.

Dans une telle mémoire EEPROM, une opération d'effacement ou de programmation d'une cellule consiste dans l'injection ou l'extraction de charges électriques par effet tunnel (effet Fowler Nordheim) dans la grille flottante du transistor FGT de la cellule. Un transistor FGT effacé présente une tension de seuil positive VT1 et un transistor FGT programmé présente une tension de seuil négative VT2. Lorsqu'une tension de lecture Vread comprise entre VT1 et VT2 est appliquée sur sa grille, un transistor effacé reste bloqué, ce qui correspond par convention à un "0" logique, et un transistor programmé est passant, ce qui correspond par convention à un "1" logique. L'opération d'effacement est réalisée en appliquant une tension d'effacement VPP de l'ordre de 12 à 20 V sur la grille G du transistor FGT pendant que la ligne de source SL est portée à la masse. L'opération de programmation est réalisée en appliquant une tension de programmation VPP sur le drain D du transistor FGT, par l'intermédiaire du transistor d'accès TA, pendant que la grille est portée à la masse.

Les transferts de charges par effet tunnel s'effectuant avec un courant de grille quasiment nul, un grand nombre de cellules mémoire EEPROM peuvent être effacées ou programmées simultanément. Ainsi, comme indiqué plus haut, on trouve sur le marché des mémoires intégrées, des mémoires EEPROM à programmation par page qui sont appréciées en ce qu'elles permettent, après une opération collective d'effacement de toutes les cellules d'une page (mise à "0"), de programmer simultanément toutes les cellules de la page devant contenir la valeur "1", par exemple 256 cellules en même temps.

Sur la figure 1B, on voit que les cellules $CF_{i,j}$ de la mémoire FLASH sont d'une structure très simple et ne comportent qu'un transistor à grille flottante FGT. Le transistor FGT a sa grille G connectée à une ligne de mots WL_i, son drain D connecté à une ligne de bits BL_j et sa source S connectée à une ligne de source SL, parfois par l'intermédiaire d'un transistor de source comme cela est décrit dans la demande EP704851 (non représenté). L'arrangement des cellules d'un même mot peut être progressif ou entrelacé, de sorte qu'un mot $W_{i,k}$ rattaché à ligne de rang i et à une colonne de rang k peut comprendre huit cellules agencées côte à côte comme représenté sur la figure 1B ou comprendre, dans le cas d'un entrelacement, des cellules non adjacentes. Dans ce cas, les cellules physiquement adjacentes sont généralement les cellules de même rang des mots d'une même ligne de mots.

Dans une telle mémoire FLASH, une opération d'effacement d'une cellule consiste dans l'extraction par effet tunnel de charges électriques piégées dans la grille flottante, tandis qu'une opération de programmation consiste dans l'injection de charges dans la grille flottante par effet dit "d'injection d'électrons chauds" (Hot electron injection). Un transistor FGT effacé présente une tension de seuil positive VT1 de faible valeur, et un transistor programmé présente une tension de seuil VT2 supérieure à VT1. Lorsqu'une tension de lecture Vread comprise entre VT1 et VT2 est appliquée sur sa grille, un transistor effacé est passant, ce qui correspond par convention à un "1" logique, et un transistor programmé reste bloqué, ce qui correspond par convention à un "0" logique.

En raison de leur simplicité, les mémoires FLASH présentent l'avantage d'une grande compacité en termes de surface de silicium occupée et présentent ainsi, à surface de silicium constante, une capacité de stockage

nettement supérieure à celle des mémoires EEPROM, pour un prix de revient inférieur.

En revanche, les mémoires FLASH offrent des possibilités de programmation plus réduites que les mémoires EEPROM, notamment en ce qui concerne la possibilité d'enregistrer simultanément plusieurs mots. En effet, l'opération de programmation d'une cellule FLASH, par injection d'électrons chauds, s'effectue avec un courant non négligeable en appliquant au transistor FGT de la cellule une tension de drain de l'ordre de 6 V et une tension de grille de l'ordre de 12 V, le transistor FGT étant dans l'état passant et fortement polarisé pendant l'opération.

Ainsi, s'il est courant de prévoir des mémoires FLASH dans lesquelles toutes les cellules d'un même secteur sont effacées simultanément (un secteur comprenant plusieurs lignes de mots), la programmation simultanée d'un grand nombre de cellules FLASH s'avère par contre impossible en raison du courant important collecté dans les lignes de sources SL, qui est capable de détruire les pistes métalliques reliant les transistors de la mémoire et/ou les connexions entre pistes de niveaux différents. En pratique, le nombre de cellules pouvant être simultanément programmées est généralement limité à huit, de sorte qu'une mémoire FLASH ne peut permettre l'enregistrement simultané de plusieurs mots et fonctionne toujours selon le mode de programmation "mot par mot".

Bien que cet inconvénient soit compensé par un temps de programmation très court, de l'ordre de quelques microsecondes contre quelques millisecondes pour une mémoire EEPROM, l'enregistrement d'une suite de mots dans une mémoire FLASH nécessite l'envoi d'une instruction de programmation à chaque mot enregistré. Inversement, une mémoire EEPROM programmable page par page ne nécessite qu'une seule instruction de programmation suivie de la suite de mots à enregistrer. Les mots sont stockés dans

une bascule à verrouillage à sortie parallèle et sont enregistrés simultanément dans la mémoire EEPROM, en une seule étape.

En définitive, il existe de nombreux circuits électroniques, par exemple des cartes à microprocesseur, des cartes de micro-ordinateurs, des cartes son, des cartes graphiques,... qui sont équipés de mémoires EEPROM à programmation page par page et ne peuvent pas fonctionner avec des mémoires FLASH car leur protocole de transfert de données n'est pas compatible avec de telles mémoires.

La présente invention se base sur une idée générale, simple mais non moins inventive, selon laquelle il serait avantageux de disposer de mémoires FLASH ayant une interface mémoire/utilisateur compatible avec celle des mémoires EEPROM. D'une part, de telles mémoires FLASH pourraient remplacer avantageusement les mémoires EEPROM dans les applications existantes, pour bénéficier du prix de revient réduit des mémoires FLASH et de leur faible encombrement. D'autre part, cela permettrait de généraliser l'emploi des mémoires FLASH à tous types d'applications, et cela décloisonnerait le marché des mémoires en circuits intégrés.

On connaît par le brevet FR 2 756 410 une mémoire FLASH comprenant un dispositif de protection en écriture et un circuit tampon de programmation comprenant une pluralité de registres haute tension en parallèle connectés aux lignes de bits de la mémoire, chaque registre étant prévu pour stocker un mot. La structure d'une telle mémoire permet d'imiter le mode page des mémoires EEPROM tout en conservant un mode de programmation mot par mot. Toutefois, une telle mémoire comprenant une pluralité de registres haute tension est relativement complexe à réaliser et convient à certaines applications seulement.

Un objectif général de la présente invention est de prévoir une mémoire FLASH capable de rivaliser avec les

mémoires EEPROM en termes de souplesse d'emploi, sans augmenter de façon rédhibitoire le prix de revient d'une telle mémoire et sans perdre les avantages d'une telle mémoire en termes de capacité de stockage par unité de surface de silicium.

Selon un premier aspect de l'invention, cet objectif est essentiellement atteint par la prévision d'une mémoire en circuit intégré comprenant une mémoire centrale de type FLASH prévue pour enregistrer un mot présenté sur son entrée sans possibilité d'enregistrer simultanément plusieurs mots en parallèle, une mémoire tampon d'une capacité suffisante pour stocker une pluralité de mots, dont la sortie est reliée à l'entrée de la mémoire FLASH, et des moyens pour enregistrer dans la mémoire tampon une suite de mots à enregistrer dans la mémoire FLASH et enregistrer ensuite dans la mémoire FLASH les mots préalablement enregistrés dans la mémoire tampon .

Selon un deuxième aspect de l'invention, cet objectif est essentiellement atteint par la prévision d'une mémoire en circuit intégré comprenant un circuit d'interface série/parallèle au moins pour recevoir des mots à enregistrer dans la mémoire FLASH.

Selon un mode de réalisation, la mémoire comprend un circuit d'interface série/parallèle pour recevoir des données à enregistrer, des adresses, et des instructions d'enregistrement, d'effacement ou de lecture de la mémoire FLASH .

Selon un mode de réalisation, la mémoire comprend des moyens pour appliquer sur l'entrée d'adresse de la mémoire FLASH une adresse reçue en entrée comprenant M bits de poids fort et N bits de poids faible, et pour appliquer sur l'entrée d'adresse de la mémoire tampon une adresse comprenant les N bits de poids faible de l'adresse appliquée à la mémoire FLASH.

Selon un mode de réalisation, les N bits de poids faible correspondent à l'adresse d'un mot dans une page

de la mémoire FLASH, dont l'adresse est définie par les M bits de poids fort.

Selon un mode de réalisation, les N bits de poids faible correspondent à l'adresse d'un mot dans une page physique de la mémoire FLASH, une page physique comprenant tous les mots présents dans une ligne de mots de la mémoire FLASH.

Selon un mode de réalisation, la mémoire comprend des moyens pour exécuter une instruction d'enregistrement d'une pluralité de mots comprenant un code de l'instruction, une adresse de départ dans la mémoire FLASH et la suite de mots à enregistrer .

Selon un mode de réalisation, la mémoire comprend un compteur d'adresse dont la sortie est connectée à l'entrée d'adresse de la mémoire tampon et aux entrées d'adresse de plus faible poids de la mémoire FLASH.

Selon un mode de réalisation, la mémoire comprend des moyens pour : i) charger dans le compteur d'adresse N bits de poids faible d'une adresse d'enregistrement dans la mémoire FLASH du premier mot de la suite de mots ; ii) enregistrer le premier mot reçu dans la mémoire tampon et enregistrer les mots suivants en incrémentant le compteur d'adresse à chaque nouvel enregistrement ; iii) mettre à zéro le compteur d'adresse ; iv) appliquer M bits de poids fort de l'adresse d'enregistrement du premier mot sur l'entrée d'adresse de la mémoire FLASH, à un moment quelconque avant l'étape v) ; v) lire la mémoire tampon à l'adresse courante délivrée par le compteur d'adresse ; vi) si la valeur du mot lu dans la mémoire tampon est différente de la valeur d'un mot effacé, appliquer à la mémoire FLASH un signal de programmation ; vii) incrémenter le compteur d'adresse et répéter les étapes v) et vi) jusqu'à la dernière adresse de N bits pouvant être délivrée par le compteur d'adresse avant débordement.

La présente invention concerne également un procédé pour enregistrer une pluralité de mots dans une mémoire

FLASH comprenant des moyens pour enregistrer un mot sans possibilité d'enregistrer simultanément plusieurs mots en parallèle, comprenant les étapes consistant à : prévoir une mémoire tampon d'une capacité suffisante pour stocker la pluralité de mots, et connecter la sortie de la mémoire tampon à l'entrée de la mémoire FLASH ; enregistrer dans la mémoire tampon la suite de mots envoyés à la mémoire FLASH, puis enregistrer les uns après les autres dans la mémoire FLASH les mots enregistrés dans la mémoire tampon.

Selon un mode de réalisation, les mots sont reçus sous forme de données série et les données série sont reconstituées en mots envoyés à l'entrée de la mémoire tampon .

La présente invention concerne également un procédé pour enregistrer la suite de mots dans la mémoire FLASH à partir d'une adresse d'enregistrement spécifiée comprenant M bits de poids fort et N bits de poids faible, comprenant une étape consistant à enregistrer les mots dans la mémoire tampon à partir d'une adresse réduite comprenant au moins N premiers bits égaux aux N bits de poids faible de l'adresse d'enregistrement spécifiée, et incrémenter l'adresse réduite après chaque enregistrement.

Selon un mode de réalisation, le procédé comprend les étapes suivantes : a) appliquer sur l'entrée d'adresse de la mémoire tampon une adresse de lecture comprenant au moins N premiers bits et lire un mot dans la mémoire tampon ; b) appliquer sur l'entrée d'adresse de la mémoire FLASH une adresse comprenant les M bits de poids fort de l'adresse spécifiée et N bits de poids faible identiques aux N premiers bits de l'adresse de lecture ; c) si la valeur du mot lu est différente de la valeur d'un mot effacé appliquer à la mémoire FLASH un signal d'enregistrement du mot lu, les étapes a) b) c) étant répétées en commençant par une adresse de lecture comprenant au moins N premiers bits égaux à "0" jusqu'à

atteindre par incrémentations successives une adresse de lecture comprenant N premiers bits égaux à "1".

Selon un mode de réalisation, le procédé comprend une étape de vérification consistant à répéter les étapes suivantes d) e) f) en commençant par une adresse de lecture comprenant N premiers bits égaux à "0" jusqu'à atteindre par incrémentations successives une adresse de lecture comprenant N premiers bits égaux à "1" : d) appliquer sur l'entrée d'adresse de la mémoire tampon l'adresse de lecture, et lire un mot dans la mémoire tampon ; e) appliquer sur l'entrée d'adresse de la mémoire FLASH une adresse comprenant les M bits de poids fort de l'adresse spécifiée et N bits de poids faible identiques aux N premiers bits de l'adresse de lecture, et lire un mot dans la mémoire FLASH ; f) comparer le mot lu dans la mémoire FLASH et le mot lu dans la mémoire tampon.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un exemple de réalisation d'une mémoire intégrée selon l'invention, faite à titre non limitatif en relation avec les figures jointes, parmi lesquelles :

- les figures 1A, 1B précédemment décrites représentent schématiquement des matrices de cellules mémoire EEPROM et de cellules mémoire FLASH conventionnelles,
- la figure 2 représente sous forme de blocs la structure d'une mémoire FLASH classique,
- la figure 3 représente sous forme de bloc la structure d'une mémoire selon l'invention, et
- les figures 4A à 4F représentent divers signaux électriques intervenant dans un procédé d'enregistrement de données dans une mémoire selon l'invention.

La figure 2 représente schématiquement une mémoire FLASH classique 10, programmable octet par octet et effaçable secteur par secteur. Une mémoire 20 selon l'invention, décrite plus loin en relation avec la figure

3, sera réalisée au moyen de cette mémoire 10. La mémoire 10 comprend une matrice 11 de cellules mémoire du type décrit au préambule (figure 1B), un décodeur de lignes WLD connecté aux lignes de mots WL_i, un décodeur de colonnes CLD connecté aux lignes de bits BL_j, ainsi qu'un circuit de lecture SA et un registre tampon de programmation PGRC connectés au décodeur de colonne CLD.

La matrice 11 comprend ici 256 secteurs de 256 pages chacun, chaque page comprenant 256 mots, chaque mot comprenant ici 8 cellules mémoire. La mémoire 10 reçoit sur son entrée d'adresse une adresse de 24 bits comprenant seize bits de poids fort a_0-a_7, a_8-a_{15} et huit bits de poids faible a_{16}-a_{23}. Les bits d'adresse a_0-a_{15} sont appliqués à un décodeur de lignes de mots WLD et les bits a_{16}-a_{23} sont appliqués à un décodeur de colonnes CLD. Les bits de plus fort poids a_0-a_7 correspondent à l'adresse d'un secteur dans la matrice 11, les bits suivants a_8-a_{15} correspondent à l'adresse d'une page physique dans un secteur, une page physique couvrant tous les mots d'une même ligne de mots, et les bits de plus faible poids a_{16}-a_{23} correspondent à l'adresse d'une colonne, c'est à dire l'adresse d'un mot dans une page.

Le circuit de lecture SA délivre en parallèle, sur une sortie DOUT de la mémoire 10, les huit bits d'un mot lu dans la matrice 11. D'autre part, les huit bits d'un mot à programmer sont reçus en parallèle sur une entrée DIN de la mémoire 10 et sont appliqués au registre tampon de programmation PGRC. Le registre PGRC comprend classiquement une série de bascules à verrouillage haute tension (non représentées) recevant chacune un bit du mot à programmer et délivrant une haute tension de programmation Vpp lorsque le bit reçu est égal à "0" (ou "1" selon la convention choisie). La tension Vpp, de l'ordre de 5 à 6 V, se propage dans les lignes de bits correspondantes de la matrice 11 pour polariser les drains des transistors à programmer (par injection d'électrons chauds) tandis qu'une autre tension Vpp de

plus forte valeur est appliquée sur les grilles des transistors, comme cela a été expliqué au préambule. Contrairement à FR 2 756 410, la capacité de stockage du registre PGRC est d'un mot et un seul, ici un octet.

Ces divers circuits, registres et décodeurs sont contrôlés et activés par un ensemble de circuits de commande, de commutation et de contrôle représentés schématiquement sous la forme d'un bloc 12. Le bloc 12 exécute une opération de lecture d'un octet sur réception d'un signal FREAD, exécute une opération de programmation d'un octet sur réception d'un signal FPGR, et exécute une opération d'effacement d'un secteur sur réception d'un signal FERASE. Le bloc 12 délivre un signal RB (Ready/Busy) égal à "1" pendant ces opérations, pour la synchronisation de la mémoire 10 avec des éléments externes.

Après l'effacement d'un secteur, une telle mémoire classique 10 ne peut programmer qu'un mot à la fois pour des raisons technologiques exposées au préambule. Le mot est présenté sur l'entrée DIN et le signal FPROG est appliqué à la mémoire 10.

La figure 3 représente la structure générale d'une mémoire 20 selon l'invention qui ne présente pas une telle limitation. La mémoire 20 comprend une mémoire centrale FLASH identique à celle qui vient d'être décrite, de même référence 10, ainsi que divers éléments périphériques parmi lesquels on distingue :

- en entrée, un circuit d'interface série/parallèle 15,
- un bus de données interne 16, ici un bus de huit bits,
- une mémoire tampon 30, ici une mémoire volatile de type SRAM adressable sous 8 bits,
- une unité centrale REPCU (Read Erase Program Central Unit) à logique câblée, référencée 40,
- un registre d'adresses de colonnes ACR (Address Columns Register) de type compteur, référencé 50,

- un registre d'adresses de lignes de mots ACR (Address Rows Register) référencé 60, également de type compteur, et
- en sortie, un circuit d'interface parallèle/série 70.

Le circuit d'interface 15 est connecté ici à un bus série de type SPI et convertit des données reçues sous forme série SDATA en données parallèles PDATA. Ces données comprennent ici des instructions, des adresses, ainsi que des mots devant être enregistrés dans la mémoire centrale 10. Le circuit d'interface 15 comprend un circuit CC1 de mise en forme des données série (Conditioning Circuit), connecté au bus SPI, un registre à décalage SR1 à entrée série et sortie parallèle (Shift Register), un tampon BF (Buffer) et un circuit BFC de contrôle de trame (Bus Frame Control). Le circuit BFC gère la synchronisation entre l'horloge du bus interne 16 (par exemple 2,5 MHz) et l'horloge du bus SPI (par exemple 20 MHz). Les données SDATA envoyées par l'intermédiaire du bus SPI sont mises en forme par le circuit CC1 et appliquées au registre SR1. Ce dernier délivre des données parallèles PDATA à l'entrée du tampon BF, dont la sortie est connectée au bus interne 16. Le tampon BF délivre les données PDATA sur le bus interne 16 sur réception d'une instruction LOAD délivrée par le circuit de synchronisation BFC.

L'entrée de données DIN de la mémoire centrale FLASH 10, qui est connectée à l'intérieur de la mémoire centrale 10 au registre tampon de programmation PGRC décrit plus haut en relation avec la figure 2, est connectée à la sortie DOUT de la mémoire tampon 30, tandis que l'entrée de données DIN de la mémoire tampon est connectée au bus interne 16. Le registre 60 est connecté en entrée au bus 16 et délivre seize bits d'adresse de poids fort a_0-a_7, a_8-a_{15} appliqués sur l'entrée d'adresse de la mémoire centrale 10. Le registre 50, également connecté au bus 16, délivre huit bits d'adresse de poids faible a_{16}-a_{23} appliqués sur l'entrée

d'adresse de la mémoire centrale 10, où ils se combinent avec les bits a_0-a_{15} pour former l'adresse complète a_0-a_{23} d'un mot.

L'unité centrale 40 contrôle ces divers éléments et comporte une entrée CDIN connectée au bus 16 pour recevoir, décoder et exécuter des instructions de haut niveau, reçues par l'intermédiaire du bus externe SPI et envoyées sur le bus interne 16 par le circuit d'interface 15. Ces instructions comprennent notamment :

1) une instruction d'effacement d'un secteur de la mémoire centrale 10, comprenant un code opération et l'adresse a_0-a_7 du secteur à effacer, se présentant par exemple sous le format suivant :

$CODE_{ERASE}$	a_0-a_7

2) une instruction de lecture d'un ou plusieurs mot dans la mémoire centrale 10, comprenant un code opération, l'adresse a_0-a_{23} du premier mot à lire et le nombre n de mots à lire, codé ici sur 8 bits (soit la possibilité de lire l'ensemble d'une page de 256 mots), se présentant par exemple sous le format suivant :

$CODE_{READ}$	a_0-a_7	a_8-a_{15}	a_{16}-a_{23}	n

3) une instruction d'enregistrement d'une suite de mots dans une page de la mémoire centrale 10, comprenant un code opération, une adresse a_0-a_{23} de départ et les mots B_1 à B_m à enregistrer, "m" pouvant aller de 1 (programmation d'un seul mot B_1) à 256 (programmation de toute une page). Cette instruction se présente par exemple sous le format suivant :

$CODE_{PGR}$	a_0-a_7	a_8-a_{15}	a_{16}-a_{23}	B_1	B_2	B_3	...	B_m

L'exécution de ces diverses instructions, ainsi que d'autres éventuelles, est assurée par l'unité centrale 40

au moyen de divers signaux de commande et de contrôle, parmi lesquels on distingue :

Signaux de commande émis :

FERASE : signal d'effacement d'un secteur de la mémoire centrale 10,
FPROG : signal de programmation d'un mot (octet) dans la mémoire centrale 10,
FREAD : signal de lecture d'un mot dans la mémoire centrale 10,
SWRITE : signal d'écriture d'un mot dans la mémoire tampon 30,
SERASE : signal d'effacement de la mémoire tampon 30
SREAD : signal de lecture d'un mot dans la mémoire tampon 30,
LOAD1 : signal de chargement dans le registre 50 d'une adresse présente sur le bus interne 16,
INCR1 : signal d'incrémentation du registre 50,
RESET1 : signal de remise à zéro du registre 50,
LOAD2 : signal de chargement dans le registre 60 d'une adresse présente sur le bus interne 16,
INCR2 : signal d'incrémentation du registre 60, et
RESET2 : signal de remise à zéro du registre 60,

Signaux de contrôle reçus :

RB (Ready/Busy) : signal de synchronisation envoyé par la mémoire centrale 10, porté à "1" pendant des opérations de lecture, programmation ou effacement,
DOUTVAL : signal envoyé par la mémoire tampon 30 et porté à "1" quand la sortie DOUT de la mémoire est valide, après application du signal de lecture SREAD,
CRY1 (Carry) : signal de dépassement de capacité du registre 50, également appliqué sur l'entrée d'incrémentation du registre 60,

CRY2 (Carry) : signal de dépassement de capacité du registre 60.

Selon l'invention, l'exécution de l'instruction d'effacement d'un secteur de la mémoire centrale 10 comprend une étape de décodage du code opération $CODE_{ERASE}$ par l'unité centrale 40, une étape de chargement de l'adresse a_0-a_7 du secteur à effacer dans le registre 60, et une étape d'application du signal FERASE à la mémoire centrale 10.

L'exécution de l'instruction de lecture d'un ou plusieurs mots dans la mémoire centrale 10 comprend une étape de décodage du code opération $CODE_{READ}$, une étape de chargement des bits d'adresse a_0-a_{15} dans le registre 60, une étape de chargement des bits d'adresse a_{16}-a_{23} dans le registre 50, et une étape d'application de "n" signaux de lecture FREAD à la mémoire centrale 10. Le nombre "n" détermine le nombre de cycles de lecture (signal FREAD) à appliquer à la mémoire centrale 10 avec incrémentation du registre d'adresses 50 avant chaque nouvelle lecture. Les données délivrées par la mémoire centrale 10 sont envoyées sur le bus SPI par le circuit parallèle/série 70. Ce dernier comprend un registre à décalage SR2 dont l'entrée est connectée à la sortie parallèle DOUT de la mémoire centrale 10, délivrant des données série SDATA au bus SPI par l'intermédiaire d'un circuit CC2 de conditionnement des signaux de sortie.

L'exécution d'une instruction d'enregistrement d'une suite de mots B_1-B_m dans une page de la mémoire centrale 10 (qui est impérativement précédée d'une instruction d'effacement du secteur concerné) est assurée par l'unité centrale 40 en trois phases parmi lesquelles on distingue :

i) une phase de lecture de l'instruction, comprenant le décodage du code opération $CODE_{PGR}$, le chargement des bits d'adresse a_0-a_{15} dans le registre 60

et le chargement des bits d'adresse a_{16}-a_{23} dans le registre 50,

ii) une phase d'enregistrement des mots B_1 à B_m dans la mémoire tampon 30, comprenant une pluralité d'étapes élémentaires d'enregistrement de chaque mot reçu sur le bus interne 16, effectuées au moyen du signal FWRITE, et

iii) une phase de lecture des mots B_1 à B_m enregistrés dans la mémoire tampon 30 et d'enregistrement de ces mots dans la mémoire centrale 10, comprenant une pluralité d'étapes élémentaires de lecture de chaque mot, effectuées au moyen du signal SREAD, et d'enregistrement dans la mémoire centrale 10 du mot lu, effectuées au moyen du signal FPROG.

Vu de l'extérieur, la phase iii) est transparente pour l'utilisateur et la mémoire 20 selon l'invention fonctionne comme une mémoire EEPROM à programmation page par page. La mémoire 20 présente ainsi les avantages d'une mémoire EEPROM en termes de souplesse d'emploi et les avantages d'une mémoire FLASH en termes de densité d'intégration. Il doit être noté ici que la surface de silicium occupée par les divers éléments ajoutés à la mémoire centrale 10 est négligeable au regard de la surface occupée par la mémoire centrale 10 elle-même.

Pour réduire le plus possible l'encombrement et la complexité de ces éléments périphériques, la présente invention prévoit un procédé avantageux permettant de réaliser les phases ii) et iii) sans qu'il soit nécessaire de prévoir un registre de stockage de l'adresse de départ fournie par l'instruction, ni de prévoir un compteur du nombre de mots enregistrés dans la mémoire tampon 30. Ce procédé repose tout d'abord sur deux arrangements d'ordre matériel. Le premier arrangement consiste à appliquer sur l'entrée d'adresse de la mémoire tampon 30 les huit bits d'adresse de poids faible a_{16}-a_{23} délivrés par le registre 50, qui représentent l'adresse d'un mot (colonne) dans une page de la mémoire centrale 10. Le second arrangement consiste

à prévoir un moyen pour détecter à la sortie de la mémoire tampon 30 la présence d'un mot ne comprenant que des bits à "1", correspondant à un mot effacé dans la mémoire centrale 10 (les cellules effacées d'une mémoire FLASH étant par convention à "1", comme indiqué au préambule). Comme illustré sur la figure 3, ce moyen prend par exemple la forme d'un comparateur logique 45 recevant sur une première entrée la sortie de la mémoire tampon 30 et sur une deuxième entrée une consigne égale à "FF" en notation hexadécimale, soit huit bits à "1". Le comparateur 45 délivre un signal DFF, qui est à "1" quand la sortie de la mémoire tampon est égale à "FF".

Ainsi, lorsque la phase ii) commence, la mémoire tampon reçoit 30 sur son entrée d'adresse l'adresse de poids faible a_{16}-a_{23} fournie par l'instruction d'enregistrement, stockée par le registre 50. Cette adresse peut ne pas être nulle, de sorte que l'enregistrement des mots B_1-B_m dans la mémoire tampon 30 peut commencer en tout point de la mémoire tampon défini par cette adresse. A chaque nouvel enregistrement, le registre 50 est incrémenté d'une unité jusqu'à ce que le dernier mot soit enregistré. Au terme de la phase ii) le contenu de la mémoire tampon 30 est ainsi l'image du contenu que devra présenter la page sélectionnée de la mémoire centrale 10 au terme de la phase iii). L'adresse de départ a_{16}-a_{23} est perdue puisque le registre 50 a été incrémenté "n" fois et qu'aucun registre de conservation de l'adresse initiale n'a été prévu.

Selon l'invention, la phase iii) consiste à lire tout le contenu de la mémoire tampon 30 à partir de l'adresse zéro en appliquant au registre 50 le signal RESET1, jusqu'à ce que le registre 50 émette le signal de dépassement CRY1. A chaque lecture de la mémoire tampon, le mot binaire présent sur la sortie DOUT est enregistré dans la mémoire centrale 10 s'il est différent de "FF" ou n'est pas enregistré s'il est égal à "FF". En effet, le secteur concerné de la mémoire centrale 10 a été

préalablement effacé et ne contient que des mots égaux à "FF". Il est donc inutile de déclencher une opération de programmation, qui ne permet que d'écrire des "0", si le mot à enregistrer est égal à "FF".

Pour fixer les idées, les figures 4A à 4F représentent quatre premières étapes de la phase iii) selon l'invention. La première étape E1 est déclenchée après l'enregistrement des mots reçus B_1-B_m dans la mémoire tampon 30, et comprend les étapes suivantes :

- lire la mémoire tampon en portant le signal SREAD à "1" (figure 4B)
- attendre que la sortie de la mémoire tampon soit valide (signal DOUTVAL à "1", figure 4C),
- vérifier que le mot délivré par la mémoire tampon est différent de "FF" (signal DFF à "0", figure 4D),
- si le mot est différent de "FF", enregistrer le mot dans la mémoire centrale 10 (signal de programmation FPROG, figure 4E)
- attendre que l'opération de programmation soit terminée (signal RB à "0", figure 4F), puis relâcher le signal de lecture SREAD (figure 4B, le signal DOUTVAL passe ensuite à "0" en figure 4C) et passer à l'étape suivante E2.

L'étape suivante E2 est identique à l'étape E1 mais comprend une étape préliminaire d'incrémentation du registre 50 (signal INCR1 à "1", figure 4A).

L'étape E3 telle que représentée sur les figures 4A à 4F illustre le cas où la sortie de la mémoire tampon délivre un mot égal à "FF". Dans ce cas, le signal DFF passe à "1" (figure 4D) et le signal FPROG n'est pas appliqué à la mémoire centrale 10. L'unité centrale passe directement à l'étape suivante, qui est ici identique à l'étape E2.

Ainsi, après la première étape E1, la phase iii) du procédé selon l'invention comprend une succession d'étapes du type E2 ou d'étapes du type E3. Si, par exemple, le premier mot a été enregistré dans la mémoire tampon à l'adresse 00001111, il y aura 256 étapes de

lecture de type E3 qui seront effectuées sans déclenchement d'une opération de programmation dans la mémoire centrale 10.

Au terme de la phase iii), l'unité centrale efface en principe la mémoire tampon au moyen du signal SERASE et efface les registres 50, 60 au moyen des signaux RESET1, RESET2. Toutefois, avant de procéder à cet effacement, une variante avantageuse du procédé de l'invention comprend une étape finale de vérification, consistant à effectuer une lecture parallèle de la mémoire centrale 10 et de la mémoire tampon 30 et à comparer les données délivrées par chacune des mémoires. Dans ce cas, le registre 50 est remis à zéro et l'unité centrale 40 balaye, en incrémentant le registre 50, toutes les adresses de poids faible a_{16}-a_{23} se trouvant à l'intérieur de la page définie par les bits d'adresse de poids fort a_0-a_{15} stockés dans le registre 60. Les mots lus en parallèle dans les deux mémoires 10, 30 sont par exemple appliqués sur les deux entrées d'un comparateur 8 bits (non représenté) dont la sortie pilote une bascule. La sortie de la bascule passe à "1" si deux mots lus en parallèle ne sont pas identiques. Cette procédure de vérification permet par exemple à la mémoire 20 d'envoyer un signal d'erreur signalant à l'utilisateur que l'opération d'enregistrement est entachée d'erreur et doit être recommencée.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses autres variantes de réalisation et perfectionnements.

En particulier, bien que l'on ait indiqué plus haut que la mémoire tampon 30 reçoit les bits d'adresse de poids faible a_{16}-a_{23} définissant l'adresse d'un mot dans une page, rien n'empêche d'étendre le procédé de l'invention à l'enregistrement de tout un secteur (voire plus), en appliquant les 16 derniers bits d'adresse a_8-a_{23} à la mémoire tampon. En pratique, un compromis devra être

fait entre la capacité de stockage de la mémoire tampon, l'encombrement et le prix de revient de la mémoire 20.

Inversement, la mémoire tampon 30 peut aussi recevoir sur son entrée d'adresse une partie seulement des bits d'adresse de poids faible a_{16}-a_{23}, ce qui revient à définir un mode de programmation par page dans lequel les pages sont des pages logiques de taille inférieure aux pages physiques de la mémoire centrale 10.

Egalement, la mémoire tampon 30 peut comporter, en sus des entrées d'adresse recevant les bits a_{16}-a_{23} (ou plus), des entrées d'adresse de poids fort contrôlées par l'unité centrale 40, permettant de délimiter dans la mémoire tampon des pages supplémentaires pouvant servir à stocker des données de fonctionnement, des paramètres de la mémoire 20, ou toute autre donnée utile.

De façon générale, on a décrit dans ce qui précède une mémoire 20 présentant une flexibilité que l'on ne rencontre dans l'art antérieur qu'avec des mémoires EEPROM. La mémoire 20 qui vient d'être décrite comprend quatre caractéristiques essentielles qui peuvent être dissociées les unes des autres mais ont été combinées dans le mode de réalisation décrit pour l'obtention d'une mémoire FLASH pouvant remplacer une mémoire EEPROM conventionnelle à entrée/sortie série et à programmation par page. Pour résumer, ces caractéristiques sont les suivantes :

1) la prévision d'une interface série/parallèle complète (codes opérations, adresses et données) ou partielle (données uniquement)

2) la prévision d'une mémoire tampon permettant de simuler la programmation en mode page des mémoires EEPROM,

3) la prévision d'une unité centrale exécutant des instructions de programmation ou de lecture de haut niveau (ces instructions pourraient en effet être pilotées de l'extérieur),

4) la prévision d'un procédé de simulation du mode page ne nécessitant pas l'utilisation d'un registre de stockage de l'adresse de départ, pour réduire la surface de silicium nécessaire à l'implémentation des éléments périphériques.

Bien que la structure de l'unité centrale n'ait pas été décrite dans ce qui précède dans un souci de simplicité, la réalisation pratique d'une telle unité centrale sous la forme d'un séquenceur à logique câblée est en soi à la portée de l'homme de l'art au regard des informations divulguées dans la présente demande. Il en est de même pour les circuits d'interface 15, 70, dont la réalisation dépend en pratique du type de bus série auquel la mémoire 20 selon l'invention doit être raccordée (RS232, I2C, SPI...).

REVENDICATIONS

1. Mémoire (20) en circuit intégré comprenant une mémoire centrale de type FLASH (10) prévue pour enregistrer un mot présenté sur son entrée (DIN) sans possibilité d'enregistrer simultanément plusieurs mots en parallèle, caractérisée en ce qu'elle comprend une mémoire tampon (30) d'une capacité suffisante pour stocker une pluralité de mots, dont la sortie est reliée à l'entrée de la mémoire FLASH (10), et des moyens (40, 50, 60) pour enregistrer dans la mémoire tampon (30) une suite de mots à enregistrer dans la mémoire FLASH (10) et enregistrer ensuite dans la mémoire FLASH (10) les mots préalablement enregistrés dans la mémoire tampon (30).

2. Mémoire selon la revendication 1, caractérisée en ce qu'elle comprend un circuit d'interface série/parallèle (15, 70) au moins pour recevoir des mots à enregistrer dans la mémoire FLASH.

3. Mémoire selon la revendication 2, caractérisée en ce qu'elle comprend un circuit d'interface série/parallèle (15, 70) pour recevoir des données à enregistrer (B_1-B_m), des adresses (a_0-a_{23}), et des instructions d'enregistrement, d'effacement ou de lecture de la mémoire FLASH ($CODE_{PGR}$, $CODE_{ERASE}$, $CODE_{READ}$).

4. Mémoire selon l'une des revendications 1 à 3, caractérisée en qu'elle comprend des moyens (50, 60) pour appliquer sur l'entrée d'adresse de la mémoire FLASH (10) une adresse reçue en entrée comprenant M bits de poids fort (a_0-a_{15}) et N bits de poids faible (a_{16}-a_{23}), et pour appliquer sur l'entrée d'adresse de la mémoire tampon (30) une adresse comprenant les N bits de poids faible (a_{16}-a_{23}) de l'adresse appliquée à la mémoire FLASH.

5. Mémoire selon la revendication 4, caractérisée en ce que les N bits de poids faible correspondent à l'adresse d'un mot dans une page de la mémoire FLASH, dont l'adresse est définie par les M bits de poids fort.

6. Mémoire selon la revendication 5, caractérisée en ce que les N bits de poids faible correspondent à l'adresse d'un mot dans une page physique de la mémoire FLASH, une page physique comprenant tous les mots présents dans une ligne de mots de la mémoire FLASH.

7. Mémoire selon l'une des revendications 1 à 6, caractérisée en ce qu'elle comprend des moyens pour exécuter une instruction d'enregistrement d'une pluralité de mots comprenant un code de l'instruction ($CODE_{PGR}$), une adresse de départ dans la mémoire FLASH et la suite de mots à enregistrer (B_1-B_m).

8. Mémoire selon la revendication 7, caractérisée en ce qu'elle comprend un compteur d'adresse (50) dont la sortie est connectée à l'entrée d'adresse de la mémoire tampon et aux entrées d'adresse de plus faible poids de la mémoire FLASH.

9. Mémoire selon la revendication 8, caractérisée en ce qu'elle comprend des moyens (40,60) pour :

i) charger dans le compteur d'adresse (50) N bits de poids faible d'une adresse d'enregistrement dans la mémoire FLASH du premier mot de la suite de mots,

ii) enregistrer le premier mot reçu dans la mémoire tampon (30) et enregistrer les mots suivants en incrémentant le compteur d'adresse (50) à chaque nouvel enregistrement,

iii) mettre à zéro le compteur d'adresse (50),

iv) appliquer M bits de poids fort de l'adresse d'enregistrement du premier mot sur l'entrée d'adresse de la mémoire FLASH, à un moment quelconque avant l'étape v)

v) lire la mémoire tampon (30) à l'adresse courante délivrée par le compteur d'adresse (50),

vi) si la valeur du mot lu dans la mémoire tampon est différente de la valeur d'un mot effacé (FF), appliquer à la mémoire FLASH un signal de programmation (FPGR),

vii) incrémenter le compteur d'adresse (50) et répéter les étapes v) et vi) jusqu'à la dernière adresse de N bits pouvant être délivrée par le compteur d'adresse avant débordement (CRY1).

10. Procédé pour enregistrer une pluralité de mots dans une mémoire FLASH (10) comprenant des moyens pour enregistrer un mot sans possibilité d'enregistrer simultanément plusieurs mots en parallèle, caractérisé en ce qu'il comprend les étapes consistant à :

- prévoir une mémoire tampon (30) d'une capacité suffisante pour stocker la pluralité de mots, et connecter la sortie de la mémoire tampon à l'entrée de la mémoire FLASH,
- enregistrer dans la mémoire tampon la suite de mots envoyés à la mémoire FLASH, puis
- enregistrer les uns après les autres dans la mémoire FLASH les mots enregistrés dans la mémoire tampon.

11. Procédé selon la revendication 10, dans lequel les mots sont reçus sous forme de données série (SDATA) et les données série sont reconstituées en mots (PDATA) envoyés à l'entrée de la mémoire tampon (30).

12. Procédé selon l'une des revendications 10 et 11, pour enregistrer la suite de mots dans la mémoire FLASH à partir d'une adresse d'enregistrement spécifiée comprenant M bits de poids fort (a_0-a_{15}) et N bits de poids faible (a_{16}-a_{23}), caractérisé en ce qu'il comprend une étape consistant à enregistrer les mots dans la mémoire tampon à partir d'une adresse réduite comprenant

au moins N premiers bits (a_{16}-a_{23}) égaux aux N bits de poids faible de l'adresse d'enregistrement spécifiée, et incrémenter l'adresse réduite après chaque enregistrement.

13. Procédé selon la revendication 12, caractérisé en ce qu'il comprend les étapes suivantes :

a) appliquer sur l'entrée d'adresse de la mémoire tampon une adresse de lecture comprenant au moins N premiers bits (a_{16}-a_{23}) et lire un mot dans la mémoire tampon (30),

b) appliquer sur l'entrée d'adresse de la mémoire FLASH une adresse comprenant les M bits de poids fort (a_0-a_{15}) de l'adresse spécifiée et N bits de poids faible identiques aux N premiers bits de l'adresse de lecture,

c) si la valeur du mot lu est différente de la valeur d'un mot effacé (FF) appliquer à la mémoire FLASH un signal d'enregistrement du mot lu,

les étapes a) b) c) étant répétées en commençant par une adresse de lecture comprenant au moins N premiers bits égaux à "0" jusqu'à atteindre par incrémentations successives une adresse de lecture comprenant N premiers bits égaux à "1".

14. Procédé selon l'une des revendications 12 et 13, comprenant une étape de vérification consistant à répéter les étapes suivantes d) e) f) en commençant par une adresse de lecture comprenant N premiers bits égaux à "0" jusqu'à atteindre par incrémentations successives une adresse de lecture comprenant N premiers bits égaux à "1" :

d) appliquer sur l'entrée d'adresse de la mémoire tampon l'adresse de lecture, et lire un mot dans la mémoire tampon,

e) appliquer sur l'entrée d'adresse de la mémoire FLASH une adresse comprenant les M bits de poids fort de l'adresse spécifiée et N bits de poids faible identiques

aux N premiers bits de l'adresse de lecture, et lire un mot dans la mémoire FLASH,

f) comparer le mot lu dans la mémoire FLASH et le mot lu dans la mémoire tampon.

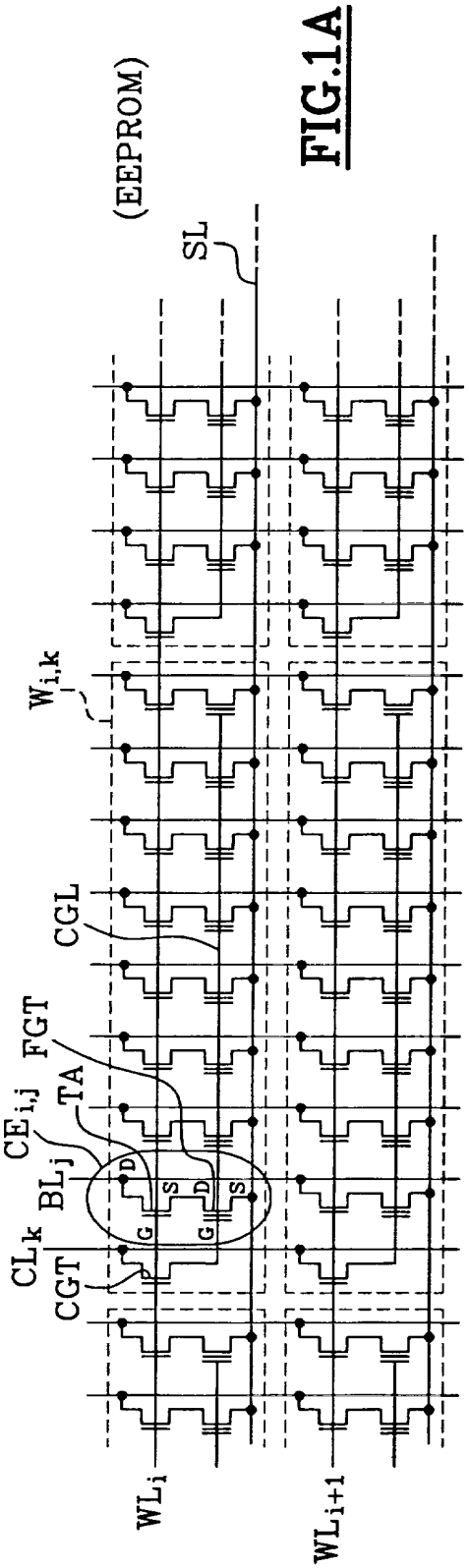

(EEPROM)
SL
$W_{i,k}$
CGL
FGT
TA
$CE_{i,j}$
BL_j
CL_k
CGT
G
D
S
WL_i
WL_{i+1}

FIG.1A

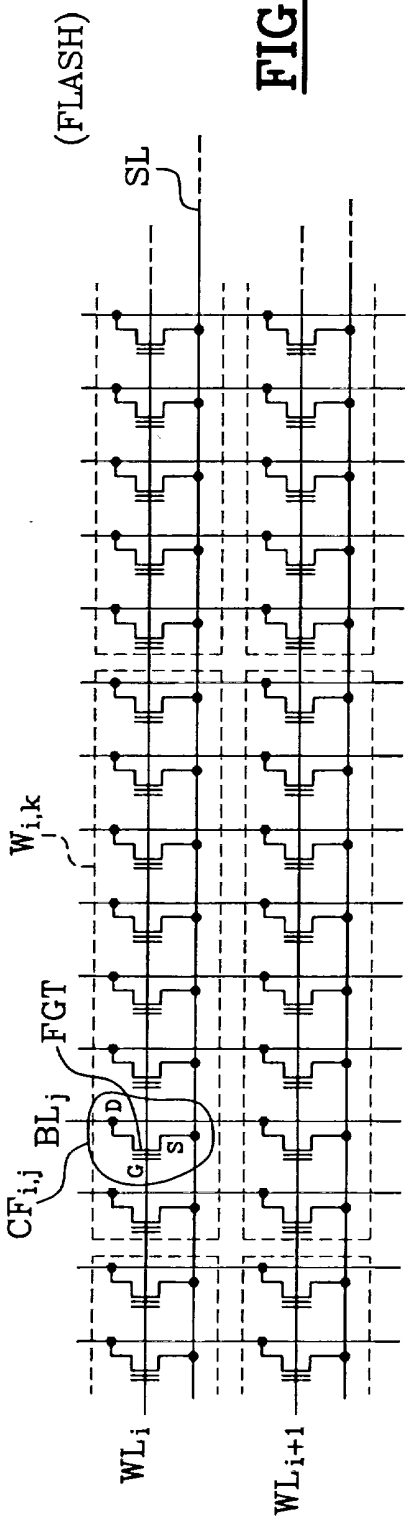

(FLASH)
SL
$W_{i,k}$
FGT
BL_j
$CF_{i,j}$
G
D
S
WL_i
WL_{i+1}

FIG.1B

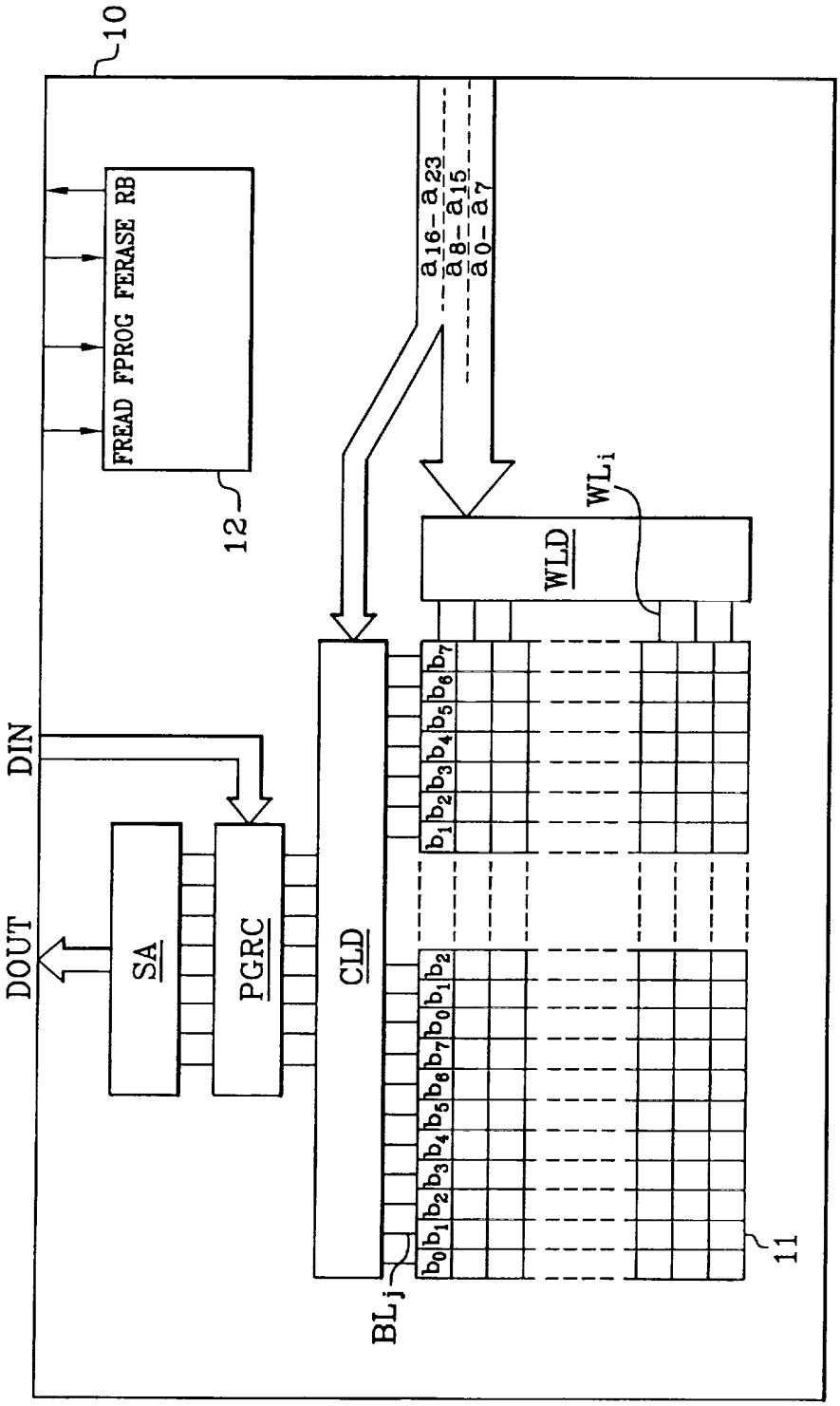

10
FREAD FPROG FERASE RB
12
a16- a23
a8- a15
a0- a7
WLD
WLi
DIN
DOUT
SA
PGRC
CLD
BLj
11

FIG.2

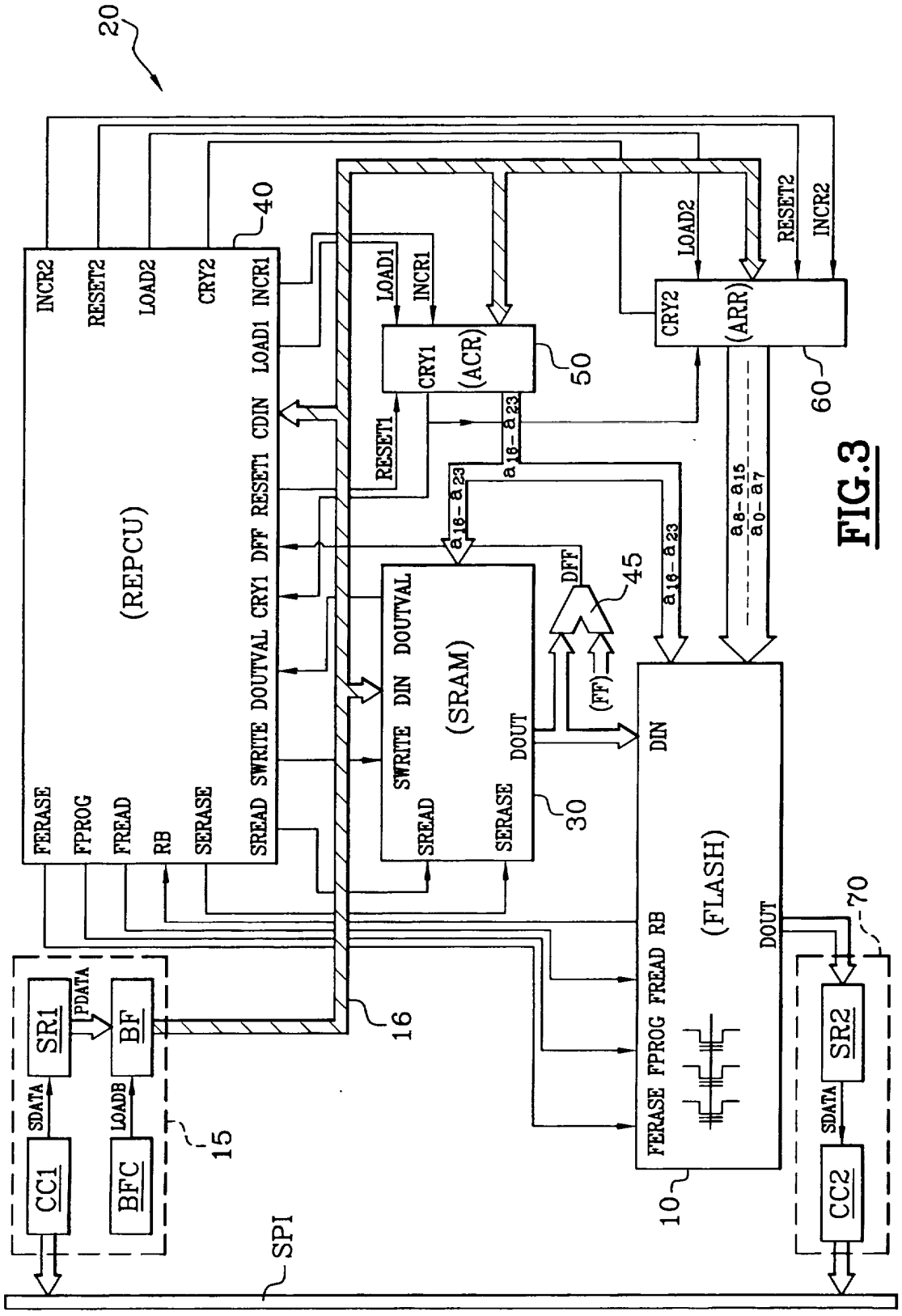

20
40
INCR2
RESET2
LOAD2
CRY2
LOAD1
INCR1
(REPCU)
FERASE
FPROG
FREAD
RB
SERASE
SREAD
SWRITE
DOUTVAL
CRY1
DFF
RESET1
CDIN
50
(ACR)
CRY1
RESET1
60
(ARR)
CRY2
45
DFF
(FF)
30
(SRAM)
SWRITE
DIN
DOUTVAL
SREAD
SERASE
DOUT
10
(FLASH)
DIN
FERASE
FPROG
FREAD
RB
DOUT
70
16
15
SR1
PDATA
BF
SDATA
LOADB
CC1
BFC
SR2
SDATA
CC2
SPI

FIG.3

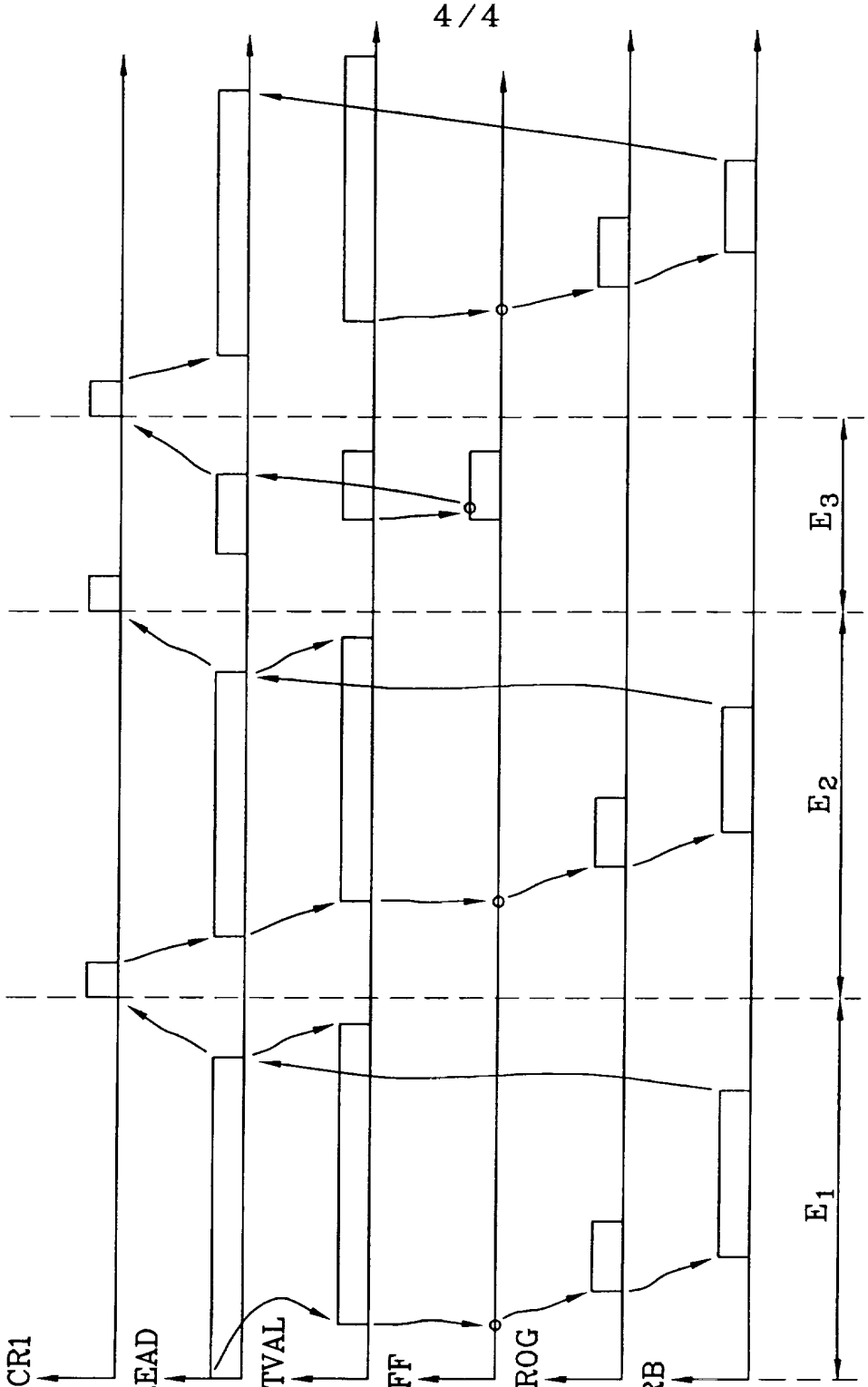


FIG.4A FIG.4B FIG.4C FIG.4D FIG.4E FIG.4F

INPI
INSTITUT NATIONAL DE LA PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

2803080

N° d'enregistrement national

FA 584463
FR 9916445

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
D,X Y	EP 0 845 787 A (SGS THOMSON MICROELECTRONICS) 3 juin 1998 (1998-06-03) * colonne 3, ligne 56 - colonne 4, ligne 25; figure 2 *	1,10 2-7,11, 12	G11C16/04 G11C11/409 G11C7/10
Y A	US 5 363 330 A (FUTATSUYA TOMOSHI ET AL) 8 novembre 1994 (1994-11-08) * colonne 8, ligne 9 - colonne 9, ligne 62; figures 1-3 *	4-6,12 1,7-10, 13	
Y A	US 5 488 711 A (HEWITT KENT D ET AL) 30 janvier 1996 (1996-01-30) * colonne 3, ligne 48 - colonne 4, ligne 27; figure 1 * * colonne 5, ligne 45 - colonne 6, ligne 59; revendications 1,2; figures 6-8 *	2,3,7,11 1,4-6, 8-10,12	
A	WO 97 48101 A (MACRONIX INT CO LTD ;WAN RAY LIN (US); LEE YU SUI (US); HUNG CHUN) 18 décembre 1997 (1997-12-18) * page 11, ligne 23 - page 13, ligne 8; figures 1,5 *	1,4-7,9, 10,12-14	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) G11C
A	US 4 763 305 A (KUO CLINTON) 9 août 1988 (1988-08-09) * abrégé *	9,13	
A	US 4 402 065 A (TAYLOR DAVID L) 30 août 1983 (1983-08-30) * colonne 2, ligne 13 - colonne 3, ligne 39; figures 1,2 *	1,2,4-6, 10,13	
A	US 5 621 738 A (CAYWOOD JOHN ET AL) 15 avril 1997 (1997-04-15) * abrégé; revendications; figures 1,4 *	1,10, 12-14	

Date d'achèvement de la recherche	Examinateur
12 septembre 2000	Cummings, A

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)