



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월05일

(11) 등록번호 10-1489469

(24) 등록일자 2015년01월28일

(51) 국제특허분류(Int. Cl.)

H01L 21/56 (2006.01)

(21) 출원번호 10-2013-0133439

(22) 출원일자 2013년11월05일

심사청구일자 2013년11월05일

(56) 선행기술조사문헌

JP2011166008 A*

KR1020070052043 A*

US06512295 B2*

JP11087557 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인하대학교 산학협력단

인천광역시 남구 인화로 100, 인하대학교 (용현동)

(72) 발명자

김영국

인천 연수구 한진로 49, 505동 306호 (옥련동, 현대5차아파트)

(74) 대리인

김국진

전체 청구항 수 : 총 4 항

심사관 : 심병로

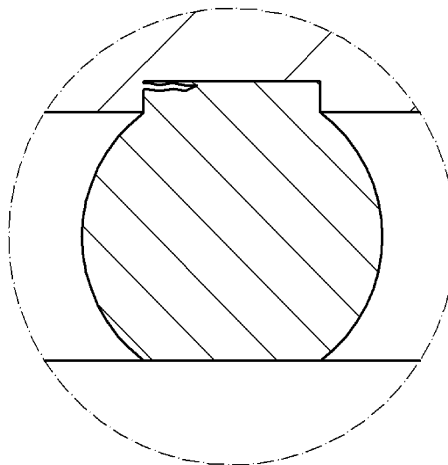
(54) 발명의 명칭 패턴화된 플라스틱 볼 그리드 어레이 패키지

(57) 요약

본 발명은 패턴화된 플라스틱 볼 그리드 어레이 패키지에 관한 것으로서, 더욱 상세하게는 PBGA(Plastic Ball Grid Array) 패키지에서 솔더볼에 가해지는 변형 에너지를 집중시켜 기계적 손상 발생을 방지하거나 그 진행속도를 늦추어 패키지의 신뢰성을 향상시키도록 한 패턴화된 플라스틱 볼 그리드 어레이 패키지에 관한 것이다.

상기한 목적을 달성하기 위한 본 발명은 기관의 상면에 솔더볼을 사용하여 서브스트레이트를 결합하되, 서브스트레이트의 상면에는 반도체 칩과 반도체 칩을 고정하기 위한 몰딩부가 형성되는 패턴화된 플라스틱 볼 그리드 어레이 패키지에 있어서, 상기 몰딩부의 상면에는 변형 방지부가 형성되며, 상기 변형 방지부는 반도체 칩의 가장자리 부분에 위치하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

기판의 상면에 솔더볼을 사용하여 서브스트레이트를 결합하되, 서브스트레이트의 상면에는 반도체 칩과 반도체 칩을 고정하기 위한 몰딩부가 형성되는 패턴화된 플라스틱 볼 그리드 어레이 패키지에 있어서,

상기 몰딩부의 상면에는 변형 방지부가 형성되되,

상기 변형 방지부는 솔더볼 중 SED가 가장 많이 가해지는 솔더볼이 위치하는 몰딩부의 상면, 또는 그 외측에 형성되는 것을 특징으로 하는 패턴화된 플라스틱 볼 그리드 어레이 패키지.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 변형 방지부는 둔턱 형상으로 형성되는 것을 특징으로 하는 패턴화된 플라스틱 볼 그리드 어레이 패키지.

청구항 4

제3항에 있어서,

상기 변형 방지부의 두께는 몰딩부의 두께보다 두껍게 형성되는 것을 특징으로 하는 패턴화된 플라스틱 볼 그리드 어레이 패키지.

청구항 5

제1항에 있어서,

상기 변형 방지부는 몰딩부를 형성할 때 동시에 형성되는 것을 특징으로 하는 패턴화된 볼 그리드 어레이 패키지.

명세서

기술분야

[0001]

본 발명은 패턴화된 플라스틱 볼 그리드 어레이 패키지에 관한 것으로서, 더욱 상세하게는 PBGA(Plastic Ball Grid Array) 패키지에서 솔더볼에 가해지는 변형 에너지 집중을 분산시켜 기계적 손상 발생을 방지하거나 그 진행속도를 늦추어 패키지의 신뢰성을 향상시키도록 한 패턴화된 플라스틱 볼 그리드 어레이 패키지에 관한 것이다.

배경기술

[0002]

반도체 산업에서 표면 실장 패키징 기술은 가볍고 작으며 얇은 구조를 저 비용으로 구현하도록 발전해오고 있다. 특히 실리콘 칩의 크기에 근접한 칩 스케일 패키지가 출현함에 따라 관련 실장 기술 및 실장 후 전기적 기계적 신뢰성에 대한 중요성이 크게 부각되고 있다. 1차 실리콘 칩 패키지 방법(1st level package) 중 가장 광범위하게 쓰이는 기술이 플라스틱 볼 그리드 어레이(Plastic ball grid array: PBGA) 기술이다.

- [0003] PBGA 패키지 제작을 위한 가장 일반적인 공정은 개략 다음과 같은 순서로 진행된다.
- [0004] 먼저, 웨이퍼 상면에 집적회로를 형성하는 FAB(Fabrication)공정이 끝난 상태에서 웨이퍼에 형성된 반도체 칩을 개별적으로 분리하기 위한 소잉(sawing)을 실시한다.
- [0005] 그 다음, 내부에 배선이 형성된 회로기판이 공정에 투입됨에 따라 회로기판 상면에 접착제를 도포하여 절단된 반도체 칩을 본딩시키게 되며, 칩 본딩이 끝난 후에는 반도체 칩에 형성된 본딩패드와 회로기판상의 소정의 배선 사이를 와이어를 이용하여 서로 전기적으로 연결시키는 와이어 본딩을 실시하게 된다. Flip chip인 경우는 솔더로 연결한다.
- [0006] 그리고 와이어 본딩이 완료된 후에는 반도체 칩을 EMC(Epoxy Molding Compound)로 봉지하는 몰딩 공정을 수행하게 된다. Wafer level 패키징인 경우는 몰딩 공정 후 소잉을 하게 된다. 몰딩이 완료된 다음에는 스크린 프린팅(Screen Printing)을 통해 회로기판으로 제작된 패키지 본체 저면에 일정 패턴의 솔더 페이스트를 전사하여 일정 패턴으로 솔더볼을 부착시킨 다음, 열처리 공정인 리플로우(reflow)를 수행하여 솔더볼을 회로기판 본체에 견고히 고정시키게 된다.
- [0007] 그 후 클리닝 및 마킹 공정을 거쳐 완제품인 PBGA 패키지를 출하하게 된다.
- [0008] 이러한, PBGA 반도체 패키지의 일 예로 도 1 내지 도 2에 도시된 바와 같은 한국등록실용신안 제20-148625호에 기재된 기술이 개발되었는데, 그 기술적 특징은 서브스트레이트(1)의 상면에 형성된 랜드부(2)에 반도체 칩(3)이 부착되어 있고, 상기 서브스트레이트(1)의 하면에는 다수개의 솔더볼(4)이 부착되어 있으며, 상기 서브스트레이트(1)에는 상,하 방향으로 다수개의 내부 리드(5)가 형성되고, 상기 반도체 칩(3)과 상기 내부 리드(5)의 상면은 금속 와이어(6)로 연결되어 있으며, 상기 반도체 칩(3)과 금속 와이어(6)를 감싸도록 상기 서브스트레이트(1)의 상면에는 몰딩부(7)가 형성되고, 상기 다수개의 솔더볼(4)은 기판(8)의 상면에 실장 되는 것을 특징으로 한다.
- [0009] 그런데, 한국등록실용신안 제20-148625호에 기재된 기술은 비교적 단순한 공정과 저비용 그리고 효과적으로 실리콘 칩을 보호하는 특성 때문에 많이 사용되고 있다, 기본적으로 몰딩 콤파운드로 쓰이는 재료가 에폭시 계통의 고분자이기 때문에 패키지가 온도 변화에 노출되면 변화에 따라 민감하게 팽창 및 축소를 하게 되며, 이러한 현상 때문에 기판에 실장 한 후 반복되는 수축 및 팽창으로 인해 여러 가지 기계적 손상을 야기하는데, 이에 따라 발생하는 휨 현상(warp)으로 인한 도 3에 도시된 바와 같이 기판과 PBGA를 연결하는 솔더볼의 파손은 패키지의 신뢰성에 치명적인 손상을 발생하는 문제점이 있다.
- [0010] 그리고, 이를 방지하기 위해서 기본적으로 몰딩 콤파운드의 두께가 얇아야 하나, 금속 와이어를 보호하고 몰딩 콤파운드 상부에 마킹을 위해서 적절한 두께를 유지해야 하므로 휨 현상에 의한 솔더의 균열을 근본적으로 막을 수 없는 문제점이 있다.

선행기술문헌

비특허문헌

- [0011] (비특허문헌 0001) Material property effects on solder failure analyses(저자 : Yeong K. Kim(김영국), Jin Hyuk Gang, Bo-young Lee, 발표 저널 : Microelectronics Reliability, Volume 51, page 985-993, 2011)

발명의 내용

해결하려는 과제

- [0012] 본 발명은 상기한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 기판의 상부에 솔더볼을 사용하여 서브스트레이트를 결합하고, 상기 서브스트레이트의 상면에 반도체칩을 설치하되 상기 서브스트레이트에 형성되는 내부리드와 반도체칩은 금속 와이어로 연결되며, 상기 서브스트레이트의 상부에는 반도체칩과 금속와이어를 감싸도록 몰딩부가 형성되는데, 상기 몰딩부의 상면에는 적절한 형상의 변형 방지부를 형성함으로써, 몰딩부의 열변형에 의해 솔더볼에 작용하는 변형 에너지를 분산시키게 되어 솔더볼이 손상되는 것을 방지할 수 있는 패턴화된 플라스틱 볼 그리드 어레이 패키지를 제공하는 것이다.

과제의 해결 수단

- [0013] 이러한 문제점을 해결하기 위한 본 발명은;
- [0014] 기관의 상면에 솔더볼을 사용하여 서브스트레이트를 결합하되, 서브스트레이트의 상면에는 반도체 칩과 반도체 칩을 고정하기 위한 몰딩부가 형성되는 패턴화된 플라스틱 볼 그리드 어레이 패키지에 있어서, 상기 몰딩부의 상면에는 변형 방지부가 형성되는 것을 특징으로 한다.
- [0015] 여기서, 상기 변형 방지부는 솔더볼 중 SED가 가장 많이 가해지는 솔더볼이 위치하는 몰딩부의 상면, 또는 그 외측에 형성되는 것을 특징으로 한다.
- [0016] 그리고, 상기 변형 방지부는 둔턱 형상으로 형성되는 것을 특징으로 한다.
- [0017] 이때, 상기 변형 방지부의 두께는 몰딩부의 두께보다 두껍게 형성되는 것을 특징으로 한다.
- [0018] 또한, 상기 변형 방지부는 몰딩부를 형성할 때 동시에 형성되는 것을 특징으로 한다.

발명의 효과

- [0019] 상기한 구성의 본 발명에 따르면, 기관의 상부에 솔더볼을 사용하여 서브스트레이트를 결합하고, 상기 서브스트레이트의 상면에 반도체칩을 설치하되 상기 서브스트레이트에 형성되는 내부리드와 반도체칩은 금속 와이어 혹은 솔더볼로 연결되며, 상기 서브스트레이트의 상부에는 반도체칩과 금속와이어 혹은 솔더볼을 감싸도록 몰딩부가 형성되는데, 상기 몰딩부의 상면에는 둔턱 형상의 변형 방지부를 형성함으로써, 몰딩부의 열변형에 의해 솔더볼에 작용하는 변형 에너지를 분산시키게 되어 솔더볼이 손상되는 것을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 종래 PBGA 반도체 패키지의 개념도이다.
- 도 2는 종래 PBGA 반도체 패키지의 단면도이다.
- 도 3은 종래 PBGA 반도체 패키지의 솔더 부분 크랙발생 예시도이다.
- 도 4는 본 발명에 따른 PBGA 반도체 패키지의 칩 실장 상태의 사시도이다.
- 도 5는 본 발명에 따른 PBGA반도체 패키지의 단면도이다.
- 도 6은 본 발명에 적용되는 솔더볼의 형상도이다.
- 도 7은 본 발명에서 유한요소법에 의한 솔더의 피로 에너지 계산 방법을 설명하기 위한 PBGA 패키징 구조의 3차원 스트립 모델 간략화도이다.
- 도 8은 도 7의 부분 단면도이다.
- 도 9는 변형 에너지를 계산하기 위해 사용된 온도 싸이클의 도면이다.
- 도 10은 도 7의 모델에 도 9의 온도 싸이클이 적용됐을 때 발생된 변형 에너지를 보여주는 도면이다.
- 도 11은 본 발명에서 몰딩부의 상면에 둔턱을 형성한 패키징 구조도이다.
- 도 12는 도 7 및 8의 모델에 도 9의 온도 싸이클을 적용했을 때, 발생하는 4번 솔더볼에서의 변형 에너지를 비교한 그래프이다.
- 도 13은 반도체 칩이 flip chip 형태로 부착된 상태의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다. 그리고, 본 발

명은 다수의 상이한 형태로 구현될 수 있고, 기술된 실시 예에 한정되지 않음을 이해하여야 한다.

- [0022] 도 4는 본 발명에 따른 PBGA 반도체 패키지의 칩 실장 상태의 사시도이고, 도 5는 본 발명에 따른 PBGA반도체 패키지의 단면도이고, 도 6은 본 발명에 적용되는 솔더볼의 형상도이고, 도 7은 본 발명에서 유한요소법에 의한 솔더의 피로 에너지 계산 방법을 설명하기 위한 PBGA 패키징 구조의 3차원 스트립 모델 간략화도이고, 도 8은 도 7의 부분 단면도이고, 도 9는 변형 에너지를 계산하기 위해 사용된 온도 싸이클의 도면이고, 도 10은 도 7의 모델에 도 9의 온도 싸이클이 적용됐을 때 발생된 변형 에너지를 보여주는 도면이고, 도 11은 본 발명에서 몰딩부의 상면에 둔턱을 형성한 패키징 구조도이고, 도 12는 도 7 및 8의 모델에 도 9의 온도 싸이클을 적용했을 때, 발생하는 4번 솔더볼에서의 변형 에너지를 비교한 그래프이고, 도 13은 반도체 칩이 flip chip 형태로 부착된 상태의 단면도이다.
- [0023] 본 발명은 패턴화된 플라스틱 볼 그리드 어레이 패키지에 관한 것으로 도 4 및 도 5에 도시된 바와 같이 그 구성은 회로가 형성되는 기판(10)과 상기 기판(10)의 상면에 구비되는 서브스트레이트(30)와 상기 기판(10)과 서브스트레이트(30)을 연결하는 솔더볼(20)과 상기 서브스트레이트(30)의 상면에 구비되는 반도체 칩(40)과 상기 반도체 칩(40)을 커버하는 몰딩부(60)로 이루어진다.
- [0024] 여기서, 상기 서브스트레이트(30)의 상면에는 상기 반도체 칩(40)이 안착되는 랜드부(80)가 형성되어 보다 용이하게 반도체 칩(40)을 설치할 수 있는데, 상기 서브스트레이트(30)에는 상하부를 전기적으로 연결하는 내부리드(미도시)가 형성되고, 상기 내부리드는 금속 와이어(50)를 사용하여 반도체 칩(40)과 전기적으로 연결되게 된다.
- [0025] 만약, 도 13에 도시된 바와 같이, 반도체 칩(40)이 flip chip 형태로 부착된다면 금속 와이어(50)가 없고 대신 별도의 작은 솔더볼(51)로 연결된다.
- [0026] 그래서, 상기 반도체 칩(40)의 각 단자와 서브스트레이트(30)의 하면으로 노출되는 내부리드를 연결하게 됨으로써, 회로가 형성된 기판(10)의 상면에 형성되는 각 단자와 서브스트레이트(30)의 하면에 노출되는 내부리드를 용이하게 연결할 수 있게 된다.
- [0027] 이때, 상기 솔더볼(20)은 도 6에 도시된 바와 같이, 볼 형상의 솔더(22)와 상기 솔더(22)이 상부와 하부에 형성되는 구리패드(21)로 이루어지게 되는데, 상기 솔더(22)의 상부와 하부에 각각 구리패드(21)를 형성함으로써, 기판(10)과 서브스트레이트(30)을 연결할 때, 보다 전기가 잘 통할 수 있게 한다.
- [0028] 또한, 상기 몰딩부(60)는 에폭시 몰딩 컴파운드(EMC)를 사용하여 형성되는데, 상기 몰딩부(60)는 반도체 칩(40)의 상부를 커버하도록 하여 서브스트레이트(30)의 상면에 보다 견고하게 결합되게 할 뿐만 아니라, 반도체 칩(40)과 내부리드를 연결하는 금속 와이어(50) 또는 작은 솔더볼(51)을 커버함으로써 금속와이어(50) 또는 작은 솔더볼(51)이 외력에 의해 손상되는 것을 안정적으로 보호할 수 있게 된다.
- [0029] 그리고, 서브스트레이트(30)의 상부에 형성되는 몰딩부(60)의 상면에는 변형 방지부(70)가 형성되는데, 상기 변형 방지부(70)는 상부로 돌출되는 둔턱 형상으로 형성되며, 상기 둔턱 형상은 상부가 각진 형태의 사각바 형상 또는 상부가 반원과 같은 라운드 형상으로 이루어지는 등 다양한 형상으로 형성된다.
- [0030] 이때, 상기 변형 방지부(70)는 서브스트레이트(30)와 기판(10)을 연결하는 다수의 솔더볼(20) 중에서 변형 에너지가 집중되는 솔더볼(20)의 상부에 형성함으로써, 특정 솔더볼(20)에 집중되는 변형 에너지를 분산시켜 주게 되어 솔더볼(20)의 내구성을 높여주게 되어 장시간 사용하더라도 반도체 패키지의 신뢰성 및 안정성을 높여주게 된다.
- [0031] 즉, 상기 서브스트레이트(30)에 설치된 반도체 칩(40)은 전기가 공급되어 동작하게 될 경우 열이 발생하게 되며, 몰딩부(60)를 형성하는 재료는 에폭시 계통의 고분자이기 때문에 반도체 칩(40)에서 배출되는 열, 또는 주위의 온도 환경 변화에 의해 몰딩부(60)에 민감하게 팽창 및 수축하는 변형이 발생하게 되는데, 그에 따라 서브스트레이트(30)에도 변형이 발생됨으로써, 서브스트레이트(30)과 기판(10)을 연결하는 솔더볼(20)에 변형 에너지가 가해지게 되어 솔더볼(20)이 손상되게 된다.
- [0032] 여기서, 일반적인 솔더 재료에 많이 쓰이는 금속재료는 하중의 변화가 빠른 경우 응력(stress)에 의해 파손되고 하중의 변화가 느린 경우 단위 변형(strain)에 의해 파손되는데, 상기에서 언급되는 온도 변화에 의한 패키지

구조의 변형일 경우 아주 낮은 주파수의 온도 변화(1 cycle당 5분 혹은 그 보다 긴 시간)에 의해 발생함으로 응력에 의해서 보다는 단위 변형에 의해 파손이 발생하며, 이 크기를 나타내는 척도를 변형 밀도 에너지(strain energy density:SED)라고 하고, 온도 사이클이 계속됨에 따라 PBGA가 실장된 기판 및 전체 패키지 구조는 힘을 반복하게 되고 이에 따라 솔더볼(20)에는 SED가 계속 축적되어 결국 솔더볼(20)의 파손으로 나타나게 된다.

[0033] 그런데, 본 발명은 상기 몰딩부(60)의 상부에 둔턱 형상의 변형 방지부(70)을 형성함으로써, 상기 변형 방지부(70)의 하부에 위치하는 솔더볼(20)에 집중되는 변형 에너지를 분산시키게 되어, 솔더볼(20)의 파손을 안정적으로 방지할 수 있게 된다.

[0034] 이때, 상기 변형 방지부(70)는 상기 몰딩부(60)을 형성할 때, 동시에 형성하게 되는데, 에폭시 몰딩 컴파운드(EMC)를 주입할 때 사용되는 몰딩의 구조를 간단히 변형하여 만들 수 있어, 몰딩부(60)와 동일한 재질로 변형 방지부(70)를 용이하게 형성할 수 있게 된다.

[0035] 물론, 몰딩부(60)를 형성한 후, 별도의 재질로 변형 방지부(70)를 형성하는 것도 가능하다.

[0036] 한편, 도 7 내지 도 12를 참조하면 전술한 변형 에너지 밀도(SED)를 감소하는 것을 확인할 수 있는데, 도 7 및 도 8에 도시된 바와 같은 일반적인 PBGA 패키징 구조에서는 7개의 솔더볼(20)이 구비되며, 도 9에서 보여지 것과 같이 섭씨 65℃와 -30℃를 최고와 최저온도로 가진 열 사이클이 네번 가해진 경우에 각 솔더에 발생하는 SED를 상용 유한요소 프로그램인 ANSYS를 사용하여 계산하였다.

[0037] 그 결과에 의하면 가장 많이 SED가 발생하는 솔더는 4번 솔더볼(20)로써, 도 10에 도시되어 있고, 온도 사이클이 네번 진행되는 동안 0.11MPa가 발생하였다. 동일한 구조에 도 11에 도시된 바와 같이 실리콘 칩이 끝나는 위치인 5번 솔더볼(20)위에 동일한 두께의 둔턱 형상의 변형 방지부(70)를 형성하였다. 이 위치는 계산에 의하여 결정된다. 이렇게 몰딩 컴파운드를 변형 한 후, 같은 열 사이클의 하중을 가해서, SED를 계산하였더니 4번 솔더볼(20)에 발생한 SED가 0.10 MPa로 나타남으로써, 약 10%의 감소율을 보였다.

[0038] 이는 단지 네 사이클의 온도 변화에 의한 차이로 일반적으로 전자 패키징 구조가 천 사이클 이상 노출되는 사실을 감안할 때, 사이클 수가 증가할수록 그 차이는 더욱 커지게되는 것은 자명하다.

[0039] 즉, 기존의 몰딩부(60)에서 특정 위치의 상면의 형상을 변형하여 변형 방지부(70)를 형성함으로써, SED의 발생을 감소할 수 있고, 이에 따라 솔더볼(20)의 신뢰성을 높일 수 있게 된다.

[0040] 이러한 변형 방지부(70)의 위치를 결정하는 방법은 몰딩부(60)의 상부 다양한 부분에 각각 변형 방지부(70)를 형성한 후, 각 솔더볼(20)에 가해지는 SED를 계산하게 되며, 변형 방지부(70)가 형성된 위치에 따른 SED의 감소율을 통하여 최적의 감소율이 나타나는 위치에 최종적으로 변형 방지부(70)를 설치하게 된다.

[0041] 여기서, 상기 변형 방지부(70)의 위치는 도 11에 도시된 바와 같이, 가장 큰 SED가 집중되는 4번 솔더볼(20)의 상부에서 외측 방향으로 치우치게 형성할 경우 감소율이 가장 크게 나타났다.

[0042] 즉, 몰딩부(60)의 상면에 변형 방지부(70)가 형성되는 것만으로도 SED의 일정 감소효과가 있으나, SED가 집중되는 솔더볼(20)이 위치하는 몰딩부(60)의 상면 외측에 위치할 경우 SED의 감소율이 더욱 높게 나타나게 된다.

[0043] 그리고, 각 솔더볼(20)에 가해지는 SED를 측정하는 방법은 다양한 논문에서 공지된 사항이므로 별도의 설명은 생략하도록 한다.

[0044] 이상에서 본 발명의 바람직한 실시 예를 설명하였으나, 본 발명의 권리범위는 이에 한정되지 않으며, 본 발명의 실시 예와 실질적으로 균등한 범위에 있는 것까지 본 발명의 권리 범위가 미치는 것으로 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형 실시가 가능한 것이다.

산업상 이용가능성

[0045] 본 발명은 패터화된 플라스틱 볼 그리드 어레이 패키지에 관한 것으로서, 더욱 상세하게는 PBGA(Plastic Ball Grid Array) 패키지에서 솔더볼에 가해지는 변형 에너지 집중을 분산시켜 기계적 손상 발생을 방지하거나 그 진행속도를 늦추어 패키지의 신뢰성을 향상시키도록 한 패터화된 플라스틱 볼 그리드 어레이 패키지에 관한 것이

다.

부호의 설명

10 : 기판

20 : 솔더볼

30 : 서브스트레이트

40 : 반도체 칩

50 : 금속 와이어

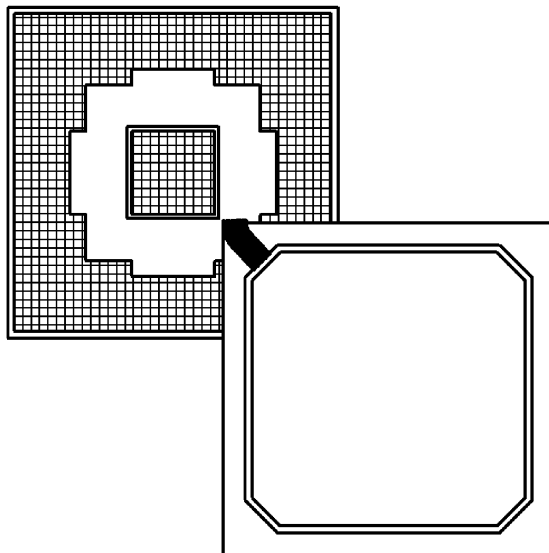
60 : 몰딩부

70 : 변형 방지부

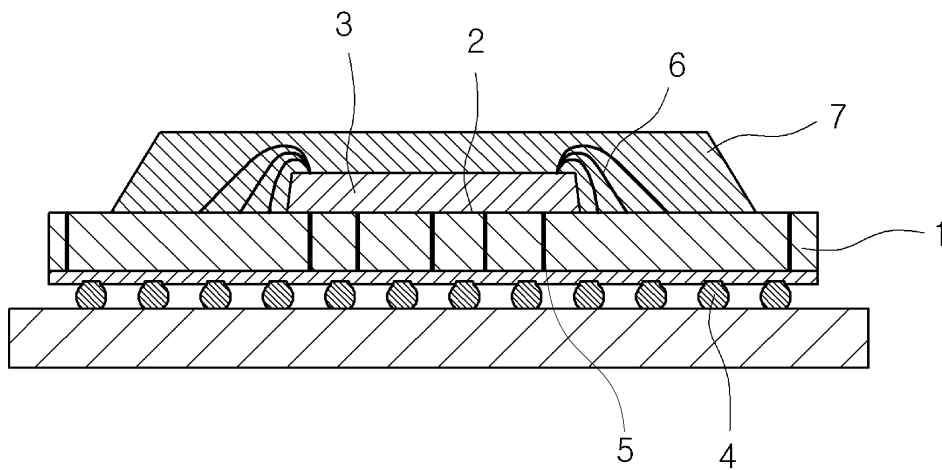
80 : 랜드부

도면

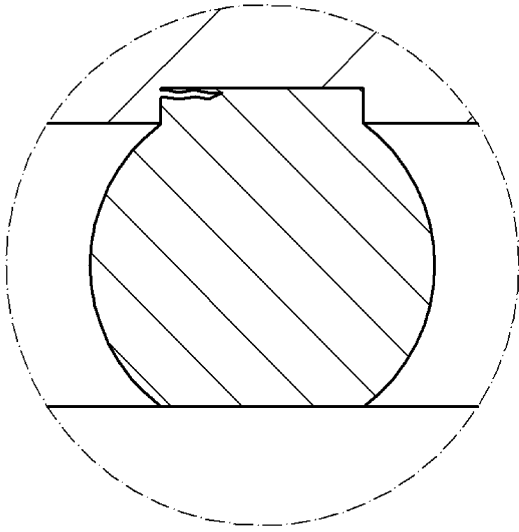
도면1



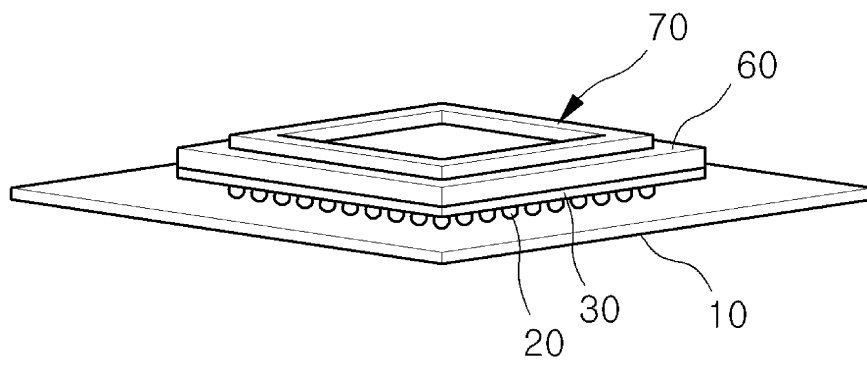
도면2



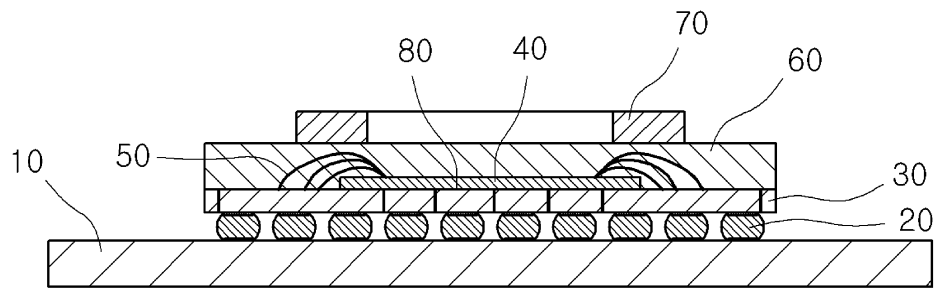
도면3



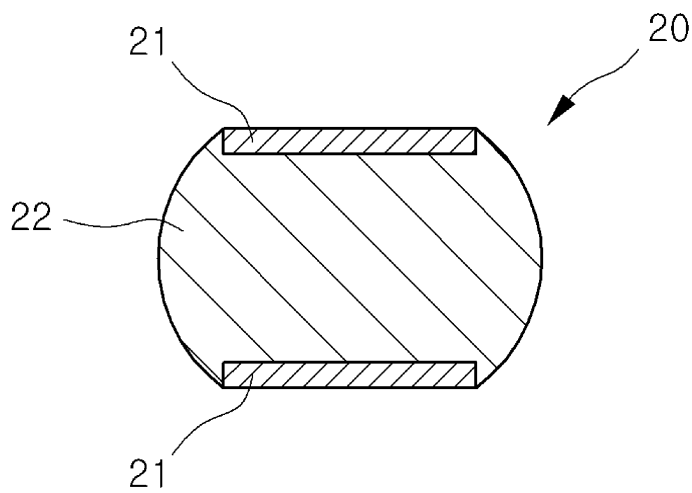
도면4



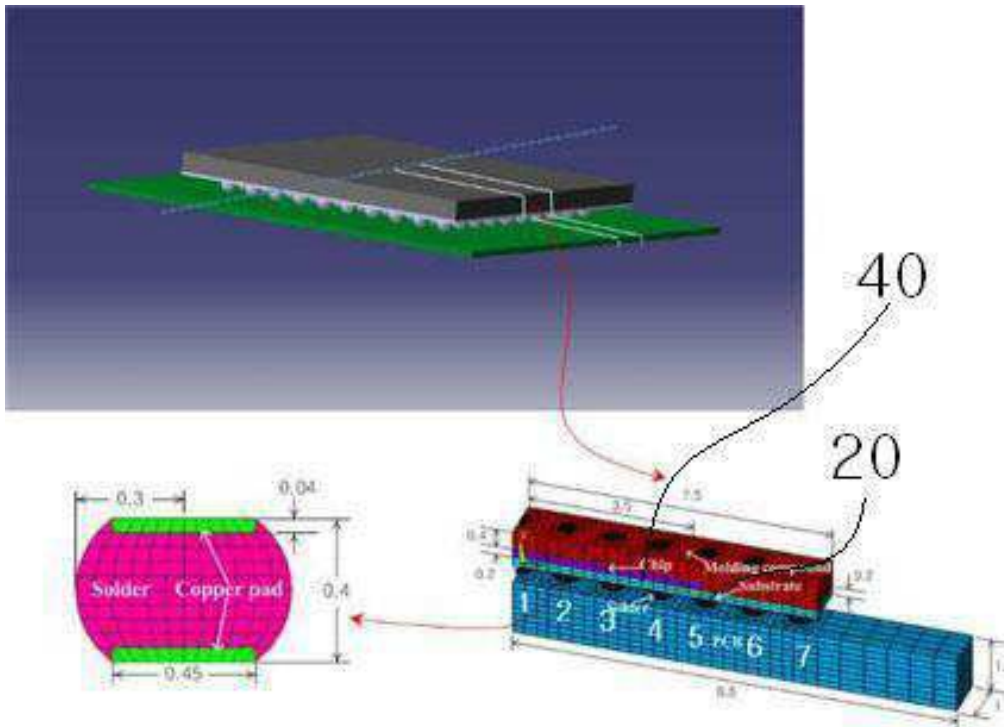
도면5



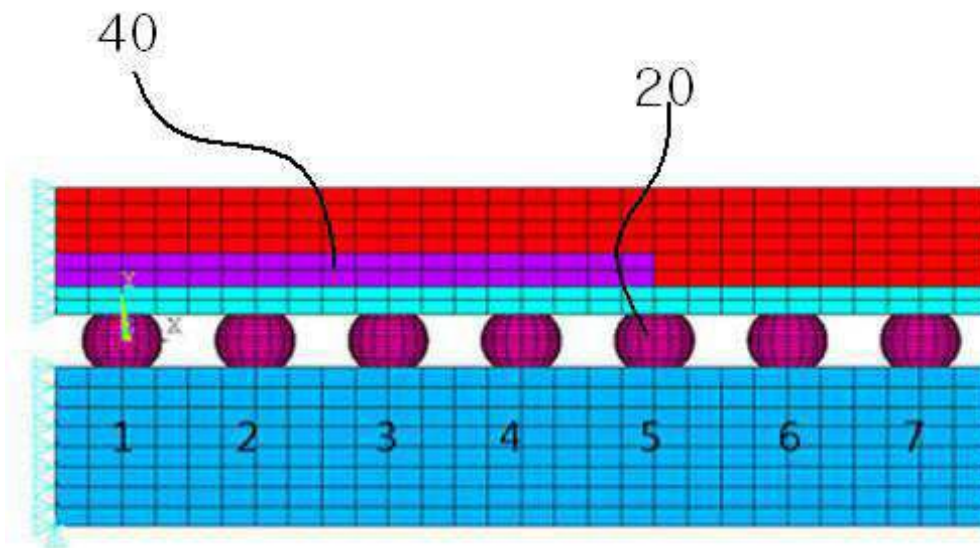
도면6



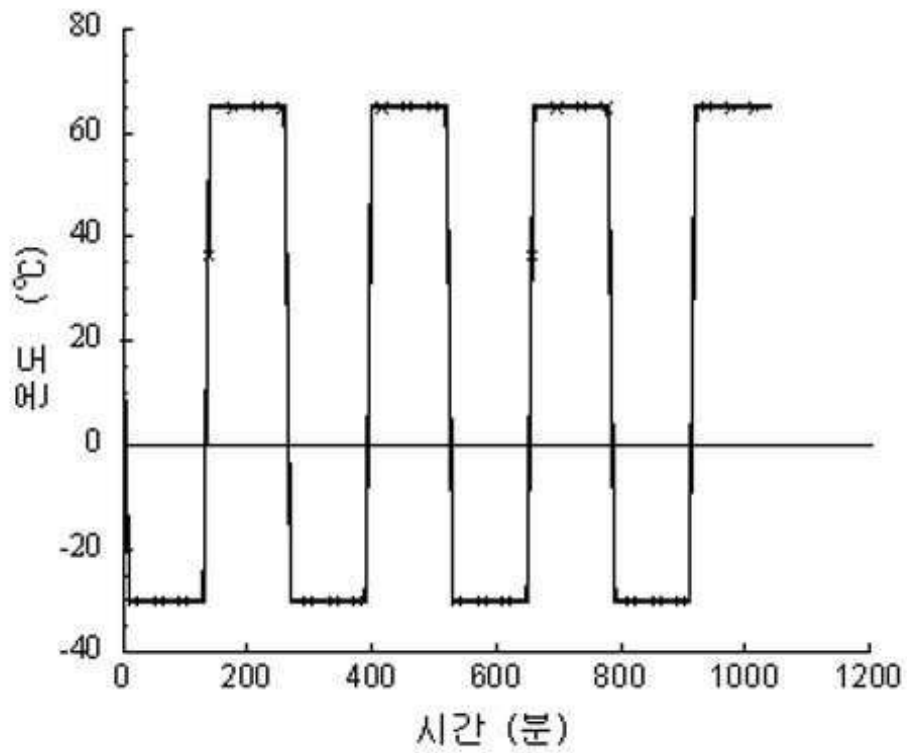
도면7



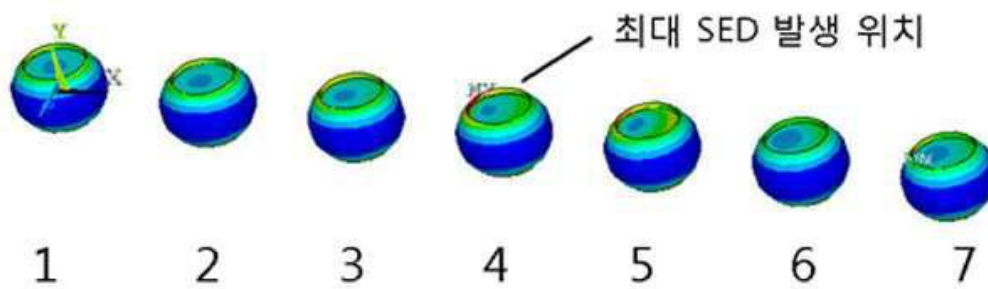
도면8



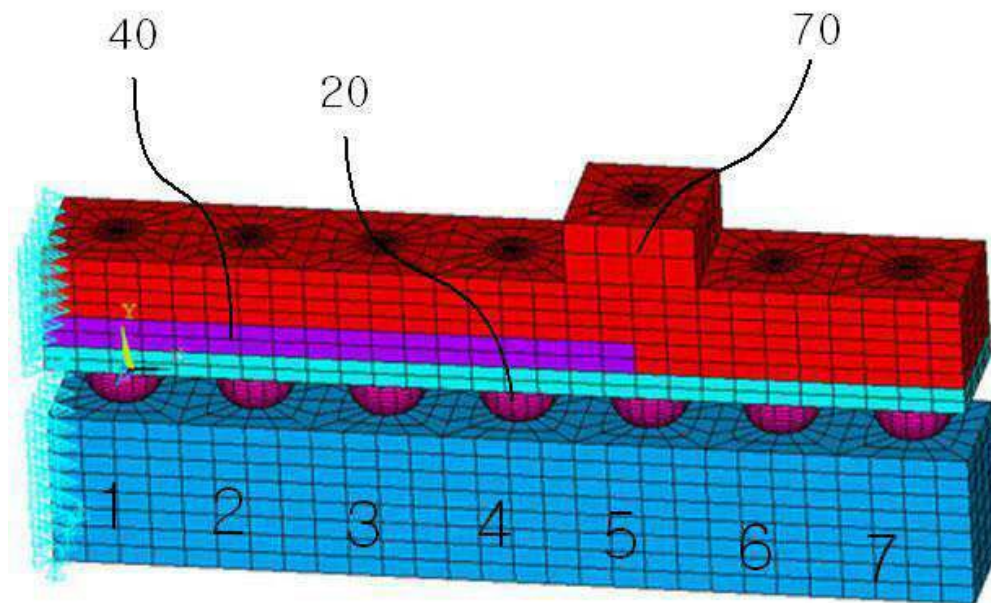
도면9



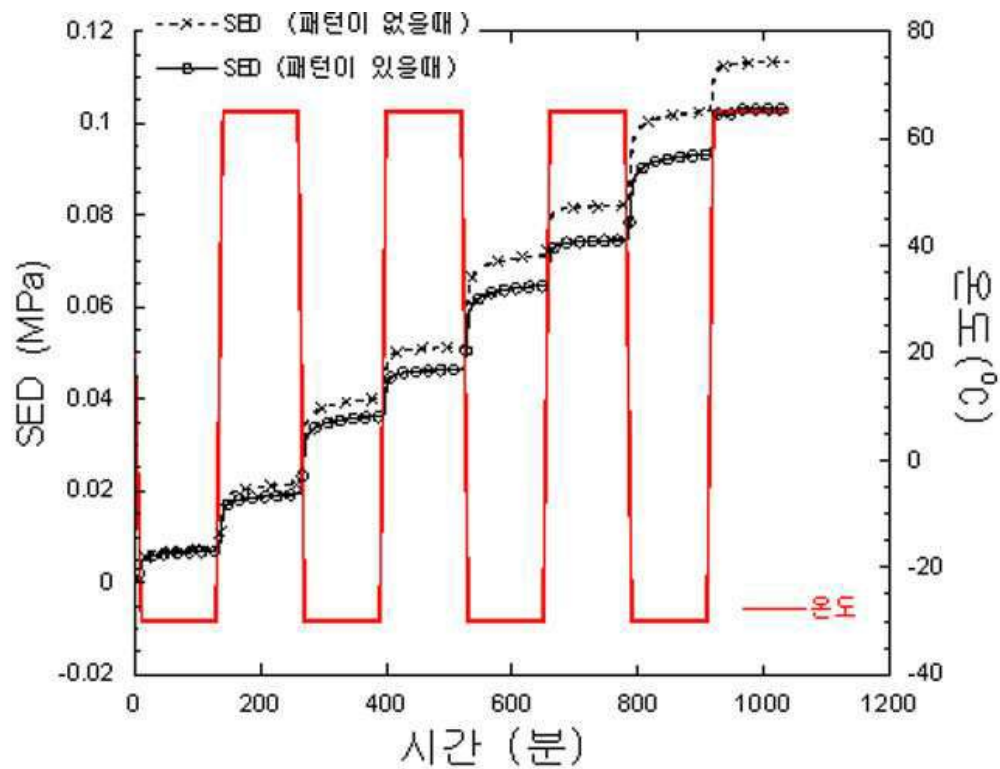
도면10



도면11



도면12



도면13

