(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/10

(45) 공고일자 2002년10월25일
(11) 등록번호 10-0335972
(24) 등록일자 2002년04월25일

(21) 출원번호 10-1997-0037032
(22) 출원일자 1997년08월01일

(65) 공개번호 특1998-0024126
(43) 공개일자 1998년07월06일

(30) 우선권주장 96-253797 1996년09월04일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 가와즈 요시유키
일본국 도오교도 미나도꾸 도라노몽 1쪼메 7방 12고오오끼덴끼 고오교오 가부시끼가이샤 나이
미야기 스스므
일본국 도오교도 미나도꾸 도라노몽 1쪼메 7방 12고오오끼덴끼 고오교오 가부시끼가이샤

(74) 대리인 이화익

심사관 : 김근모

(54) 불휘발성 반도체 메모리의 제조방법

요약

불휘발성 반도체 메모리의 컴팩트하게 제조할 수 있는 제조방법에 관한 것으로, 본 발명의 제조방법은 산화영역 형성 스텝, 워드선 형성스텝, 에칭스텝, 소스영역 형성 스텝 순으로 행해진다.

산화 영역 형성 스텝에서는 밴드에서 복수 산화 영역이 병렬로 반도체 기판에 형성된다.

워드선 형성 스텝에서는 복수 워드선이 복수의 산화 영역이 산화 영역 형성 스텝에 형성된 반도체 기판상에 복수의 산화 영역에 구형(矩形)병렬로 형성된다. 에칭 스텝에서는 그안에 소스 영역을 끼워둔 두개의 인접 워드선쌍사이에 있는 산화 영역이 에칭되므로써 산화 영역 형성 스텝에서 형성된 복수의 산화영역에서 필드 영역이 생성된다.

그리고, 소스 영역 형성 스텝에서는 소스 영역 및 소스 선으로 작용하는 영역이 반도체 기판을 불순물으로 도우프함에 의해 쌍사이의 영역에 형성된다.

대표도
도 1

명세서

도면의 간단한 설명

도 1a 내지 1e는 제 1 실시예에 따른 불휘발성 반도체 메모리의 제조방법을 설명하는 평면도.

도 2a 및 2b는 제 1 실시예에 따른 불휘발성 반도체 메모리의 제조방법을 설명하는 필드 영역이 형성된 일부분의 단면도.

도 3은 제 1 실시예에 따른 불휘발성 반도체 메모리의 제조방법을 설명하는 필드 영역이 형성않된 일부분의 단면도.

도 4는 필드 영역이 고(高)이방성 에칭을 사용함으로써 에칭될 때 문제점을 설명하는 단면도.

도 5는 제 1 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서 소스선 영역 상의 필드 영역이 제거될때 사용된 에칭 조건을 설명하는 단면도.

도 6a 내지 6d는 제 2 실시예에 따른 불휘발성 반도체 메모리의 제조방법을 설명하는 평면도.

도 7a 내지 7g는 제 2 실시예에 따른 불휘발성 반도체 메모리의 제조방법을 설명하는 단면도.

도 8a 내지 8e는 제 2 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서 에칭 스톱퍼층이 형성될때 사용되는 제 1 프로세스를 설명하는 단면도.

도 9a 및 9b는 제 2 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서 에칭 스톱퍼층이 형성될때 사용되는 제 2 프로세스를 설명하는 단면도.

도 10a 내지 10d는 제 3 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서 워드선을 형성하는 수순을 설명하는 단면도.

도 11a 내지 11c는 제 3 실시예에 따른 불휘발성 반도체 메모리의 제조방법을 설명하는 단면도.

도 12는 제 3 실시예에 따른 불휘발성 반도체 메모리의 제조방법에 의해 제조된 불휘발성 반도체 메모리의 단면도.

도 13는 제 3 실시예에 따른 불휘발성 반도체 메모리의 제조방법에 의해 제조된 불휘발성 반도체 메모리에서의 하나의 메모리 셀의 평면도.

도 14a 내지 14d는 제 4실시예를 설명하는 단면도.

도 15a 및 15b는 제 5 실시예를 설명하는 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 부유게이트 및 제어게이트가 설치된 복수의 메모리 셀을 가지는 불휘발성반도체 메모리 및 그 제조방법에 관한 것이다.

불휘발성 반도체 메모리는, 일반적으로는, 부유게이트 및 제어게이트를 가지는 트랜지스터(메모리셀)가 반도체 기판상에 매트릭스형에 배열하여 형성되어 있다.

그러한 불휘발성 반도체 메모리는 동일의 행에 속하는 트랜지스터의 드레인 영역과 각각 전기적으로 접속된 복수의 소스 선이 설치된다.

또, 동일 열에 속하는 트랜지스터의 드레인 영역에 각각 전기적으로 접속된 복수의 비트선이 설치된다.

또한, 동일 행에 속하는 트랜지스터의 제어 게이트와 부유 게이트를 각각 포함하는 복수의 워드선이 설치된다.

종래에는 이와 같은 불휘발성 반도체 메모리는 다음 수순에 따라 제조 된다.

먼저, 패드 산화층(패드 SiO_2층)과 실리콘 질화층(Si_3N_4층)이 실리콘 기판(Si 웨이퍼)의 전면에 형성된다.

다음에, 소스선과 트랜지스터가 생성된 영역을 덮기만하는 레지스트 패턴이 리소그래피법을 사용해서 실리콘 질화층상에 형성된다.

그후, 에칭으로 시작되는 여러개의 프로세스가 행해져서 산화 실리콘영역 즉, 메모리 셀 사이에서 분리가 행해진 필드 영역이 소스 선과 메모리 셀이 형성되지 않는 영역에 형성된다.

산화 실리콘가 표면상에 존재하지 않는 영역(이이후 활성영역이라 한다)과 필드 영역을 구비하는 구조가 완성되자 마자, 전면이 다시 워드선용으로 수개의 층으로 덮힌다.

그후, 이층들을 패터닝하기 위한 레지스트 패턴이 리소그래피법을 통하여 형성된다.

그다음, 이 층들을 마스크로 레지스트 패턴을 사용해서 에칭되어서 워드선이 형성된다.

워드선이 형성된후 도우프 프로세스가 행해진다.

그후, 전면을 덮는 중간 절연층이 형성된다. 또한, 드레인 영역을 제외한 영역을 덮는 레지스트패턴이 리소그래피법을 사용함에 의해 중간 절연층상에 형성된다. 그다음, 중간 절연층은 마스크로서 레지스트 패턴을 사용해서 에칭되어 드레인 영역에 이르는 홀(즉 드레인 콘택트 홀)이 형성된다.

그후, 도전재료(Al)가 표면에 퇴적되고, 퇴적된 도전재료가 패터닝되어서 비트선을 형성한다.

이와 같은 불휘발성 반도체 메모리의 자세한 제조 수순이 예를들면, 일본 특허공개 64-77160(1989년)호에 개시되어 있다.

상술한 바와 같이, 종래의 불휘발성 반도체 메모리에서는 워드선과 소스선 모두가 레지스트 패턴(리소그래피)을 사용해서 형성된다.

그러므로, 상기 구조의 제조된 불휘발성메모리를 설계될때, 워드선과 소스선과의 간격은 포토마스크의 얼라이먼트 정도(精度)를 고려하여 결정된다.

즉, 워드선과 소스선사이의 간격은 레지스트 패턴이 표준위치에서 떨어진 위치에 형성될때 통상기능의 불휘발성 반도체 메모리가 얻어지게 설계된다.

그 결과, 종래의 불휘발성 반도체 메모리에서는 소스선 주위에 기능상 효과가 없는 무용한 영역이 생긴다.

또한, 종래의 불휘발성 반도체 메모리는 드레인 콘택트홀이 형성될때도 리소그래피기술을 사용한다.

이때, 드레인 콘택트 홀이 워드선의 부유게이트 또는 제어게이트에 직접 접촉될때, 정상적으로 기능하지 않는 불휘발성 메모리가 제조된다.

다음에, 드레인 콘택홀에 대한 설계도 포토마스크의 얼라이먼트 정도를 고려하여 제조된다.

그 결과, 메모리 기능에 영향을 미치지 않는 무용의 영역도 종래의 불휘발성 메모리에서 드레인 콘택홀 주위에 존재하게된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 콘팩트하게 제조할 수 있는 불휘발성 반도체 메모리와 그제조방법을 제공하는데 있다.

상술의 목적을 달성하기 위해서, 본 발명의 제 1 관점에 따른 불휘발성 반도체 메모리는 필드 영역이 형성된 반도체 기판과, 병렬로 반도체 기판상에 형성된 복수의 워드선과, 소스영역과 소스선으로 각각 작용하고, 복수의 워드선상에 두개의 인접워드 선 몇개의 쌍이 자기 정합으로 형성되는 소스선 영역을 포함한다.

그래서, 본 발명의 제 1 관점에 따른 불휘발성 반도체 메모리는 소스영역과 접속하는 소스선과 소스 영역으로서의 작용하고, 두개의 워드선을 자기정합으로 형성되는 각각의 소스선 영역을 가진다.

즉, 현재의 불휘발성 반도체 메모리는 소스선과 워드선사이의 간격이 리소그래피기술을 사용할때 생기는 오차를 고려함이 없이 결정될 수 있다.

그러므로, 본 발명의 제 1 관점에 따른 불휘발성 반도체 메모리는 콤팩트하게 제조된다.

본 발명의 제 2 관점에 따른 불휘발성 반도체 메모리는 필드 영역이 형성된 반도체 기판과, 병렬로 반도체 기판상에 형성된 형성된 복수의 워드선과, 최상면과 복수 워드선의 드레인 영역쪽의 측면을 덮도록 복수 워드선상에 형성되는 절연층과, 복수의 워드선 사이에 드레인 영역안에 끼워진 두개의 인접워드선 쌍을 자기 정합으로 형성하는 드레인 콘택트 홀을 포함한다.

그래서, 본 발명의 제 2 관점에 다른 불휘발성메모리는 절연층으로 덮혀진 워드 선과 두개의 인접 워드선으로 자기 정합으로 각각 형성된 드레인 콘택트 홀을 가진다.

즉, 불활성 반도체 메모리는 그안에 드레인 영역이 끼워진 두개의 인접 워드선사이의 간격이 리소그래피 기술을 사용함에 의해 생성된 오류를 생각지 않고 판정할 수 있는 구조를 가진다.

그러므로, 본 발명의 제 2 관점에 따른 불휘발성 반도체 메모리가 콘팩트하게 제조된다.

상술의 목적을 달성하기 위하여, 본 발명에 다른 불휘발성 반도체 메모리의 제 1 제조방법에서는 산화 영역 형성 스텝, 워드선 형성 스텝, 에칭스텝 및 소스 영역 형성 스텝이 순서대로 행해진다.

산화 영역 형성 스텝에서는 밴드내의 복수의 산화 영역이 병렬로 반도체 기판안에 형성된다.

워드선 형성 스텝에서는 복수의 워드선이 거형 병렬로 복수의 산화 영역에 형성되며, 복수의 산화영역이 형성되는 반도체 기판상에 상기 산화 영역 형성 스텝이 형성된다.

에칭스텝에서는 그안에 소스 영역이 놓여진 두개의 인접 워드선 쌍 사이에 있는 산화가 에칭되어서 상기 산화 형성 스템 형성된 복수의 산화 영역에서 필드 영역이 생성된다.

그리고, 소스 영역 형성 스텝에서는 소스영역과 소스 선으로 작용하는 영역이 반도체 기판으로 불순물을 도프함으로서 쌍사이의 영역에 형성된다.

즉, 본 제조방법은 워드선이 소스선이 형성된 영역을 결정한 후 형성되지 않고, 워드선을 형성한 후, 소스영역으로 기능하는 소스선과 영역이 워드선을 자기 정합으로 형성하게 된다.

그러므로, 본 발명의 제조방법은 워드선과 소스선사이에 무용한 영역을 가지지 않는 즉 콘택트하게 제조한 불휘발성 반도체 메모리가 제조된다.

이러한 방법에 의해 불휘발성 반도체 메모리를 제조할때는 테이퍼 프로화일이 형성된 에칭스텝을 이용하는 것이 바람직하다.

또한, 본 발명에 따른 불휘발성 반도체 메모리의 제 2 제조방법에서는 워드선 형성스텝, 도핑스텝, 사이드월 형성스텝, 에칭스톱층형성스텝, 레지스트 패턴형성 스텝, 중간층형성 스텝, 드레인 콘택홀 형성 스텝 및 비트선 형성 스텝이 순서대로 행해진다.워드선 형성 스텝에서는, 최상층으로 제 1 절연재료의 절연층을 각각 가지는 복수의 워드선이 필드 영역이 형성된 반도체 기판 표면상에 병렬로 형성된다. 선을 덮는 절연막을 형성한다.

도핑 스텝에서는 필드 영역을 제외하는 영역에서 드레인 영역과 소스선을 생성하기 위해 워드선 형성 스텝후 반도체 기판으로 불순물을 도프한다.

측벽형성스텝에서는, 제 2 절연 재료의 측벽이 복수의 워드선의 드레인 영역 쪽으로 측면상에 형성된다.

에칭 스톱층 형성영역 스텝에서는, 측벽 형성 스텝후 반도체 기판의 전면상에 스톱층을 에칭한다.

중간절연층 형성 스텝에서는 에칭 스톱층에 사용되는 재료와 다른 제 3의 절연재료의 중간 절연층은 에칭스톱층상에 형성된다.

레지스트 패턴 형성 스텝에서는 드레인 영역에 해당하는 영역에서 개구를 가지는 레지스트 패턴이 중간 절연층상에 형성된다.

드레인 콘택홀 형성 스텝에서는 드레인 콘택 홀은 마스크로서 레지스트 패턴을 사용해서 중간 절연층을 에칭함에 의해 형성된다.

비트선 형성 스텝에서는 비트선이 드레인 콘택홀이 형성된 중간 절연층상에 도전 재료를 퇴적하고, 그퇴적된 도전 재료를 패터닝 함으로서 형성된다.

그래서, 이 제조방법에서는 제 1 및 제 2 절연재료로 덮어진 워드선(부유 게이트와 제어 게이트)의 형성후에, 워드선의 표면을 덮는 에칭스돕층이 형성된다.

그후, 에칭스톱층에 사용되는 재료와 다른 제 3 절연재료의 중간 절연층이 에칭 스톱층에 형성된다.

그후, 드레인 콘택홀은 드레인영역 위에 있는 에칭스톱층과 중간층을 에칭함에 의해 절단된다.

즉, 이러한 제조방법에서는 각 드레인 콘택홀은 절연재료로 덮혀진 두개의 인접워드을 자기 정합으로 형성한다.

그러므로, 본 제조방법에 따르면, 워드선과 드레인 콘택홀사이에 무용한 영역을 가지지 않는 불휘발성 반도체 메모리를 콘팩트하게 제조할 수 있다.

본 발명에 따른 불휘발성 반도체 메모리의 제 3 제조방법은 워드선 형성 스텝, 도핑 스텝, 측벽 형성 스텝, 중간층 형성 스텝, 드레인 콘택홀 형성 스텝 및 비트선 형성 스텝이 이 순서로 실행된다.

워드선 형성스텝에서는 정상층으로 제 1 절연 재료의 절연층을 각각 가지는 복수의 워드선이 필드 영역이 형성된 반도체 기판 표면상에 병렬로 형성된다.

도핑 스텝에서는 워드선 형성 스텝후에 반도체 기판 표면상에 불순물이 도프되어서, 필드 영역을 제외한 영역에 소스 영역과 드레인 영역 및 소스선이 생성된다.

측벽 형성 스텝에서는 제 2 절연 재료의 측벽은 복수의 워드선의 드레인 영역쪽으로 측면상에 형성된다.

중간절연층 형성 스텝에서 중간 절연층의 제 3 절연재료는 측벽 형성 스텝후에 반도체 표면상의 전면상에 형성되는 제 1 절연재료와 제 2 절연 재료와 다르다.

레지스트 패턴 형성 스텝에서는, 레지스트 패턴이 드레인 영역에 대응하는 영역에 개구를 가지고, 중간 절연층상에 형성된다.

드레인 콘택홀 형성 스텝에서는 드레인 콘택트홀이 마스크로서 레지스트 패턴을 사용해서 중간 절연층을 에칭함에 의해 형성된다.

비트선 형성 스텝에서는 비트선이 드레인 콘택트 홀이 형성된 중간 절연층상에 도전재료를 퇴적하고, 그 퇴적된 도전재료를 패터닝함으로서 형성된다.

즉, 제 3의 제조방법에서는 제 1 및 제 2 절연재료를 덮는 워드선과 중간층사이에 에칭스톱층을 형성하는 대신에 제 1 절연 재료와 제 2 절연 재료와 다른 재료가 중간 절연층용의 제 3 절연재료로서 사용된다.

이러한 제조방법을 사용해서 불휘발성 반도체 메모리를 제조할 때는 각 드레인 콘택홀도 절연 재료로 덮혀진 두개의 인접 워드선으로 자기정합으로 형성된다.

그러므로, 본 제조방법에 의하면, 콘팩트한 불휘발성 반도체 메모리는 제 2 제조방법과 유사하게 제조할 수 있다.

본 발명에 따른 불휘발성 반도체 메모리의 제 4 제조방법에서는 산화 영역 형성 스텝, 워드선 형성스텝, 에칭스텝, 소스/드레인 형성 스텝, 측벽 형성 스텝, 중간 절연층형성 스텝, 드레인 콘택홀 형성 스텝 및 비트선 형성 스텝이 상기 순서대로 행해진다.

산화 영역 형성 스텝에서는 밴드내의 보수의 산화 영역이 병렬로 반도체 기판네에 형성된다.

워드선 형성영역에서는 복수의 워드선이 복수의 산화 영역이 형성된 반도체 기판상의 복수의 산화 영역에 구형병렬로 형성된다.

에칭스텝에서는 그안에 소스 영역으로 되는 영역이 놓여진 두개의 인접 워드선 상사이에 있는 산화가 에칭되어 버려서 산화 영역 형성 스텝에서 형성된 복수의 산화 영역에서 필드 영역이 생성된다.

소스/드레인 형성 스텝에서는 반도체 기판으로 불순물을 도핑함에 의해 소스영역과 소스선으로 기능하는 영역이 쌍사이의 영역에 형성되며, 드레인 영역으로 작용하는 영역은 두개의 필드 영역과 두개의 워드선으로 에워싸인 영역에서 형성된다.

측벽 형성 스텝에서는 제 2 절연재료의 측벽이 복수의 워드선의 드레인 영역쪽으로 측면상으로 형성된다.

에칭 스톱층 형성스텝에서는 에칭 스톱층이 측벽 형성 스텝후 반도체 기판의 전면상에 형성된다.

중간 절연층 형성 스텝에서는, 에칭 스톱층을 형성하는 데 사용하는 재료와는 다른 제 3 절연 재료의 중간 절연층은 에칭 스톱층상에 형성된다.

레지스트 패턴 형성 스텝에서는 드레인 영역에 해당하는 영역에서 개구를 가지는 레지스트 패턴이 중간 절연층상에 형성된다.

드레인 콘택 홀 형성 스텝에서는 드레인 콘택홀마스크로 레지스트패턴을 사용해서 중간 절연층을 에칭함으로서 형성된다.

비트선 형성 스텝에서는 드레인 콘택홀이 형성된 중간 절연층 상에 도전 재료를 되적하고, 그 퇴적된 도전 재료를 패터닝함으로서 형성된다.

즉, 제 4 제조방법에서는 소스선과 소스영역의 형성은 제 1 제조방법을 사용함으로서 행해지고, 드레인 콘택홀의 형성은 제 2 제조방법을 사용함으로서 행해진다.

그 결과, 본 제조방법에 따르면, 워드선과 드레인 콘택홀 사이와 워드선과 소스선사이의 무용한 영역이 없는 불휘발성 반도체 메모리를 제조 할 수 있는 것이다.

제 2 제조방법을 사용함에 의해 불휘발성 반도체 메모리 를 제조할 때, 제 4의 절연 재료(예를들면, 질화 실리콘)의 스톱퍼 층을 에칭하는 에칭 스톱퍼 층을 이용할 수 있는 것이 다르다.

그러나, 이 경우에서는 중간 절연층을 에칭하고, 동시에 중간층으로 덮혀지지않는 에칭 스톱층을 에칭함으로서 형성되는 드레인 콘택홀 형성 스텝이 반드시 사용되어야 한다.

또한, 스톱층을 에칭하기 위한 재료로서 질화 실리콘을 사용할 때 워드선 아래에 축적되는 수소를 막기 위해 드레인 영역을 제외한 영역에서 개구를 가지는 에칭 스톱돕 층이 형성되는 에칭 스톱층 형성 스텝을 이용하는 것이 바람직하다.

또, 워드선 아래에 수소가 축적되는 것을 방지하기 위해, 거기에는 제 1 형성 스텝, 처리스텝, 제 2 형성 스텝을 포함하는 워드선 형성 스텝을 이용할 수 있다.

제 1 형성 스텝에서는 제 1층이 형성되어, 최후에는 워드선의 게이트 산화가 형성된다.

처리 스텝에서는 제 1 층이 형성된 반도체 기판이 질소산화 가스내에서 가열되어 처리된다.

제 2 형성 스텝에서는 마지막으로 부유게이트, 내부 게이트 절연층, 제어 게이트 및 절연층을 각각 형성되는 제 2층내지 제 5층이 처리 스텝후에 제 1층 상에 형성된다.

또한, 제 2 제조방법을 사용함에 의해 불휘발성 반도체 메모리를 제조할 때, 거기에는 도전재료(예를들면, 폴리실리콘 또는 텅스텐 실리사이드 또는 텅스텐)의 에칭 스톱층에서 에칭 스톱층 형성 스텝으로 이용되고, 하나의 드레인 영역을 각각 덮는 에칭 스톱부로 구성될 수 있는 에칭 스톱층 형성 스텝이 형성된다.

또한, 제 4의 제조방법을 사용함으로서 불휘발성 반도체 메모리를 제조할 때, 거기에는 층 형성 스텝, 레지스트 패턴 형성 스텝, 제 1 및 제 2 에칭 스텝을 포함하는 워드선 형성 스텝을 이용할 수 있다.

층형성 스텝에서는, 제 1 내지 제 6 층이 형성되고, 마지막으로 게이트산화, 부유 게이트, 내부 게이트 절연 산화, 제어 게이트, 중간층 및 절연층이 각각 형성된다.

레지스트 패턴 형성 스텝에서는 워드선의 모양을 규정하기 위한 레지스트 패턴이 상기 층형성 스텝에 형성된 제 6층상에 형성된다.

제 1 에칭스텝에서는, 제 3내지 제 6층은 마스크로서 레지스트 패턴을 사용해서 에칭되므로서 내부 게이트 절연 산화와 제어 게이트 및 절연층을 형성한다.

제 2 에칭스텝에서는 레지스트 패턴 제거후에 제 2 층이 마스크로서 제 1 에칭 스텝에 형성된 절연층을 사용해서 에칭되므로서 부유 게이트를 형성한다.

이 워드선 형성 스텝을 이용할 때, 폴리실리콘층과 실리콘 산화층택홀이 제 1 및 제 2 층으로 각각 형성되는 층 형성 스텝을 사용하는 것이 바람직하고 제 2 층이 에칭된 제 2 에칭스텝은 카본을 포함하지 않는 가스를 사용할 수 있다.

본 발명의 바람직한 실시예는 첨부 도면을 참조해서 기술한다.

발명의 구성 및 작용

(제 1 실시예)

제 1 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서는 불휘발성 반도체 메모리는 워드선과 소스선사이에 무용한 영역을 가지지 않는다.

이 이후 본 제조방법을 제 1a-1e도를 참조 해서 설명한다.

먼저, 제 1a도에 나타난바와 같이 불휘발성 반도체 메모리가 본 방법에 의해 제조될 때, 실리콘 산화 영역(필드 영역 15)은 같은 열에 속하는 각 메모리 셀이 형성되는 활성 영역 16을 제외한 반도체 기판 11에 형성된다.

이 실시예에서는 p 채널 실리콘 단결정기판이 반도체 기판 11로 사용되고, 필드 영역 15가 LOCOS(local oxidation of silicon)방법에 의해 형성되는 것이다.

또한, 이 불휘발성 반도체 메모리의 각부 의 크기는 0.35㎛ 룰을 사용하여 설계되고,필드 영역 15와 활성 영역 16은 각각 0.8㎛, 0.4㎛ 폭으로 형성된다.

다음에, 도 1b에 모식적으로 나타난 바와 같이 게이트 산화, 부유 게이트,내부 게이트 절연층 및 제어 게이트를 포함하는 워드선 12가 반도체 기판 11상에 형성된 활설 영역과 함께 직사각형방향으로 연장된다.

이 실시예에서는 종래의 불휘발성 반도체 메모리와 유사하게, 부유 게이트18은 폴리실리콘으로 형성되고, 제어 게이트는 텅스텐 실리사이드를 형성된다.

부유게이트 18의 아래에 게이트 산화층과 부유게이트와 제어 게이트 사이의 내부 게이트 절연층 모두는 실리콘 산화막으로 형성된다. 또한, 각 워드선 12는 그 폭이 0.5㎛이 되고, 그안에 소스 영역이 되는 영역을 넣는 한 쌍의 워드선의 간격은 0.36㎛(중앙 간격은 0.86㎛)가 되며, 그안에 드레인 영역이 되는 영역에 넣는 한 쌍의 워드선의 간격은 1.2㎛ (중앙 간격이 1.7㎛)가 되게 형성된다.

상세한 것은 이 이후에 기술하나, 전자의 간격은 종래의 불휘발성 반도체 메모리보다 0.4㎛ 짧고, 후자의 간격은 종래의 반도체 메모리의 간격과 같다.

그후, 도 1c에 나타난 바와 같은 각 다른 영역상의 두개의 인접선 12 사이의 영역으로 덮혀진 레지스트 패턴 27은 리소그래프를 통해 형성된다.

그때, 산화 실리콘을 제거하기 위한 드라이 에칭 프로세스가 마스크로서 레지스트 패턴 27을 사용함으로서 행해진다.

상술한 바와 같이, 워드선 12의 톱층(제어 게이트 20)은 텅스텐 실리사이드로 형성되며, 그것은 레지스트 패턴 27에 유사 에칭 프로프특성을 가지는 재료이다. 그래서, 영역 보다 큰 개구를 가지는 레지스트 패턴 27은 워드선12사이에 존재하는 산화 실리콘을 제거하기 위해 사용된다.

이 드라이 에칭 프로세스에서, 필드 영역 15가 형성되는 부분(도 1c에서 선 I-I로 나타난 부분과 같은)이 형성되고, 레지스트 패턴 27의 개구에 위치하고 두개의 워드선 12(제어 게이트 20)사이에 놓여진 필드 영역15(산화 실리콘)은 도 2a, 2b에 나타난와 같이 제거된다. 한편, 필드 영역이 형성되지 않는 부분(도 1c에서 선 II-II에 의해 나타난 부분과 같은)이 형성된다. 왜냐하면, 도 3에 나타난 바와 같이 워드선 12사이에 산화 실리콘이 없기 때문이고, 이에칭 프로세스에서는 구조의 변화가 거의 일어나지 않는다.(실리콘 기판 ll과 부유 게이트 18사이에 있는 산화 게이트는 도 3에서와 같이 제거된다.)

결국, 드라이 에칭을 통해 소스선과 소스영역으로 되는 소스선 영역 13a의 구조는 그표면이 산화되지 않고 도 1d에 나타난 바와 같이 얻어진다.

레지스트 패턴 27은 소스선 영역 13a의 형성후에 제거된다. 그후, 불순물이 전면에 주입되고, 기판이 열처리 되어서 주입된 불순물이 확산된다. 이러한 프로세스를 통해서, 드레인 영역 23은 노출부 16a에 형성되고, 소스영역 24와 소스선 13은 도 1e에 나타난 바와 같이 소스선 영역 13a에 형성된다.

이 실시예에서는 소스선과 소스/드레인 영역을 형성한 후, 종래의 프로세스가 불휘발성 반도체 메모리를 완성하기 위해 행해진다. 즉, 소스선과 소스/드레인 영역을 형성한 후, 층간 절연막이 도 1e에 나타난 바와 같은 구조의 전면을 덮도록 형성된다. 다음에, 각 드레인 영역 23에 다달은 드레인 컨택트홀 레지스트 패턴을 사용해서 중간 절연층에서 절단된다. 그후, 같은 열에 속하는 메모리셀의 드레인 영역 23과 각각 접속 되는 비트선이 중간 절연층상에 도전 물질(본 실시예에서는 알루미늄)을 퇴적 함으로서 형성된다.

상술한 바와 같이, 제 1실시예의 제조방법에서는 결국 소스선 13과 소스영역 24가 되는 소스선 영역 13a이 마스크로서 두개의 인접 워드선 12의 어떤 쌍을 사용하여 기판상에 산화실리콘(먼저 형성된 필드 영역 15의 일부)을 에칭함으로서 형성된다. 즉, 이 제조방법에 있어서는 각 소스선13이 소스 영역에 놓여지는 두개의 인접 워드선이 자기정합적으로 형성 된다. 따라서, 이러한 방법으로 제조되는 불휘발성 반도체 메모리를 설계할때, 워드선과 소스선사이의 간격이 리소그래피법을 사용함 으로서 발생하는 에러를 고려하지 않고 결정된다. 그 결과, 소스 영역에 놓여지는 워드선 12 사이의 간격은 상술한 바와 같이 종래의 방법을 사용함으로서 제조되는 불휘발성 반도체 메모리 보다 0.4㎛ 짧게(하나의 메모리 셀 당 0.2㎛ 짧게) 설정된다.

소스선 영역 13a를 형성하는 드라이 에칭은 산화 실리콘이 에칭되고 실리콘이 에칭되지 않는 조건에서 행해지기 때문에, 산화 실리콘(필드 영역 15)을 덮지 않는 반도체 기판 11의 영역은 일반적으로 에칭되지 않는데에 주목한다. 그러나, 에칭조건의 변동 때문에 그실리콘이 에칭되는 경우가 있다. 실리콘이 에칭될 때, 도 4에 나타난오목부 28의 형태를 형성한다. 이온 처리와 열 처리의 경우에는 오목부 28의 구조로 되나, 이온주입은 워드선 12하에서 충분하게 확산되지 않는다. 그 결과, 소망의 전기특성의채널이 워드선12 하에서 형성되므로서, 바람직 하지 않은 특성의 불휘발성 반도체 메모리가 얻어진다.

그러므로, 소스선 영역 13a가 형성될 때, 도 5에 나타난 바와 같이 에칭조건은 워드선 12의 경계 부근내에 완만하게 그 깊이가 변화하는 오목부 28를 형성한다. 즉, 테이퍼 프로화일로 오목부 28을 형성할 수 있는 에칭 조건을 사용하는 것이 바람직하다.

예를들면, 이러한 에칭 프로세스가 에칭 압력을 보다 높게 만들거나, 고주파수 전력을 보다 낮은 플라즈마를 생산하도록 하거나, 침강에 의해 다중화 층을 쉽게 형성하는 카본을 포함한 가스의 일부압을 만들어서 보다 높게 실현 시키는 것이다.

(제 2 실시예)

제 2 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서는 드레인 컨택트홀과 워드선사이에 무용한 영역이 없는 불휘발성 반도체 메모리가 제조된다. 제 2 실시예에 따른 불휘발성 반도체 메모리의 제조방법은 이 이후 도 6a 6e와 도 7a 7e를 참조해서 설명한다. 도 6a 6e는 이 방법을 설명하는데 도움이 되는 평면도이다. 이도면들에는 4개의 메

모리 셀용 영역이 도시된다. 도 7a 내지 7e는 반도체 기판이 워드선을 직각 방향과 메모리 셀이 통과하는 모양으로 절단된 단면도이다.

도 6a에 나타난 바와 같이 이 제조방법에서는 직사각형 필드 영역 15는 드레인 영역과 소스 영역 등으로 되는 활성영역 16과 소스선으로 되는 활성 영역 16a이 두러 쌓여져 있는 방법으로 형성된다.

또한, 필드 영역 15는 활성영역의 폭이 0.18㎛ 되고, 그 간격은 2.0㎛되며, 활성영역 16의 폭은 0.4㎛되고, 그 간격은 0.8㎛가 된다.

다음에, 필드 영역 15가 형성되는 기판 11 상에 병렬로 복수의 워드선 12가 형성되어서, 각 워드선 12는 활성화 영역 16a에 중첩되지 않고 두개의 워드선 12는 리소그래피법을 포함하는 공지의 기술을 사용함으로서 각 필드 영역 15상에 위치하게된다.이 스텝에서 워드선 12는 도 7a에 나타난 바와 같이 산화 게이트 17(도시되지 않음), 부유 게이트 18, 내부 게이트 절연층 19, 제어 게이트 20 및 절연층 21이 적층된다. 또한, 각 워드선 12는 폭이 0.5㎛이 되고, 그 안에 활성 영역 24를 놓는 한 쌍의 워드선이 0.76㎛(중심간격은 1.26㎛)되며, 그안에 활성하지 않는 영역이 놓여지는 한 쌍의 워드선은 0.6㎛(중심 간격은 1.1㎛)로 된다. 자세한 것은 이이후에 설명하나, 전자의 간격은 종래 방법에 의해 제조된 불휘발성 반도체 메모리와 같고, 후자의 간격은 0.6㎛ 짧다.

워드선 12를 형성한 후, 불순물의 이온 주입과 열처리가 행해지고, 도 6b와 7b에 나타난 바와 같이, 활성 영역 16a의 측부에서 활성영역 16이 소스 영역 24로 기능하고 워드선 12 사이에서 활성 영역 16이 드레인 영역 23으로 작용하도록 형성된다.

그후, 도 6c 및 7c에 나타난 바와 같이, 측벽 22가 워드선 12의 측부에 형성된다. 그때, 도 7d에 나타난 바와 같이 에칭스톱층 29와 중간 절연층 25가 측벽 22가 형성된 구조의 표면상에 형성된다.

본 실시예에서 나타난 바와 같이, 측벽 22는 그 두께W가 0.2㎛되도록 산화 실리콘을 퇴적함으로서 형성되고, 에칭 스톱층 29는 질화 실리콘을 퇴적함으로서 형성된다. 또한, 중간 절연층 25는 산화 실리콘층을 퇴적함으로서 형성된다.

다음에 도 7e에 나타난 바와 같이 드레인 컨택트홀을 절단하기 위한 레지스트 패턴 30이 리소그래피법을 사용함에 의해 중간 절연층 25상에 형성된다. 그후, 중간 절연층 25의 에칭은 마스크로서 레지스트 패턴 30을 사용함으로서 형성됨에 의해 도 7f에 나타난 바와 같이 구조는 에칭 스톱층 29상의 모든 중간 절연 층 25과 레지스트 패턴 30의 개구아래에서 제조된다. 레지스트 패턴 30을 제거한 후, 중간 절연층 25에 의해 덮혀 지지 않는 에칭 스톱퍼 층부는 에칭에 의해 제거되어서 도 7g에 나타난 바와 같이 측벽 22에 의해 한정된 절단형의 드레인 컨택트홀 26을 가지는 구조가 얻어진다.

그후, 도전재(알루미늄)가 도 7g(드레인 콘택트홀 26내와 중간 절연층 25상에)도시된 구조의 전면상에 퇴적되고, 그 퇴적재료는 비트선을 형성하기 위해 패터닝된다.

그래서, 이 제조방법에 있어서, 중간 절연층 25상에 형성된 레지스트 패턴 30은 에칭스톱퍼층 29상의 중간 절연층 25를 제거하기 위한 패턴으로서 사용되나, 드레인 컨택트홀 26의 형태를 겨정하기 위한 패턴으로는 사용되지 않는다. 다음에, 레지스트 패턴 30이 표준 위치에서 떨어진 위치(0.1㎛ 거리)에 형성되어도, 기판 11의 측부에서 드레인 컨택트홀 26의 형태의 변화는 없다. 그외에, 절연층 21은 제어 게이트 20상에 설치되므로, 워드선 12상에 에칭 스톱퍼 층 29의 일부가 위치에서 레지스트 패턴 30의 개구를 얻는 결과로 제거 된다 해도 아무런 문제가 없다.

이러한 제조방법에 따르면, 드레인 컨택트홀이 형성될 때, 리소그래프법으로 레지스트 패턴 30을 형성할 필요가 있으나, 레지스트 패턴 30의 정도를 향상시키는 데는 필요가 없다. 그래서, 불활성 반도체 메모리가 이러한 제조방법에 의해 제조될 때, 레지스트 패턴 형성중에 얼라이먼트 정도의 고려하에서 워드선 12 사이의 간격 을 설계할 필요가 없다. 그 결과, 경량 불휘발성 반도체 메모리가 제조 된다.

본 실시예에 있어서, 에칭 스톱퍼층 29는 절연재(질화 실리콘)로 형성되고, 드레인 컨택트홀 형성중에 드레인 영역 23상에 에칭 스톱퍼층 29를 제거할 필요가 있다. 그러나, 에칭 스톱퍼층 29의 특성요구는 에칭스톱퍼층 29의 에칭속도가 중간 절연층 25 보다 느려야 하는 것 뿐이다.그래서, 에칭 스톱퍼층 29는 폴리실리콘, 텅스텐과 같은 도전재로 형성되므로서, 에칭 스톱퍼층 29의 제거 프로세스는 필요하지 않다. 그러나, 드레인 영역 23과 소스 영역 24 사이 또는 에칭 스톱퍼층 29를 경유 워드선 12의 방향으로 배열된 드레인 영역 23 사이가 짧게되는 것을 방지하기 위해 도전재로 형성되는 에칭 스톱퍼층 29가 사용될 때, 에칭스톱퍼층 29는 중단 되어야 한다. 그래서, 리소그래피법은 에칭 스톱퍼층 29가 형성될 때 사용되나, 에칭 스톱퍼층 29만이 드레인 영역 23과 소스 영역 24 등의 사이에 짧게 형성되지 않도록 해서 리소그래피중에 얼라이먼트 정도에 의해 워드선 12등의 설계에 제한을 두지 않는 것이다. 그 결과, 도전재로 형성된 에칭 스톱퍼층 29가 사용되어도, 콘팩트한 불휘발성 반도체 메모리를 제조할 수 있다.

지금, 질화 실리콘의 에칭 스톱퍼 층 29가 CVD로 형성될 때, 수소가 워드선 12와 기판 11 사이의 경계로 끼어든다.

이러한 제조방법에서는 도 7g에 나타난 바와 같이, 에칭 스톱퍼층 29가 워드선 12의 소스 영역 24의 측면과 소스 영역 24에 남아 있는 불휘발성 반도체 메모리가 제조 되어서, 이 수소가 경계에 축적되는 몇가지 경우가 있다.

경계면에서 수소용량은 드레쉬홀드 전압을 변화한다. 그래서, 질화 실리콘의 에칭 스톱퍼층 29가 이 제조방법에서 사용될 때, 경계면에 수소가 축적되는 것을 막기 위해서, 다음에 기술하는 제 1 또는 제 2 프로세스를 사용하는 것이 바람직하다.

먼저, 제 1 프로세스는 도 8a 8e를 참조해서 설명한다. 제 1 프로세스에서는 에칭 스톱퍼층 29가 패터닝된후, 중간 절연층 25가 형성된다.

즉, 제 1 프로세스에서는 먼저, 도 8a 8b에 도시한 바와 같이 워드선 12와 반도체 기판 11을 덮는 에칭스톱퍼층 29가 상술한 바와 같은 수순에 따라 형성된다.

그후, 도 8c에 나타난와 같이 드레인 영역 23을 덮고, 소스 영역 24를 덮지 않는 레지스트 패턴 31이 에칭 스톱퍼층 29상에 형성된다.

그때, 에칭 스톱퍼층 29의 일부가 제거되고, 레지스트 패턴 31이 기판의 전면은 물론 드레인 영역 23의 근처 까지도 덮지않는 에칭스톱퍼층 29a을 설치한 구조를 형성하도록 제거된다.

그후, 도 8e에 나타난 바와 같이 증간절연층 25와 레지스트 패턴 30은 이러한 구조로 형성된다.

그후, 드레인 컨택트홀 형성과 비트선 형성과 같은 잔류 프로세서가 불휘발성 반도체 메모리가 되도록 행해진다.

마지막으로 이 제 1 프로세스가 사용될 때, 에칭 스톱퍼층 29가 워드선 12의 상부에만 남아 있는 불휘발성 반도체 메모리가 제조된다. 즉, 불휘발성 반도체 메모리는 워드선 12의 양측에서 제조되어서, 에칭 스톱퍼 29의 형성중에 경계면으로 침입하는 수소가 방출하는 것을 차단하지 않는다.

그래서, 제 1 프로세스가 사용될 때, 불휘발성 반도체 메모리는 각 메모리셀 사이에 전기특성의 이산없이 제조된다.

다음에, 도 9a 9b를 참조해서 제 2 프로세스에 대해 설명한다. 도 9a에 모식적으로 나타난 바와 같이, 제 2 프로세스에서는 게이트 산화막 17이 반도체 기판11 상에 형성된후, 그 게이트 산화막 17은 산화 질소(NO, 또는 NO_2)내에서 열처리 된다. 그때, 도 9b에 나타난 바와 같이 부유게이트 18, 제어 게이트 20 등이 형성된다.

즉, 제 2 프로세스에서는 게이트 산화막 17하에서 실리콘(기판 11)의 단글링 본드가 질소로 종료되어서, 기판 11과 게이트 산화막 17사이의 경계에서 수소가 축적되는 것을 막는다.

(제 3실시예)

제 3 실시예에 따른 불휘발성 반도체 메모리의 제조방법에서, 불휘발성 반도체 메모리는 워드선과 소스선 사이와 워드선과 드레인 컨택트홀사이에 무용한 영역이 없게 제조된다. 즉, 이 제조방법에서는 소스선이 제 1실시예의 제조방법에 따라서 제조되고, 드레인 홀이 제 2 실시예의 제조방법에 따라 형성된다. 또한, 제 3 실시예에 있어서는 워드선이 제 2 실시예에서 워드선과는 다른 구조로 형성된다.

이 이후, 제 3 실시예에 따른 불휘발성 반도체 메모리의 제조방법에 대해 설명한다. 제 1 실시예와 유사한 이 제조방법은 필드 영역 15(도 1a)의 형성 프로세스로 시작한다. 그대, 다음의 프로세스가 워드선 12를 형성하도록 행해진다.

먼저, 도 10a에 나타난 바와 같이, 산화 게이트 17, 부유 게이트 18, 내부 게이트절연층 19, 제어 게이트 20, 제 1 절연층 21a 및 제 2 절연층 21b가 필드영역15가 형성되는 반도체 기판 11상에 순서대로 형성된다. 이 실시예에서는 산화 실리콘이 제 1 절연층 21a를 형성하게 퇴적되고, 질화 실리콘은 제 2 절연층 21b를 형성하게 퇴적된다. 후술하는 바와 같이, 제 2 절연층 21b은 에칭으로 부터 제어게이트를 보호하기 위해 설치된다.

질화실리콘을 사용해서 설치된 제 1 절연막21a는 에칭 마스크로서 텅스텐 실리사이드의 제어 게이트 20을 형성하는데 어려운 재료이다. 그리고,제 1 절연층 21a와 제 2 절연층 21b은 제 1 절연층 21a의 대상물와 제어 게이트 20사이의 절연층으로도 작용한다.

이들 6개층을 형성한 후, 도 10b에 나타난 바와 같이, 워드선 12에 설치된 일부 만이 덮혀진 레지스트 패턴 31이 제 2 절연층 21b상에 형성된다. 여기서, 레지스트 패턴은 워드선 12가 형성되는 방식으로 형성되며, 폭이 0.5㎛, 소스 영역을 그안으러 놓는 간격이 0.36㎛, 드레인 영역을 그안으로 놓는 간격이 0.6㎛이다.

그후, 에칭이 마스크로 레지스트 패턴 31을 이용함에 의해 행해지므로서 도 10c에 나타난 바와 같이, 워드선 12가 형성된 부분을 제외한 부분에서 내부 게이트 절연층 19, 제어 게이트 20, 제 1 절연층 21a 및 제 2 절연층 21b가 제거된다.

다음에, 도 10c에 나타난 바와 같이, 레지스트 패턴이 제거된다. 그리고, 에칭이 카본을 포함하지 않는 에칭 가스(이 실시예에서는 염소가스)로 행해지고, 도 10d에 나타난 바와 같이 워드선 12가 형성된 부분을 제외한 부분에서 부유 게이트 18이 제거된다.

또한, 산화 게이트층 17의 구성재료로 되는 산화 실리콘의 에칭 속도 Vo에 대해 부유 게이트 18의 구성재료로 되는 폴리실리콘의 에칭속도 Vp의 비, 즉 Vp/Vo는 크게되므로, 카본을 포함하지 않는 에칭가스가 사용된다. 즉, 워드선 12의 구성 재료로 되는 산화 게이트 층 17에 손상없이 폴리실리콘층을 처리하기위하여, 카본이 포함되않은 에칭가스가 사용된다.

그리고, 같은 프로세스가 구조에 인가되어 워드선 12가 형성되어서 소스 영역이 형성된다.

확실히, 제 2 절연층 21b와 반도체 기판 11(활성 영역 16과 필드 영역 15)이 있는 도 11a에 나타난 구조상에, 도 11b에 나타난 바와 같이 소스 영역이 되는 영역을 포함하는 개구를 가지는 레지스트 패턴 27이 형성된다. 다음에, 소스선 영역이 형성된 영역에 존재하는 산화 실리콘 (필드 영역 15)이 에칭 마스크로 레지스트 패턴 27을 사용함으로서 제거된다. 이미 기술한 바와 같이, 본 실시예에서는 워드선 12의 표면층이 질화 실리콘의 제 2 절연층 21b이다. 그래서, 에칭중에, 워드선 12의 레지스트 패턴 27(제 2 절연층 21b)에 의해 덮혀지지 않는 부분이 에칭되는 경우가 있다. 그 결과, 레지스트 패턴 17의 에칭 제거후, 도 11c에 나타난 바와 같이 상면이 평면인 워드선을 얻을수 있는 구조를 가진다.

그 다음에, 이온이 구조내로 주입되어 소스선, 소스 영역 및 드레인 영역이 형성된다. 그리고, 드레인 컨택트홀과 비트선이 제 2 실시예에서 설명된 수순에 따라 형성되고, 도 12에 나타난 바와 같이 불휘발성 반도체 메모리는 소스선 13과 소소 영역 24로 작용하는 영역 및 워드선 12로 자기정합으로 형성된 드레인 컨택트홀 26로 제조된다. 도 12에 나타난 절반부에 대응하는 하나의 메모리 셀은, 결국, 본 제조방법에 따른 불휘발성 반도체 메모리는 도 13에 나타난 바와 같이, 비트선 방향에서의 길이가 0.98(=0.6/2+0.5+0.36/2)㎛와 워드선 방향에서의 길이가 1.2㎛인 메모리 셀을 가진다. 그러므로, 본 제조방법에 따르면, 불휘발성 반도체 메모리는 종래의 제조방법에 따라 제조된 불휘발성 반도체 메모리에서 셀 영역(1.2㎛ ×1.48㎛)의 66%의 영역으로 제조될 수 있다.

상술한 바와 같이, 본 발명의 제조방법에 따르면, 소스선과 드레인 컨택트홀이 포토마스크의 얼라이먼트 정도와는 독립해서 형성되어서, 매우 콘팩트한 불휘발성 반도체 메모리를 제조할 수 있다.

(제 4 실시예)

제 4실시예에서는, 제조 수순은 제 3 실시예에서 기술된 제조방법을 사용하므로서 다층 배선에 필요한 부비트선과 주비트선(이이후, 분할 비트선 메로리라 한다)을 가진 불휘발성 반도체 메모리를 설명하는 것이다.

먼저, 도 14d를 참조하여 제 4실시예에 따라 제조된 분할 비트선 메모리에 대해 설명한다. 도 14d는 분할 비트선메모리의 일부구조를 나타내는 단면도이고, 실제의 분할 비트선 메모리는 도시되지 않은 두개의 워드선 33(12)사이의 대칭축(도 14a에서 한점 쇄선 34에의해 나타난다)이 설치된 좌우대칭 구조를 가진다.

분할 비트선 메모리는 메모리셀로 작용하는 트랜지스터와 메모리셀로 작용하지 않는 트랜지스터에 설치된다. 도 14d에서, 엷은측에 나타난 두개의 워드선 32(12)하와 훨씬 엷은측에 위치한 워드선 32(12)가 나타나지 않은 트랜지스터는 메모리셀로 작용하는 트랜지스터들이다. 상술한 바와 같이, 분할비트선 메모리는 좌우대칭 구조를 가지므로 말할필요없이 오른쪽의 워드선 아래의 트랜지스터는 메모리셀로 작용한다.

각 트랜지스터 그룹에서 같은 행에 속하는 트랜지스터 중 다른 하나의 드레인 영역 23에 전기 접속되는 서브 비트선 14*를 제외하고는 분할 비트선 메모리는 전자 트랜지스터 그룹과 후자 트랜지스터 그룹과 공통으로 비트선이 설치되지 않는다.

그리고, 분할비트선 메모리는 서브비트선 14*을 선택하는 선택 트랜지스터가 설치된다. 도 14a 14d에 있어서, 우측에 나타난 두개의 워드선아래의 트랜지스터는 선택 트랜지스터로서 작용한다. 이들 트랜지스터의 드레인 영역 23은 부비트선 14*에 직접 접속되지 않는 주비트선 14에 접속되고, 분할비트선 메모리에서는 몇개의 부비트선이 워드선 33아래의 이들 트랜지스터의 상태에 대응해서 주비트선 14와 전기 접속된다.

제 3 실시예에 기술된 제조방법에 따르면, 이와 같은 구조의 불휘발성 반도체 메모리가 콘팩트하게 제조할 수 있다. 구체적으로, 먼저, 제 3 실시예에 설명된 같은 수순을 따라서, 구조가 드레인 영역 23, 소스선 영역 24, 워드선 12(31,32) 및 중간 절연층 25과 설치되도록 형성된다. 그리고, 도 14a에 나타난 바와 같이 레지스트 패턴 27은 메모리셀로서 작용하는 트랜지스터의 드레인 영역 23상에만 개구가 형성되는 구조상에 형성된다.

그리고, 드레인 컨택트홀 26*은 에칭마스크로서 레지스트 패턴 27을 사용함으로서 형성되며, 그다음에 도전 재료가 드레인 컨택트홀 26*가 형성되는구조의 표면상에 퇴적됨으로서 도 14b에 나타난 바와 같이 부비트선 14*이 형성되는 구조가 얻어진다.

다음에, 같은 프로세스가 선택 트랜지스터의 드레인 영역 23에 반복적으로 인가되어서, 도 14c에 나타난 바와 같은 드레인 컨택트홀 26이 형성되는 구조가 얻어진다. 도전 재료가 드레인 컨택트홀 26이 형성되는구조의 표면상에 퇴적됨으로서 도 14d에 나타난 바와 같이 분할 비트선 메모리는 부비트선 14*과 주비트선 14로 다층 구조를 제조하게된다.

상술한 바와 같이, 제 4 실시예에 기술된 제조방법이 사용될때, 선택 트랜지스터 주위에 리소그래피법을 사용하기 때문에 위치 이탈을 맞추기 위한 영역을 설치할 필요가 없다. 따라서, 콘택트 분할 비트선 메모리가 형성된다.

(제 5실시예)

불휘발성 반도체 메모리가 제조될 때, 메모리 셀을 제어하는 회로는 형성 메모리셀과 병렬로 또한 형성된다. 제 5 실시예에서는, 제 2 실시예에 기술된 제조 수순의 샘플이 그러한 주변회로의 형성에 인가된다.

또한, 주변회로로 x 디코더와 y 디코더와 같은 많은 회로가 있다. 그래서, 본 실시예에서는 주변회로의 일부가 나타나는 도 15를 참조해서, 제 2 실시예에 기술된 제조 수순이 상기 주변회로를 형성하는 샘플로 해서 설명한다.

주변회로는 소스영역과 드레인 영역을 각각 가지는 두개의 트랜지스터보다 둘이상 설치된다. 제 3 실시예에서 기술된 제조수순이 도 15a에 도시된 바와 같이 인가 될 때, 절연층 21은 각 트랜지스터 34의 제어 게이트 20상에 형성된다. 일반적으로, 절연층 21은 워드선 12의 절연층 21이 형성되는 동시에 형성된다.

다음에, 제어 게이트 20과 절연층 21이 설치된 구조가 워드선 12와 유사하게 취급된다. 즉, 측벽 22는 구조의 측면에 형성된다. 그리고, 측벽 22를 덮는 에칭 스톱퍼 층 29와 트랜지스터 34의 절연층 21가 형성된다. 또한, 중간 절연층 25는 에칭 스톱퍼 층 29상에 형성되며, 트랜지스터 34의 드레인 영역23에 대응하는 부분에 개구를 가지는레지스트 패턴이 중간 절연층25상에 형성된다.

그리고, 도 7f 7g를 참조해서 기술되는 프로세스, 즉 중간절연층25의 에칭, 레지스트 패턴의 제거, 에칭 스톱퍼층 29의 에칭이 상술의 방법으로 형성된 구조(도 15a)에 인가된다. 그 결과, 도 15b에 나타난 바와 같이 측벽 22가 측면의 일부인 드레인 컨택트홀 26을 가지는 구조가 형성되고, 도전재료가 구조상에 퇴적된다. 다음에, 도전 재료층이 트래지스터34의 배선을 완성하기 위해 패턴화되고 에칭된다.

발명의 효과

상술한 바와 같이, 제 2 실시예에서 설명된 제조 수순도 주변회로에 이러한 응용과 함께, 주변회로의 구성요소로 되는 트랜지스터사이의 간격이 종래보다 짧게할 수 있다. 따라서, 이제조방법은 주변회로의 형성에도 도입될 수 있고, 불휘발성 반도체 메모리를 더 콘택트하게 제조할 수 있다.

(57) 청구의 범위

청구항 1.

필드영역이 형성되는 반도체 기판 표면상에 병렬로, 최상층으로 제 1 절연재료의 절연층을 각각 가지는 복수의 워드선을 형성하는 워드선 형성 스탭과,

필드 영역을 제외한 영역에서 소스영역, 드레인 영역, 소스선을 생성하기 위한 워드선 형성스탭후에 불순물을 반도체 기판으로 도우프하는 도우프 스탭과,

복수의 워드선의 드레인 영역쪽으로 측면상에 제 2 절연 재료의 측벽을 형성하는 측벽 형성스텝과,

측벽 형성스탭 후 반도체 기판의 전면상에 상기 드레인 영역을 제외한 영역에서 개구를 가지는 에칭 스톱칭을 형성하는 에칭스톱층을 형성 스탭과,

에칭 스톱층에 사용되는 재료와는 다르게 에칭스톱층상에 제 3 절연재료의 중간 절연층을 형성하는 중간절연층 형성스텝과,

중간 절연층상에 드레인 영역에 대응하는 영역에서 개구를 가지는 레지스트 패턴을 형성하는 레지스트 패턴 형성 스텝과,

마스크로 레지스트 패턴을 사용하여 중간 절연층을 에치함으로서 드레인 컨택트홀을 형성하는 드레인 컨택트홀 형성 스텝과,

드레인 컨택트홀이 형성되는 중간절연층상에 도전재료를 퇴적하고, 퇴적된 도전재료를 패터닝함으로서 비트선을 형성하는 비트선 형성스텝을 구비하는 불휘발성 반도체 메모리 제조방법.

청구항 2.

필드영역이 형성되는 반도체 기판 표면상에 병렬로, 최상층으로 제 1 절연재료의 절연층을 각각 가지는 복수의 워드선을 형성하는 워드선 형성 스텝과,

필드 영역을 제외한 영역에서 소스영역, 소스선을 생성하기 위한 워드선 형성스탭후에 불순물을 반도체 기판으로 도우프하는 도우프 스텝과,

복수의 워드선의 드레인 영역쪽을 측면상에 제 2 절연 재료의 측벽을 형성하는 측벽 형성스텝과,

측벽 형성스탭후 반도체 기판의 전면상에, 그 각각이 하나씩의 드레인 영역을 덮는 도전재질의 에칭 스톱부를 이루는 스톱층을 형성하는 에칭스톱층 형성 스탭과,

에칭 스톱층에 사용되는 재료와는 다르게 에칭스톱층상에 제 3 절연재료의 중간 절연층을 형성하는 중간절연층 형성스탭과,

중간 절연층상에 드레인 영역에 대응하는 영영에서 개구를 가지는 레지스트 패턴을 형성하는 레지스트 패턴 형성스탭과,

마스크로 레지스트 패턴을 사용해 중간 절연층을 에칭함으로서 드레인 컨택트홀을 형성하는 드레인 컨택트홀 형성 스탭과,

드레인 컨택트홀이 형성되는 중간절연층상에 도전재료를 퇴적하고, 퇴적된 도전재료를 패터닝함으로서 비트선을 형성하는 형성스탭을 구비하는 불휘발성 반도체 메모리 제조방법.

청구항 3.

제 2 항에 있어서,

상기 도전 재료는 폴리실리콘 또는 텅스텐 실리사이드, 또는 텅스텐인 불휘발성 반도체 메모리 제조 방법.

청구항 4.

제 1 항에 있어서,

적어도 2개의 트랜지스터를 포함하는 주변회로를 형성하는 주변회로 형성스텝을 구비하고,

상기 측벽형성 스텝은 트랜지스터의 제어 게이트의 측면상에 측벽을 형성하며,

상기 레지스트 패턴 형성 스텝은 주변회로내에 트랜지스터의 드레인 영역에 대응하는 영역에서 레지스트패턴이 개구를 가지는 스텝인 불휘발성 반도체 메모리의 제조방법.

청구항 5.

필드 영역이 형성되는 반도체 기판 표면상에 병렬로, 최상층으로 제 1 절연 재료의 절연층을 각각 가지는 복수의 워드선을 형성하는 스텝과,

필드 영역을 제외한 영역에서 소스영역, 드레인 영역, 소스선을 생성하기 위한 워드선 형성스텝후에 불순물을 반도체 기판으로 도우프하는 도우프 스텝과,

복수의 워드선의 드레인 영역쪽으로 측면상에 제 2 절연 재료의 측벽을 형성하는 측벽 형성스텝과,

측벽 형성후 반도체 기판의 전면상에 상기 드레인 영역을 제외한 영역에서 개구를 가지는 에칭 스톱층을 형성하는 스텝과,

에칭 스톱층에 사용되는 재료와는 다르게 에칭스톱층상에 제 3 절연재료의 중간 절연층을 형성하는 형성스텝을 구비하는 불휘발성 반도체 메모리 제조방법.

청구항 6.

제 5 항에 있어서, 상기 복수의 워드선을 형성하는 스텝은,

상기 반도체 기판상에 상기 워드선의 게이트 산화막을 형성할 제 1 층을 적층하는 공정과,

상기 제 1 층이 형성된 반도체 기판을 질소산화 가스내에서 가열처리하는 공정과,

상기 가열처리 후에 상기 제 1 층 상에 부유게이트, 내부 게이트 절연층, 제어 게이트 및 절연층이 각각 형성되는 제 2 층내지 제 5 층을 적층하는 공정을 구비하는 불휘발성 반도체 메모리 제조방법.

청구항 7.

필드 영역이 형성되는 반도체 기판 표면상에 병렬로, 최상층으로 제 1 절연 재료의 절연층을 각각 가지는 복수의 워드선을 형성하는 스텝과,

필드 영역을 제외한 영역에서 소스 영역, 드레인 영역, 소스선을 생성하기 위한 워드선 형성스탭후에 불순물을 기판으로 도우프하는 스텝과,

복수의 워드선의 드레인 영역쪽으로 측면상에 제 2 절연 재료의 측벽을 형성하는 스텝과,

측벽을 형성한 후 반도체 기판의 전면상에, 그 각각이 하나씩의 드레인 영역을 덮는 도전재질의 에칭 스톱부를 이루는 에칭 스톱층을 형성하는 에칭스톱층 형성 스텝과,

에칭 스톱층에 사용되는 재료와는 다르게 에칭스톱층상에 제 3 절연재료의 중간 절연층을 형성하는 형성스텝을 구비하는 불휘발성 반도체 메모리 제조방법.

청구항 8.

제 7 항에 있어서,

상기 도전 재료는 폴리실리콘 또는 텅스텐 실리사이드, 또는 텅스텐인 불휘발성 반도체 메모리 제조방법.

청구항 9.

제 5 항에 있어서,

적어도 2개의 트랜지스터를 포함하는 주변회로를 형성하는 주변회로 형성 스텝을 구비하고,

상기 측벽형성스텝은 트랜지스터의 제어 게이트의 측면상에 측벽을 형성하며,

상기 레지스트 패턴 형성 스텝은 주변회로내에 트랜지스터의 드레인 영역에 대응하는 영역에서 레지스트패턴이 개구를 가지는 스텝인 불휘발성 반도체 메모리의 제조방법.

청구항 10.

제 2 항에 있어서,

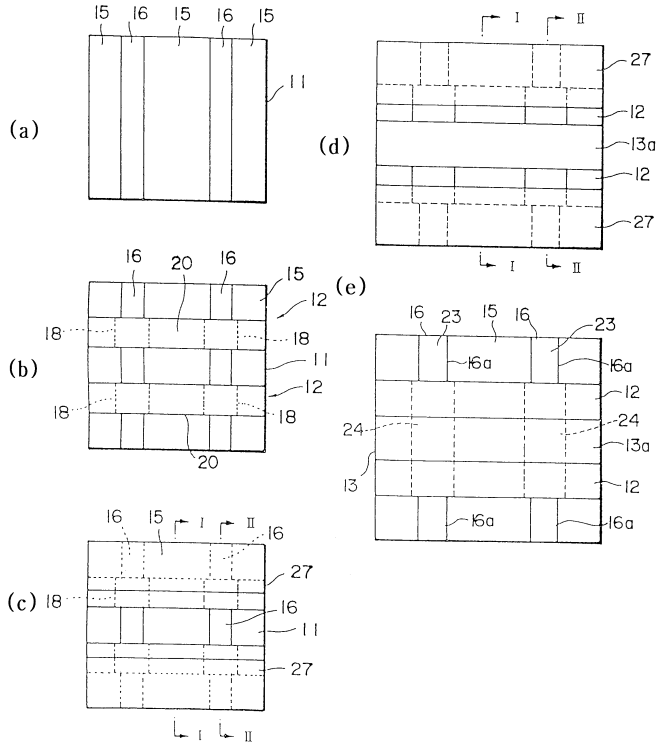
적어도 2개의 트랜지스터를 포함하는 주변회로를 형성하는 주변회로 형성스탭을 구비하고,

상기 측벽형성스탭은 트랜지스터의 제어 게이트의 측면상에 측벽을 형성하며,

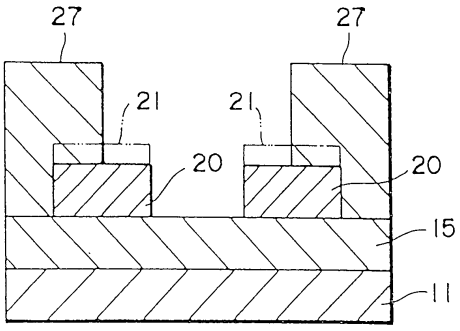
상기 레지스트 패턴 형성 스텝은 주변회로내에 트랜지스터의 드레인 영역에 대응하는 영역에서 레지스트패턴이 개구를 가지는 스텝인 불휘발성 반도체 메모리의 제조방법.

도면

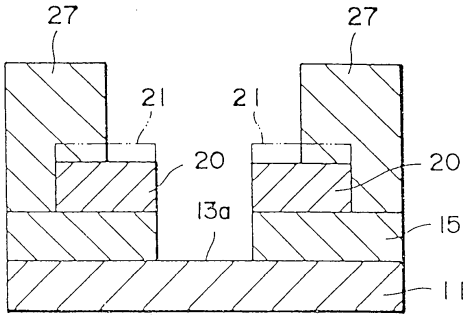
도면 1



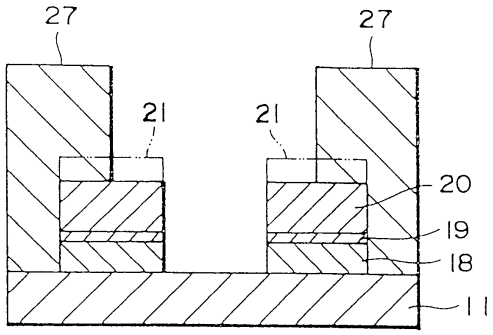
도면 2a



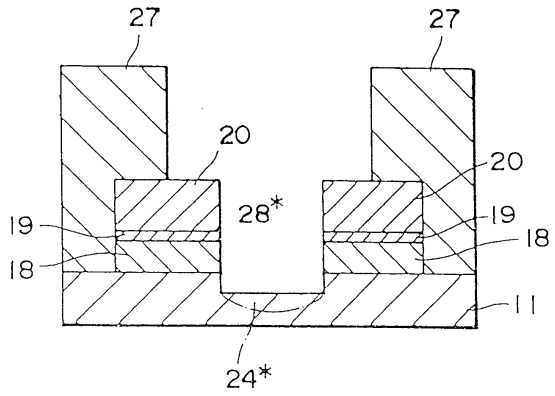
도면 2b



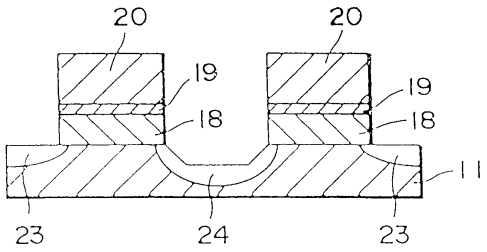
도면 3



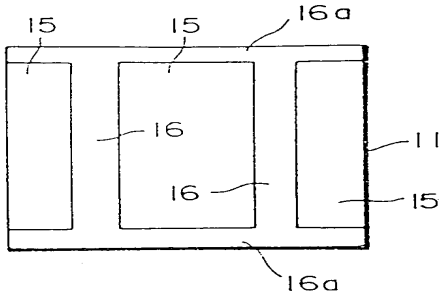
도면 4


27
27
20
20
28*
19
19
18
18
11
24*

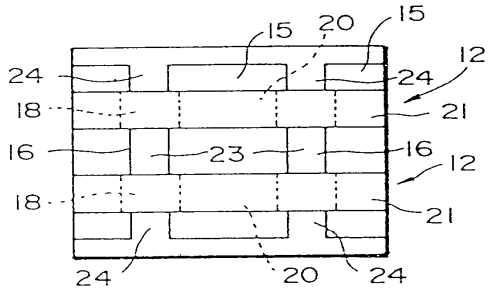
도면 5


20
20
19
19
18
18
11
23
24
23

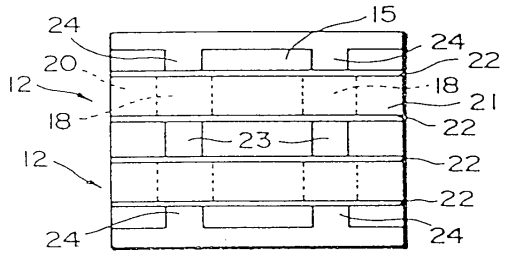
도면 6a


15
15
16a
16
11
16
15
16a

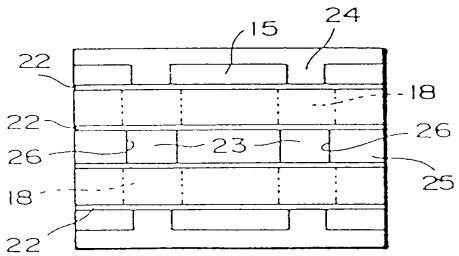
도면 6b



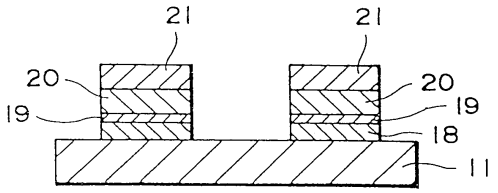
도면 6c



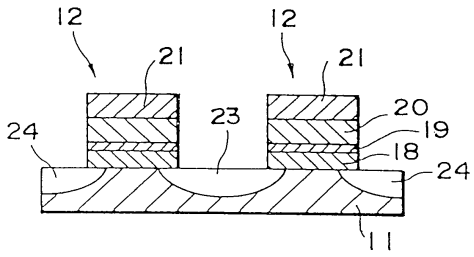
도면 6d



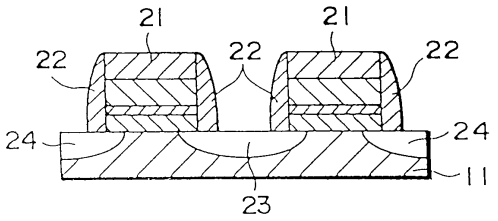
도면 7a



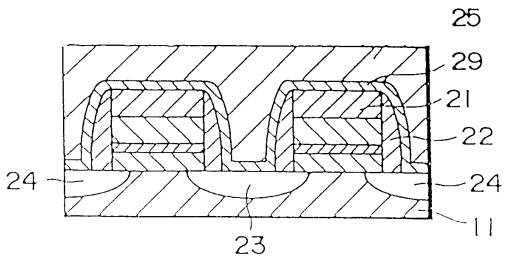
도면 7b



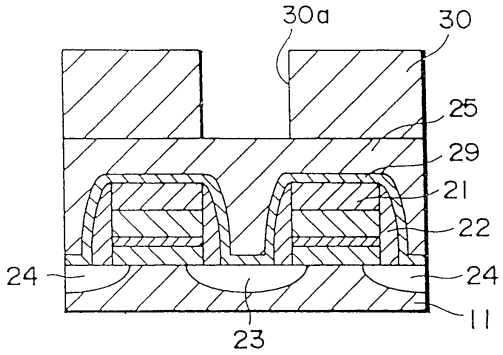
도면 7c



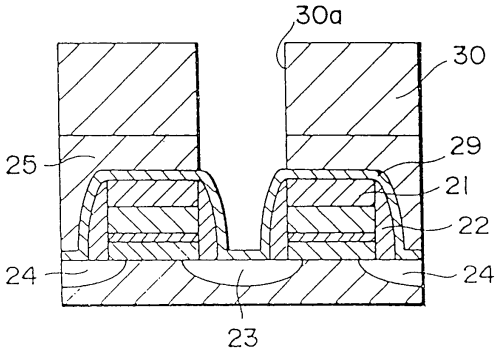
도면 7d



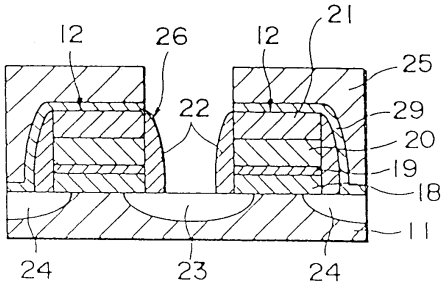
도면 7e



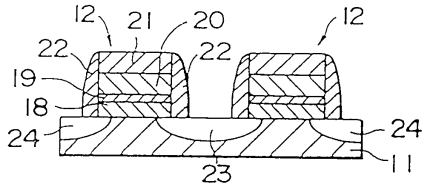
도면 7f



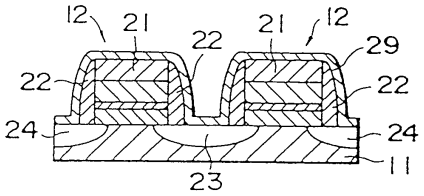
도면 7g



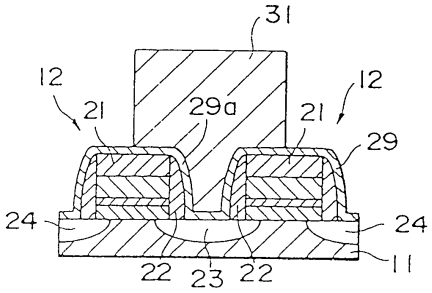
도면 8a



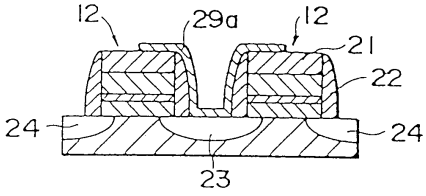
도면 8b



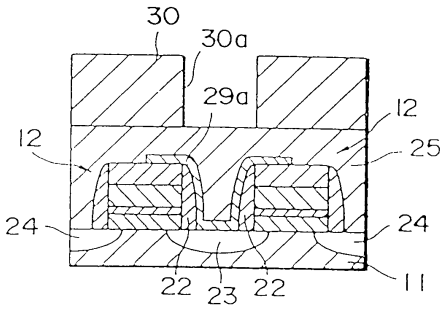
도면 8c



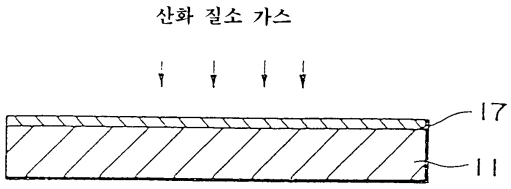
도면 8d



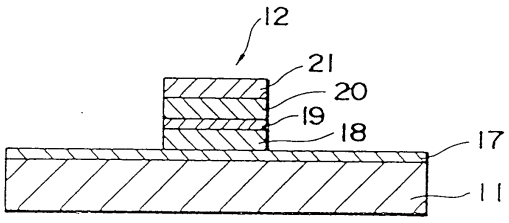
도면 8e



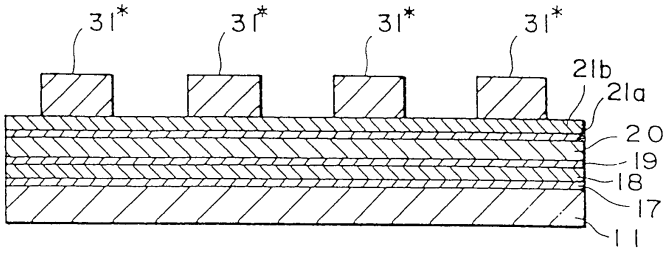
도면 9a



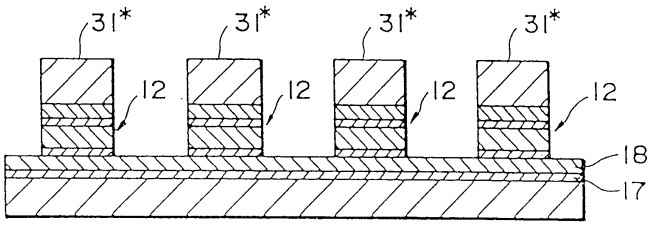
도면 9b



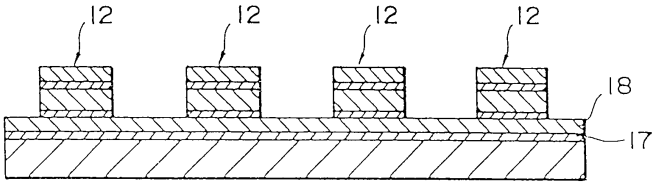
도면 10a



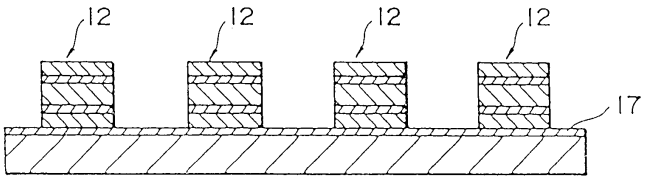
도면 10b



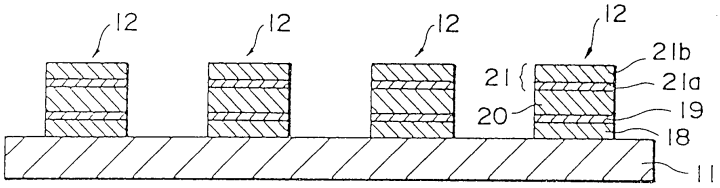
도면 10c



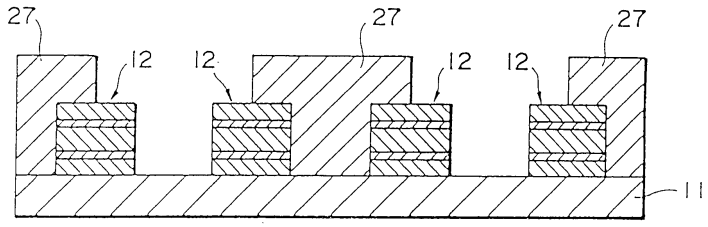
도면 10d



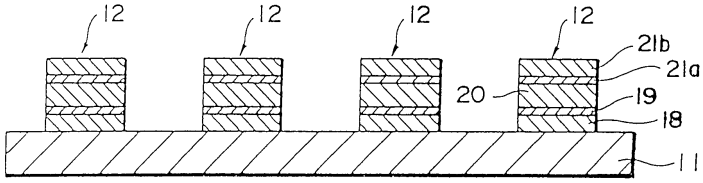
도면 11a



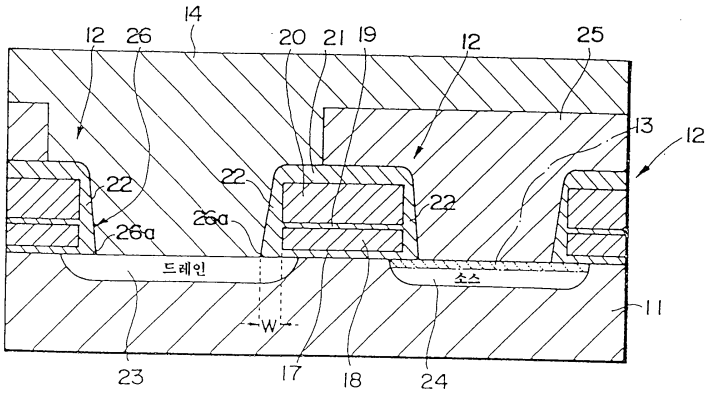
도면 11b



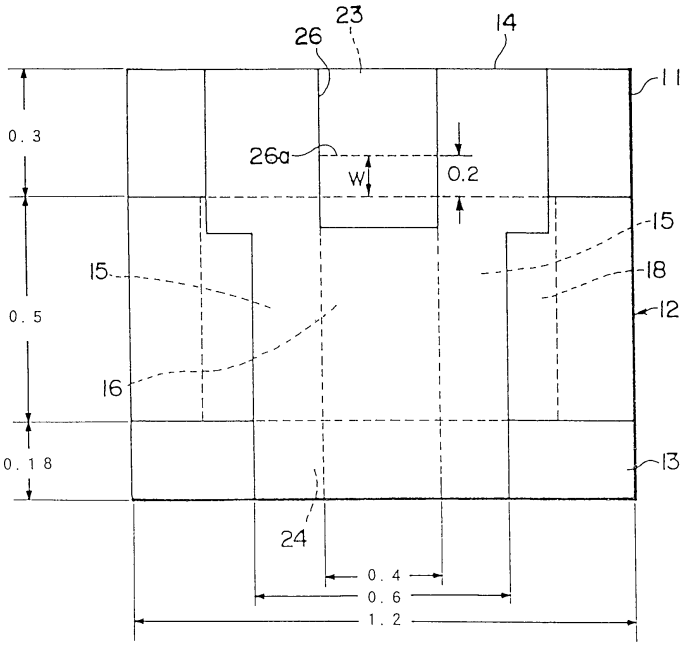
도면 11c



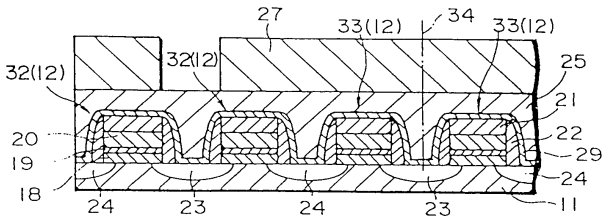
도면 12



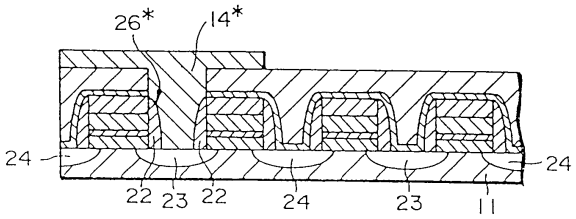
도면 13



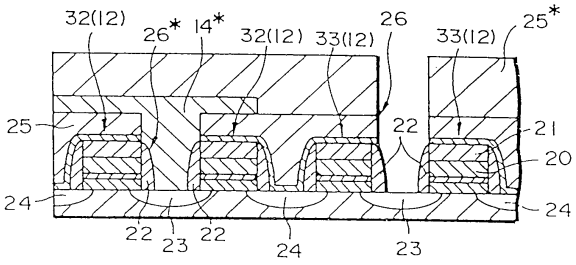
도면 14a



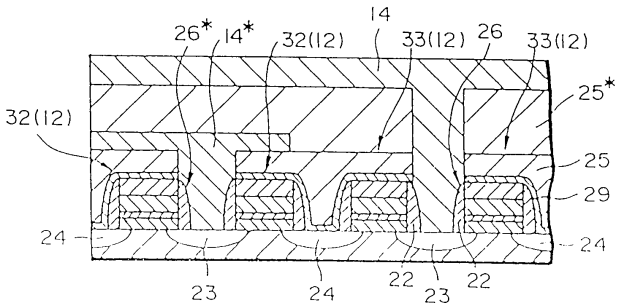
도면 14b



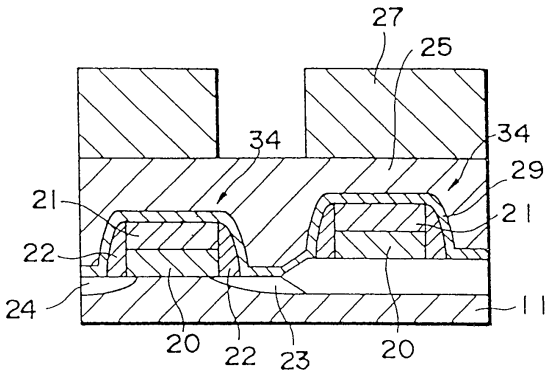
도면 14c



도면 14d



도면 15a



도면 15b

