

MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	**102013902168986**
Data Deposito	**26/06/2013**
Data Pubblicazione	**26/12/2014**

Classifiche IPC

Titolo

DISPOSITIVO DI MEMORIA NON-VOLATILE CON CIRCUITO DI LETTURA MIGLIORATO

DESCRIZIONE

La soluzione in accordo con una o più forme di realizzazione dell'invenzione riguarda il settore dell'elettronica. Più specificamente, tale soluzione riguarda dispositivi di memoria non-volatile.

I dispositivi di memoria non-volatile sono utilizzati in qualsivoglia applicazione che richiede l'immagazzinamento di dati binari (o bit) di informazioni che devono essere mantenuti anche quando i dispositivi di memoria non sono alimentati.

Ciascun dispositivo di memoria non-volatile tipicamente comprende una matrice di celle di memoria, e circuiti periferici per eseguire funzioni di gestione ed accesso alla stessa - ad esempio, circuiti di lettura comprendenti amplificatori a soglia (sense amplifier) per eseguire operazioni di lettura delle celle di memoria selezionate.

Durante un'operazione di lettura, ciascun sense amplifier è configurato per confrontare segnali elettrici attraverso (una o più) celle di memoria selezionate con opportuni valori di riferimento, e determinare i bit di informazioni in esse memorizzati in accordo con tale confronto. Come è noto, la ridotta entità di tali segnali elettrici e la presenza di componenti capacitive di valori elevati richiedono un'operazione di lettura con differenti fasi operative del sense amplifier (ad esempio, scarica, pre-carica, equalizzazione, e latch), ciascuna delle quali abilitata/disabilitata mediante un corrispondente segnale di fase.

La Richiedente ha notato che tali segnali di fase, generati da un blocco di generazione segnali, determinano alcuni inconvenienti che incidono sulle prestazioni del dispositivo di memoria non-volatile.

Infatti, il numero relativamente elevato di segnali di fase (tipicamente quattro o più) necessari per controllare il sense amplifier durante l'operazione di lettura rende critica la progettazione del blocco di generazione segnali, sia in termini di prestazioni (in quanto è necessario garantire che tutti i segnali di fase possiedano adeguate velocità ed accuratezza), sia in termini di occupazione di area.

Inoltre, un elevato numero di segnali di fase richiede lunghi tempi di configurazione (ovvero, di impostazione delle relative temporizzazioni) e di verifica (in quanto essi devono essere configurati e verificati uno alla volta). Ciò determina

un aumento dei costi di produzione del dispositivo di memoria non-volatile, ed una maggiore probabilità di introdurre errori (durante la configurazione e/o la verifica).

La Richiedente ha anche notato che i dispositivi di memoria non-volatile presentano limitazioni in condizioni di basse tensioni di alimentazione.

Infatti, per ottenere ridotti tempi di accesso e ridotte occupazioni di area, i sense amplifier sono tipicamente progettati per funzionare con basse tensioni di alimentazione (tipicamente, 1,2-1,8V).

Tuttavia, come è noto, la tensione di alimentazione può raggiungere (in presenza di rumore e/o di fluttuazioni indesiderate) valori eccessivamente bassi (ad esempio, minori di 1V). Ciò determina un funzionamento non corretto dei sense amplifier, e quindi errori nell'operazione di lettura.

La Richiedente ha notato che le soluzioni note (come quelle descritte in US7272062 ed in US7508716) non risolvono completamente i problemi indicati, ed ha escogitato una soluzione in grado di superare gli inconvenienti citati.

Uno o più aspetti della soluzione in accordo con specifiche forme di realizzazione dell'invenzione sono indicati nelle rivendicazioni indipendenti, con caratteristiche vantaggiose della stessa soluzione che sono indicate nelle rivendicazioni dipendenti, il cui testo è incorporato nella presente alla lettera per riferimento (con qualsiasi caratteristica vantaggiosa fornita con riferimento ad uno specifico aspetto della soluzione in accordo con una forma di realizzazione dell'invenzione che si applica *mutatis mutandis* ad ogni altro suo aspetto).

Più specificamente, un aspetto della soluzione in accordo con una forma di realizzazione della presente invenzione propone un dispositivo di memoria non-volatile comprendente un sense amplifier per confrontare, ad un nodo di confronto, una corrente di conduzione di una cella di memoria selezionata con una corrente di riferimento. Il sense amplifier comprende uno stadio di amplificazione per ricevere una prima tensione di confronto al nodo di confronto, ed un valore di riferimento, e per fornire una seconda tensione di confronto in accordo con la prima tensione di confronto ed il valore di riferimento; uno stadio di buffer per fornire una corrente di confronto in accordo con una differenza tra la corrente di conduzione e la corrente di riferimento, e per stabilizzare (in accordo con la corrente di confronto) la prima tensione di confronto al valore di riferimento e la seconda tensione di confronto ad

un valore di confronto sbilanciato rispetto al valore di riferimento; ed uno stadio di staticizzazione per fornire un dato binario staticizzato indicativo di un livello logico memorizzato nella cella di memoria in accordo con una differenza tra detto valore di confronto e detto valore di riferimento.

Un altro aspetto della soluzione in accordo con una forma di realizzazione della presente invenzione propone un corrispondente metodo.

La soluzione in accordo con una o più forme di realizzazione dell'invenzione, come pure ulteriori caratteristiche ed i relativi vantaggi, sarà meglio compresa con riferimento alla seguente descrizione dettagliata, data puramente a titolo indicativo e non limitativo, da leggersi congiuntamente alle figure allegate (in cui, per semplicità, elementi corrispondenti sono indicati con riferimenti uguali o simili e la loro spiegazione non è ripetuta, ed il nome di ogni entità è in generale usato per indicare sia il suo tipo sia suoi attributi – come valore, contenuto e rappresentazione). A tale riguardo, è espressamente inteso che le figure non sono necessariamente in scala (con alcuni particolari che possono essere esagerati e/o semplificati) e che, a meno di indicazione contraria, esse sono semplicemente utilizzate per illustrare concettualmente le strutture e le procedure descritte. In particolare:

FIG.1 mostra un dispositivo di memoria non-volatile in accordo con una forma di realizzazione dell'invenzione;

FIG.2 mostra schematicamente una rappresentazione a blocchi di un sense amplifier in accordo con una forma di realizzazione dell'invenzione;

FIG.3 mostra una implementazione circuitale del sense amplifier di **FIG.2** in accordo con una forma di realizzazione dell'invenzione, e

FIG.4 mostra un diagramma temporale qualitativo di alcuni segnali significativi del dispositivo di memoria durante un'operazione di lettura di una cella di memoria programmata, in accordo con una forma di realizzazione dell'invenzione.

Con riferimento in particolare a **FIG.1**, essa mostra un dispositivo di memoria non-volatile **100** (ad esempio, un dispositivo di memoria flash di tipo NOR) in accordo con una forma di realizzazione dell'invenzione. Nel seguito, per brevità di esposizione, saranno introdotti e descritti solamente componenti ed aspetti del dispositivo di memoria **100** rilevanti per la comprensione dell'invenzione.

Il dispositivo di memoria **100** comprende una matrice di celle di memoria **105**

(ad esempio, celle di memoria flash). Ciascuna cella di memoria **105**, comprendente un transistore di tipo MOS a canale N con struttura a gate flottante, è atta a memorizzare un valore logico (ad esempio, un valore logico alto "1" o un valore logico basso "0") in accordo con una carica elettrica nella gate flottante (la quale definisce un corrispondente valore della tensione di soglia del transistore). Ad esempio, ciascuna cella di memoria **105** può essere programmata ad una tensione di soglia alta (cariche elettriche intrappolate nella gate flottante) per memorizzare il valore logico basso, oppure cancellata ad una tensione di soglia bassa (gate flottante priva di cariche elettriche) per memorizzare il valore logico alto. Come è noto, durante un'operazione di lettura di una cella di memoria **105** selezionata, la corrente di canale che scorre attraverso di essa (dipendente dalla sua tensione di soglia) è utilizzata per determinare il valore logico memorizzato.

Come visibile in figura, le celle di memoria **105** sono organizzate (nella matrice) in righe (ad esempio, N=1024 righe) e colonne.

Le colonne della matrice sono suddivise in gruppi di colonne $\mathbf{110}_{Cj}$ (j=0,1,…, M, ad esempio M=127), ciascuno dei quali comprende una pluralità di colonne (ad esempio P=16 colonne) di celle di memoria **105** adiacenti. Le celle di memoria **105** di ciascuna colonna sono associate ad una rispettiva bit line locale $\mathbf{LBL}_k$ (k=0,1,… P-1,), mentre ciascun gruppo di colonne $\mathbf{110}_{Cj}$ è associato ad una rispettiva bit line principale $\mathbf{MBL}_j$.

Il dispositivo di memoria **100** comprende un blocco di selezione di riga ed un blocco di selezione di colonna per la selezione di una cella di memoria **105** di ciascun gruppo di colonne $\mathbf{110}_{Cj}$.

Il blocco di selezione di riga comprende una pluralità di word line $\mathbf{WL}_i$ (i=0,1,…, N-1), ciascuna delle quali è connessa ai terminali di controllo delle celle di memoria **105** disposte lungo una stessa riga della matrice, ed un decodificatore di riga **115**, il quale riceve un indirizzo di riga $\mathbf{R}_{ADD}$ della cella di memoria **105** da selezionare e polarizza la word line $\mathbf{WL}_i$ corrispondente.

Il blocco di selezione di colonna comprende, per ogni k-esima colonna di ciascun gruppo di colonne $\mathbf{110}_{Cj}$, un selettore di colonna $\mathbf{120}_k$ attivabile per abilitare il collegamento tra la bit line locale $\mathbf{LBL}_k$ e la corrispondente bit line principale $\mathbf{MBL}_j$, ed un decodificatore di colonna **125**, il quale riceve un indirizzo di colonna

$\mathbf{C_{ADD}}$ della cella di memoria **105** da selezionare e, per ciascun gruppo di colonne $\mathbf{110_{Cj}}$, attiva il selettore di colonna $\mathbf{120_k}$ corrispondente.

Nell'esemplificativa forma di realizzazione considerata, ciascun selettore di colonna $\mathbf{120_k}$ comprende un transistore MOS a canale N con terminali di drain e di source connessi alla bit line locale $\mathbf{LBL_k}$ ed alla bit line principale $\mathbf{MBL_j}$, rispettivamente, ed un terminale di controllo per la sua attivazione. A tale scopo, il blocco di selezione di colonna comprende una pluralità di linee di selezione $\mathbf{SL_k}$, ciascuna delle quali è connessa al terminale di controllo del selettore di colonna $\mathbf{120_k}$ nella *k*-esima colonna di ciascun gruppo di colonne $\mathbf{110_{Cj}}$ (così che il decodificatore di colonna **125**, polarizzando la linea di selezione $\mathbf{SL_k}$ corrispondente all'indirizzo di colonna $\mathbf{C_{ADD}}$ ricevuto, attiva tutti i selettori di colonna $\mathbf{120_k}$ che, nel rispettivo gruppo di colonne $\mathbf{110_{Cj}}$, si trovano nella *k*-esima colonna).

Il dispositivo di memoria **100** ulteriormente comprende una pluralità di amplificatori a soglia (sense amplifier) $\mathbf{130_j}$ identici, ciascuno dei quali connesso (mediante un corrispondente nodo di confronto $\mathbf{N_J}$) ad una rispettiva bit line principale $\mathbf{MBL_j}$.

Come rappresentato concettualmente in figura, durante un'operazione di lettura ciascun sense amplifier $\mathbf{130_j}$ è configurato per confrontare, al rispettivo nodo di confronto $\mathbf{N_J}$, una corrente di conduzione $\mathbf{I_{CELL}}$ della cella di memoria **105** selezionata con una corrente di riferimento $\mathbf{I_{REF}}$ e, in accordo con il risultato di tale confronto, fornire un dato binario staticizzato $\mathbf{D_{OUTj}}$ indicativo del livello logico memorizzato nella cella di memoria **105**.

Come sarà discusso nel seguito, il sense amplifier $\mathbf{130_j}$ presenta una architettura ottimizzata che consente di impiegare, durante un'operazione di lettura, un valore (ad esempio, di tensione) di riferimento $\mathbf{V_{REF}}$, e (a differenza delle soluzioni note) un solo segnale di fase (ovvero, il segnale di fase $\mathbf{S_{LATCH}}$, il quale è generato in un corrispondente blocco di generazione segnali, non mostrato).

L'impiego di un solo segnale di fase, in luogo del numero relativamente elevato di segnali di fase (tipicamente quattro o più) solitamente necessari per controllare il sense amplifier $\mathbf{130_j}$ durante l'operazione di lettura, semplifica la progettazione del blocco di generazione segnali (sia in termini di prestazioni ottenibili, sia intermini di occupazione di area). Inoltre, in caso di un solo segnale di

fase, i tempi di configurazione e di verifica delle relative temporizzazioni risultano notevolmente ridotti. Ciò determina una riduzione dei costi di produzione del dispositivo di memoria **100**, ed un aumento della sua affidabilità (in quanto diminuisce la probabilità di introdurre errori in fase di progettazione, configurazione e/o verifica).

Sebbene il sense amplifier $\mathbf{130}_j$ sia stato concepito per operare a tensioni di alimentazione relativamente basse (ovvero, tra una tensione di alimentazione superiore $\mathbf{V_{UP}}$, o tensione $\mathbf{V_{UP}}$ - ad esempio, compresa tra 1,2V e 1,8V rispetto ad una tensione di massa di 0V - ed una tensione di alimentazione inferiore - ad esempio, pari alla tensione di massa), esso riceve in ingresso anche una tensione relativamente alta (o tensione $\mathbf{V_{HIGH}}$, tipicamente 3,3V-5V rispetto alla tensione di massa). Come sarà chiarito nel seguito, tale tensione $\mathbf{V_{HIGH}}$ è utilizzata dal sense amplifier $\mathbf{130}_j$ per ottenere una tensione di alimentazione superiore regolata (ad esempio, compresa tra 1,2V e 1,8V) - nel seguito, tensione $\mathbf{V_{UP,REG}}$ – adatta ad alimentare stadi circuitali critici. Ciò consente di evitare malfunzionamenti (ad esempio, errori nell'operazione di lettura) in presenza di rumore e/o di fluttuazioni indesiderate della tensione $\mathbf{V_{UP}}$, senza complicare, nel contempo, la struttura del dispositivo di memoria **100** (infatti, la tensione $\mathbf{V_{HIGH}}$ è tipicamente già disponibile per altri componenti del dispositivo di memoria **100** - ad esempio, transistori ed interruttori ad alta tensione, e/o pompe di carica).

FIG.2 mostra schematicamente una rappresentazione a blocchi del sense amplifier $\mathbf{130}_j$ in accordo con una forma di realizzazione dell'invenzione. Per ragioni di completezza, in tale figura è mostrata anche una cella di memoria **105** ed un selettore di colonna $\mathbf{120}_k$.

Il sense amplifier $\mathbf{130}_j$ comprende uno stadio di amplificazione **205** avente un terminale di ingresso non invertente $\mathbf{IN_{205}^+}$ per ricevere il valore di riferimento $\mathbf{V_{REF}}$, un terminale di ingresso invertente $\mathbf{IN_{205}^-}$ connesso al nodo di confronto $\mathbf{N}_j$ per ricevere una tensione della bit line principale $\mathbf{MBL}_j$ (nel seguito, tensione di bit line $\mathbf{V_{MBL}}$), ed un terminale di uscita $\mathbf{OUT_{205}}$ per fornire una tensione di controllo $\mathbf{V_{CTRL}}$ in accordo con la tensione di bit line $\mathbf{V_{MBL}}$ ed il valore di riferimento $\mathbf{V_{REF}}$. Come descritto in maggior dettaglio nel seguito, la tensione di controllo $\mathbf{V_{CTRL}}$ e la tensione di bit line $\mathbf{V_{MBL}}$ sono utilizzate come tensioni di confronto per discriminare il livello

logico, alto o basso, memorizzato nella cella di memoria **105**.

Il sense amplifier $\mathbf{130}_j$ ulteriormente comprende uno stadio di buffer **210** per disaccoppiare tra loro la tensione di controllo $\mathbf{V_{CTRL}}$ e la tensione di bit line $\mathbf{V_{MBL}}$. A tale scopo, lo stadio di buffer **210** presenta un terminale di ingresso $\mathbf{IN_{210}}$ connesso al terminale di uscita $\mathbf{OUT_{205}}$ dello stadio di amplificazione **205** (così da essere controllato dal segnale di controllo $\mathbf{V_{CTRL}}$), ed un terminale di uscita $\mathbf{OUT_{210}}$ connesso al nodo di confronto $\mathbf{N}_j$ (e quindi alla bit line principale $\mathbf{MBL}_j$ ed al terminale di ingresso invertente $\mathbf{IN_{205}^-}$ dello stadio di amplificazione **205**) per fornire una corrente di confronto $\mathbf{I_{COMP}}$ in accordo con una differenza tra la corrente di conduzione $\mathbf{I_{CELL}}$ e la corrente di riferimento $\mathbf{I_{REF}}$.

La connessione tra lo stadio di amplificazione **205** e lo stadio di buffer **210** definisce una configurazione a retroazione negativa. Come sarà discusso anche nel seguito, tale configurazione consente di stabilizzare, per tutta la durata dell'operazione di lettura, la tensione di bit line $\mathbf{V_{MBL}}$ al valore di riferimento $\mathbf{V_{REF}}$ e la tensione di controllo $\mathbf{V_{CTRL}}$ ad un valore di confronto sbilanciato rispetto al valore di riferimento $\mathbf{V_{REF}}$ in accordo con la corrente di confronto $\mathbf{I_{COMP}}$. Ciò è ottenuto senza utilizzare segnali di fase dedicati (a differenza delle soluzioni note, le quali prevedono invece l'utilizzo di segnali di scarica, pre-carica ed equalizzazione per inizializzare la bit line principale $\mathbf{MBL}_j$).

Il sense amplifier $\mathbf{130}_j$ comprende inoltre uno stadio di staticizzazione **215** per ricevere il segnale di fase $\mathbf{S_{LATCH}}$, la tensione di controllo $\mathbf{V_{CTRL}}$ e la tensione di bit line $\mathbf{V_{MBL}}$, e fornire, in una finestra temporale di lettura definita dal segnale di fase $\mathbf{S_{LATCH}}$, il dato binario staticizzato $\mathbf{D_{OUTj}}$ in accordo con una differenza tra la tensione di controllo $\mathbf{V_{CTRL}}$ e la tensione di bit line $\mathbf{V_{MBL}}$. Come sarà meglio discusso nel seguito, tale finestra temporale è ritardata, rispetto all'avvio dell'operazione di lettura, in misura tale da consentire di rilevare tale differenza soltanto dopo la stabilizzazione della tensione di bit line $\mathbf{V_{MBL}}$ al valore di riferimento $\mathbf{V_{REF}}$ e della tensione di controllo $\mathbf{V_{CTRL}}$ al valore di confronto. Ciò consente di ottenere un sense amplifier $\mathbf{130}_j$ con stabilità ed efficienza elevate.

Il sense amplifier $\mathbf{130}_j$ infine comprende un generatore di corrente **220** connesso al nodo di confronto $\mathbf{N}_J$ (e quindi alla bit line principale $\mathbf{MBL}_j$) per fornire la corrente di riferimento $\mathbf{I_{REF}}$, ed un regolatore di tensione **225** per ricevere la

tensione $\mathbf{V_{HIGH}}$ e fornire la tensione $\mathbf{V_{UP,REG}}$ (regolata e scalata rispetto ad essa). Nella forma di realizzazione illustrata, la tensione $\mathbf{V_{UP,REG}}$ è utilizzata per alimentare il solo stadio di amplificazione **205** (il quale presenta maggiori criticità dal punto di vista dell'alimentazione), mentre lo stadio di buffer **210**, lo stadio di staticizzazione **215** ed il generatore di corrente **220** sono alimentati, come nelle soluzioni note, alla tensione $\mathbf{V_{UP}}$. Ad ogni modo, poiché lo stadio di amplificazione **205** è lo stadio circuitale che presenta minori correnti e consumi, la progettazione ed il dimensionamento del regolatore di tensione **225** risultano semplici.

FIG.3 mostra, in accordo con una forma di realizzazione dell'invenzione, un'esemplificativa implementazione circuitale (ad esempio, a transitori) del sense amplifier $\mathbf{130_j}$ (ad eccezione del generatore di corrente **220** e del regolatore di tensione **225**, i quali, di per sé ben noti, non sono limitativi per l'invenzione). Poiché, come accennato in precedenza, il sense amplifier $\mathbf{130_j}$ è stato concepito per operare a basse tensioni di alimentazione, i transitori cui ci si riferirà nel seguito sono da intendersi come transistori a basse tensioni.

Lo stadio di amplificazione **205** comprende uno stadio di ingresso per ricevere il valore di riferimento $\mathbf{V_{REF}}$ e la tensione di bit line $\mathbf{V_{MBL}}$. Più in particolare, lo stadio di ingresso comprende un transistore di ingresso $\mathbf{305_A}$ (ad esempio, di tipo MOS a canale N) avente un terminale di source, un terminale di drain ed un terminale di gate, ed un altro transistore di ingresso $\mathbf{305_B}$ uguale al transistore di ingresso $\mathbf{305_A}$. I transistori di ingresso $\mathbf{305_A}$,$\mathbf{305_B}$ sono connessi tra loro in configurazione differenziale, ovvero con il terminale di source del transistore di ingresso $\mathbf{305_A}$ che è connesso al terminale di source del transistore di ingresso $\mathbf{305_B}$, e con i terminali di gate dei transistori di ingresso $\mathbf{305_A}$,$\mathbf{305_B}$ che implementano i terminali di ingresso $\mathbf{IN_{205}^-}$,$\mathbf{IN_{205}^+}$, rispettivamente, dello stadio di amplificazione **205**.

Lo stadio di amplificazione **205** comprende inoltre un generatore di corrente di polarizzazione $\mathbf{305_E}$ di tipo noto, il quale è connesso ai terminali di source dei transistori di ingresso $\mathbf{305_A}$,$\mathbf{305_B}$, ed uno stadio di carico, il quale in generale assolve a funzioni di polarizzazione e contemporaneamente di carico attivo. Più in particolare, lo stadio di carico comprende due transistori di carico $\mathbf{305_C}$,$\mathbf{305_D}$ (ad esempio, di tipo MOS a canale P) connessi tra loro in configurazione a specchio di

corrente (ovvero, con i terminali di source che ricevono la tensione $\mathbf{V_{UP,REG}}$, i terminali di drain connessi ai terminali di drain dei transistori di ingresso $\mathbf{305_A}$,$\mathbf{305_B}$, rispettivamente, ed i terminali di gate connessi al terminale di drain del transistore di carico $\mathbf{305_D}$).

Pertanto, il terminale di drain del transistore di carico $\mathbf{305_C}$, che implementa il terminale di uscita $\mathbf{OUT_{205}}$ dello stadio di amplificazione **205**, fornisce la tensione di controllo $\mathbf{V_{CTRL}}$ amplificata (in accordo con un'impedenza esibita dallo specchio di corrente $\mathbf{305_C}$,$\mathbf{305_D}$) rispetto alla differenza tra la tensione di bit line $\mathbf{V_{MBL}}$ ed il valore di riferimento $\mathbf{V_{REF}}$.

Lo stadio di buffer **210** comprende un transistore di buffer $\mathbf{310_A}$ (ad esempio, di tipo MOS a canale N) ed un ulteriore transistore di buffer $\mathbf{310_B}$ (ad esempio, di tipo MOS a canale P) connessi in configurazione source-follower complementare. In tale configurazione, i terminali di gate e di source del transistore di buffer $\mathbf{310_A}$ sono connessi ai terminali di gate e di source del transistore di buffer $\mathbf{310_B}$, rispettivamente, mentre i terminali di drain dei transistori di buffer $\mathbf{310_A}$ e $\mathbf{310_B}$ ricevono la tensione $\mathbf{V_{UP}}$ e la tensione di massa, rispettivamente. I terminali di gate e di source dei transistori di buffer $\mathbf{310_A}$,$\mathbf{310_B}$ sono connessi anche al terminale di uscita $\mathbf{OUT_{205}}$ dello stadio di amplificazione **205** ed al nodo di confronto $\mathbf{N_j}$ (e quindi alla bit line principale $\mathbf{MBL_j}$), rispettivamente, pertanto essi implementano i terminali di ingresso $\mathbf{IN_{210}}$ e di uscita $\mathbf{OUT_{210}}$ dello stadio di buffer **210**.

In virtù della configurazione source-follower complementare, e per effetto della retroazione negativa, i transistori di buffer $\mathbf{310_A}$,$\mathbf{310_B}$ sono accesi alternativamente in accordo con una polarità (ovvero, segno o direzione) della corrente di confronto $\mathbf{I_{COMP}}$ – ad esempio, una polarità positiva (con corrente di confronto $\mathbf{I_{COMP}}$ entrante nel nodo di confronto $\mathbf{N_j}$) se la corrente di riferimento $\mathbf{I_{REF}}$ è minore della corrente di conduzione $\mathbf{I_{CELL}}$, o una polarità negativa (con corrente di confronto $\mathbf{I_{COMP}}$ uscente dal nodo di confronto $\mathbf{N_j}$) se la corrente di riferimento $\mathbf{I_{REF}}$ è maggiore della corrente di conduzione $\mathbf{I_{CELL}}$. Ciò consente di ottenere un valore di confronto che, rispetto al valore di riferimento $\mathbf{V_{REF}}$, varia in accordo con la polarità della corrente di confronto $\mathbf{I_{COMP}}$. In particolare, il transistore di buffer $\mathbf{310_A}$ è acceso se la corrente di confronto $\mathbf{I_{COMP}}$ ha la polarità positiva, nel qual caso il valore di confronto risulta maggiore del valore di riferimento $\mathbf{V_{REF}}$ di una tensione di soglia

Vth_A del transistore di buffer $\mathbf{310_A}$ (ovvero, $\mathbf{V_{REF}}+Vth_A$), oppure il transistore di buffer $\mathbf{310_B}$ è acceso se la corrente di confronto $\mathbf{I_{COMP}}$ ha la polarità negativa, nel qual caso il valore di confronto risulta minore del valore di riferimento $\mathbf{V_{REF}}$ di una tensione di soglia Vth_B del transistore di buffer $\mathbf{310_B}$ (ovvero, $\mathbf{V_{REF}}$-Vth_B).

Lo stadio di staticizzazione **215** comprende una sezione di staticizzazione per ricevere il valore di confronto ed il valore di riferimento $\mathbf{V_{REF}}$ e fornire il dato binario $\mathbf{D_{OUTj}}$ (ad esempio, staticizzato alla tensione $\mathbf{V_{UP}}$ se la tensione di controllo $\mathbf{V_{CTRL}}$ è stabilizzata al valore di confronto $\mathbf{V_{REF}}+Vth_A$, o alla tensione di massa se la tensione di controllo $\mathbf{V_{CTRL}}$ è stabilizzata al valore di confronto $\mathbf{V_{REF}}$-Vth_B), ed una sezione di controllo per attivare la sezione di staticizzazione solo nella finestra temporale predefinita.

Nell'esemplificativa forma di realizzazione illustrata, la sezione di staticizzazione **215** presenta una ulteriore sezione di ingresso (analoga alla sezione di ingresso dello stadio di amplificazione **205**) comprendente due ulteriori transistori di ingresso $\mathbf{315_A}$,$\mathbf{315_B}$ (ad esempio, di tipo MOS a canale N) per ricevere (ai rispettivi terminali di gate) la tensione di bit line $\mathbf{V_{MBL}}$ (che, durante la finestra temporale di lettura, è al valore di riferimento $\mathbf{V_{REF}}$) e la tensione di controllo $\mathbf{V_{CTRL}}$ (che, durante la finestra temporale di lettura, è al valore di confronto $\mathbf{V_{REF}}+Vth_A$ o al valore di confronto $\mathbf{V_{REF}}$-Vth_B) e per fornire (al terminale di drain del transistore di ingresso $\mathbf{315_B}$) il dato $\mathbf{D_{UOTj}}$, un ulteriore generatore di corrente di polarizzazione $\mathbf{315_E}$ (analogo al generatore di corrente di polarizzazione $\mathbf{305_E}$) connesso ai terminali di source dei transistori di ingresso $\mathbf{315_A}$,$\mathbf{315_B}$, e due transistori di staticizzazione $\mathbf{315_C}$,$\mathbf{315_D}$ (ad esempio, di tipo MOS a canale P) connessi tra loro in configurazione a semilatch (ovvero con i terminali di source che ricevono la tensione $\mathbf{V_{UP}}$, i terminali di drain connessi ai terminali di drain dei transistori di ingresso $\mathbf{315_A}$,$\mathbf{315_B}$, rispettivamente, ed i terminali di gate connessi ai terminale di drain dei transistori di staticizzazione $\mathbf{315_C}$,$\mathbf{315_D}$, rispettivamente).

Nell'esemplificativa forma di realizzazione illustrata, la sezione di controllo comprende due transistori di controllo $\mathbf{315_C'}$,$\mathbf{315_D'}$ (ad esempio, di tipo MOS a canale P), i quali sono connessi in parallelo ai transistori di staticizzazione $\mathbf{315_C}$,$\mathbf{315_D}$, rispettivamente, e ricevono (ai loro terminali di gate) il segnale di fase $\mathbf{S_{LATCH}}$. Il segnale di fase $\mathbf{S_{LATCH}}$ è configurato per assumere uno stato deasserito (ad

esempio, pari alla tensione di massa) in cui i transistori di controllo **315_C'**,**315_D'** sono accesi, ed uno stato asserito (ad esempio, pari alla tensione V_{UP}) in cui i transistori di controllo **315_C'**,**315_D'** sono spenti – con la finestra temporale di lettura che è definita, come risulterà chiaro a breve, da una durata dello stato asserito del segnale di fase S_{LATCH}.

Naturalmente, sebbene non indicato esplicitamente, il dimensionamento dei transistori, non limitativo per l'invenzione, dovrebbe essere scelto in accordo con esigenze progettuali contingenti (ad esempio, in modo tale da garantire adeguati tempi di accesso).

L'implementazione proposta è vantaggiosa in quanto consente di utilizzare un solo segnale di fase, ed un numero ridotto (e configurazioni semplici) di transistori.

Il funzionamento del sense amplifier **130_j** può essere riassunto come segue (con ulteriore riferimento a **FIG.4**, la quale mostra un diagramma temporale qualitativo del segnale di fase S_{LATCH}, della tensione di bit line V_{MBL}, della corrente di conduzione I_{CELL}, della tensione di controllo V_{CTRL} e del dato di uscita D_{OUTj} durante un'operazione di lettura di una cella di memoria programmata, in accordo con una forma di realizzazione dell'invenzione).

All'avvio dell'operazione di lettura (cella di memoria **105** selezionata), il segnale di fase S_{LATCH} è deasserito, il dato di uscita D_{OUTj} è alla tensione V_{UP} (in quanto i transistori di controllo **315c'**,**315d'**, essendo accesi, impongono la tensione V_{UP} ai loro terminali di drain indipendentemente dalla tensione di bit line V_{MBL} e dalla tensione di controllo V_{CTRL} ai loro terminali di gate), mentre la tensione di bit line V_{MBL} (e quindi la tensione di controllo V_{CTRL}) è ad un valore iniziale non predicibile (ad esempio, compreso tra 0V e 1V).

Nel caso in cui la tensione di bit line V_{MBL} risulti maggiore del valore di riferimento V_{REF}, lo sbilanciamento in tensione dei terminali di ingresso IN_{205}^+,IN_{205}^- dello stadio di amplificazione **205** produrrà un segnale di controllo V_{CTRL} in grado di accendere il transistore di buffer **310_B** (transistore di buffer **310_A** spento). L'accensione del transistore di buffer **310_B** causa l'abbassamento della tensione di bit line V_{MBL} verso la tensione di massa. Tale abbassamento si arresta non appena la tensione di bit line V_{MBL} raggiunge il valore di riferimento V_{REF} (condizione in cui lo stadio di amplificazione ha, ad entrambi i suoi terminali di

ingresso $\mathbf{IN_{205}^{+}}$,$\mathbf{IN_{205}^{-}}$, il valore di riferimento $\mathbf{V_{REF}}$). Per effetto della retroazione negativa, il valore di riferimento $\mathbf{V_{REF}}$ sulla bit line principale $\mathbf{MBL}_j$ sarà mantenuto stabilmente per tutta la durata dell'operazione di lettura.

Invece, nel caso in cui la tensione di bit line $\mathbf{V_{MBL}}$ risulti minore del valore di riferimento $\mathbf{V_{REF}}$ (scenario illustrato in **FIG.4**), lo sbilanciamento in tensione dei terminali di ingresso $\mathbf{IN_{205}^{+}}$,$\mathbf{IN_{205}^{-}}$ dello stadio di amplificazione **205** produrrà un segnale di controllo $\mathbf{V_{CTRL}}$ in grado di accendere il transistore di buffer $\mathbf{310_A}$ (transistore di buffer $\mathbf{310_B}$ spento). L'accensione del transistore di buffer $\mathbf{310_A}$ causa l'innalzamento della tensione di bit line $\mathbf{V_{MBL}}$ verso la tensione $\mathbf{V_{UP}}$. Analogamente a quanto discusso sopra, tale innalzamento si arresta non appena la tensione di bit line $\mathbf{V_{MBL}}$ raggiunge il valore di riferimento $\mathbf{V_{REF}}$.

Si noti che, nel frattempo, il dato binario $\mathbf{D_{OUT}}_j$ è ancora al valore della tensione $\mathbf{V_{UP}}$ (in quanto il segnale di fase $\mathbf{S_{LATCH}}$ è ancora deasserito), mentre la corrente di conduzione $\mathbf{I_{CELL}}$ è "modulata" in accordo con la tensione di bit line $\mathbf{V_{MBL}}$ al suo terminale di drain (ovvero, essa non è ancora al suo valore di regime, valido per determinare, in accordo con il confronto con la corrente di riferimento $\mathbf{I_{REF}}$, il livello logico memorizzato nella cella di memoria **105**).

La stabilizzazione della tensione di bit line $\mathbf{V_{MBL}}$ al valore di riferimento $\mathbf{V_{REF}}$ causa anche la stabilizzazione della corrente di conduzione $\mathbf{I_{CELL}}$ al suo valore di regime (diverso in caso di cella di memoria **105** cancellata o programmata).

In caso di cella di memoria **105** cancellata, la corrente di conduzione $\mathbf{I_{CELL}}$ è maggiore della corrente di riferimento $\mathbf{I_{REF}}$ (corrente di confronto $\mathbf{I_{COMP}}$ con polarità positiva che attraversa il transistore di buffer $\mathbf{310_A}$). La tensione di controllo $\mathbf{V_{CTRL}}$ assume quindi il valore di confronto $\mathbf{V_{REF}}+\boldsymbol{Vth_A}$ tale da mantenere acceso il transistore di buffer $\mathbf{310_A}$ (e spento il transistore di buffer $\mathbf{310_B}$).

Invece, in caso di cella di memoria **110** programmata (come qui assunto a titolo di esempio), la corrente di conduzione $\mathbf{I_{CELL}}$ è minore della corrente di riferimento $\mathbf{I_{REF}}$ (corrente di confronto $\mathbf{I_{COMP}}$ con polarità negativa che attraversa il transistore di buffer $\mathbf{310_B}$. La tensione di controllo $\mathbf{V_{CTRL}}$ assume quindi il valore di confronto $\mathbf{V_{REF}}-\boldsymbol{Vth_B}$ tale da mantenere acceso il transistore di buffer $\mathbf{310_B}$ (e spento il transistore di buffer $\mathbf{310_A}$).

A questo punto, il segnale di fase $\mathbf{S_{LATCH}}$ è asserito (attivazione della finestra

temporale di lettura). Ciò causa lo spegnimento dei transistori di controllo **315_C'**,**315_D'**. In tale condizione, lo stadio di staticizzazione **215** è attivo, e staticizza, in maniera nota, il dato $\mathbf{D_{OUTj}}$ (al valore della tensione di massa, come illustrato, o della tensione $\mathbf{V_{UP}}$) in accordo con lo sbilanciamento tra il valore di confronto ($\mathbf{V_{REF}}$-$\boldsymbol{Vth_B}$, come nell'esempio in questione, o $\mathbf{V_{REF}}$+$\boldsymbol{Vth_A}$) ed il valore di riferimento $\mathbf{V_{REF}}$.

Infine, il segnale di fase $\mathbf{S_{LATCH}}$ è nuovamente deasserito. Ciò determina il termine della finestra temporale di lettura (con il dato $\mathbf{D_{OUTj}}$ che ritorna al valore della tensione $\mathbf{V_{UP}}$).

Come si comprenderà, tale soluzione, particolarmente adatta all'impiego nei dispositivi di memoria non-volatile, può essere utilizzata anche in tutti i dispositivi elettronici integrati che presentano problematiche analoghe a quelle discusse in precedenza - ovvero, presenza di segnali di corrente che, essendo associati a nodi capacitivi a valori iniziali non noti ed essendo riferiti a basse tensioni di alimentazione, possono richiedere soluzioni non convenzionali per il loro monitoraggio.

Naturalmente, al fine di soddisfare esigenze contingenti e specifiche, un tecnico del ramo potrà apportare alla soluzione sopra descritta numerose modifiche e varianti logiche e/o fisiche. Più specificamente, sebbene tale soluzione sia stata descritta con un certo livello di dettaglio con riferimento ad una o più sue forme di realizzazione, è chiaro che varie omissioni, sostituzioni e cambiamenti nella forma e nei dettagli così come altre forme di realizzazione sono possibili. In particolare, diverse forme di realizzazione dell'invenzione possono essere messe in pratica anche senza gli specifici dettagli (come gli esempi numerici) esposti nella precedente descrizione per fornire una loro più completa comprensione; al contrario, caratteristiche ben note possono essere state omesse o semplificate al fine di non oscurare la descrizione con particolari non necessari. Inoltre, è espressamente inteso che specifici elementi e/o passi di metodo descritti in relazione ad ogni forma di realizzazione della soluzione esposta possono essere incorporati in qualsiasi altra forma di realizzazione come una normale scelta di disegno.

Ad esempio, un aspetto della soluzione in accordo con forme di realizzazione dell'invenzione propone un dispositivo di memoria non-volatile comprendente un

sense amplifier per confrontare, ad un nodo di confronto, una corrente di conduzione di una selezionata di una pluralità di celle di memoria del dispositivo di memoria con una corrente di riferimento. Il sense amplifier comprende uno stadio di amplificazione avente un primo terminale di ingresso connesso al nodo di confronto per ricevere una prima tensione di confronto, un secondo terminale di ingresso per ricevere un valore di riferimento, ed un terminale di uscita per fornire una seconda tensione di confronto in accordo con la prima tensione di confronto ed il valore di riferimento. Il sense amplifier comprende inoltre uno stadio di buffer avente un terminale di uscita connesso al nodo di confronto per fornire una corrente di confronto in accordo con una differenza tra la corrente di conduzione e la corrente di riferimento, ed un terminale di ingresso connesso al terminale di uscita dello stadio di amplificazione per stabilizzare la prima tensione di confronto al valore di riferimento e la seconda tensione di confronto ad un valore di confronto sbilanciato rispetto al valore di riferimento in accordo con la corrente di confronto. Il sense amplifier ulteriormente comprende uno stadio di staticizzazione per fornire un dato binario staticizzato indicativo di un livello logico memorizzato nella cella di memoria in accordo con una differenza tra detto valore di confronto e detto valore di riferimento.

Considerazioni analoghe si applicano se il dispositivo di memoria ha una diversa struttura o include componenti equivalenti, o ha altre caratteristiche di funzionamento. In ogni caso, qualsiasi suo componente può essere separato in più elementi, o due o più componenti possono essere combinati in un singolo elemento; inoltre, ogni componente può essere replicato per supportare l'esecuzione delle corrispondenti operazioni in parallelo. Si fa anche notare che (a meno di indicazione contraria) qualsiasi interazione tra diversi componenti generalmente non necessita di essere continua, e può essere sia diretta sia indiretta tramite uno o più intermediari.

Ad esempio, sebbene in descrizione si sia fatto riferimento ad un dispositivo di memoria con architettura NOR, ciò non è da intendersi in maniera limitativa. Infatti, i principi dell'invenzione possono essere applicati analogamente ad altri tipi di architetture (ad esempio, NAND).

In accordo con una forma di realizzazione dell'invenzione, detta corrente di confronto ha una prima polarità se la corrente di riferimento è minore della corrente

di conduzione, o una seconda polarità se la corrente di riferimento è maggiore della corrente di conduzione, detto valore di confronto comprendendo un primo valore di confronto se la corrente di confronto ha la prima polarità o un secondo valore di confronto se la corrente di confronto ha la seconda polarità.

Ad ogni modo, è possibile prevedere configurazioni circuitali in cui la polarità della corrente di confronto dipende in maniera diversa dalla corrente di riferimento e dalla corrente di conduzione, e/o in cui il primo ed il secondo valore di confronto dipendono in maniera diversa dalla polarità della corrente di confronto.

In accordo con una forma di realizzazione dell'invenzione, lo stadio di buffer comprende un primo transistore di buffer di un primo tipo di conducibilità avente un terminale di drain per ricevere una tensione di alimentazione superiore, un terminale di source ed un terminale di gate, ed un secondo transistore di buffer di un secondo tipo di conducibilità avente un terminale di drain per ricevere una tensione di alimentazione inferiore, un terminale di gate connesso al terminale di gate del primo transistore di buffer ed un terminale di source connesso al terminale di source del primo transistore di buffer, i terminali di gate e di source del primo e del secondo transistore di buffer implementando detti terminali di ingresso e di uscita, rispettivamente, dello stadio di buffer. Il primo transistore di buffer ed il secondo transistore di buffer sono accessi alternativamente in accordo con la polarità della corrente di confronto.

Ad ogni modo, nulla vieta di implementare lo stadio di buffer mediante qualsiasi altra configurazione adatta allo scopo.

In accordo con una forma di realizzazione dell'invenzione, il primo transistore di buffer è acceso se la corrente di confronto ha la prima polarità (con detto primo valore di confronto che è maggiore di detto valore di riferimento di una tensione di soglia del primo transistore di buffer), oppure il secondo transistore di buffer è acceso se la corrente di confronto ha la seconda polarità (con detto secondo valore di confronto che è minore di detto valore di riferimento di una tensione di soglia del secondo transistore di buffer).

Ad ogni modo, è possibile prevedere (e sfruttare per altri scopi) condizioni operative in cui i transistori di buffer siano entrambi spenti (ad esempio, per risparmiare energia), oppure entrambi accesi.

In accordo con una forma di realizzazione dell'invenzione, lo stadio di staticizzazione comprende una sezione di staticizzazione per ricevere il valore di confronto ed il valore di riferimento e fornire detto dato binario staticizzato, detto dato binario essendo staticizzato alla tensione di alimentazione superiore se la seconda tensione di confronto è stabilizzata al primo valore di confronto, o alla tensione di alimentazione inferiore se la seconda tensione di confronto è stabilizzata al secondo valore di confronto, ed una sezione di controllo per attivare la sezione di staticizzazione solo in una finestra temporale predefinita.

In accordo con una forma di realizzazione dell'invenzione, detta sezione di staticizzazione comprende un primo transistore di ingresso del primo tipo di conducibilità avente un terminale di gate per ricevere detto valore di confronto, un terminale di source per ricevere la tensione di alimentazione inferiore, ed un terminale di drain; un secondo transistore di ingresso del secondo tipo di conducibilità avente un terminale di gate per ricevere la seconda tensione di confronto, un terminale di source connesso al terminale di source del primo transistore di ingresso, ed un terminale di drain per fornire detto dato staticizzato; un primo transistore di staticizzazione del secondo tipo di conducibilità avente un terminale di source per ricevere la tensione di alimentazione superiore, un terminale di drain connesso al terminale di drain del primo transistore di ingresso, ed un terminale di gate; ed un secondo transistore di staticizzazione del secondo tipo di conducibilità avente un terminale di source per ricevere la tensione di alimentazione superiore, un terminale di drain connesso al terminale di drain del secondo transistore di ingresso, ed un terminale di gate connesso al terminale di drain del primo transistore di ingresso.

Ad ogni modo, la sezione di staticizzazione può essere implementata in qualsiasi altro modo equivalente.

In accordo con una forma di realizzazione dell'invenzione, detta sezione di controllo comprende un primo transistore di controllo del secondo tipo di conducibilità avente terminali di source e di drain connessi ai terminali di source e di drain del primo transistore di staticizzazione, rispettivamente, ed un terminale di gate per ricevere un segnale di fase; ed un secondo transistore di controllo del secondo tipo di conducibilità avente terminali di source e di drain connessi ai terminali di

source e di drain del secondo transistore di staticizzazione, rispettivamente, ed un terminale di gate per ricevere il segnale di fase. Il segnale di fase è configurato per assumere uno stato deasserito in cui il primo ed il secondo transistore di controllo sono accesi per inibire la sezione di staticizzazione, ed uno stato asserito in cui il primo ed il secondo transistore di controllo sono spenti per attivare la sezione di staticizzazione. Una durata dello stato asserito del segnale di fase determinando detta finestra temporale predefinita.

Ad ogni modo, la sezione di controllo può essere implementata in qualsiasi altro modo equivalente.

In accordo con una forma di realizzazione dell'invenzione, il sense amplifier ulteriormente comprende un regolatore di tensione per ricevere una prima tensione rispetto ad una tensione di massa e fornire una seconda tensione minore rispetto a detta prima tensione e regolata rispetto a detta tensione di alimentazione superiore, detta seconda tensione e detta tensione di massa agendo da ulteriore tensione di alimentazione superiore e tensione di alimentazione inferiore, rispettivamente, di detto stadio di amplificazione.

Ad ogni modo, il regolatore di tensione può anche essere omesso in una implementazione di base. Per ridurre l'occupazione di area del dispositivo di memoria, è anche possibile prevedere l'impiego di un regolatore di tensione condiviso da due o più sense amplifier (ad esempio, tutti i sense amplifier del dispositivo di memoria).

In accordo con una forma di realizzazione dell'invenzione, detta pluralità di celle di memoria sono organizzate in righe e gruppi di colonne ciascuno dei quali comprendente una pluralità di colonne di celle di memoria. Detto sense amplifier comprende una pluralità di sense amplifier ciascuno associato ad un rispettivo gruppo di colonne.

Ad ogni modo, nulla vieta di realizzare associare ciascun sense amplifier a più gruppi di colonne. In aggiunta o in alternativa, gruppi di colonne diversi possono condividere uno o più sense amplifier.

Un altro aspetto della soluzione in accordo con forme di realizzazione dell'invenzione propone un metodo per confrontare, ad un nodo di confronto, una corrente di conduzione di una selezionata di una pluralità di celle di memoria di un

dispositivo di memoria con una corrente di riferimento. Il metodo comprende

ricevere una prima tensione di confronto al nodo di confronto, ed un valore di riferimento, e fornire una seconda tensione di confronto in accordo con una differenza tra la prima tensione di confronto ed il valore di riferimento,

fornire una corrente di confronto in accordo con una differenza tra la corrente di conduzione e la corrente di riferimento, e stabilizzare la prima tensione di confronto al valore di riferimento e la seconda tensione di confronto ad un valore di confronto sbilanciato rispetto al valore di riferimento in accordo con la corrente di confronto, e

fornire un dato binario staticizzato indicativo di un livello logico memorizzato nella cella di memoria in accordo con una differenza tra detto valore di confronto e detto valore di riferimento.

Ad ogni modo, la soluzione in accordo con una forma di realizzazione dell'invenzione si presta ad essere implementata con un metodo equivalente (usando passi simili, rimovendo alcuni passi non essenziali, o aggiungendo ulteriori passi opzionali); inoltre, i passi possono essere eseguiti in ordine diverso, in parallelo o sovrapposti (almeno in parte).

* * * * *

RIVENDICAZIONI

1. Dispositivo di memoria non-volatile (**100**) comprendente un sense amplifier ($\mathbf{130}_j$) per confrontare, ad un nodo di confronto ($\mathbf{N}_j$), una corrente di conduzione ($\mathbf{I_{CELL}}$) di una selezionata di una pluralità di celle di memoria (**105**) del dispositivo di memoria con una corrente di riferimento ($\mathbf{I_{REF}}$), detto sense amplifier comprendendo

uno stadio di amplificazione (**205**) avente un primo terminale di ingresso ($\mathbf{IN_{205}^-}$) connesso al nodo di confronto per ricevere una prima tensione di confronto ($\mathbf{V_{MBL}}$), un secondo terminale di ingresso ($\mathbf{IN_{205}^+}$) per ricevere un valore di riferimento ($\mathbf{V_{REF}}$), ed un terminale di uscita ($\mathbf{OUT_{205}}$) per fornire una seconda tensione di confronto ($\mathbf{V_{CTRL}}$) in accordo con la prima tensione di confronto ed il valore di riferimento,

uno stadio di buffer (**210**) avente un terminale di uscita ($\mathbf{IN_{210}}$) connesso al nodo di confronto per fornire una corrente di confronto ($\mathbf{I_{COMP}}$) in accordo con una differenza tra la corrente di conduzione e la corrente di riferimento, ed un terminale di ingresso ($\mathbf{IN_{210}}$) connesso al terminale di uscita dello stadio di amplificazione per stabilizzare la prima tensione di confronto al valore di riferimento e la seconda tensione di confronto ad un valore di confronto ($\mathbf{V_{REF}}+\boldsymbol{Vth_A}$;$\mathbf{V_{REF}}-\boldsymbol{Vth_B}$) sbilanciato rispetto al valore di riferimento in accordo con la corrente di confronto, ed

uno stadio di staticizzazione (**215**) per fornire un dato binario staticizzato ($\mathbf{D_{OUT}}_j$) indicativo di un livello logico memorizzato nella cella di memoria in accordo con una differenza tra detto valore di confronto e detto valore di riferimento.

2. Dispositivo di memoria (**100**) secondo la Rivendicazione 1, in cui detta corrente di confronto ha una prima polarità se la corrente di riferimento è minore della corrente di conduzione, o una seconda polarità se la corrente di riferimento è maggiore della corrente di conduzione, detto valore di confronto comprendendo un primo valore di confronto ($\mathbf{V_{REF}}+\boldsymbol{Vth_A}$) se la corrente di confronto ha la prima polarità o un secondo valore di confronto ($\mathbf{V_{REF}}-\boldsymbol{Vth_B}$) se la corrente di confronto ha la seconda polarità.

3. Dispositivo di memoria (**100**) secondo la Rivendicazione 2, in cui lo stadio

di buffer (**210**) comprende

un primo transistore di buffer (**310_A**) di un primo tipo di conducibilità avente un terminale di drain per ricevere una tensione di alimentazione superiore (**V_{UP}**), un terminale di source ed un terminale di gate, ed

un secondo transistore di buffer (**310_B**) di un secondo tipo di conducibilità avente un terminale di drain per ricevere una tensione di alimentazione inferiore, un terminale di gate connesso al terminale di gate del primo transistore di buffer ed un terminale di source connesso al terminale di source del primo transistore di buffer, i terminali di gate e di source del primo e del secondo transistore di buffer implementando detti terminali di ingresso e di uscita, rispettivamente, dello stadio di buffer,

in cui il primo transistore di buffer ed il secondo transistore di buffer sono accessi alternativamente in accordo con la polarità della corrente di confronto.

4. Dispositivo di memoria (**100**) secondo la Rivendicazione 3, in cui

il primo transistore di buffer (**310_A**) è acceso se la corrente di confronto ha la prima polarità, detto primo valore di confronto essendo maggiore di detto valore di riferimento di una tensione di soglia del primo transistore di buffer, oppure

il secondo transistore di buffer (**310_B**) è acceso se la corrente di confronto ha la seconda polarità, detto secondo valore di confronto essendo minore di detto valore di riferimento di una tensione di soglia del secondo transistore di buffer.

5. Dispositivo di memoria (**100**) secondo la Rivendicazione 4, in cui lo stadio di staticizzazione (**215**) comprende

una sezione di staticizzazione (**315_A-315_D**) per ricevere il valore di confronto ed il valore di riferimento e fornire detto dato binario staticizzato, detto dato binario essendo staticizzato alla tensione di alimentazione superiore se la seconda tensione di confronto è stabilizzata al primo valore di confronto, o alla tensione di alimentazione inferiore se la seconda tensione di confronto è stabilizzata al secondo valore di confronto, ed

una sezione di controllo (**315_C'**,**315_D'**) per attivare la sezione di staticizzazione (**315_A-315_D**) solo in una finestra temporale predefinita.

6. Dispositivo di memoria (**100**) secondo la Rivendicazione 5, in cui detta sezione di staticizzazione (**315_A-315_D**) comprende

un primo transistore di ingresso (**315_A**) del primo tipo di conducibilità avente un terminale di gate per ricevere detto valore di confronto, un terminale di source per ricevere la tensione di alimentazione inferiore, ed un terminale di drain,

un secondo transistore di ingresso (**315_B**) del secondo tipo di conducibilità avente un terminale di gate per ricevere la seconda tensione di confronto, un terminale di source connesso al terminale di source del primo transistore di ingresso, ed un terminale di drain per fornire detto dato staticizzato,

un primo transistore di staticizzazione (**315_C**) del secondo tipo di conducibilità avente un terminale di source per ricevere la tensione di alimentazione superiore, un terminale di drain connesso al terminale di drain del primo transistore di ingresso, ed un terminale di gate, ed

un secondo transistore di staticizzazione (**315_D**) del secondo tipo di conducibilità avente un terminale di source per ricevere la tensione di alimentazione superiore, un terminale di drain connesso al terminale di drain del secondo transistore di ingresso, ed un terminale di gate connesso al terminale di drain del primo transistore di ingresso.

7. Dispositivo di memoria (**100**) secondo la Rivendicazione 6, in cui detta sezione di controllo (**315_C',315_D'**) comprende

un primo transistore di controllo (**315_C'**) del secondo tipo di conducibilità avente terminali di source e di drain connessi ai terminali di source e di drain del primo transistore di staticizzazione, rispettivamente, ed un terminale di gate per ricevere un segnale di fase, ed

un secondo transistore di controllo (**315_D'**) del secondo tipo di conducibilità avente terminali di source e di drain connessi ai terminali di source e di drain del secondo transistore di staticizzazione, rispettivamente, ed un terminale di gate per ricevere il segnale di fase,

in cui il segnale di fase è configurato per assumere uno stato deasserito in cui il primo ed il secondo transistore di controllo sono accesi per inibire la sezione di

staticizzazione, ed uno stato asserito in cui il primo ed il secondo transistore di controllo sono spenti per attivare la sezione di staticizzazione, una durata dello stato asserito del segnale di fase determinando detta finestra temporale predefinita.

8. Dispositivo di memoria (**100**) secondo una qualsiasi delle Rivendicazioni da 3 a 7, ulteriormente comprendente un regolatore di tensione per ricevere una prima tensione ($\mathbf{V_{HIGH}}$) rispetto ad una tensione di massa e fornire una seconda tensione ($\mathbf{V_{UP,REG}}$) minore rispetto a detta prima tensione e regolata rispetto a detta tensione di alimentazione superiore, detta seconda tensione e detta tensione di massa agendo da ulteriore tensione di alimentazione superiore e tensione di alimentazione inferiore, rispettivamente, di detto stadio di amplificazione.

9. Dispositivo di memoria (**100**) secondo una qualsiasi delle precedenti Rivendicazioni, in cui detta pluralità di celle di memoria sono organizzate in righe e gruppi di colonne ($\mathbf{110_{Cj}}$) ciascuno dei quali comprendente una pluralità di colonne di celle di memoria, ed in cui detto sense amplifier comprende una pluralità di sense amplifier ciascuno associato ad un rispettivo gruppo di colonne.

10. Metodo per confrontare, ad un nodo di confronto ($\mathbf{N_j}$), una corrente di conduzione ($\mathbf{I_{CELL}}$) di una selezionata di una pluralità di celle di memoria (**105**) di un dispositivo di memoria con una corrente di riferimento ($\mathbf{I_{REF}}$), il metodo comprendendo

ricevere una prima tensione di confronto ($\mathbf{V_{MBL}}$) al nodo di confronto, ed un valore di riferimento ($\mathbf{V_{REF}}$), e fornire una seconda tensione di confronto ($\mathbf{V_{CTRL}}$) in accordo con una differenza tra la prima tensione di confronto ed il valore di riferimento,

fornire una corrente di confronto ($\mathbf{I_{COMP}}$) in accordo con una differenza tra la corrente di conduzione e la corrente di riferimento, e stabilizzare la prima tensione di confronto al valore di riferimento e la seconda tensione di confronto ad un valore di confronto sbilanciato rispetto al valore di riferimento in accordo con la corrente di confronto, e

fornire un dato binario staticizzato ($\mathbf{D_{OUTj}}$) indicativo di un livello logico

memorizzato nella cella di memoria in accordo con una differenza tra detto valore di confronto e detto valore di riferimento.

* * * * *

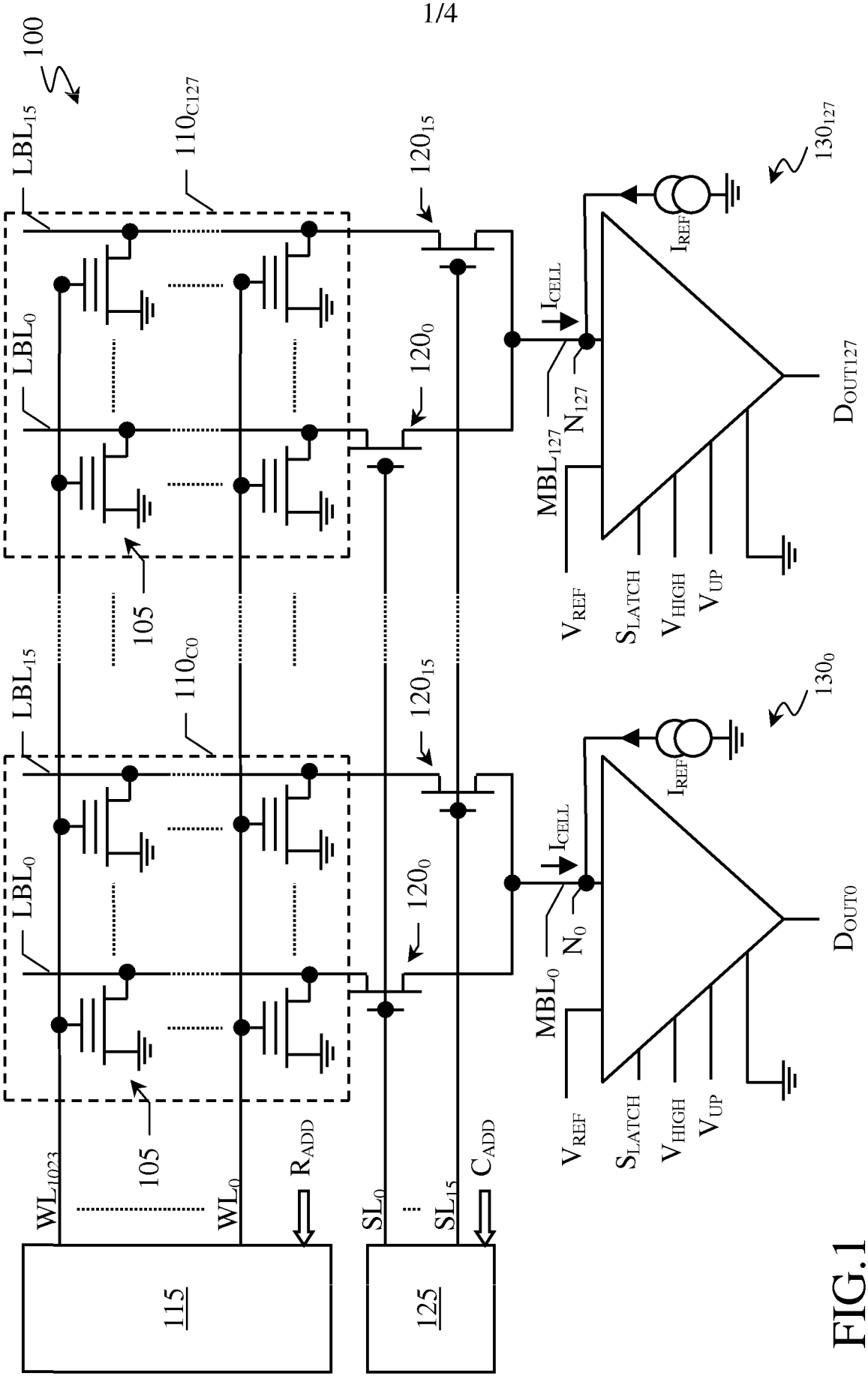

100
LBL15
LBL0
110C127
110C0
120_15
120_0
105
WL1023
WL0
RADD
SL0
SL15
CADD
115
125
ICELL
IREF
MBL127
MBL0
N127
N0
VREF
SLATCH
VHIGH
VUP
DOUT127
DOUT0
130127
130_0

FIG.1

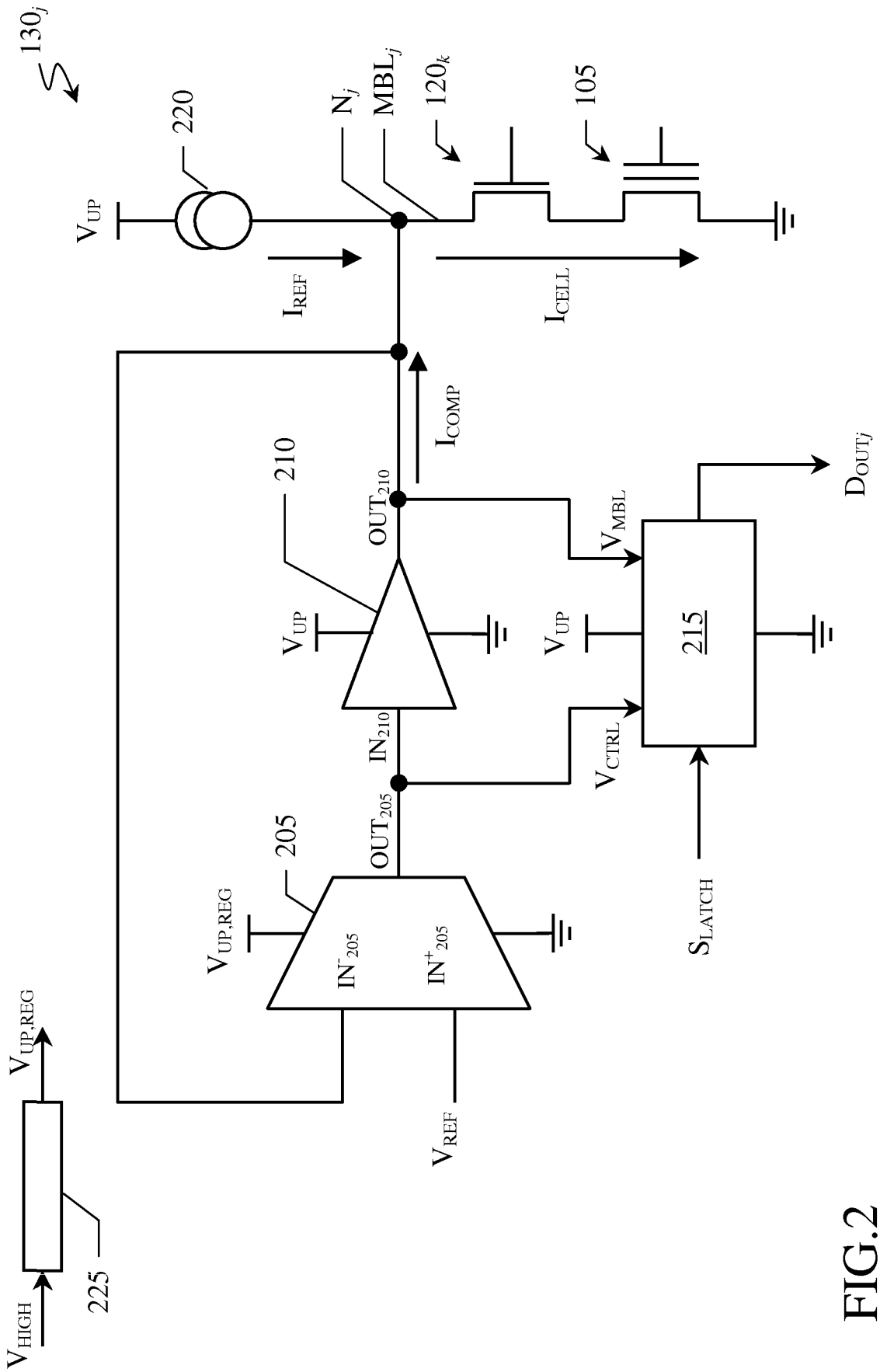

130j
220
Nj
MBLj
120k
105
VUP
IREF
ICELL
ICOMP
210
OUT210
VMBL
DOUTj
VUP
VUP
215
IN210
VCTRL
205
OUT205
VUP,REG
IN-205
IN+205
SLATCH
VREF
VUP,REG
225
VHIGH

FIG.2

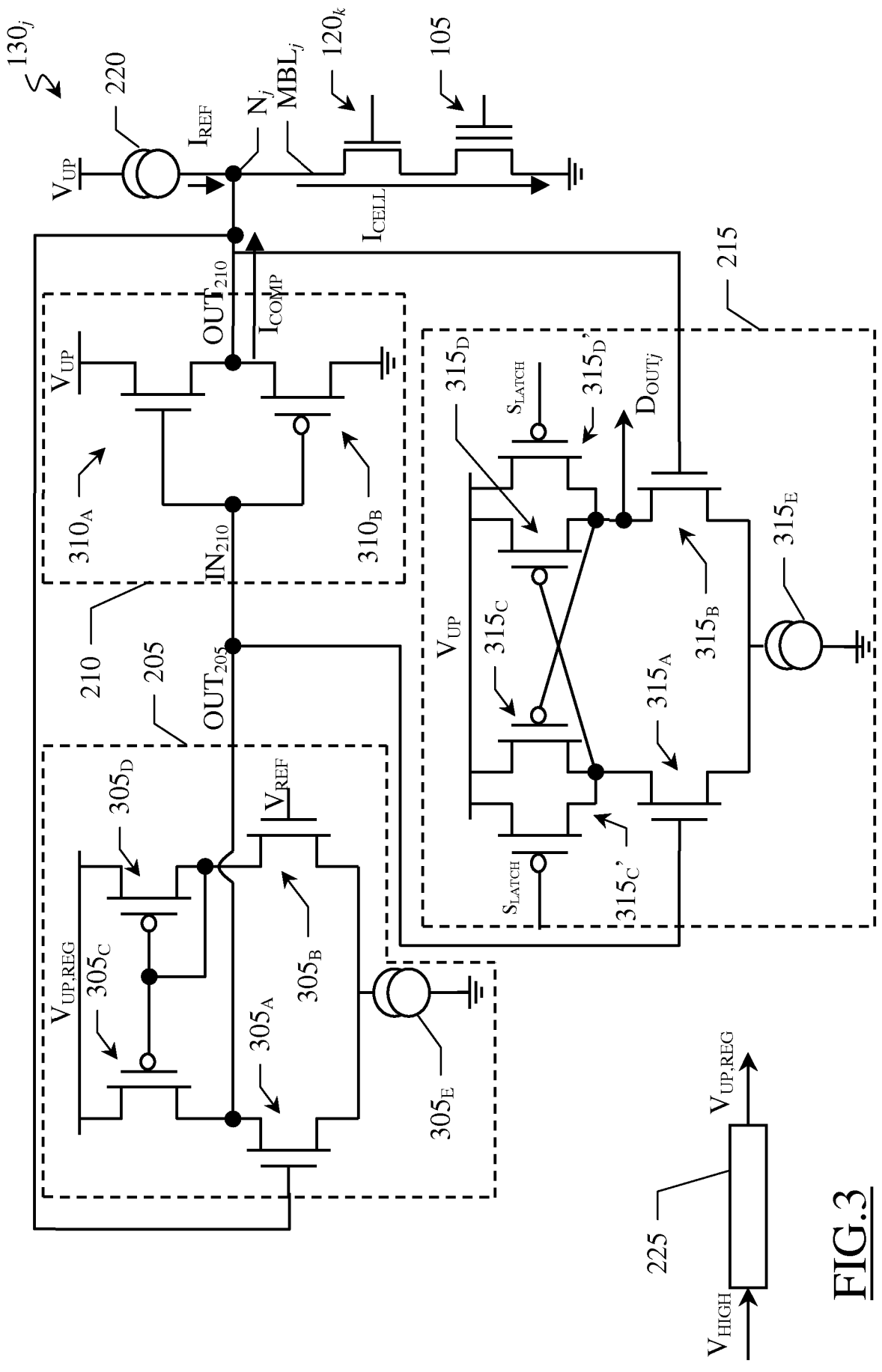

130j
220
VUP
IREF
Nj
MBLj
120k
105
ICELL
215
OUT210
ICOMP
VUP
310A
310B
IN210
210
205
OUT205
305D
VREF
VUP,REG
305C
305A
305B
305E
315D
SLATCH
315D'
DOUTj
VUP
315C
315A
315B
315E
315C'
SLATCH
225
VUP,REG
VHIGH

FIG.3

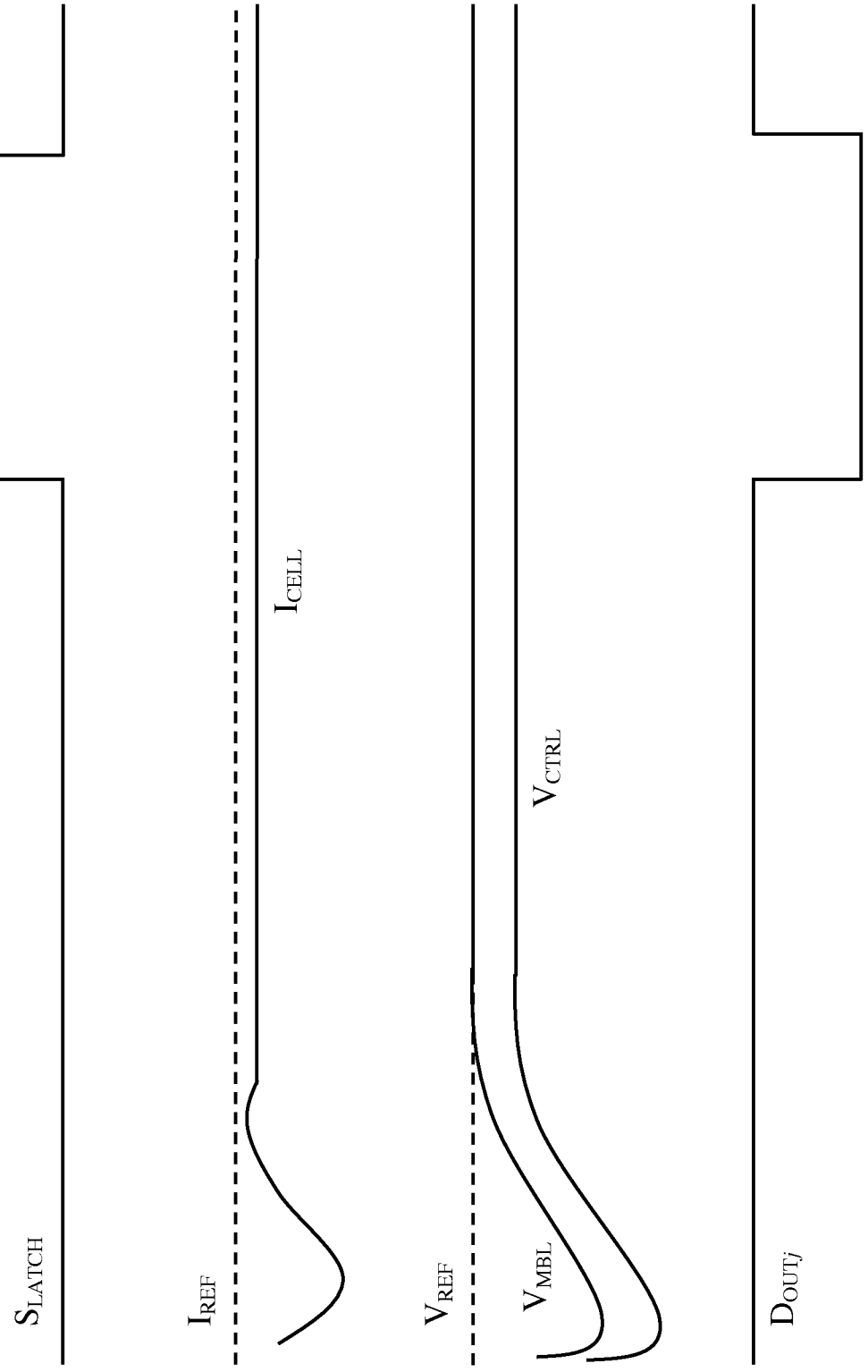


FIG.4