

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6238525号
(P6238525)

(45) 発行日 平成29年11月29日(2017.11.29)

(24) 登録日 平成29年11月10日(2017.11.10)

(51) Int.Cl.

F 1

HO1L 23/12	(2006.01)	HO1L 23/12	F
HO5K 9/00	(2006.01)	HO5K 9/00	Q
HO1L 27/14	(2006.01)	HO1L 27/14	D
HO4N 5/357	(2011.01)	HO1L 23/12	501W
		HO1L 23/12	Q

請求項の数 11 (全 15 頁) 最終頁に続く

(21) 出願番号

特願2013-17618 (P2013-17618)

(22) 出願日

平成25年1月31日(2013.1.31)

(65) 公開番号

特開2014-150150 (P2014-150150A)

(43) 公開日

平成26年8月21日(2014.8.21)

審査請求日

平成28年2月1日(2016.2.1)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 西村 晋一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 多田羅 靖人

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 豊島 洋介

最終頁に続く

(54) 【発明の名称】半導体パッケージおよび電子機器

(57) 【特許請求の範囲】

【請求項 1】

基板の表面に半導体素子を搭載した半導体パッケージであって、前記半導体素子を搭載した前記基板の表面には、誘電体を介して、枠状もしくは環状の導電性部材が、前記半導体素子が前記導電性部材の開口部から露出するように配置されており、前記基板には前記導電性部材と対向するように配線パターンが設けられており、前記配線パターンは前記半導体素子に設けられた信号配線層に形成されたグラウンド端子または電源端子と電気的に接続しており、前記配線パターンは前記導電性部材と対向して配置された枠状もしくは環状のパターンであり、前記導電性部材と前記配線パターンとの間の静電結合容量値は、前記導電性部材と信号配線層との間の静電結合容量値以上であることを特徴とする半導体パッケージ。

【請求項 2】

基板の表面に半導体素子を搭載した半導体パッケージであって、前記半導体素子を搭載した前記基板の表面には、誘電体を介して、枠状もしくは環状の導電性部材が、前記半導体素子が前記導電性部材の開口部から露出するように配置されており、前記基板には前記導電性部材と対向するように配線パターンが設けられており、前記配線パターンは前記半導体素子に設けられた信号配線層に形成されたグラウンド端子または電源端子と電気的に接続しており、前記配線パターンは前記導電性部材と対向して配置された枠状もしくは環状のパターンの、お互いが対向する2か所に不連続部が形成された2つの配線パターンからなり、前記導電性部材と前記配線パターンとの間の静電結合容量値は、前記導電性部材

と信号配線層との間の静電結合容量値以上であることを特徴とする半導体パッケージ。

【請求項 3】

前記信号配線層は前記半導体素子の前記基板への搭載面と逆側の表面に形成されており、前記配線パターンはボンディングワイヤを介して信号配線層に形成されたグラウンド端子または電源端子と電気的に接続されていることを特徴とする請求項 1 または 2 に記載の半導体パッケージ。

【請求項 4】

前記導電性部材と配線パターンとの間の静電結合容量値は、前記導電性部材と信号配線層との間の静電結合容量値の 1.78 倍の値以上であることを特徴とする請求項 1 または 2 に記載の半導体パッケージ。 10

【請求項 5】

基板の表面に半導体素子を搭載した半導体パッケージにあって、前記半導体素子を搭載した前記基板の表面と逆側の表面には、誘電体を介して、枠状もしくは環状の導電性部材が、前記導電性部材の開口部が、前記半導体パッケージを平面視した場合に、前記半導体素子の外形よりも大きく前記半導体素子の外径を取り囲むように配置されており、前記基板には前記導電性部材と対向するように配線パターンが設けられており、前記配線パターンは前記半導体素子に設けられた信号配線層に形成されたグラウンド端子または電源端子と電気的に接続しており、前記導電性部材と配線パターンとの間の静電結合容量値は、

前記導電性部材と信号配線層との間の静電結合容量値以上であることを特徴とする半導体パッケージ。 20

【請求項 6】

前記信号配線層は前記半導体素子の前記基板への搭載面と逆側の表面に形成されており、前記配線パターンはボンディングワイヤを介して信号配線層に形成されたグラウンド端子または電源端子と電気的に接続されていることを特徴とする請求項 5 に記載の半導体パッケージ。

【請求項 7】

前記導電性部材と配線パターンとの間の静電結合容量値は、前記導電性部材と信号配線層との間の静電結合容量値の 1.78 倍の値以上であることを特徴とする請求項 5 または 6 に記載の半導体パッケージ。

【請求項 8】

前記配線パターンは、前記導電性部材と対向して配置された枠状もしくは環状のパターンであることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の半導体パッケージ。 30

【請求項 9】

前記配線パターンは、前記導電性部材と対向して配置された枠状もしくは環状のパターンの、お互いが対向する 2 か所に不連続部が形成された 2 つの配線パターンからなっていることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の半導体パッケージ。

【請求項 10】

前記半導体素子は、外部からの信号を受信するセンサーであることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体パッケージ。

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項に記載の半導体パッケージを備えた電子機器。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタル複合機やデジタルカメラ等の電子機器に使用される半導体パッケージに関し、特に電磁遮蔽性能に関するものである。

【背景技術】

【0002】

近年、数 100 MHz から GHz 帯の周波数帯域の電磁波によって通信を行う、携帯電話や無線通信機能搭載の電子機器が普及するに伴って、これらの機器に近接して一般の電

子機器を使用するようなことが増えている。そのため、一般的な電子機器にも、数 100 MHz から GHz 帯の周波数帯域の電磁波が外部から照射されても正常に動作する外来電磁波耐性を有することが求められている。

【0003】

また、一方でデジタル複写機やデジタルカメラなど画像を取得する電子機器においては、高画質化を実現するため、より高い感度を有する固体撮像素子が使用されるようになってきている。固体撮像素子は光電変換や画像信号を伝送する部分の多くがアナログ回路で形成された半導体であり、より微弱な電気信号レベルを高い利得で増幅することで、高い感度を実現している。したがって、感度が高くなればなるほど微弱な信号を扱うことになり、電子機器の外部からのごく微弱な電磁波が回路と干渉し、信号と誤認識される可能性がある。そのため、感度が高くなればなるほど、これらの電子機器にはより強い外来電磁波耐性が求められる。

【0004】

従来、これらのアナログ回路（またはデジタル回路を含むミックスドアナログ回路）の半導体パッケージについては、高透磁率材料であるリードフレームの内側に枠状の導電性部材を配置することが知られている。（特許文献 1）これは外部からの磁界を外側の高透磁率材料に吸い寄せて、かつ枠状の導電性部材に流れる渦電流が外部からの磁界とは逆向きの磁界を発生させ、この磁界により外部磁界を打ち消すというもある。このような構成は、交流での実効透磁率が高い KHz から数 MHz の周波数帯域で特に有効である。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2011-54643 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

前述の枠状の導電性部材はその寸法サイズに応じた特定の周波数より低い周波数帯域においては高い電磁遮蔽性能を有する。しかしながら、前述の特定の周波数より高い周波数帯域においては電磁遮蔽性能が徐々に低下するという問題がある。これは周波数が高くなればなるほど、磁界だけでなく電界も半導体パッケージの外来電磁波耐性に影響を与えるためである。この電磁遮蔽性能が低下し始める特定の周波数は、枠状の導電性部材の大きさに起因しており、たとえば一辺が 5 cm の導電性部材の場合 750 MHz 程度である。より高い周波数帯域に対応するためには、導電性部材をより小さくすることが必要となる。しかしながら、固体撮像素子等の半導体素子の小型化には限界があり、今後の無線通信の高周波化に対応するためには、特許文献 1 に記載の方法では十分な電磁遮蔽性能を担保できなる可能性がある。

【0007】

本発明は上記課題を解決するためになされたものであり、枠状の導電性部材の内部の開口部に半導体素子が配置される半導体パッケージにおいて、数 100 MHz から GHz 帯の周波数で額縁状導電性部材の電磁遮蔽効果が劣化することを抑制し、半導体回路の外来電磁波耐性を向上することを目的とする。

【課題を解決するための手段】

【0008】

本発明における半導体パッケージは、基板の表面に半導体素子を搭載した半導体パッケージにあって、前記半導体素子を搭載した前記基板の表面には、誘電体を介して、前記半導体素子の外周を囲むように枠状もしくは環状の導電性部材が、前記半導体素子が前記導電性部材の開口部から露出するように配置されており、前記基板には前記導電性部材と対向するように配線パターンが設けられており、前記配線パターンは前記半導体素子に設けられた信号配線層に形成されたグラウンド端子または電源端子と電気的に接続しており、前記配線パターンは前記導電性部材と対向して配置された枠状もしくは環状のパターン

10

20

30

40

50

であり、前記導電性部材と前記配線パターンとの間の静電結合容量値は、前記導電性部材と信号配線層との間の静電結合容量値以上であること特徴とする。

【発明の効果】

【0009】

本発明における半導体パッケージによれば、導電性部材が共振する数100MHzからGHz帯の高い周波数でも高い電磁遮蔽性能を有するようになり、半導体回路の外電磁波耐性が向上する。

【図面の簡単な説明】

【0010】

【図1】第1の実施の形態に係わる半導体パッケージである。

10

【図2】第1の実施の形態に係わる半導体パッケージの作用を示す模式図である。

【図3】第1の実施の形態の効果を示すグラフである。

【図4】第1の実施の形態の効果を示すグラフである。

【図5】第2の実施の形態に係わる半導体パッケージである。

【図6】第1の実施の形態に係わる半導体パッケージの作用を示す模式図である。

【図7】第2の実施の形態に係わる半導体パッケージの作用を示す模式図である。

【図8】第2の実施の形態の効果を示すグラフである。

【図9】第3の実施の形態に係わる半導体パッケージである。

【発明を実施するための形態】

【0011】

20

【第1の実施の形態】

図1に本発明の半導体パッケージの第1の実施の形態を示す。図1(a)は断面を示した図であり、図1(b)は上面を示した図である。1は半導体パッケージ100のベースとなる基板である。基板1の上部には金属等の導電性部材からなる導電性部材2が配置されている。導電性部材2は中央部に開口部21を有した枠状もしくは環状の部材であり、接着剤等の誘電体22を介して基板に固定されている。基板1の中央部には凹部が形成されており、半導体素子3が搭載されている。導電性部材2は半導体素子3の外周を囲むように配置されている。これにより半導体素子3は、導電性部材2の開口部21から露出するよう配置される。半導体素子3は、図1(b)に示すように、導電性部材2の開口部21の内側に配置され外部に露出する位置に配置されている。半導体素子3はたとえばCMOSセンサーやCCDセンサーであり、開口部21を介して外部からの信号を取りこむことができる。そのため、半導体素子3の上面は信号配線層4であり、取り込んだ信号を形成された信号配線により伝送することができる。信号配線層4は、外部からの信号を取りこむ受光面であり、後述する基板1に形成された配線パターン5と接続するためのグラウンド端子、電源端子、信号端子が形成されている。

30

【0012】

基板1の内部もしくは半導体素子3の基板1への搭載面には、導電性部材2と対向するように配線パターン5が設けられている。図1(b)に点線で示したように、枠状の配線パターン5は、半導体素子3を囲むように環状もしくは枠状である。配線パターン5は、配線材料である銅やタンゲステンなど導電率の高い金属で形成されている。配線パターン5の内側には、半導体素子のグラウンド端子、電源端子を含む信号端子とボンディングワイヤ41を介して電気的に接続されているグラウンド電位、電源電位も含む信号配線44が形成されている。信号配線44の少なくとも一つはグラウンド配線42であり、配線パターン5と接続されている。従って配線パターン5がグラウンド電位である。信号配線44はヴィア44等を介して、基板1の裏面に形成された外部電極11に接続されている。なお、図1ではボンディングワイヤ41は信号配線44に直接接続されているが、信号配線44の端部にボンディングパッドを形成し、ボンディングパッドを介して接続しても良い。

40

【0013】

次に、この半導体パッケージ100の作用について図2を基に説明する。図2は図1の

50

半導体パッケージを電気的なモデルとして説明する概念図である。なお図2において図1と同じ部材については同じ符号を付し、説明は省略する。

【0014】

信号配線層4と導電性部材2との間には空気が存在する。空気は誘電体なので信号配線層4と導電性部材2は容量結合しており、その静電結合をコンデンサ61と模擬して示している。また、配線パターン5と導電性部材2は、基板1の絶縁材料と誘電体22を介して対向して配置されている。従って、配線パターン5と導電性部材2は容量結合しており、その静電結合をコンデンサ62と模擬して示している。本実施の形態では、配線パターン5と導電性部材2の間のコンデンサ62の容量値が、信号配線層4と導電性部材2の間の静コンデンサ61の容量値以上になるように形成している。

10

【0015】

コンデンサ62の容量値を高めるためには、基板1にガラスエポキシ樹脂FR4や、アルミナ、ステアタイトなどのセラミックなどの高誘電率材料を使用する事が好ましい。また誘電体22としては、通常の熱硬化型エポキシ樹脂接着剤（比誘電率が約3.0程度）よりも、ガラス等（比誘電率が約5.0程度）のフィラーを混ぜたエポキシ樹脂接着剤や、シリコーン樹脂（約5.0程度）接着剤などが好ましい。また、光学素子で良く用いられる紫外線硬化型エポキシ樹脂接着剤でも同様に高誘電率のものが望ましい。

【0016】

図中7は、半導体パッケージ100の上方から照射された、数100MHzからGHz帯の電磁波であり、電磁波7の進行方向を点線矢印で示し、電界成分の振幅強度を実線で示している。磁界成分については、説明が煩雑になるのを避ける都合上、図示していないが、紙面直交方向に振動する成分を有している。

20

【0017】

まず、入射した電磁波7は、導電性部材2と信号配線層4の隙間で形成されているコンデンサ61を電気的に励振するように作用する。これにより、導電性部材2と信号配線層4の間に電位が発生する。同様に、配線パターン5と導電性部材2の間のコンデンサ62も電気的に励振するように作用する。このときの電位は、コンデンサ61と導電性部材2および信号配線層4のインダクタンスで形成される回路と、コンデンサ62と導電性部材2および配線パターン5のインダクタンスで形成される回路とにより形成される共振回路に印加される。

30

【0018】

図2(a)に示す第1の実施の形態である半導体パッケージ100の場合、配線パターン5を設けることにより、導電性部材2とのコンデンサ62の間の容量値がコンデンサ61の容量値以上なっている。この場合、共振回路に流れる共振電流は主にインピーダンスの低いコンデンサ62の方に流れる。そのため、導電性部材2と配線パターン5の間に発生する共振電界81が、導電性部材2と信号配線層4の間に発生する共振電界8よりも大きくなる。そのため、外部からの電磁波7により、ノイズに弱いワイヤボンディング41が受ける影響は小さく、導電性部材2による電磁遮蔽性能をより高める事ができる。

【0019】

これに対して図2(b)に示す配線パターン5を設けない半導体パッケージ200の場合、導電性部材2とのコンデンサ62の間の容量値がコンデンサ61の容量値よりも小さくなる。この場合、共振回路に流れる共振電流は主にインピーダンスの低いコンデンサ61の方に流れる。そのため、導電性部材2と信号配線層4の間に発生する共振電界8が、導電性部材2と配線パターン5の間に発生する共振電界81よりも大きくなる。そのため、外部からの電磁波7により、ノイズに弱いワイヤボンディング41が受ける影響は、図2に示した実施の形態よりも劣ることとなる。なお、コンデンサ62の間の容量値がコンデンサ61の容量値よりも小さい場合とは、配線パターン5を設けていない形態が考えられる。

40

【0020】

本実施の形態の半導体パッケージ100の効果を示す実施例を以下に示す。

50

【実施例 1】

【0021】

実施例 1 において基板 1 は、縦幅 26 mm、横幅 32 mm、厚み 2.1 mm で発砲スチロール材料（比誘電率 $\epsilon_r = 1.0$ [S/m]）を使用した。本来、基板 1 の材質は前述したように高誘電率材料を使用する事が好ましいが、後述する解析結果と条件を等しくすることで、発明の効果の理解を容易にするために、あえて比誘電率 $\epsilon_r = 1.0$ [S/m] の発砲スチロール材料を選択した。従って実際の比誘電率が基板 1 の上面側に導電性部材 2 と対向するように設けられた枠状の配線パターン 5 は、銅配線（導電率 $\sigma = 5.7 \times 10^7$ [S/m]）であり、枠の幅が 2 mm で周回する配線パターンである。配線パターン 5 は基板 1 の上面から 0.3 mm の位置に配置されている。

10

【0022】

導電性部材 2 は、縦幅 26 mm、横幅 32 mm、厚み 0.8 mm のステンレス（導電率 $\sigma = 1.5 \times 10^6$ [S/m]）の板に、縦幅 21 mm、横幅 27 mm の開口部 21 が設けられている。導電性部材 2 と基板 1 との距離は 0.1 mm であり、接着剤としてエポキシ樹脂接着剤（比誘電率 $\epsilon_r = 4$ ）により接着されている。従って、配線パターン 5 との間の距離は 0.4 mm である。

【0023】

半導体素子 3 は縦幅 26 mm、横幅 32 mm、厚み 0.8 mm でシリコンと積層されたアルミ配線からなっている固体撮像用の素子である。半導体素子 3 の表面には信号配線層 4 として厚み 1 μ m のアルミ膜が格子状になるように形成されている。

20

【0024】

また信号配線層 4 と導電性部材 2 の静電結合容量値（コンデンサ 61 に相当）は 2.8 pF であった。この静電結合容量値は導電性部材 2 と信号配線層 4 のそれぞれに高周波計測用プローブ（カスケードマイクロテック製）の信号部とグラウンド部を接触させて、そのプローブをネットワークアナライザ（アジレント・テクノロジー製）に接続して測定した。測定方法としては、50 入力のネットワークアナライザで 100 MHz ~ 2.5 GHz の反射係数 S_{11} を測定した上で、入力インピーダンス Z_{11} に変換する。50 入力のネットワークアナライザの場合、変換式は $Z_{11} = 50 \times (1 + S_{11}) / (1 - S_{11})$ である。入力インピーダンス Z_{11} における容量値 C は $C = 1 / (2 \pi f \times |Z_{11}|)$ (f は周波数) という式に従って算出した。導電性部材と半導体配線層は電気的に接続されていない状態で測定しているため、容量値 C は導電性部材と半導体配線層の静電結合容量に相当する。

30

【0025】

同様の方法で測定したところ、配線パターン 5 と導電性部材 2 の静電結合容量値（コンデンサ 62 に相当）は 5.0 pF であった。これは、信号配線層 4 と導電性部材 2 の静電結合容量値（コンデンサ 61 に相当）の 1.78 倍の値以上である。

【0026】

導電性部材 2 の開口部 21 における電界強度を測定した。まず電波暗室に配置した送信アンテナから 1 m 離れた位置に置いた半導体パッケージを配置し、1 GHz ~ 2.5 GHz の周波数帯域で一定の 10 V/m の電界強度を有する電磁波を照射した。この時、

40

開口部 21 の内部に受信アンテナ（長さ 10 mm の微小ダイポールアンテナを装着した市販の光電界プローブ）を配置し電界を検知した。その検知信号を光ファイバーによって電波暗室外に設置したスペクトラム・アナライザに入力することで、電界強度を測定した。

【0027】

測定結果を図 3 (a) に示す。図 3 (a) において、横軸は照射した電磁波の周波数（1.0 GHz ~ 2.5 GHz）であり、縦軸は導電性部材 2 の開口内部 21 に発生する電界の光電界プローブの読み値を示している。光電界プローブの読み値は電界強度に比例する。図 3 (a) から分かるように、周波数が 2.5 GHz における、導電性部材 2 の開口部 21 の内部に発生する電界強度が約 40 dB となっていることが分かる。

50

【0028】

(比較例1)

実施例1に対して配線パターン5を除いた半導体パッケージに対して、実施例1と同様の計測を行った。信号配線層4と導電性部材2の静電結合容量値(コンデンサ61に相当)は実施例1と同じ2.8pFであった。

【0029】

この時の特定結果を図3(b)に示す。図3(b)から分かるように、周波数が2.5GHzにおける、導電性部材2の開口部21の内部に発生する電界強度が約52dBとなっていることが分かる。

【0030】

10

すなわち実施例1における半導体パッケージは、比較例の半導体パッケージに比べて約12dB(つまり、約1/4にまで)減少している。これは、1.0GHz~2.5GHzの周波数帯域における導電性部材の電磁遮蔽性能の劣化を抑制し、半導体回路の電磁波耐性が向上していることがわかる。

【0031】

次に、図3に示した1.0GHz~2.5GHzの周波数帯域よりも高い周波数帯域における本実施の形態の効果を検証するため3次元数値電磁界解析を行った。3次元数値電磁界解析は前述の実施例1、比較例1に加え下記の実施例2、3の解析も行った。

【実施例2】

【0032】

20

実施例1と異なる点のみを記す。導電性部材2と基板1との距離は0.1mmであり、配線パターン5は基板1の上面から0.7mmの位置に配置されている。従って基板1の導電性部材2と配線パターン5の間の距離は0.8mmである。この時の配線パターン5と導電性部材2の静電結合容量値(コンデンサ62に相当)は2.8pFであった。これは、信号配線層4と導電性部材2の静電結合容量値(コンデンサ61に相当)と等しい値である。

【実施例3】

【0033】

30

実施例1と異なる点のみを記す。導電性部材2と基板1との距離は0.05mmであり、配線パターン5は基板1の表面に配置されている。従って基板1の導電性部材2と配線パターン5の間の距離は0.05mmである。この時の配線パターン5と導電性部材2の静電結合容量値(コンデンサ62に相当)は3.8pFであった。

【0034】

解析に用いたソフトウェアは、MW-Studio(COMPUTER SIMULATION TECHNOLOGY社製)の時間領域トランジエントソルバのプログラムである。実施例1~3と比較例1について、その3次元形状と材料特性を入力して解析モデルを作成した。解析条件は、測定と同様に、外部から10V/mの電界強度を有する電磁波7を、導電性部材2の開口部21の開口面に直交する方向になるような照射し、電界が導電性部材2の開口部21の開口面内に発生するとした。また、解析周波数は1GHzから5GHzまでとした。ソルバによって、解析空間内部の電界強度を計算し、特に導電性部材2の開口部21の位置における電界強度を算出した。

40

【0035】

図4はその解析結果をグラフで示したものである。横軸が照射した電磁波の周波数である。縦軸が導電性部材2の開口内部21における電界強度である。まず、比較例1の電界強度(一点鎖線)の結果に着目すると、約2GHzから急速に増加し、2.9GHzと3.4GHzでピーク状の高い電界強度を示していることが分かる。これは、比較例の半導体パッケージが、2GHz以上の周波数帯域で導電性部材の電磁遮蔽性能が劣化していることを示している。比較例の解析結果が示すこの傾向は、図3(b)で示した実際に測定した結果の傾向と非常に良く一致している。従って、解析に用いたソフトウェアと解析モデルが正しい結果を出力していると言える。

50

【0036】

図4において実施例1の解析結果を点線で示している。図4から分かように、周波数が約3.0GHzにおいて、開口内部の電界強度が約120V/mに達するピーク状になっている。これは、比較例1の解析結果に対して半減している。実施例1は、導電性部材2と配線パターン5との結合容量62が5pFであり、導電性部材2と半導体配線層の結合容量よりも大きい。そのため、共振電界が導電性部材の開口の外側にもより多く発生し、導電性部材開口内側の電界強度がさらに減少していると思われる。

【0037】

図4において実施例2の解析結果を実線で示している。図4から分かように、周波数が3.1GHzにおいて、開口内部の電界強度が約230V/mに達するピーク状になっている。これは、比較例1の解析結果である、「3.4GHzにおける電界強度250V/m」に対して、20V/m低減している。実施例2は、導電性部材2と配線パターン5との結合容量62が2.8pFであり、導電性部材2と半導体配線層の結合容量と同じ程度である。そのため、共振電界が導電性部材の開口の外側にも発生し、導電性部材開口内側の電界強度が減少していると思われる。

10

【0038】

図4において実施例3の解析結果を2点鎖線で示している。図4から分かように、周波数が3.0GHz～3.5GHzの間において、ピーク状の電界強度が消滅し、全体的に約20V/mになっている。これは、比較例1の解析結果に対して、大幅に低減している。実施例3は、導電性部材2と配線パターン5との結合容量62が38pFであるため、導電性部材2と半導体配線層の結合容量よりも非常に大きい。そのため、共振電界が導電性部材の開口の外側のみに発生して、導電性部材開口内部にはほとんど発生していないと思われる。

20

【0039】

従って、これら本発明の半導体パッケージ実施例1～3によれば、1～5GHzの周波数帯域において導電性部材の電磁遮蔽効果の劣化を抑制し、半導体回路の電磁波耐性が向上している。

【0040】

なお、本実施の形態においては、配線パターン5は信号配線層4のグラウンド配線に接続されたが、半導体素子3の電源端子に接続されていても良い。その場合においても、電磁遮蔽性能の劣化を抑制する効果は得られる。さらにこの場合、配線パターン5と導電性部材2の間に形成された静電結合容量（コンデンサ62に相当）により半導体回路の電源電圧を安定させる作用も得られることになる。従って、半導体回路の電磁波耐性を向上させつつ、安定した動作を実現する効果がある。

30

【0041】

また、配線パターン5と信号配線層4のボンディングワイヤ41による接続は1点に限定されるものではなく、2点以上設けることも可能である。その場合は、導電性部材2と信号配線層4との電位がさらに安定するため、より高い電磁遮蔽性能が得られる。

【0042】

[第2の実施の形態]

40

図5に本発明の第2の実施の形態である半導体パッケージ300を示す。図5(a)は断面を示した図であり、図5(b)は上面を示した図である。図5において第1の実施の形態と共通の部分については、同じ符号を付し説明は省略する。

【0043】

半導体パッケージ300は、第1の実施形態における配線パターン5の半導体素子3の対辺の2か所で不連続部51を設け、配線パターン5a、5bの2つの配線パターンを有している。2つの不連続部51は、お互いが対向する2か所に形成されている。この不連続部51は対角2点で設けてもよい。また、分離された配線パターン5a、5bの導電性部材2とのトータルの静電結合容量値（図3のコンデンサ62に相当）が、信号配線層4と導電性部材2との静電結合容量値（図3のコンデンサ61に相当）よりも大きくなつて

50

いる。また、分離された配線パターン 5 a、5 b のそれぞれは、信号配線層 4 のグラウンド配線にボンディングワイヤ 4 1、グラウンド配線 4 2 を介してそれぞれ接続されている。

【 0 0 4 4 】

この不連続部 5 1 において、配線パターン 5 a、5 b と導電性部材 2 の間のコンデンサ 6 2 の静電結合容量値は小さくなる。静電結合容量値が小さくなるということは、導電性部材のインピーダンスが部分的に高くなっていることを意味している。この部分的に高いインピーダンスが、外部から電磁波が入射した時に、共振電流を抑制するように作用する。この抑制作用について説明する。なお不連続部 5 1 による配線パターン 5 a と配線パターン 5 b の間隔は、配線パターン 5 a、5 a の幅よりも広く、辺の長さよりは短いことが望ましい。これは、間隔が狭かすぎるとコンデンサ 6 2 の静電結合容量値が小さくならない。また長すぎると、分離された配線パターン 5 a、5 b の導電性部材 2 とのトータルの静電結合容量値が信号配線層 4 と導電性部材 2 との静電結合容量値よりも小さくなってしまうあるためである。

【 0 0 4 5 】

まず、電磁波 7 が本実施の形態の半導体パッケージ 3 0 0 に外部から入射する。そして、信号配線層 4 と導電性部材 2 の間で形成された静電結合容量値（図 3 のコンデンサ 6 1 に相当）を、内部から電気的に励振するように作用する。すると、コンデンサの電極である導電性部材 2 と信号配線層 4 の間に電位が発生する。この電位は、導電性部材 2 と信号配線層 4 の間のコンデンサ 6 1 と、導電性部材 2 または信号配線層 4 の寄生インダクタンスで形成される共振回路に印加される。この回路の共振周波数においては強い共振電流が流れる。

【 0 0 4 6 】

図 6 (a) は、第 1 の実施の形態に相当する不連続部 5 1 がない場合の導電性部材 2 の内部の各ポイント 2 0 1 ~ 2 0 8 におけるに共振電流の流れを示した概念図である。図 6 (a) において矢印の方向は電流の流れる向きであり、矢印の長さは電流の大きさを示している。この矢印は、交流電流のある瞬間ににおける方向と大きさを示しており、周期的に矢印の向きは反転し大きさは周期的に変動する。各ポイント 2 0 1 ~ 2 0 8 の電流の向きと大きさを模式的に示したのが図 6 (b) である。図 6 (b) のグラフにおいて横軸は導電性部材の周長方向の位置（ポイント 2 0 1 ~ 2 0 8 ）であり、縦軸は電流値である。従ってグラフの上に伸びた正の軸と下に伸びた負の軸が、それぞれ電流の向きを示している。

【 0 0 4 7 】

図 6 (b) から分かるように、共振電流の波長は、導電性部材 2 の 1 周の長さ（周長：ポイント 2 0 1 から 1 周回って再びポイント 2 0 1 までの長さ）を概ね 1 波長としている。共振電流の分布は、周長に沿って電流が大きく変動する腹の部分が 2 か所、変動が小さい節の部分が 2 か所、交互に現れる分布となっている。

【 0 0 4 8 】

図 7 (a) は、図 6 (a) に示した第 1 の実施の形態に対して、図 5 に示した不連続部 5 1 を形成した場合の導電性部材 2 の内部の各ポイント 2 0 1 ~ 2 0 8 におけるに共振電流の流れを示した概念図である。図 7 (a) において不連続部 5 1 は、図 6 (b) における電流値が大きくなる腹の 2 か所に対応した位置に形成している。この時の各ポイント 2 0 1 ~ 2 0 8 の電流の向きと大きさを模式的に示したのが図 7 (b) である。図 7 (b) では、高インピーダンスになる不連続部 5 1 が、導電性部材 2 という共振器構造の Q 値を減少させ、共振電流を減衰させている。

【 0 0 4 9 】

従って、この導電性部材に流れる共振電流自体が減少することによって、図 5 における導電性部材 2 と配線パターン 5 との間に発生する共振電界と、導電性部材 2 と信号配線層 4 との間の共振電界 8 の両方が減少する。これにより、第 1 の実施の形態に比べ更に、導電性部材 2 の開口部 2 1 の電界強度が減少し、より高い周波数でも高い電磁遮蔽性能を有

10

20

30

40

50

することができる。

【0050】

本実施の形態の半導体パッケージ300の効果を示す実施例を以下に示す。

【実施例4】

【0051】

半導体パッケージ300において、導電性部材2、半導体素子3、信号配線層4は実施例1に記載したものと同一であり、導電性部材2と信号配線層4の静電結合容量値（コン円差61に相当）は約2.8pFである。配線パターン5a、5bは、寸法や材質は実施例1の配線パターン5と同じであり、不連続部51は対辺2点に長さ20mmの幅で形成されている。導電性部材2と基板1との距離は0.3mmであり、配線パターン5a、5bは基板1の表面に配置されている。従って基板1の導電性部材2と配線パターン5a、5bの間の距離は0.3mmである。導電性部材2と配線パターン5a、5bは、誘電性を示す絶縁フィルム（比誘電率 $\epsilon_r = 4$ ）により接着されている。この場合の配線パターン5a、5bと導電性部材2の静電結合容量値（コンデンサ62に相当）は6.2pFであった。

【0052】

実施例4について、実施例1～3と同様に3次元数値電磁界解析を行った。使用したソフトウェアと解析条件は第一の実施の形態で示したものと同じである。その解析結果を図8に示した。比較のため前述の比較例1の解析結果も同じ図に示している。横軸が照射した電磁波の周波数である。縦軸が導電性部材2の開口内部21における電界強度である。

【0053】

まず、比較例1の電界強度（一点鎖線）の結果に着目すると、約2GHzから急速に増加し、2.9GHzと3.4GHzでピーク状の高い電界強度を示していることが分かる。これは、比較例の半導体パッケージが、2GHz以上の周波数帯域で導電性部材の電磁遮蔽性能が劣化していることを示している。比較例の解析結果が示すこの傾向は、図3(b)で示した実際に測定した結果の傾向と非常に良く一致している。従って、解析に用いたソフトウェアと解析モデルが正しい結果を出力していると言える。

【0054】

実施例4の電界強度（実践）の結果に着目すると、3GHz付近の周波数で電界強度が約20V/mとなっている。これは比較例1が3.4GHzで約250V/mであることに対して、大幅に低減していることが分かる。従って、実施例4によれば、1～5GHzの周波数帯域において、導電性部材の電磁遮蔽効果の劣化を抑制し、半導体回路の電磁波耐性が向上していることが分かる。

【0055】

また、この図8における実施例4の解析結果は、図4における実施例3の結果とほぼ同じである。実施例3では、導電性部材2と配線パターン5の間の静電結合容量値が約38pFという高い容量を形成することで、高い電磁遮蔽性能の劣化を抑制する効果を得ている。

【0056】

これに対して実施例4では、導電性部材2と配線パターン5a、5bの間の静電結合容量値は約6.2pFであり、比較的低い容量が形成されている。従って、本実施の形態の半導体パッケージにおいては、少ない設計制約で配線パターンを形成する事が出来るため、より簡単に、半導体回路の高い電磁波耐性を得ることが可能になる。

【0057】

なお、本実施の形態においては、配線パターン5a、5bは信号配線層4のグラウンド配線に接続されたが、信号配線層4の電源配線に接続されていても良い。その場合においても、電磁遮蔽性能の劣化を抑制する効果は得られる。さらにこの場合、配線パターン5a、5bと導電性部材2の間に形成された静電結合容量（コンデンサ62に相当）により半導体回路の電源電圧を安定させる作用も得られることになる。従って、半導体回路の電磁波耐性を向上させつつ、安定した動作を実現する効果がある。

【0058】

また、配線パターン5a、5bと信号配線層4のボンディングワイヤ41による接続は1点に限定されるものではなく、2点以上設けることも可能である。その場合は、導電性部材2と信号配線層4との電位がさらに安定するため、より高い電磁遮蔽性能が得られる。

【0059】

[第3の実施の形態]

図9に本発明の第3の実施の形態である半導体パッケージ400を示す。図9(a)は断面を示した図であり、図9(b)は上面を示した図である。図9において第1の実施の形態と共通の部分については、同じ符号を付し説明は省略する。

10

【0060】

半導体パッケージ400は、基板1が側面電極12を有しており、基板1の半導体素子3を搭載した基板の表面と逆側の表面に凹部13が形成されている。凹部13には、中央に半導体素子3の外形よりも大きい開口部21を有する導電性部材2が配置されている。基板1の上面側の凹部14には、図9(b)に示すように、導電性部材2の開口部21に対応する部分に半導体素子3が配置されている。これにより半導体パッケージ400を平面視した場合に、導電性部材2の開口部21が半導体素子の外径を取り囲むように配置される。基板1の半導体素子3を搭載した表面と逆側の表面もしくは基板1の内部で表面の近傍には、配線パターン5が導電性部材2に対向するように設けられている。配線パターン5と導電性部材2の静電結合容量値は、信号配線層4と導電性部材2の静電結合容量値以上である。信号配線層4のグラウンド配線と配線パターン5は、ボンディングワイヤ41、グラウンド配線42、ピア46を介して電気的に接続されている。

20

【0061】

本実施の形態においても、第1の実施の形態と同様の作用により、GHz帯の高い周波数でも導電性部材2の電磁遮蔽性能の劣化が抑制できる。また、半導体素子3から発生する熱が基板1を介して導電性部材2に伝わりやすいため、半導体パッケージの放熱性が向上するという効果が得られる。また、凹部13における導電性部材2の開口部21に熱伝導率の高い放熱ゲル、その他放熱手段などを配置することによって、更に放熱性を高くすることが出来る。また、導電性部材2を外部の放熱手段に接続することによって、さらに放熱性を高めることもできる。

30

【0062】

なお、本実施の形態においては、配線パターン5は信号配線層4のグラウンド配線に接続されたが、信号配線層4の電源配線に接続されても良い。その場合においても、電磁遮蔽性能の劣化を抑制する効果は得られる。さらにこの場合、配線パターン5と導電性部材2の間に形成された静電結合容量により半導体回路の電源電圧を安定させる作用も得られることになる。従って、半導体回路の電磁波耐性を向上させつつ、安定した動作を実現する効果がある。

【0063】

また、配線パターン5と信号配線層4のボンディングワイヤ41による接続は1点に限定されるものではなく、2点以上設けることも可能である。その場合は、導電性部材2と信号配線層4との電位がさらに安定するため、より高い電磁遮蔽性能が得られる。

40

【符号の説明】

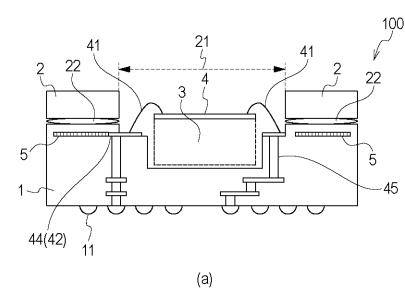
【0064】

- 1 基板
- 2 導電性部材
- 3 半導体素子
- 4 信号配線層
- 5 配線パターン
- 7 外部電界
- 8 共振電界

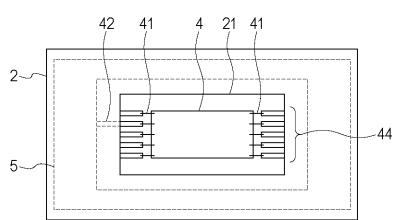
50

- 8 1 共振電界
 1 1 裏面電極
 2 1 開口部
 4 1 ボンディングワイヤ
 4 2 グラウンド配線
 4 4 信号配線

【図 1】

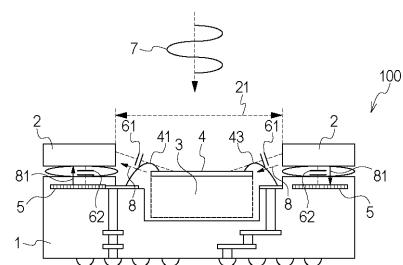


(a)

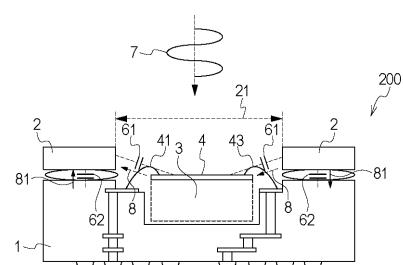


(b)

【図 2】

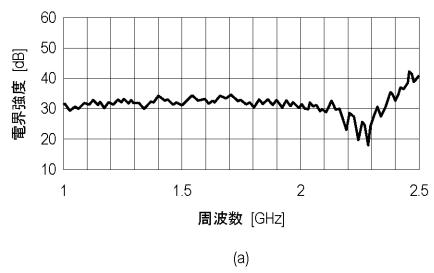


(a)

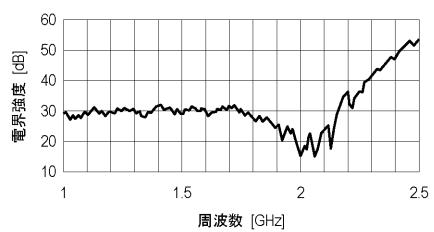


(b)

【図3】

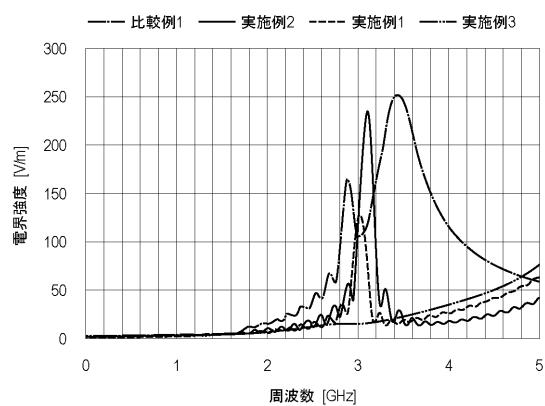


(a)

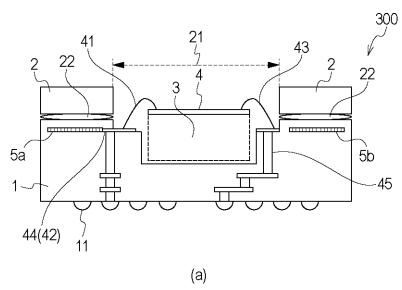


(b)

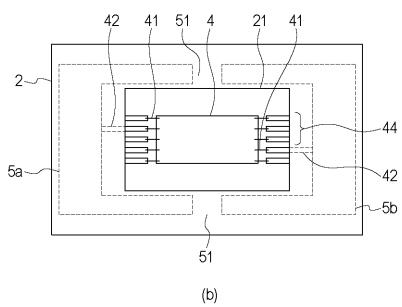
【図4】



【図5】

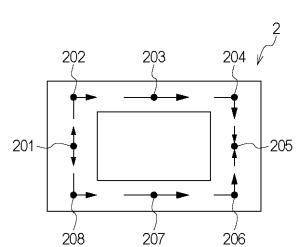


(a)

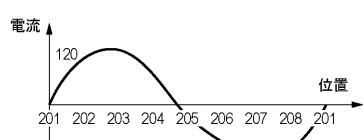


(b)

【図6】

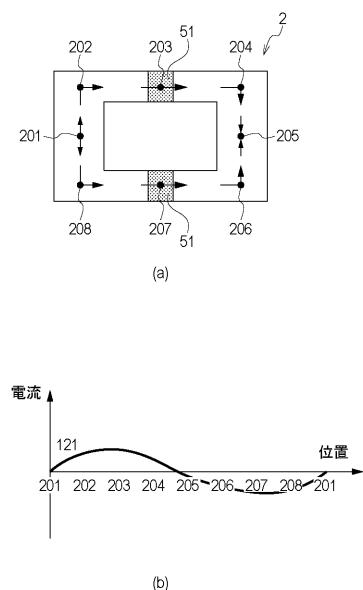


(a)

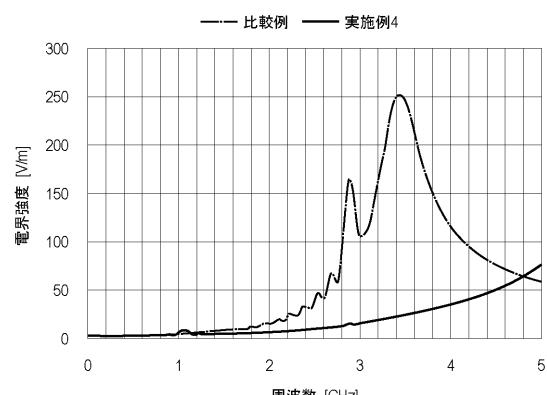


(b)

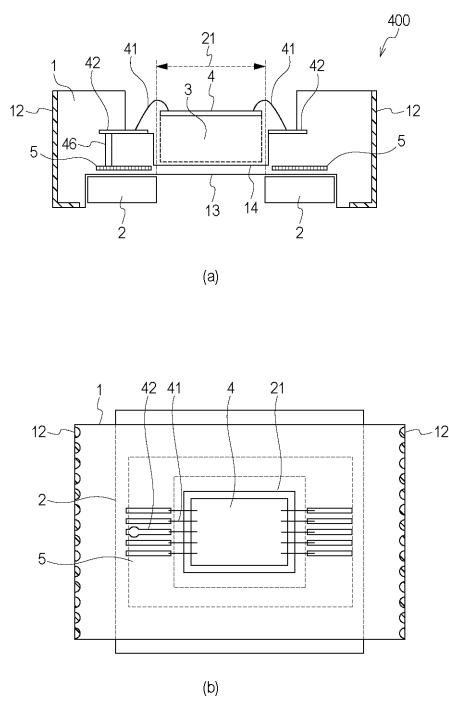
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/335 5 7 0

(56)参考文献 特開2006-294808 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 9
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 1 L 2 7 / 1 4
H 0 1 L 2 7 / 1 4 4 - 2 7 / 1 4 8
H 0 1 L 2 9 / 7 6 2
H 0 4 N 5 / 3 0 - 5 / 3 7 8
H 0 5 K 9 / 0 0