



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 15.06.81 (21) 3299760/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.11.82. Бюллетень № 44

Дата опубликования описания 30.11.82

(11) 978197

[51] М. Кл.³

G 11 C 15/00

[53] УДК 681.327
(088.8)

(72) Автор
изобретения

А.Ю. Гурьев

(71) Заявитель

(54) АССОЦИАТИВНОЕ ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ
УСТРОЙСТВО

1

Изобретение относится к запоминающим устройствам.

Известно ассоциативное оперативное запоминающее устройство, содержащее ассоциативный накопитель, регистр адреса, блок управления, дешифраторы, усилители записи и считывания, коммутаторы, формирователи сигналов и регистр числа [1].

Недостаток этого устройства - низкое быстродействие.

Наиболее близким по технической сущности к предлагаемому является ассоциативное оперативное запоминающее устройство, содержащее матрицу памяти, дешифраторы X и Y, регистр адреса и регистр числа, причем выходы регистра адреса соединены со входами дешифраторов X и Y, выходы которых соединены с матрицей памяти, а выходы и входы регистра числа соединены с соответствующими входами и выходами матрицы памяти и имеется соответствие между значениями ключей и порядковыми номерами (т.е. адресом) двоичных разрядов запоминающего устройства, причем в ячейки памяти, соответствующие признакам выбранных слов, записывается '1' [2].

2

Недостаток известного устройства заключается в том, что выборка осуществляется только при полном совпадении кода опроса с ключом, который является адресом, а наложение маски на произвольное число разрядов кода опроса является недопустимым, что ограничивает его функциональные возможности.

Цель изобретения - расширение функциональных возможностей устройства за счет реализации режима поиска информации при наложении маски на код опроса.

Поставленная цель достигается тем, что в ассоциативное оперативное запоминающее устройство, содержащее запоминающую матрицу, регистр адреса, дешифраторы, выходы которых соединены с адресными входами запоминающей матрицы, а входы - с одними из входов регистра числа, другие входы и выходы которого подключены к выходам и информационным входам запоминающей матрицы, введен блок модификации кода опроса, входы которого соединены с выходами регистра адреса, а выходы подключены соответственно к входам первого и второго дешифраторов, блок модифика-

ции кода опроса содержит группы элементов И, элемент ИЛИ, группу элементов ИЛИ, регистры сдвига, триггеры, счетчик и регистр маски, причем первые входы элементов И первой группы являются входами блока и соединены с первыми входами элементов И второй группы, вторые входы которых подключены к выходам регистра маски, а третьи входы - к выходам первого регистра сдвига, выходы элементов И второй группы соединены с первыми входами триггеров и входами элемента ИЛИ, выход которого подключен к входу второго регистра сдвига, выходы которого соединены с вторыми входами триггеров, выходы которых подключены к первым входам элементов И третьей группы, вторые входы которых соединены с выходами счетчика, а выходы - с первыми входами элементов ИЛИ группы, вторые входы которых подключены к выходам элементов И первой группы, выходы элементов ИЛИ группы являются выходами блока, вторые входы элементов И первой группы объединены и являются входом стробирования блока.

На чертеже представлена функциональная схема устройства.

Устройство содержит запоминающую матрицу 1, первый 2 и второй 3 дешифраторы, регистр 4 числа, регистр 5 адреса и блок 6 модификации кода опроса, который содержит регистр 7 маски, первый регистр 8 сдвига, первую группу 9 элементов И, элемент ИЛИ 10, счетчик 11, триггеры 12, предназначенные для распределения маски, вторую группу 13 элементов И, группу элементов ИЛИ 14, третью группу элементов И 15 и второй регистр 16 сдвига. Матрица 1, дешифраторы 2 и 3, младшие разряды регистра 4 могут быть выполнены на одном типе БИС (например, на стандартной БИС ОЗУ).

Блок 6, регистр 5 и старшие разряды регистра 4 могут быть выполнены в виде отдельной БИС.

В режиме ассоциативного поиска устройство работает следующим образом.

На регистр 5 подается код опроса, представляющий собой значение признаков (старших) разрядов слова, на регистр 7 - код маски. В этом режиме осуществляется предварительное занесение кода опроса с учетом маскирования в блок 6. Код опроса подается из регистра 5 на первые входы элементов И 13. Код маски, установленный в регистре 7, поступает на вторые входы элементов И 13. Затем на третий вход элемента И 13, соответствующего первому разряду кода опроса, с выхода регистра 8 подается стробирующий импульс. Одно-

временно с выхода первого разряда регистра 16 на первые входы соответствующих триггеров 12 подается разрешающий потенциал. Если, например, на первый разряд кода опроса наложена маска, т.е. значение первого разряда кода маски равно '1', то по совпадению сигналов с выхода соответствующего элемента И 13 и регистра 16 производится занесение '1' в триггер 12, соответствующий первому разряду.

Сигнал с выхода элемента И 13 поступает также через элемент ИЛИ 10 на вход регистра 16, после чего на выходе, например, второго разряда регистра 16 устанавливается разрешающий потенциал. На выход второго разряда регистра 8 подается стробирующий импульс, который поступает на третий вход элемента И 13, соответствующего второму разряду кода опроса. Если значение второго разряда кода маски равно '1', то происходит занесение маски в соответствующий триггер 12, выдается через элемент ИЛИ 10 сигнал на вход регистра 16, и разрешающий потенциал устанавливается на выходе, например, третьего разряда регистра 16.

Если значение второго разряда кода маски равно '0', то занесение маски не происходит, и на выходе второго разряда регистра 16 сохраняется разрешающий потенциал. Затем на выход третьего разряда регистра 8 подается стробирующий импульс. Разрешающий потенциал на выходе второго разряда регистра 16 держится до тех пор, пока значение одного из последующих разрядов кода маски не будет равно '1' - в этом случае маска записывается в соответствующий триггер 12 по совпадению сигнала с выхода соответствующего элемента И 13 и с выхода второго разряда регистра 16. На выходе триггера 12 устанавливается потенциал, разрешающий прохождение сигнала со второго разряда счетчика 12 на второй вход соответствующего элемента ИЛИ 14. Затем разрешающий потенциал устанавливается на выходе третьего разряда регистра 16 и так далее, пока не будет подан стробирующий импульс на выход последнего (старшего) разряда регистра 8.

Таким образом, занесение кода опроса в блок 6 осуществляется в следующей последовательности: производится поочередная выдача стробирующих импульсов с выходов регистра 8 на третьи входы элементов И 13 и последовательная подача разрешающего потенциала с выходов регистра 16 на вторые входы соответствующих триггеров 12 после каждого очередного занесения кода маски в соответствующ-

щий разряд. В результате в каждом замаскированном разряде в положении '1' окажется только тот из триггеров 12, который соединен с соответствующим выходом счетчика 11. Этим обеспечивается перебор всех 2^m комбинаций кода опроса (где m - число замаскированных разрядов) при опросе матрицы 1.

После занесения кода опроса с учетом маски в блок 6 производится опрос матрицы 1 последовательностью кодов, соответствующих коду опроса с учетом маски. Рассмотрим опрос матрицы 1 на примере четырехразрядного кода опроса. Предположим, что код опроса имеет следующий вид: ОММ1, где М - замаскированный разряд. Так как маска наложена на второй и третий разряды, то в блоке 6 в положении '1' находятся те триггеры 12, которые связаны соответственно с первым и вторым разрядами счетчика 11, и, таким образом, второй и третий разряды кода адреса, поступающего на соответствующий дешифратор 2 или 3, оказываются связанными соответственно с первым и вторым разрядами счетчика 11. Этим обеспечивается опрос содержимого матрицы 1 следующей последовательностью кодов:

0001
0011
0101
0111

Число опросов равно четырем, так как маска наложена на два разряда.

После каждого опроса анализируется значение признакового разряда. Если оно равно '1', то значит слово, ключ которого (старшие разряды) совпадает с кодом опроса, находится в матрице 1. Информация от младших разрядов считывается из матрицы 1 и поступает по вторым входам в регистр 4, а информация от старших разрядов записывается в старшие разряды регистра 4 соответственно с опросом матрицы 1, независимо от значения признакового разряда. После перебора 2^m комбинаций кода опроса счетчик 11 сбрасывается, и устройство готово к приему очередного кода опроса.

Технико-экономическое преимущество предлагаемого устройства заключается в его более широких функциональных возможностях по сравнению с прототипом, так как оно обеспечивает выполнение режима ассоциативного поиска при наложении маски на код опроса.

Формула изобретения

1. Ассоциативное оперативное запоминающее устройство, содержащее запоминающую матрицу, регистр адреса, дешифраторы, выходы которых соединены с адресными входами запоминающей матрицы, а входы - с одними из входов регистра числа, другие входы и выходы которого подключены к выходам и информационным входам запоминающей матрицы, отличающееся тем, что, с целью расширения функциональных возможностей устройства за счет реализации режима поиска информации при наложении маски на код опроса, в него введен блок модификации кода опроса, входы которого соединены с выходами регистра адреса, а выходы подключены соответственно к входам первого и второго дешифраторов.
2. Устройство по п. 1, отличающееся тем, что блок модификации кода опроса содержит группы элементов И, элемент ИЛИ, группу элементов ИЛИ, регистры сдвига, триггеры, счетчик и регистр маски, причем первые входы элементов И первой группы, являются входами блока и соединены с первыми входами элементов И второй группы, вторые входы которых подключены к выходам регистра маски, а третьи входы - к выходам первого регистра сдвига, выходы элементов И второй группы соединены с первыми входами триггеров и входами элемента ИЛИ, выход которого подключен к входу второго регистра сдвига, выходы которого соединены с вторыми входами триггеров, выходы которых подключены к первым входам элементов И третьей группы, вторые входы которых соединены с выходами счетчика, а выходы - с первыми входами элементов ИЛИ группы, вторые входы которых подключены к выходам элементов И первой группы, выходы элементов ИЛИ группы являются выходами блока, вторые входы элементов И первой группы объединены и являются входом стробирования блока.
- Источники информации, принятые во внимание при экспертизе
1. Крайзмер Л.П. Быстродействующие ферромагнитные запоминающие устройства, М.-Л., "Энергия", 1964, с. 324-326.
2. Гладун В.П. и др. Упорядоченное извлечение многозначного ответа из ассоциативного ЗУ. - "Кибернетика", 1965, № 5, с. 32-34 (прототип).

