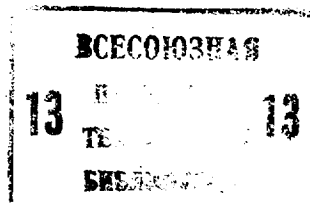




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

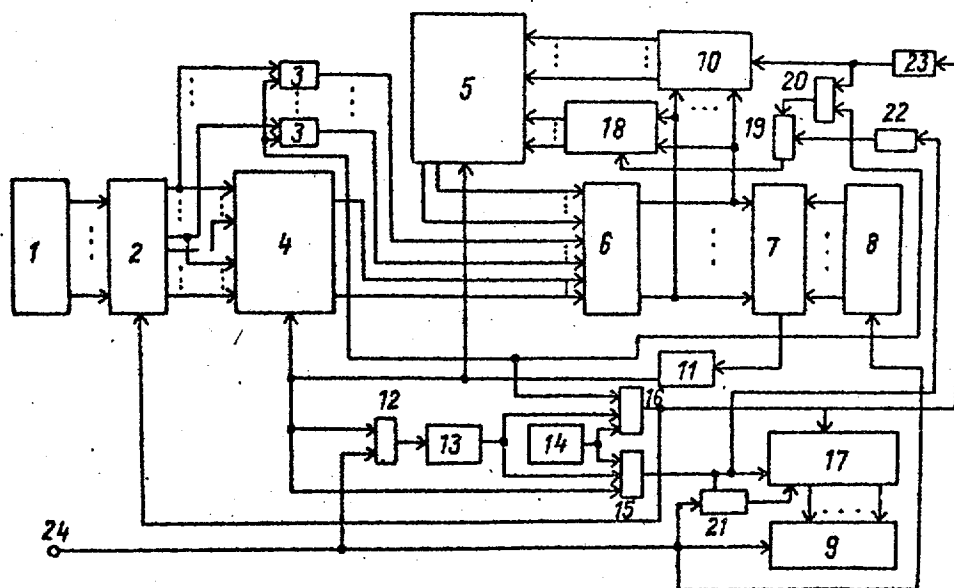


- (21) 3981632/24-24
(22) 26.11.85
(46) 30.03.87. Бюл. № 12
(71) Гомельский конструкторско-технологический и экспериментальный институт по техническому перевооружению и подготовке производства предприятий
(72) Г.И. Кашалов
(53) 681.325 (088.8)
(56) Авторское свидетельство СССР № 949654, кл. G 06 F 7/552, 1982.
Авторское свидетельство СССР № 1132289, кл. G 06 F 7/552, 1984.

(54) УСТРОЙСТВО ДЛЯ ИЗВЛЕЧЕНИЯ КВАДРАТНОГО КОРНЯ

(57) Изобретение относится к вычислительной технике и может быть применено в системах управления техно-

логических процессами, в специализированных вычислителях. Целью изобретения является повышение быстродействия за счет декомпозиции алгоритма вычисления на этапы с "крупным" и "мелким" шагами. Устройство содержит первый регистр 1, первый сумматор 2, элементы И 3 группы, первый коммутатор 4, второй коммутатор 5, второй сумматор 6, схему сравнения 7, первый счетчик 8, второй регистр 9, третий регистр 10, первый триггер 11, первый элемент ИЛИ 12, второй триггер 13, генератор 14 тактовых импульсов, первый элемент И 15, второй элемент И 16, второй счетчик 17, четвертый регистр 18, второй элемент ИЛИ 19, третий элемент И 20, первый 21, второй 22, третий 23 элементы задержки, тактовый вход 24. 1 ил.



Изобретение относится к вычислительной технике и может быть использовано в системах управления гибкими автоматизированными производствами, технологическими процессами в специализированных вычислителях.

Целью изобретения является повышение быстродействия за счет декомпозиции алгоритма вычисления на этапы с "крупным" и "мелким" шагами.

На чертеже представлена функциональная схема устройства.

Устройство для извлечения квадратного корня содержит первый регистр 1, первый сумматор 2, элементы И 3 группы, первый коммутатор 4, второй коммутатор 5, второй сумматор 6, схему сравнения 7, первый счетчик 8, второй регистр 9, третий регистр 10, первый триггер 11, первый элемент ИЛИ 12, второй триггер 13, генератор тактовых импульсов 14, первый элемент И 15, второй элемент И 16, второй счетчик 17, четвертый регистр 18, второй элемент ИЛИ 19, третий элемент И 20, первый 21, второй 22, третий 23 элементы задержки, тактовый вход 24.

Устройство функционирует следующим образом.

Анализ на разрядном уровне непрерывных монотонных функций, в частности функции $F(t) = a \sqrt{t}$, показал, что меандр i -го разряда функции $F(t)$ состоит из участков аргумента, названных интервалами постоянства ($L_i(j)$) i -го разряда, на которых i -ый разряд принимает постоянное значение - только 1 или только 0.

Между интервалами постоянства функции $F(t)$ и конечными разностями обратной функции $\Phi(t)$ ($F'(t) = 1/\Phi'(t)$) существует взаимно однозначное соответствие

$$L_i(j) = \Delta^i \Phi_j, \quad (1)$$

где $L_i(j)$ - j -й интервал постоянства i -го разряда функции $F(t)$;

$\Delta^i \Phi_j$ - j -я конечная разность первого порядка обратной функции $\Phi(t)$, рассматриваемая на сетке $\omega_\Phi = \{t_n = n h_\Phi; n = 0, 1, 2, \dots; h_\Phi = 2^{-i}\}$.

Разность $\Delta^0 S_i(j) = L_i(j+1) - L_i(j)$ интервалов постоянства наз-

вана правым j -м локальным трендом i -го разряда

$$\Delta^0 S_i(j) = \Delta^2 \Phi_j, \quad (2)$$

где $\Delta^2 \Phi_j$ - j -я разность второго порядка функции $\Phi(t)$.

За интервал постоянства i -го разряда функция $F(t)$ изменяется на квант 2^{-i} , т.е.

$$F(t_{j+2}) = F(t_{j+1}) + 2^{-i},$$

где t_{j+2} - узел неравномерной сетки

$$\omega_t = \{t_{j+2} = \sum_{c=0}^{j+1} h_{ic} : i, c = 0, 1, 2, \dots\}, \quad \text{шаг}$$

которой $h_{ic} = L_i(c) \forall c$.

Вычисление $(j+1)$ -го интервала постоянства на основании информации о j -м интервале и изменении при этом значения функции $F(t)$ на квант 2^{-i} младшего разряда позволяет реализовать развертывающие преобразования функции $at^{1/2}$. Преобразование для текущего значения t_{j+2} аргумента t заканчивается, когда

$$t_{j+2}^a \geq t_{j+2}^b, \quad (3)$$

где t_{j+2}^b - узел равномерной сетки

$$\omega_b = \{t_{j+2}^b = \ell \cdot h_b; \ell = 0, 1, 2, \dots; h_b = 2^{-\ell'}\},$$

$\ell' = 0, 1, 2, \dots$, на которой реализуется преобразование.

Для повышения скорости преобразования целесообразно вести развертку "крупным" и "мелким" шагами. В этом случае преобразование состоит как бы из двух этапов. На первом этапе ведется развертка "крупным" шагом в некотором "среднем" q -м разряде ($q < \lambda$). После того, как выполнится условие $t_{p+2}^q \geq t_{j+2}^b$ осуществляется переход в младший λ -й разряд и реализуется второй этап преобразования.

В общем виде развертка функции $F(t) = a \sqrt{t}$ записывается следующим образом:

$$\begin{aligned} \text{Этап 1} \quad \begin{cases} L_q(p+1) = L_q(p) + \Delta^0 S_q(p) \\ t_{p+2}^q = \sum_{n=0}^{p+1} L_q(n) \\ F(t_{p+2}^q) = F(t_{p+1}^q) + 2^{-q} \end{cases} \quad (4) \\ \text{Этап 2} \quad \begin{cases} L_\lambda(j+1) = L_q(p+1) / 2^{\lambda-q} = c_{p+1} \\ t_{j+2}^\lambda = t_{j+1}^\lambda + L_\lambda(j+1) \\ F(t_{j+2}^\lambda) = F(t_{j+1}^\lambda) + 2^{-\lambda} \end{cases} \end{aligned}$$

где c_{p+1} — константа.

В качестве начальных значений задаются значения интервала постоянства и локального тренда, соответствующие узлу t_i^b сетки ω_b .

При переходе с первого этапа на второй $t_{j+1}^a = t_{p+1}^q$, $F(t_{j+1}^a) = F(t_{p+1}^q)$.

Преобразование для текущего значения аргумента заканчивается при выполнении условия (3). Второй этап реализует в границах интервала постоянства $L_q(p+1)$ функции $F(t) = a \sqrt{t}$, ее интерполяцию линейной функцией $V_{q,p+1}$ с производной $V_{q,p+1}' = 2^{-q}/L_q(p+1)$.

В схеме устройства значения локального тренда $\Delta^0 S_q(p)$ хранится в первом регистре 1, интервал постоянства $L_q(p+1)$ вычисляется в первом сумматоре 2, значения аргумента $t_{p+2}^q = \sum_{n=0}^{p+1} L_q(n)$ и $t_{j+2}^a = \sum_{m=0}^{j+1} L_q(m)$ — во втором сумматоре 6, сравнение t_{p+2}^q или t_{j+2}^a с t_i^b осуществляется в схеме сравнения 7, значение аргумента t_i^b вычисляется в первом счетчике 8, а значение функции $F(t) = a \sqrt{t}$ формируется во втором счетчике 17 и хранится во втором регистре 9, счетные (входные) импульсы с весом 2^{-i} ($i = 0, 1, 2, \dots$) поступают на вход 24 устройства.

В исходном состоянии регистр 9, триггеры 11 и 13 обнулены. Первый счетный импульс тактового входа 24 устройства поступает на вход синхронизации второго регистра 9, в который переписывается значение функции $F(t_i^b)$, и на вход первого счетчика 8, увеличивая его содержимое на 2^{-i} . Пройдя через первый элемент задержки 21, счетный импульс сбрасывает в "0" младшие $(\lambda - q)$ разрядов счетчика 17. Кроме того, по заднему фронту счетного импульса осуществляется переключение второго триггера 13, единица с прямого выхода которого поступает на вторые входы элементов И 15 и 16. Элемент И 16 открыт по первому входу сигналом лог. "1" с инверсного выхода первого триггера 11. Тактовые импульсы с генератора 14 тактовых импульсов через открытый элемент И 16 поступают на вход

разряда с весом 2^{-q} второго счетчика 17 и увеличивают его содержимое на квант 2^{-q} .

Кроме того, тактовые импульсы поступают на тактирующий вход первого сумматора 2, в котором осуществляется сложение его содержимого с кодом, находящимся в первом регистре 1.

Таким образом, в сумматоре 2 осуществляется вычисление текущего интервала постоянства $L_q(p+1)$. Лог. "1" с инверсного выхода триггера 11 открывает группу элементов И 3.

Сигнал с прямого входа этого триггера поступает на управляющие входы коммутаторов 4 и 5. В результате на один из входов второго сумматора 6 поступает код с третьего регистра 10, и на другой вход — двоичный код интервала $L_q(p+1)$. На выходе сумматора 6 появляется код аргумента t_{p+2}^q , который сравнивается на схеме сравнения 7 с кодом из первого счетчика 8.

Если $t_{p+2}^q < t_i^b$, то на выходе схемы сравнения 7 остается лог. "0". В этом случае в четвертый регистр 18 записывается код с выходов разрядов второго сумматора 6. При осуществлении развертки "крупным" шагом, т.е. интервалами постоянства q -го разряда, в третий регистр 10 код с выхода второго сумматора 6 записывается независимо от результата операции сравнения.

При появлении на выходе схемы сравнения 7 единицы первый триггер 11 переключается в "1" и лог. "0" с его инверсного выхода закрывает элемент И 20 и в четвертом регистре 18 остается прежнее значение суммы $\sum_{n=0}^p L_q(n)$ интервалов постоянства q -го разряда.

При нуле на инверсном выходе первого триггера 11 осуществляется переход к развертке "мелким" шагом. Тактовые импульсы с генератора 14 поступают на вход младшего разряда $2^{-\lambda}$ второго счетчика 17 и увеличивают его содержимое на квант $2^{-\lambda}$. На одну группу входов второго сумматора 6 поступает код из четвертого регистра 18, а на другую группу входов — код $L_q(p+1)/2^{\lambda-q}$. На выходе второго сумматора 6 появляется код t_{j+2}^a , который

сравнивается в схеме сравнения 7 с кодом первого счетчика 8 и записывается в четвертый регистр 18.

Развертка "мелким" шагом, т.е. интервалами постоянства λ -го разряда интерполирующей прямой $V_{q,p+1}$ осуществляется до тех пор, пока на выходе схемы сравнения 7 не появится единица. В этом случае первый триггер 11 переключается в "0" и переключает второй триггер 13 в "0", который запирает элементы И 15 и 16.

На этом вычисление функции $F(t_i^b) = a \sqrt{t}$ заканчивается. При поступлении следующего счетного импульса на тактовый вход 24 устройства повторяется описанный вычислительный процесс.

Ф о р м у л а и з о б р е т е н и я

Устройство для извлечения квадратного корня, содержащее два счетчика, два сумматора, схему сравнения, три регистра, два триггера, группу элементов И, первый элемент ИЛИ, два элемента И, два элемента задержки и генератор тактовых импульсов, причем тактовый вход устройства соединен с первым входом первого элемента ИЛИ, выходы первого регистра и первого счетчика соединены соответственно с информационным входом первого сумматора и с первым информационным входом схемы сравнения, выход генератора тактовых импульсов соединен с первым входом первого элемента И, второй и третий входы которого соединены с прямыми выходами первого и второго триггеров соответственно, счетный вход второго триггера соединен с выходом первого элемента ИЛИ, выход второго счетчика соединен с информационным входом второго регистра, синхронизирующий вход которого соединен с тактовым входом устройства, отличающееся тем, что, с целью повышения быстродействия, в него дополнительно введены четвертый регистр, два коммутатора, третий элемент задержки, второй элемент ИЛИ и третий элемент И, причем старшие q разрядов первого сумматора (q - номер разряда изменения шага вычислений) соединены с первыми

входами элементов И группы, вторые входы которых соединены с инверсным выходом первого триггера, прямой выход которого соединен с управляющими входами первого и второго коммутаторов, первая группа информационных входов первого коммутатора соединена с выходами q старших разрядов первого сумматора, $(\lambda - q)$ младших разрядов которого (λ - разрядность аргумента) соединены с второй группой информационных входов первого коммутатора, выходы элементов И группы и первого коммутатора соединены с входами первого слагаемого второго сумматора, входы второго слагаемого которого соединены с выходами второго коммутатора, первая и вторая группы информационных входов которого соединены с выходами третьего и четвертого регистров соответственно, выход второго сумматора соединен с информационными входами третьего и четвертого регистров и с вторым информационным входом схемы сравнения, выход признака "Меньше" которой соединен со счетным входом первого триггера, прямой выход которого соединен с вторым входом первого элемента ИЛИ, тактовый вход устройства соединен со счетным входом первого счетчика и через первый элемент задержки с входом сброса в ноль младших $(\lambda - q)$ разрядов второго счетчика, входы пересчета с весами $2^{-\lambda}$ и 2^{-q} которого соединены с выходами соответственно первого и второго элементов И, выход первого элемента И соединен через второй элемент задержки с первым входом второго элемента ИЛИ, выход второго элемента И соединен с синхронизирующим входом первого сумматора и через третий элемент задержки с синхронизирующим входом третьего регистра и с первым входом третьего элемента И, второй вход которого соединен с инверсным выходом первого триггера, выход третьего элемента И соединен с вторым входом второго элемента ИЛИ, выход которого соединен с синхронизирующим входом четвертого регистра, первый, второй и третий входы второго элемента И соединены с инверсным выходом первого триггера, с прямым выходом второго триггера и выходом генератора тактовых импульсов соответственно.