



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I521506 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：099142148

(22)申請日：中華民國 99 (2010) 年 12 月 03 日

(51)Int. Cl. : G11C11/24 (2006.01)

H03K19/173 (2006.01)

(30)優先權：2009/12/11 日本

2009-282139

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)；小山潤 KOYAMA, JUN (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 5-110392A

JP 7-147530A

JP 2004-186874A

JP 2007-110726A

US 4809225

US 6788567B2

US 6845032B2

US 7092293B1

US 2006/0113565A1

WO 2007/095401A1

審查人員：謝志偉

申請專利範圍項數：15 項 圖式數：29 共 200 頁

(54)名稱

非揮發性閘鎖電路及邏輯電路及使用其之半導體裝置

NONVOLATILE LATCH CIRCUIT AND LOGIC CIRCUIT, AND SEMICONDUCTOR DEVICE
USING THE SAME

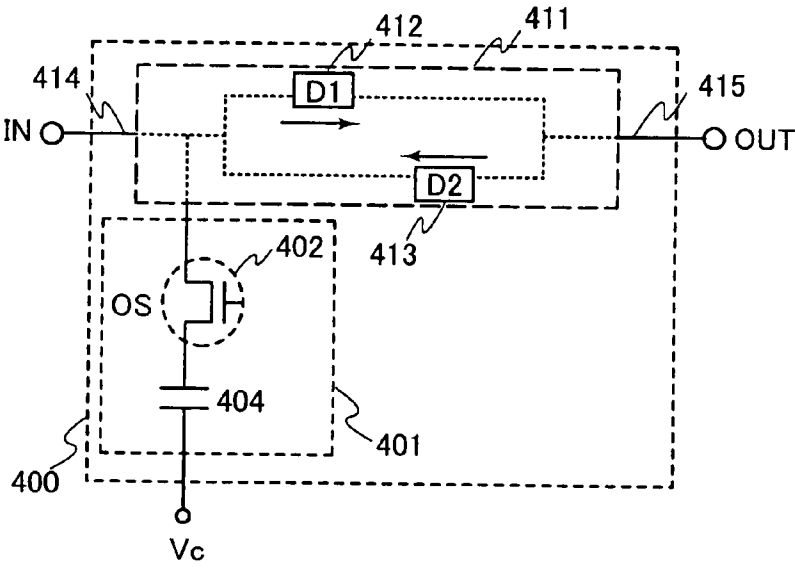
(57)摘要

為了提供新穎的非揮發性閘鎖電路及使用該非揮發性閘鎖電路的半導體裝置，非揮發性閘鎖電路包括一閘鎖部，具有第一元件的輸出電連接至第二元件的輸入，且該第二元件的輸出電連接至該第一元件的輸入的迴路結構；以及一資料保存部，組態以保存該閘鎖部的資料。在該資料保存部中，使用氧化物半導體作為半導體材料形成通道形成區之電晶體被用作開關元件。此外，包括電連接至該電晶體之源極電極或汲極電極的電容器。

To provide a novel nonvolatile latch circuit and a semiconductor device using the nonvolatile latch circuit, a nonvolatile latch circuit includes a latch portion having a loop structure where an output of a first element is electrically connected to an input of a second element, and an output of the second element is electrically connected to an input of the first element; and a data holding portion configured to hold data of the latch portion. In the data holding portion, a transistor using an oxide semiconductor as a semiconductor material for forming a channel formation region is used as a switching element. In addition, a capacitor electrically connected to a source electrode or a drain electrode of the transistor is included.

指定代表圖：

圖 1

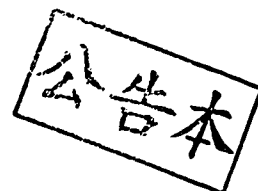


符號簡單說明：

- 400 . . . 非揮發性閃鎖電路
- 401 . . . 資料保存部
- 402 . . . 電晶體
- 404 . . . 電容器
- 411 . . . 閃鎖部
- 412 . . . 第一元件
- 413 . . . 第二元件
- 414 . . . 導線
- 415 . . . 導線
- D1 . . . 第一元件
- D2 . . . 第二元件
- V_c . . . 電位

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)



※申請案號：099142148

※申請日：099 年 12 月 03 日

※IPC 分類：

G11C 11/54 (2006.01)

H03K 19/173 (2006.01)

一、發明名稱：(中文／英文)

非揮發性門鎖電路及邏輯電路及使用其之半導體裝置

Nonvolatile latch circuit and logic circuit, and semiconductor device using the same

二、中文發明摘要：

爲了提供新穎的非揮發性門鎖電路及使用該非揮發性門鎖電路的半導體裝置，非揮發性門鎖電路包括一門鎖部，具有第一元件的輸出電連接至第二元件的輸入，且該第二元件的輸出電連接至該第一元件的輸入的迴路結構；以及一資料保存部，組態以保存該門鎖部的資料。在該資料保存部中，使用氧化物半導體作為半導體材料形成通道形成區之電晶體被用作開關元件。此外，包括電連接至該電晶體之源極電極或汲極電極的電容器。

三、英文發明摘要：

To provide a novel nonvolatile latch circuit and a semiconductor device using the nonvolatile latch circuit, a nonvolatile latch circuit includes a latch portion having a loop structure where an output of a first element is electrically connected to an input of a second element, and an output of the second element is electrically connected to an input of the first element; and a data holding portion configured to hold data of the latch portion. In the data holding portion, a transistor using an oxide semiconductor as a semiconductor material for forming a channel formation region is used as a switching element. In addition, a capacitor electrically connected to a source electrode or a drain electrode of the transistor is included.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1) 圖。

(二) 本代表圖之元件符號簡單說明：

400：非揮發性閃鎖電路

401：資料保存部

402：電晶體

404：電容器

411：閃鎖部

412：第一元件

413：第二元件

414：導線

415：導線

D1：第一元件

D2：第二元件

V_c：電位

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明之揭示關於一非揮發性邏輯電路，其中即使在關閉電力之後，儲存資料的邏輯狀態不會消失；以及使用該非揮發性邏輯電路的半導體裝置。特別是，本發明之揭示關於非揮發性門鎖電路以及使用該非揮發性門鎖電路的半導體裝置。

【先前技術】

已提出其中集成非揮發邏輯之一積體電路，其中即使在關閉電力之後，資料不會消失的「非揮發」特徵係應用於邏輯電路。例如，提出使用鐵電元件的非揮發性門鎖電路作為非揮發邏輯。（見專利文獻 1）。

[參考文獻]

[專利文獻]

[專利文獻 1] PCT 國際公開申請案號第 2003/044953 號

【發明內容】

然而，使用鐵電元件的非揮發性門鎖電路具有關於重寫次數之可靠性及電壓降低的問題。此外，鐵電元件由施加至該元件的電場極化，且由剩餘極化儲存資料。然而，當該剩餘極化係小時，可能引起下列問題：電荷量之變異

影響變大，因而需要高準確度讀取電路。

有鑑於上述問題，本發明之一實施例的目的為提供新穎的非揮發性門鎖電路以及使用該非揮發性門鎖電路的半導體裝置。

依據本發明之一實施例的非揮發性門鎖電路包括門鎖部，具有其中第一元件的輸出電連接至第二元件的輸入，且該第二元件的輸出電連接至該第一元件的輸入之迴路結構；以及資料保存部，用於保存該門鎖部的資料。在該資料保存部中，使用氧化物半導體作為半導體材料形成通道形成區之電晶體被用作開關元件。

此外，該資料保存部包括電連接至該電晶體之源極電極或汲極電極的電容器。使用該電晶體，保存在該門鎖部中的資料可被寫入該資料保存部的電容器。此外，使用該電晶體，寫入該資料保存部的電容器的資料可被保存。並且，使用該電晶體，保存在該資料保存部的電容器的資料可被讀取至該門鎖部。

換句話說，依據本發明之一實施例的非揮發性門鎖電路包括門鎖部和用於保存該門鎖部之資料的資料保存部。該資料保存部包括電晶體和電容器。該電晶體之通道形成區包括氧化物半導體層。該電晶體之源極電極和汲極電極之其中一者電連接至該電容器之電極之其中一者，該電晶體之源極電極和汲極電極之其中另一者電連接至該門鎖部。

在上述非揮發性門鎖電路中，該門鎖部包括第一元件

和 第 二 元 件 ， 以 及 具 有 其 中 該 第 一 元 件 之 輸 出 電 連 接 至 該 第 二 元 件 之 輸 入 ， 且 該 第 二 元 件 之 輸 出 電 連 接 至 該 第 一 元 件 之 輸 入 的 迴 路 結 構 。 此 外 ， 該 第 一 元 件 之 輸 入 電 連 接 至 供 應 有 輸 入 信 號 的 導 線 ， 且 該 第 一 元 件 之 輸 出 電 連 接 至 供 應 有 輸 出 信 號 的 導 線 。 例 如 ， 反 相 器 可 被 用 於 該 第 一 元 件 和 該 第 二 元 件 之 各 者 。 或 者 ， 例 如 ， NAND 可 被 用 於 該 第 一 元 件 ， 且 時 鐘 反 相 器 可 被 用 於 該 第 二 元 件 。

在 上 述 非 揮 發 性 閃 鎖 電 路 中 ， 該 電 晶 體 之 源 極 電 極 和 汲 極 電 極 之 其 中 另 一 者 電 連 接 至 該 控 鎖 部 之 該 第 一 元 件 之 輸 入 ， 且 該 電 晶 體 之 源 極 電 極 和 汲 極 電 極 之 其 中 另 一 者 電 連 接 至 供 應 有 輸 入 信 號 之 導 線 。

在 上 述 非 揮 發 性 閃 鎖 電 路 中 ， 該 電 晶 體 具 有 將 保 存 在 該 閃 鎖 部 中 的 資 料 寫 入 該 資 料 保 存 部 之 電 容 器 的 功 能 。 此 外 ， 該 電 晶 體 具 有 保 存 寫 入 至 該 資 料 保 存 部 之 電 容 器 的 資 料 的 功 能 。 此 外 ， 該 電 晶 體 具 有 將 保 存 在 該 資 料 保 存 部 之 電 容 器 中 的 資 料 讀 取 至 該 閃 鎖 部 的 功 能 。

依 據 本 發 明 之 另 一 實 施 例 的 非 揮 發 性 閃 鎖 電 路 包 括 閃 鎖 部 和 用 於 保 存 該 閃 鎖 部 之 資 料 的 資 料 保 存 部 。 該 資 料 保 存 部 包 括 第 一 電 晶 體 、 第 二 電 晶 體 、 第 一 電 容 器 、 和 第 二 電 容 器 。 該 第 一 電 晶 體 和 該 第 二 電 晶 體 之 通 道 形 成 區 各 包 括 氧 化 物 半 導 體 層 。 該 第 一 電 晶 體 之 源 極 電 極 和 汲 極 電 極 之 其 中 一 者 電 連 接 於 該 第 一 電 容 器 之 電 極 之 其 中 一 者 ， 且 該 第 一 電 晶 體 之 該 源 極 電 極 和 該 汲 極 電 極 之 其 中 另 一 者 電 連 接 於 該 閃 鎖 部 。 該 第 二 電 晶 體 之 源 極 電 極 和 汲 極 電 極 之

其中一者電連接於該第二電容器之電極之其中一者，且該第二電晶體之該源極電極和該汲極電極之其中另一者電連接於該門鎖部。

在前述非揮發性門鎖電路中，該門鎖部包括第一元件和第二元件，以及具有其中該第一元件之輸出電連接至該第二元件之輸入，且該第二元件之輸出電連接至該第一元件之輸入的迴路結構。此外，該第一元件之輸入電連接至供應有輸入信號的導線，且該第一元件之輸出電連接至供應有輸出信號的導線。例如，反相器可被用於該第一元件和該第二元件之各者。或者，例如，NAND 可被用於該第一元件，且時鐘反相器可被用於該第二元件。

在前述非揮發性門鎖電路中，該第一電晶體之源極電極和汲極電極之其中另一者電連接至該拴鎖部之該第一元件之輸入，且該第一電晶體之源極電極和汲極電極之其中另一者電連接至供應有輸入信號之導線。該第二電晶體之源極電極和汲極電極之其中另一者電連接至該拴鎖部之該第一元件之輸出，且該第二電晶體之源極電極和汲極電極之其中另一者電連接至供應有輸出信號之導線。

在前述非揮發性門鎖電路中，該第一和第二電晶體各具有將保存在該門鎖部中的資料寫入該資料保存部之第一和第二電容器的功能。此外，該第一和第二電晶體各具有保存寫入至該資料保存部之第一和第二電容器的資料的功能。此外，該第一和第二電晶體各具有將保存在該資料保存部之第一和第二電容器中的資料讀取至該門鎖部的功能

在前述非揮發性門鎖電路中，使用包含將氧化物半導體層（其以氧化物半導體材料形成）用於通道形成區之電晶體，可獲得下列特性（即使在，例如，元件之通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ 及通道長度 L 為 $3 \mu\text{m}$ 的情況中）：在室溫之關閉狀態電流為小於或等於 $1 \times 10^{-13} \text{ A}$ ；以及次臨界擺幅（ S 值）為大約 0.1 V/dec. （閘極絕緣膜： 100 nm 厚度）。此外，前述電晶體具有常關（normally-off）電晶體之特性（在 n 通道電晶體的情況中，其臨界電壓為正）。

因此，漏電流，即，在閘極電極和源極電極之間的電壓大約為 0 V 的狀態的關閉狀態電流遠小於使用矽之電晶體的關閉狀態電流。例如，在通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ 的電晶體中，通道寬度之每一微米在室溫的漏電流係小於或等於 10 aA （以下，在此說明書中，稱為“在室溫每單位通道寬度之漏電流係小於或等於 $10 \text{ aA} / \mu\text{m}$ ”）。

因而，使用包含氧化物半導體層用於通道形成區之電晶體，其作用為開關元件，資料儲存部之電容器中累積的電荷，即使在電源電壓停止供應至門鎖電路之後，仍可被保持儲存而沒有任何改變。換句話說，可繼續保持寫入至資料保存部的資料而無任何改變。

例如，可使更新時間和保存性長於包含使用矽用於通道形成區之電晶體的 DRAM 的更新時間和保存性，並且可實現實質上與非揮發性記憶體相同等級之記憶保存特性

(資料保存性質)。此外，在再次開始供應電源電壓至該門鎖電路之後，可使用電晶體將保存在該資料保存部中的資料讀取至該門鎖部。因而，可將該邏輯狀態回復至停止供應電源電壓之前的邏輯狀態。

此外，在溫度特性中，即使在高溫，關閉狀態電流可為足夠低且導通狀態電流可為足夠高。例如，因為包含氧化物半導體層用於通道形成區之電晶體之 V_G-I_D 特性，在與關閉狀態電流、導通狀態電流、遷移率和 S 值具有低溫度相依性的 -25°C 至 150°C 的範圍中獲得資料。並且，獲得資料，其顯示在前述溫度範圍中的關閉狀態電流係與 1×10^{-13} A 一樣極低或更低。其中一個理由為使用藉由充分降低氫濃度以成為高純度及具有極低載子濃度之 i 型或實質 i 型氧化物半導體作為該氧化物半導體。

應注意在此說明書中，具有少於 $1 \times 10^{11}/\text{cm}^3$ 之載子密度的氧化物半導體被稱為「本質或 i 型氧化物半導體」，而具有大於或等於 $1 \times 10^{11}/\text{cm}^3$ 但少於 $1 \times 10^{12}/\text{cm}^3$ 之載子密度的氧化物半導體被稱為「實質本質氧化物半導體」。

以此方式，本發明之一實施例係提供一非揮發性門鎖電路，其具有寬操作溫度範圍且且即使在高溫可穩定地操作，以及在其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失。

在前述非揮發性門鎖電路中，藉由使用非揮發性門鎖電路可提供各種邏輯電路。此外，可提供使用該邏輯電路

之各種半導體裝置。例如，在該邏輯電路之複數個區塊電路中，可停止供應電源電壓至一或複數個未使用的區塊電路。藉由使用該非揮發性閃鎖電路，即使在停止供應電源電壓至區塊電路之後，仍可維持儲存區塊電路之邏輯狀態。並且，在再次開始供應電源電壓至該區塊電路之後，可讀取已儲存之邏輯狀態。因而，可將該邏輯狀態回復至停止供應電源電壓之前的邏輯狀態。

在前述非揮發性閃鎖電路中，作為氧化物半導體層，可使用下列任何氧化物半導體：In-Sn-Ga-Zn-O 基氧化物半導體，其為四元金屬氧化物；In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、Al-Ga-Zn-O 基氧化物半導體、或 Sn-Al-Zn-O 基氧化物半導體，其該等為三元金屬氧化物；In-Zn-O 基氧化物半導體、Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、或 In-Mg-O 基氧化物半導體，其該等為二元金屬氧化物；或 In-O 基氧化物半導體；Sn-O 基氧化物半導體；或 Zn-O 基氧化物半導體，其該等為一元金屬氧化物。此外，上述該等氧化物半導體可包含 SiO_2 。

應注意在此說明書中，例如，In-Sn-Ga-Zn-O 基氧化物半導體表示至少包含 In、Sn、Ga、和 Zn 之氧化物半導體，其中各金屬元素之組成比例並沒有限制。此外，其中可包含 In、Sn、Ga、和 Zn 以外的金屬元素。

作為氧化物半導體層，可使用包含以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示之材料的薄膜。此處，M 表示一或多個選自 Ga、Al、Mn、及 Co 的金屬元素。例如，M 可為 Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等。

在前述非揮發性門鎖電路中，氧化物半導體層中的氫濃度可被設定為小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳為小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳為小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，再更佳為小於或等於 $1 \times 10^{16}/\text{cm}^3$ 。再者，氧化物半導體層中的載子濃度可被設定為少於 $1 \times 10^{14}/\text{cm}^3$ ，較佳為少於 $1 \times 10^{12}/\text{cm}^3$ ，更佳為少於 $1 \times 10^{11}/\text{cm}^3$ 。使用此 i 型氧化物半導體或實質 i 型氧化物半導體之電晶體的關閉狀態電流可被設定為小於或等於 $1 \times 10^{-17}\text{A}$ ，較佳為 $1 \times 10^{-18}\text{A}$ 。

在前述非揮發性門鎖電路中，使用氧化物半導體的電晶體可為底閘型、頂閘型、底部接觸型、或頂部接觸型。底閘電晶體包括至少一閘極電極在絕緣表面之上；閘極絕緣膜在該閘極電極之上；以及一氧化物半導體層以成為通道形成區在該閘極電極之上，而其間夾有該閘極絕緣膜。

頂閘電晶體包括至少一氧化物半導體層以成為通道形成區在絕緣表面之上；閘極絕緣膜在該氧化物半導體層之上；以及一閘極電極在該氧化物半導體層之上，而該閘極絕緣膜夾於其間。底部接觸電晶體包括一氧化物半導體層以成為通道形成區在源極電極和汲極電極之上。頂部接觸電晶體包括源極電極和汲極電極在將成為通道形成區之氧化物半導體層之上。

應注意在此說明書中，諸如「之上」或「之下」的詞並不一定表示一元件設置在另一元件之「直接上方」或「直接下方」。例如，「閘極電極在閘極絕緣層之上」的描述並未排除將於元件設置在該閘極絕緣層和該閘極電極之間的情形。並且，諸如「之上」及「之下」的詞僅用於方便描述且可包含元件關係互換的情況，除非另有規定。

在此說明書中，「電極」或「導線」的詞並不限於元件的功用。例如，可使用「電極」作為部分的「導線」，且可使用「導線」作為部分的「電極」。此外，「電極」或「導線」的詞亦可表示例如複數的「電極」和「導線」的組合。

應注意在採用不同極性之電晶體的情況中，或在電路操作中改變電流流動方向的情況中，可對調「源極」和「汲極」的功能。因此，在此說明書中「源極」和「汲極」之詞可互相替換。

應注意在此說明書中，「電連接」之詞包括元件經由具有電功能之物體連接的狀況。具有電功能之物體並沒有特別限制，只要可在經由該物體連接的元件之間傳送以及接收電信號。

具有電功能之物體的範例為例如電晶體、電阻器、電感器、電容器之開關元件，以及具有各種功能的元件以及電極和導線。

應注意，通常，「SOI 基板」表示具有矽半導體層於其絕緣表面之上的基板。在此說明書中，「SOI 基板」的

詞亦表示具有使用矽以外的材料的半導體層於其絕緣表面之上的基板。即，包含於「SOI 基板」中的半導體層並不侷限於矽半導體層。

「SOI 基板」中的基板並不侷限於諸如矽晶圓的半導體基板，且可為諸如玻璃基板、石英基板、藍寶石基板或金屬基板之非半導體基板。即，「SOI 基板」亦包括其上形成有使用半導體材料之層的導電基板和絕緣基板。

再者，在此說明書中，「半導體基板」的詞不只表示僅使用半導體材料形成之基板，亦表示包括半導體材料之所有基板。即，在此說明書中，「SOI 基板」亦包含於「半導體基板」的範疇中。

依據本發明之一實施例，利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，可實現一非揮發性門鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的門鎖電路，其更新週期係足夠長。因為資料寫入係藉由開關該電晶體而實現，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，累積在資料儲存部之電容器中的電荷可被繼續保持而無任何改變；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且相較於使用剩餘極化當作資料的情況，可輕易地讀取資料。

藉由使用非揮發性門鎖電路可提供各種邏輯電路。例

如，在使用非揮發性閃鎖電路之邏輯電路中，可藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

【實施方式】

以下，將參照圖示說明本發明之實施例。然而，本發明並不侷限於以下的說明。熟習此技藝者將可輕易瞭解到，可在沒有偏離本發明之精神及範圍下以各種方式改變模式和細節。因此，本發明不應受限於下面實施例中的描述。在參照圖式描述本發明之結構時，標示相同元件之參考標號係用於不同的圖式中。

應注意在某些例子中為了簡便，將放大實施例之圖示中層的大小、厚度和各結構之區域。因此，本發明之實施例並不侷限於此比例。

應注意在此說明書中，使用例如「第一」、「第二」和「第三」之序數詞來辨識元件，該等詞並不使用數字表示地限制該等元件。

[實施例 1]

在此實施例中，將參照圖 1、圖 2A 和 2B、圖 3A 和 3B、圖 4A 至 4H、圖 5A 至 5G、圖 6A 至 6D、圖 7、圖 8、圖 9A 和 9B、圖 10、圖 11、圖 12、圖 13、圖 14 及圖 15 說明本發明所揭示之實施例的非揮發性閃鎖電路之組

態和操作；以及該非揮發性閃鎖電路之元件的結構、製造方法等。

< 非揮發性閃鎖電路之組態及操作 >

圖 1 顯示非揮發性閃鎖電路 400 之組態，其包括閃鎖部 411 和資料保存部 401 用於保存該閃鎖部之資料。

圖 1 中之非揮發性閃鎖電路 400 包括具有迴路結構之閃鎖部 411 以及用於保存該閃鎖部之資料的資料保存部 401。在具有迴路結構之閃鎖部 411 中，第一元件 (D1) 412 之輸出電連接於第二元件 (D2) 413 之輸入，且第二元件 (D2) 413 之輸出電連接於第一元件 (D1) 412 之輸入。

第一元件 (D1) 412 之輸入電連接於供應有閃鎖電路之輸入信號的導線 414。第一元件 (D1) 412 之輸出電連接於供應有閃鎖電路之輸出信號的導線 415。

當第一元件 (D1) 412 有複數個輸入時，該等輸入之其中一者可電連接於供應有閃鎖電路之輸入信號的導線 414。當第二元件 (D2) 413 有複數個輸入時，該等輸入之其中一者可電連接於第一元件 (D1) 412 之輸出。

作為第一元件 (D1) 412，可使用將輸入信號反相並將得到的信號作為輸出的元件。例如，作為第一元件 (D1) 412，可使用反相器、NAND、NOR、時鐘反相器或之類。作為第二元件 (D2) 413，可使用將輸入信號反相並將得到的信號作為輸出的元件。例如，作為第二元件 (

D2) 413, 可使用反相器、NAND、NOR、時鐘反相器或之類。

在資料保存部 401 中, 使用氧化物半導體作為半導體材料形成通道形成區的電晶體 402 被用作開關元件。此外, 資料保存部 401 包括電連接至電晶體 402 之源極電極或汲極電極之電容器 404。換句話說, 電容器 404 之電極之其中一者電連接至電晶體 402 之源極電極和汲極電極之其中一者。電晶體 402 之源極電極和汲極電極之其中另一者電連接至該第一元件之輸入或供應有門鎖電路之輸入信號的導線。電容器 404 之另一電極供應有電位 V_c 。

作為資料保存部 401, 可採用圖 2A 和 2B 中所述之組態取代圖 1 中所述之組態。

在圖 2A 中的資料保存部 401 中, 電晶體 402 包括第一閘極電極和第二閘極電極。該第一閘極電極和該第二閘極電極之間設置用於形成通道形成區之氧化物半導體層。該第一閘極電極電連接至供應有控制信號之導線。該第二閘極電極電連接至供應有預定電位之導線。例如, 該第二閘極電極電連接至供應有負電位或接地電位 (GND) 的導線。

此外, 在圖 2A 中的資料保存部 401 中, 電容器 404 之電極之其中一者電連接至電晶體 402 之源極電極和汲極電極之其中一者。電晶體 402 之源極電極和汲極電極之其中另一者電連接至該第一元件之輸入或供應有門鎖電路之輸入信號的導線。電容器 404 之另一電極供應有電位 V_c 。

藉由利用使用圖 2A 中的資料保存部 401 之非揮發性閃鎖電路，除了圖 1 之非揮發性閃鎖電路之有利影響之外，可獲得促進電晶體 402 之電特性（例如，臨界電壓）之調整的有利影響。例如，當電晶體 402 之第二閘極電極供應有負電位時，可輕易正常關閉電晶體 402。

在圖 2B 中的資料保存部 401 中，電晶體 402 包括第一閘極電極和第二閘極電極。該第一閘極電極和該第二閘極電極之間設置用於形成通道形成區之氧化物半導體層。該第二閘極電極電連接至該第一閘極電。此外，在圖 2B 中的資料保存部 401 中，電容器 404 之電極之其中一者電連接至電晶體 402 之源極電極和汲極電極之其中一者。電晶體 402 之源極電極和汲極電極之其中另一者電連接至該第一元件之輸入或供應有閃鎖電路之輸入信號的導線。電容器 404 之另一電極供應有電位 V_c 。藉由利用使用圖 2B 中的資料保存部 401 之非揮發性閃鎖電路，除了圖 1 之非揮發性閃鎖電路之有利影響之外，可獲得增加電晶體 402 中電流量的有利影響。

在具有圖 1 及圖 2A 和 2B 中所述之組態的非揮發性閃鎖電路中，可實施下列資料之寫入、保存、及讀取。應注意雖然下文說明將參考圖 1 之組態，但在其他組態中亦可相同地實施前述操作。

使用氧化物半導體之電晶體 402 具有將保存在閃鎖部 411 之資料寫入資料保存部 401 之電容器 404 的功能。此

外，電晶體 402 具有保存寫入至資料保存部 401 之電容器 404 之資料的功能。並且，電晶體 402 具有將保存在資料保存部 401 之電容器 404 中的資料讀取至門鎖部 411 的功能。

將說明保存在門鎖部 411 中之資料寫入資料保存部 401 之寫入操作，該資料之保存操作、自資料保存部 401 至門鎖部 411 之資料讀取操作、以及資料保存部 401 之資料的重寫操作。首先，藉由供應導通電晶體 402 之電位至電晶體 402 之閘極電極來導通電晶體 402。因而，電容器 404 之電極之其中一者供應有保存在該門鎖部中的資料，即，保存在該門鎖部中之第一元件（D1）412 之輸入電位。因此，對應於保存在該門鎖部中之第一元件（D1）412 之輸入電位的電荷被累積在電容器 404 之電極之其中一者中（此操作對應於寫入）。

在那之後，以將電晶體 402 之閘極電極的電位設定為關閉電晶體 402 之電位來關閉電晶體 402。因而，累積於電容器 404 之電極之其中一者中的電荷被保存（保存）。此外，在第一元件（D1）412 之輸入電位進入浮動狀態之後，藉由供應導通電晶體 402 之電位至電晶體 402 之閘極電極來導通電晶體 402。因而，分佈該電荷至電容器 404 之電極之其中一者及第一元件（D1）412 之輸入。因此，第一元件（D1）412 之輸入供應有對應於累積在電容器 404 之電極之其中一者中的電荷的電位。接著，資料被保存於該門鎖部中。因此，可讀取該資料（讀取）。資料的

重寫可以相同於資料之寫入和保存的方式實施。

作為包含於電晶體 402 中的氧化物半導體層，可使用下列任何氧化物半導體：In-Sn-Ga-Zn-O 基氧化物半導體，其為四元金屬氧化物；In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、Al-Ga-Zn-O 基氧化物半導體、或 Sn-Al-Zn-O 基氧化物半導體，其該等為三元金屬氧化物；In-Zn-O 基氧化物半導體、Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、或 In-Mg-O 基氧化物半導體，其該等為二元金屬氧化物；或 In-O 基氧化物半導體；Sn-O 基氧化物半導體；或 Zn-O 基氧化物半導體，其該等為一元金屬氧化物。此外，上述該等氧化物半導體可包含 SiO_2 。

作為氧化物半導體層，可使用包含以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示之材料的薄膜。此處，M 表示一或多個選自 Ga、Al、Mn、及 Co 的金屬元素。例如，M 可為 Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等。

氧化物半導體層較佳為藉由充分地移除諸如氫之雜質且供應氧而高度純化的氧化物半導體層。具體而言，氧化物半導體層中的氫濃度，其由 SIMS（二次離子質譜儀）所測量，可被設定為小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳為小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳為小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，再更佳為小於 $1 \times 10^{16}/\text{cm}^3$ 。

並且，氧化物半導體層中的載子濃度可被設定為少於 $1 \times 10^{14} / \text{cm}^3$ ，較佳為少於 $1 \times 10^{12} / \text{cm}^3$ ，更佳為少於 $1 \times 10^{11} / \text{cm}^3$ 。在藉由充分降低氫濃度及供應氧而高度純化的氧化物半導體層中，載子濃度係足夠低（例如，少於 $1 \times 10^{12} / \text{cm}^3$ ，更佳為少於 $1 \times 10^{11} / \text{cm}^3$ ），相較於一般矽晶圓（添加少量例如磷或硼之雜質元素的矽晶圓）中的載子濃度（大約為 $1 \times 10^{14} / \text{cm}^3$ ）。

以此方式，藉由使用以充分降低氫濃度而高度純化且具有極低載子濃度之 i 型或實質 i 型氧化物半導體，可獲得具有極佳關閉狀態電流特性的電晶體 402。例如，即使在元件之通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ 及通道長度 L 為 $3 \mu\text{m}$ 的情況中，當施加至汲極電極的汲極電壓 V_D 為 +1 V 或 +10 V 且施加至閘極電極之閘極電壓 V_G 在 -5 V 至 -20 V 之範圍時，在室溫的關閉狀態電流小於或等於 1×10^{-13} A。並且，前述電晶體具有常關電晶體之特性。因此，漏電流，即，在閘極電極和源極電極之間的電壓大約為 0 V 的狀態的關閉狀態電流遠小於使用矽之電晶體的關閉狀態電流。例如，在室溫每單位通道寬度之漏電流係小於或等於 $10 \text{ aA} / \mu\text{m}$ 。

此外，在溫度特性中，可獲得其中即使在高溫關閉狀態電流可為足夠低且導通狀態電流可為足夠高的電晶體。例如，因為電晶體 402 之 V_G-I_D 特性，在與導通狀態電流、遷移率和 S 值具有低溫度相依性的 -25°C 至 150°C 的範圍中獲得資料。並且，獲得資料，其顯示在前述溫度範圍

中的關閉狀態電流係與 1×10^{-13} A 一樣極低或更低（小於或等於測量極限）。其中一個理由為使用藉由充分降低氫濃度以成為高純度及具有極低載子濃度之 i 型或實質 i 型氧化物半導體作為該氧化物半導體。

以此方式，藉由使用以充分降低氫濃度而高度純化且具有極低載子濃度之 i 型或實質 i 型氧化物半導體作為開關元件，即使在停止供應電源電壓至門鎖電路 400 之後，累積在資料保存部 401 之電容器 404 中的電荷仍可被繼續保存達極長的時間。換句話說，寫入資料保存部 401 之資料可被繼續保存極長的時間。

例如，在電晶體 402 中，可使更新時間和保存性長於包含使用矽用於通道形成區之電晶體的 DRAM 的更新時間和保存性，並且可實現實質上與非揮發性記憶體相同等級之記憶保存特性（資料保存性質）。此外，可藉由讀取保存在資料保存部 401 中的資料，將該邏輯狀態回復至停止供應電源電壓之前的邏輯狀態。以此方式，藉由使用以充分降低氫濃度而高度純化且具有極低載子濃度之 i 型或實質 i 型氧化物半導體作為開關元件，可實現一新穎的非揮發性門鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及在其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失。

< 非揮發性門鎖電路之元件的結構 >

在非揮發性門鎖電路 400 之元件中，可使用氧化物半

導體以外的材料作為使用氧化物半導體之電晶體 402 以外的元件的半導體材料。作為氧化物半導體以外的材料，可使用單晶矽、結晶矽等。例如，可將電晶體 402 以外的元件設置在包含半導體材料之基板之上。作為包含半導體材料之基板，可使用矽晶圓、SOI（絕緣層上矽晶）基板、絕緣表面上之矽膜、或之類。使用氧化物半導體以外的材料，可實現高速操作。例如，該門鎖部之第一元件（D1）412 和第二元件（D2）413 可藉由使用氧化物半導體以外的材料的電晶體來形成。

圖 3A 和 3B 顯示非揮發性門鎖電路之元件的結構範例。在圖 3A 中，將使用氧化物半導體以外之材料的電晶體 160 設置於下部。使用氧化物半導體以外之材料的電晶體 160 可被用作為包含在該門鎖部之第一元件（D1）412 和第二元件（D2）413 中的電晶體。非揮發性門鎖電路之其他元件亦可具有相似於或媲美於電晶體 160 之結構。

可使用包含在電晶體 402 或電晶體 160 中的導電膜、半導體膜、絕緣膜或之類形成諸如非揮發性門鎖電路之電容器 404 的元件。應注意，此處電晶體 160 和電晶體 402 為 n 通道電晶體；或者，可使用 p 通道電晶體。使用 p 通道電晶體作為電晶體 160 係容易的。圖 3B 顯示電晶體 402 和在下部中的電極（或導線）之間的連接關係異於圖 3A 之範例。以下主要描述圖 3A 之結構。

電晶體 160 包括設置於包含半導體材料之基板 100 中的通道形成區 116；其間夾有通道形成區 116 而形成的雜

質區 114 和高濃度區 120（雜質區 114 和高濃度區 120 的組合可簡稱為雜質區）；閘極絕緣層 108a 於通道形成區 116 之上；閘極電極 110a 於閘極絕緣層 108a 之上；源極或汲極電極 130a 電連接於雜質區 114；以及源極或汲極電極 130b 電連接於雜質區 114（見圖 3A）。

此處，側壁絕緣層 118 形成於閘極電極 110a 之側上。而且，當從平面來看，高濃度區 120 形成於基板 100 之不與側壁絕緣層 118 重疊的區域中，且金屬化合物區 124 與高濃度區 120 接觸。此外，元件隔離絕緣層 106 形成於基板 100 之上以圍繞電晶體 160，且形成層間絕緣層 126 和層間絕緣層 128 以覆蓋電晶體 160。

源極或汲極電極 130a 和源極或汲極電極 130b 係經由形成在層間絕緣層 126 和層間絕緣層 128 中的開孔電連接於金屬化合物區 124。換句話說，源極或汲極電極 130a 和源極或汲極電極 130b 經由金屬化合物區 124 電連接於高濃度區 120 和雜質區 114。

電晶體 402 包括閘極電極 136d 於層間絕緣層 128 之上；閘極絕緣層 138 於閘極電極 136d 之上；氧化物半導體層 140 於閘極絕緣層 138 之上；以及源極或汲極電極 142a 和源極或汲極電極 142b，其該等在氧化物半導體層 140 之上且電連接氧化物半導體層 140（見圖 3A）。

形成保護絕緣層 144 於電晶體 402 之上以與部份的氧化物半導體層 140 接觸。形成層間絕緣層 146 於保護絕緣層 144 之上。此處，保護絕緣層 144 和層間絕緣層 146 設

置有到達源極或汲極電極 142a 和源極或汲極電極 142b 的開孔。電極 150d 和電極 150e 經由該等開孔與源極或汲極電極 142a 和源極或汲極電極 142b 接觸。

在形成電極 150d 和電極 150e 的同時，形成電極 150a、電極 150b、和電極 150c，其該等經由閘極絕緣層 138、保護絕緣層 144、和層間絕緣層 146 中的開孔分別與電極 136a、電極 136b、和電極 136c 接觸。應注意雖然顯示底閘電晶體之範例作為電晶體 402，本發明並不侷限於此。亦可採用頂閘電晶體。

此處，氧化物半導體層 140 較佳為藉由充分地移除諸如氫之雜質且供應氧而高度純化的氧化物半導體層。具體而言，氧化物半導體層 140 中的氫濃度，其由 SIMS（二次離子質譜儀）所測量，可被設定為小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳為小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳為小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，再更佳為小於 $1 \times 10^{16}/\text{cm}^3$ 。

應注意在藉由充分降低氫濃度及供應氧而高度純化的氧化物半導體層 140 中，載子濃度係足夠低（例如，少於 $1 \times 10^{12}/\text{cm}^3$ ，更佳為少於 $1 \times 10^{11}/\text{cm}^3$ ），相較於一般矽晶圓（添加少量例如磷或硼之雜質元素的矽晶圓）中的載子濃度（大約為 $1 \times 10^{14}/\text{cm}^3$ ）。

以此方式，藉由使用 i 型或實質 i 型氧化物半導體，可獲得具有極佳關閉狀態電流特性的電晶體 402。例如，當汲極電壓 V_D 為 +1 V 或 +10 V 且閘極電壓 V_G 在 -5 V 至 -20 V 之範圍時，在室溫的關閉狀態電流小於或等於

1×10^{-13} A。並且，前述電晶體具有常關電晶體之特性。因此，漏電流，即，在閘極電極和源極電極之間的電壓大約為 0 V 的狀態的關閉狀態電流遠小於使用矽之電晶體的關閉狀態電流。例如，在室溫每單位通道寬度之漏電流係小於或等於 $10 \text{ aA}/\mu\text{m}$ 。

此外，在溫度特性中，即使在高溫，關閉狀態電流可為足夠低且導通狀態電流可為足夠高。例如，因為電晶體 402 之 V_G-I_D 特性，在與導通狀態電流、遷移率和 S 值具有低溫度相依性的 -25°C 至 150°C 的範圍中獲得資料。並且，獲得資料，其顯示在前述溫度範圍中的關閉狀態電流係與 1×10^{-13} A 一樣極低或更低。其中一個理由為使用藉由充分降低氫濃度以成為高純度及具有極低載子濃度之 i 型或實質 i 型氧化物半導體作為該氧化物半導體。

當使用藉由充分減少氫濃度而高度純化之氧化物半導體層 140 且減少電晶體 402 之關閉狀態電流時，可實現具有新穎結構之半導體裝置。

形成絕緣層 152 於層間絕緣層 146 之上。形成電極 154a、電極 154b、電極 154c、及電極 154d 以被嵌入至絕緣層 152 中。此處，電極 154a 係與電極 150a 接觸，電極 154b 係與電極 150b 接觸、電極 154c 係與電極 150c 和電極 150d 接觸，且電極 154d 係與電極 150e 接觸。

意即，電晶體 402 之源極或汲極電極 142a 經由電極 130c、電極 136c、電極 150c、電極 154c、和電極 150d 電連接於其他元件（例如，使用氧化物半導體以外之材料的

電晶體) (見圖 3A)。此外，電晶體 402 之源極或汲極電極 142b 經由電極 150e 和電極 154d 電連接於其他元件。應注意，連接電極 (例如電極 130c、電極 136c、電極 150c、電極 154c、和電極 150d) 之結構並不侷限於前述結構，可以適當的增添、省略、或之類。

圖 3B 顯示電晶體 402 之源極或汲極電極 142a 的連接關係異於圖 3A 之情況。具體而言，源極或汲極電極 142a 經由電極 130c、電極 136c、電極 150c、電極 154c、和電極 150d 電連接於電極 110b。此處，以相同於閘極電極 110a 之形成方式形成電極 110b。電極 110b 可為電晶體之元件或可為部份導線或之類。應注意，連接電極 (例如電極 130c、電極 136c、電極 150c、電極 154c、和電極 150d) 之結構並不侷限於前述結構，可以適當的增添、省略、或之類。

雖然上述給定兩個典型連接關係的範例，但本發明所揭示之實施例並不侷限於該些範例。例如，可結合圖 3A 所示之結構和圖 3B 所示之結構。並且，電晶體 160 之閘極電極 110a 和電晶體 402 之源極或汲極電極 142a 可彼此電連接。

< 非揮發性閃鎖電路之元件的製造方法 >

接著，將說明非揮發性閃鎖電路之元件的製造方法的範例。首先，將參照圖 4A 至 4H 說明電晶體 160 的製造方法，然後參照圖 5A 至 5G 和圖 6A 至 6D 說明電晶體

402 的製造方法。以下述之製造方法，可製造非揮發性門鎖電路之元件。應注意圖 4A 至 4H 僅說明對應於圖 3A 中 A1-A2 之橫截面。此外，圖 5A 至 5G 和圖 6A 至 6D 說明對應於圖 3A 中 A1-A2 及 B1-B2 之橫截面。

< 在下部之電晶體的製造方法 >

首先，製備包含半導體材料的基板 100（見圖 4A）。可使用矽、碳矽等的單晶半導體基板或多晶半導體基板；矽鍺等的化合物半導體基板；SOI 基板、或之類作為包含半導體材料的基板 100。此處，說明使用單晶矽基板作為包含半導體材料之基板 100 的情況範例。

應注意，通常，「SOI 基板」的詞表示具有矽半導體層於其絕緣表面之上的基板。在此說明書中，「SOI 基板」的詞亦表示具有使用矽以外的材料的半導體層於其絕緣表面之上的基板。即，包含於「SOI 基板」中的半導體層並不侷限於矽半導體層。「SOI 基板」的範例包括具有半導體層於其絕緣基板之上的基板，例如玻璃基板。

形成作為用於形成元件隔離絕緣層之遮罩的保護層 102 於基板 100 之上（見圖 4A）。例如，可使用氧化矽、氮化矽、氧化氮化矽等的絕緣層作為保護層 102。應注意在此步驟之前和之後，可將傳遞 n 型導電性之雜質元素或傳遞 p 型導電性之雜質元素加入基板 100 以控制電晶體的臨界電壓。作為傳遞 n 型導電性之雜質，當包含在基板 100 中的半導體材料為矽時，可使用例如磷、砷、或之類

。作為傳遞 p 型導電性之雜質，可使用例如硼、鋁、銻、或之類。

接著，使用上述保護層 102 作為遮罩，以蝕刻來移除在未被保護層 102（暴露區）覆蓋之區域中的部份基板 100。因此，形成隔離的半導體區 104（見圖 4B）。作為蝕刻，較佳實施乾蝕刻，但亦可實施濕蝕刻。可依據將被蝕刻之層的材料來適當地選擇蝕刻氣體和蝕刻劑。

接著，形成絕緣層以覆蓋半導體區 104 及選擇性移除與半導體區 104 重疊的絕緣層區域，使得形成元件隔離絕緣層 106（見圖 4B）。使用氧化矽、氮化矽、氧化氮化矽或之類來形成絕緣層。移除該絕緣層的方法包括蝕刻、拋光，例如 CMP 等，且任一方法係可實施的。應注意在形成半導體區 104 之後，或在形成元件隔離絕緣層 106 之後，移除保護層 102。

接著，形成絕緣層於半導體區 104 之上，以及形成包含導電材料之層於該絕緣層之上。

因為該絕緣層稍後將作為閘極絕緣層，該絕緣層較佳具有單層結構或以 CVD、濺鍍法等形式之使用包含氧化矽、氧化氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭等的膜的堆疊結構。或者，可藉由高密度電漿處理或熱氧化處理，氧化或氮化半導體區 104 之表面來形成該絕緣層。例如，可使用例如 He、Ar、Kr 或 Xe 之稀有氣體以及例如氧、氧化氮、氨、氮、氫氣體的混合氣體來實施高密度電漿處理。該絕緣層的厚度並無特別限制；例如，可形成

該絕緣層於 1 nm 至 100 nm 之範圍內。

可使用例如鋁、銅、鈦、鉭或鎢之金屬材料來形成包含導電材料之層。或者，可使用例如包含傳遞導電性之雜質元素的多晶矽的半導體材料來形成包含導電材料之層。形成包含導電材料之層的方法並無特別限制；可採用各種膜形成方法，例如蒸發法、CVD 法、濺鍍法和旋轉塗佈法。應注意在此實施例中，說明使用金屬材料形成包含導電材料之層的情況的範例。

在那之後，選擇性蝕刻該絕緣層和包含導電材料之該層，使得形成閘極絕緣層 108a 及閘極電極 110a（見圖 4C）。

接著，形成覆蓋閘極電極 110a 的絕緣層 112（見圖 4C）。然後，藉由將磷（P）、砷（As）等添加到半導體區 104，形成具有淺接面深度的雜質區 114（見圖 4C）。應注意，此處添加磷或砷以形成 n 通道電晶體；然而，在形成 p 通道電晶體的情況中可添加例如硼（B）或鋁（Al）的雜質。

藉由形成雜質區 114，通道形成區 116 形成於閘極絕緣層 108a 下方的半導體區 104 中（見圖 4C）。此處，可適當地設定添加雜質的濃度；當半導體元素之大小極度縮減時，較佳為增加濃度。此處，採用在絕緣層 112 形成之後形成雜質區 114 之步驟；或者，在形成雜質區 114 之後形成絕緣層 112。

接著，形成側壁絕緣層 118（見圖 4D）。當，作為

側壁絕緣層 118，形成絕緣層以覆蓋絕緣層 112，然後接受高度各向異性蝕刻時，可以自我對準方式形成側壁絕緣層 118。此時，較佳為部分蝕刻絕緣層 112，使得閘極電極 110a 之頂表面和雜質區 114 之頂表面被暴露。

然後，形成絕緣層以覆蓋閘極電極 110a、雜質區 114、側壁絕緣層 118 等。接著，將磷（P）、砷（As）等添加到該絕緣層與雜質區 114 接觸之區域，藉此形成高濃度雜質區 120。在那之後，移除該絕緣層，且形成金屬層 122 以覆蓋閘極電極 110a、側壁絕緣層 118、高濃度雜質區 120 等（見圖 4E）。

可採用例如真空蒸發法、濺鍍法和旋轉塗佈法之各種膜形成方法來形成金屬層 122。較佳是使用金屬材料形成金屬層 122，該金屬材料與包含在半導體區 104 中的半導體材料起反應而成為低電阻金屬化合物。此種金屬材料的範例為鈦、鋁、鎢、鎳、鈷和鉑金。

接著，實施熱處理，使得金屬層 122 與半導體材料起反應。因此，形成與高濃度雜質區 120 接觸的金屬化合物區 124（見圖 4F）。應注意當使用多晶矽等形成閘極電極 110a 時，在閘極電極 110a 與金屬層 122 接觸之區域中亦形成金屬化合物區。

例如，可採用閃光燈之照射作為熱處理。雖然不用說，可使用其他熱處理方法，但為了改善金屬化合物之形成中的化學反應的可控性，較佳地使用可在極短時間達成熱處理的方法。應注意藉由金屬材料與半導體材料之反應而

形成金屬化合物區且具有充分高導電性。金屬化合物區之形成能充分降低電阻和改善元素特性。應注意在形成金屬化合物區 124 之後，移除金屬層 122。

然後，形成層間絕緣層 126 及層間絕緣層 128 以覆蓋在上述步驟中形成的元件（見圖 4G）。可使用無機絕緣材料，例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁或氧化鋇，形成層間絕緣層 126 和層間絕緣層 128。此外，亦可使用有機絕緣材料，例如聚醯亞胺和丙烯酸來形成層間絕緣層 126 和層間絕緣層 128。應注意此處採用層間絕緣層 126 和層間絕緣層 128 之兩層結構；然而，層間絕緣層的結構並不侷限於此。在形成層間絕緣層 128 之後，較佳藉由 CMP、蝕刻等平坦化層間絕緣層 128 之表面。

然後，在層間絕緣層中形成到達金屬化合物區 124 的開孔，且在開孔中形成源極或汲極電極 130a 和源極或汲極電極 130b（見圖 4H）。例如，以下列方式形成源極或汲極電極 130a 和源極或汲極電極 130b：以 PVD 法、CVD 法等包含開孔的區域中形成導電層，然後，藉由蝕刻、CMP 等部分地移除該導電層。

應注意在藉由移除部分導電層來形成源極或汲極電極 130a 和源極或汲極電極 130b 的情況中，較佳係實施步驟使得平坦化該表面。例如，當在包含開孔的區域中形成薄鈦膜或薄氮化鈦膜，然後形成鎢膜以被嵌入於開孔中時，移除過量的鎢、鈦、氮化鈦等且可藉由隨後之 CMP 改善表面之平坦。當以此方式平坦化包含源極或汲極電極

130a 和源極或汲極電極 130b 之表面時，可在稍後的步驟中形成適當的電極、導線、絕緣層、半導體層等。

用於源極或汲極電極 130a 和源極或汲極電極 130b 的材料並沒有特別的限制，可使用各種導電材料。例如，可使用導電材料，例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳和銦。此外，雖然此處僅說明與金屬化合物區 124 接觸的源極或汲極電極 130a 和源極或汲極電極 130b；然而在此步驟中亦可一起形成圖 3A 和 3B 中的電極 130c 等。

具體而言，可採用一方法，例如，其中在包含該等開孔之區域中以 PVD 法形成薄鈦膜以及以 CVD 法形成薄氮化鈦膜，然後形成鎢膜以被嵌入至該等開孔中。此處，以 PVD 法形成的鈦膜具有減少可形成於金屬化合物區之表面上的氧化物膜以降低與金屬化合物區的接觸電阻的功能。在形成鈦膜之後形成的氮化鈦膜具有防止導電材料擴散的屏障功能。在形成鈦、氮化鈦等之屏障膜之後可以電鍍法形成銅膜。應注意不僅可採用所謂的單鑲嵌方法亦可採用雙鑲嵌方法。

經由前述步驟，形成使用包含半導體材料之基板 100 的電晶體 160。應注意，在前述步驟之後，可進一步形成電極、導線、絕緣層、或之類。當導線具有包含層間絕緣層和導電層之堆疊結構的多層結構時，可提供高度集成之半導體裝置。

< 在上部之電晶體的製造方法 >

接著，參照圖 5A 至 5G 和圖 6A 至 6D 說明在層間絕緣層 128 之上的電晶體 402 的製造步驟。應注意圖 5A 至 5G 和圖 6A 至 6D 說明在層間絕緣層 128 之上的電極、電晶體 402、和之類的製造步驟；因此，省略位在電晶體 402 下方的電晶體 160 和之類。

首先，形成絕緣層 132 於層間絕緣層 128、源極或汲極電極 130a 及源極或汲極電極 130b、和電極 130c 之上（見圖 5A）。接著，在絕緣層 132 中形成到達源極或汲極電極 130a、源極或汲極電極 130b、和電極 130c 之開孔。然後，形成導電層 134 以被嵌入至該等開孔中（見圖 5B）。在那之後，藉由蝕刻或 CMP 等移除部分的導電層 134，使得暴露絕緣層 132，且形成電極 136a、電極 136b、電極 136c 和閘極電極 136d（見圖 5C）。

可藉由 PVD 法、CVD 法等形成絕緣層 132。可使用包含無機絕緣材料，例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、和氧化鉭之材料形成絕緣層 132。

可以例如使用遮罩之蝕刻的方法於絕緣層 132 中形成開孔。可以例如使用光罩之曝光的方法形成該遮罩。可使用濕蝕刻或乾蝕刻作為該蝕刻；就微製程而言，較佳使用乾蝕刻。

可以例如 PVD 法或 CVD 法之膜形成方法來形成導電層 134。可使用導電材料，例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、和鈳，或任何此等材料之合金或化合物（例如，氮化物）來形成導電層 134（見圖 5B）。

更具體地，可採用一方法，例如，其中在包含該等開孔之區域中以 PVD 法形成薄鈦膜以及以 CVD 法形成薄氮化鈦膜，然後形成鎢膜以被嵌入至該等開孔中。此處，以 PVD 法形成的鈦膜具有減少可能形成於較低電極（此處為源極或汲極電極 130a、源極或汲極電極 130b、和電極 130c 等）之表面上的氧化物膜以降低與較低電極之接觸電阻的功能。

在形成鈦膜之後形成的氮化鈦膜具有防止導電材料擴散的屏障功能。在形成鈦、氮化鈦等之屏障膜之後可以電鍍法形成銅膜。應注意不僅可採用所謂的單鑲嵌方法亦可採用雙鑲嵌方法。

在形成導電層 134 之後，藉由蝕刻或 CMP 等移除部分的導電層 134，使得暴露絕緣層 132，且可形成電極 136a、電極 136b、電極 136c 和閘極電極 136d（見圖 5C）。應注意當藉由移除部分的導電層 134 來形成電極 136a、電極 136b、電極 136c 和閘極電極 136d 時，較佳實施該處理以使表面被平坦化。當絕緣層 132、電極 136a、電極 136b、電極 136c 和閘極電極 136d 的表面被以此方式處理成平坦時，可在稍後的步驟中形成適當的電極、導線、絕緣層、半導體層等。

接著，形成閘極絕緣層 138 以覆蓋絕緣層 132、電極 136a、電極 136b、電極 136c 及閘極電極 136d（見圖 5D）。可藉由 CVD 法，濺鍍法等形成閘極絕緣層 138。較佳使用氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁

、氧化鈺、氧化鋁等來形成閘極絕緣層 138。應注意閘極絕緣層 138 具有單層結構或堆疊結構。

例如，可使用矽烷（ SiH_4 ）、氧氣、和氮氣作為來源氣體，藉由電漿 CVD 法使用氮氧化矽形成閘極絕緣層 138。閘極絕緣層 138 的厚度並沒有特別的限制；閘極絕緣層 138 可具有例如 10 nm 至 500 nm 的厚度。在採用堆疊結構之情況中，例如，閘極絕緣層 138 較佳具有厚度在 50 nm 至 200 nm 之間的第一閘極絕緣層，和厚度在 5 nm 至 300 nm 之間的第二閘極絕緣層於該第一閘極絕緣層之上的堆疊。

若氫、水或之類包含於閘極絕緣層 138 中，氫可進入氧化物半導體層或自氧化物半導體層抽取氧，藉此可能惡化電晶體之特性。因此，較佳為形成閘極絕緣層 138 以便盡可能少地包含氫或水。

在採用濺鍍法或之類的情況中，例如，閘極絕緣層 138 在移除處理室中的濕氣的情況中形成係較佳的。為了移除處理室中的濕氣，較佳使用吸附真空泵，例如，低溫泵、離子泵或鈦昇華泵。或者，可使用設置有冷凝捕集器的渦輪泵。因為自以低溫泵或之類抽空的處理室中充分地移除氫氣、水、或之類，因此可減少閘極絕緣層 138 中包含的雜質濃度。

當形成閘極絕緣層 138 時，較佳使用其中將例如氫氣或水的雜質減少至大約百萬分之幾或更少（較佳為數十億分之幾或更少）的濃度的高純度氣體。

應注意，藉由移除雜質而獲得之 i 型或實質 i 型氧化物半導體（高純度氧化物半導體）對於介面位準及介面電荷相當敏感；因此，當將此氧化物半導體用於氧化物半導體層時，與閘極絕緣層之介面係重要的。換句話說，將與高純度氧化物半導體層接觸之閘極絕緣層 138 需要具有高品質。

例如，以使用微波（頻率：2.45 GHz）之高密度電漿 CVD 法來形成閘極絕緣層 138 係較佳的，因為閘極絕緣層 138 可為緊密且具有耐高壓和高品質。當高純度氧化物半導體層和高品質閘極絕緣層彼此緊密接觸時，可減少介面位準且可獲得優良介面特性。

不用說，即使當使用高純度氧化物半導體層時，只要可以形成高品質絕緣層作為閘極絕緣層 138，可採用其他例如濺鍍法或電漿 CVD 法之方法。而且，亦可使用絕緣層，其膜品質和與氧化物半導體層之介面特性藉由在形成該閘極絕緣層 138 之後實施的熱處理而被改善。在任何情況中，形成具有如同閘極絕緣層 138 之優良膜品質且可減少和氧化物半導體層之間的介面位準密度以形成優良介面的絕緣層作為閘極絕緣層 138。

接著，形成氧化物半導體層以覆蓋閘極絕緣層 138，且以使用遮罩之例如蝕刻之方法來處理，使得形成島形氧化物半導體層 140（見圖 5E）。

作為氧化物半導體層，可使用下列任何氧化物半導體：In-Sn-Ga-Zn-O 基氧化物半導體，其為四元金屬氧化物

； In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、Al-Ga-Zn-O 基氧化物半導體、或 Sn-Al-Zn-O 基氧化物半導體，其該等為三元金屬氧化物；In-Zn-O 基氧化物半導體、Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、或 In-Mg-O 基氧化物半導體，其該等為二元金屬氧化物；或 In-O 基氧化物半導體、Sn-O 基氧化物半導體；或 Zn-O 基氧化物半導體，其該等為一元金屬氧化物。此外，上述該等氧化物半導體可包含 SiO_2 。

作為氧化物半導體層，可使用包含以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示之材料的薄膜。此處，M 表示一或多個選自 Ga、Al、Mn、及 Co 的金屬元素。例如，M 可為 Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等。

在此實施例中，作為氧化物半導體層，使用 In-Ga-Zn-O 基金屬氧化物靶材以濺鍍法形成非晶氧化物半導體層。應注意因為添加矽到非晶氧化物半導體層可抑制非晶氧化物半導體層的結晶化，因此可使用包含在 2 wt% 至 10 wt% 的 SiO_2 的靶材來形成氧化半導體層。

作為用於以濺鍍法形成氧化物半導體層 206 的金屬氧化物靶材，例如，可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [摩爾比]之組成比例的金屬氧化物靶材。此外，亦可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩爾比]之組成比例的金屬氧化物靶材或具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1$

：4[摩爾比]之組成比例的金屬氧化物靶材。金屬氧化物靶材的填充率為 90% 至 100%，較佳為大於或等於 95%（例如 99.9%）。藉由使用具有高填充率的金屬氧化物靶材來形成緻密的氧化物半導體層。

形成氧化物半導體層的氛圍較佳為稀有氣體（典型為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型為氬氣）和氧氣的混合氛圍。具體地，較佳使用例如高純度氣體氛圍，從中移除例如氬氣、水氣、羥基或氫化物的雜質至濃度約百萬分之幾或更少（較佳為數十億分之幾或更少）。

在形成氧化物半導體層時，將基板保持於維持在已降低之壓力下的處理室中，且加熱基板至 100℃ 至 600℃ 之間，較佳為 200℃ 至 400℃ 之間的溫度。當加熱基板時形成該氧化物半導體層，使得可減少包含在氧化物半導體層中的雜質濃度。而且，減少因為濺鍍造成的半導體層的損害。然後，將其中移除氬氣和水的濺鍍氣體導入處理室，同時移除處理室中的濕氣，藉以使用金屬氧化物作為靶材形成氧化物半導體層。

為了移除處理室中的濕氣，較佳使用吸附真空泵。例如，可使用低溫泵、離子泵或鈦昇華泵。抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的膜形成室中，移除氫原子、包含氫原子的化合物，例如水（ H_2O ）（較佳的亦有包含碳原子的化合物）等，從而可減少包含於形成於膜形成室中的氧化物半導體層中的雜質濃度。

可在例如以下條件形成氧化物半導體層：基板和靶材

之間的距離為 100 mm；壓力為 0.6 Pa；直流（DC）電源為 0.5 kW；且氛圍係氧氣氛圍（氧氣流量比為 100%）。應注意較佳係使用脈衝直流（DC）電源，因為可減少灰塵且減少厚度分佈。該氧化物半導體層的厚度為 2 nm 至 200 nm，較佳為 5 nm 至 30 nm。應注意該氧化物半導體層的適當厚度係依據將使用之氧化物半導體材料而不同；因此，可依據將使用的材料來決定厚度。

應注意在以濺鍍法形成該氧化物半導體層之前，較佳實施其中以導入氬氣氣體產生電漿之反向濺鍍，使得移除附著在閘極絕緣層 138 表面的灰塵。此處，該反向濺鍍為離子撞擊待處理之表面而改善待處理表面的方法，與離子撞擊濺鍍靶材之一般濺鍍相反。用於使離子撞擊待處理之表面的方法的範例為在氬氣氛圍下施加高頻電壓至表面使得在基板附近產生電漿的方法。應注意可使用氮氣氛圍、氬氣氛圍、氧氣氛圍等替代氬氣氛圍。

作為氧化物半導體層的蝕刻方法，可採用乾蝕刻或濕蝕刻。當然，亦可使用乾蝕刻和濕蝕刻的組合。依據該材料適當設定蝕刻條件（例如蝕刻氣體、蝕刻劑、蝕刻時間和溫度），使得可將該氧化物半導體層蝕刻為想要的形狀。

用於乾蝕刻之蝕刻氣體的範例為包含氯（以氯為基質的氣體，例如氯氣（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））的氣體。此外，可使用包含氟的氣體（以氟為基質的氣體，例如四氟化碳（

CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3) 或三氟甲烷 (CHF_3)；溴化氫 (HBr)；氧氣 (O_2)；加入稀有氣體例如氦氣 (He) 或氬氣 (Ar) 的任何這些氣體等。

可採用平行板 RIE (反應性離子蝕刻) 法或 ICP (電感式耦合電漿) 蝕刻法作為乾蝕刻法。為了將氧化物半導體層蝕刻成想要的形狀，適當設定蝕刻條件 (例如，施加於線圈狀電極的電量、施加於基板側上電極的電量、基板側上電極的溫度等)。

可使用磷酸、醋酸和硝酸等的混合溶液，氮氧化混合物 (氮、水和雙氧水的混合) 或之類作為用於濕蝕刻的蝕刻劑。亦可使用例如 ITO07N (由 KANTO CHEMICAL CO., INC. 所生產) 之蝕刻劑。

接著，在該氧化物半導體層上較佳實施第一熱處理。可經由第一熱處理將氧化物半導體層脫水或脫氫。第一熱處理的溫度為 300°C 至 800°C 之間，較佳為 400°C 至 700°C 之間，更佳為 450°C 至 700°C 之間，且再更佳為 550°C 至 700°C 之間。

當於 350°C 或更高之溫度實施第一熱處理時，可將氧化物半導體層脫氫或脫水，使得可減少氧化物半導體層中的氫濃度。此外，當於 450°C 或更高之溫度實施第一熱處理時，可進一步減少氧化物半導體層中的氫濃度。並且，當於 550°C 或更高之溫度實施第一熱處理時，可更進一步減少氧化物半導體層中的氫濃度。例如，導入基板於使用電阻加熱元件等的電爐中，在氮氣氛圍中於 450°C 將該氧

化物半導體層 140 實施熱處理一小時。在該處理期間，該氧化物半導體層 140 並不暴露於空氣中以防止水和氫氣的進入。

熱處理設備並不侷限於電爐，且可為使用由例如加熱氣體等之媒介所提供的熱傳導或熱輻射來加熱物體的設備。例如，可使用快速熱退火（RTA）設備，例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備。

LRTA 設備係以發射自燈（例如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）來加熱物體的設備。GRTA 設備係使用高溫氣體實施熱處理的設備。使用即使在熱處理期間，亦不與物體產生反應的惰性氣體，例如氮氣或稀有氣體，例如氬氣。

例如，作為第一熱處理，可實施 GRTA 處理如下。將基板放置於已被加熱到 650℃ 至 700℃ 高溫的惰性氣體氛圍中，加熱數分鐘，然後將基板從惰性氣體氛圍中取出。GRTA 處理在短時間內致能高溫熱處理。此外，即使在超過基板的應變點的溫度，可採用 GRTA 處理，因為其為短時間熱處理。例如，在使用包含具有相對低耐熱之基板（例如玻璃基板）的 SOI 基板的情況中，在溫度高於溫度上限（應變點）時，基板的收縮成為問題，但該問題不在短時間內實施熱處理之情況中。

應注意作為實施第一熱處理之惰性氣體氛圍，較佳採用包含氮氣或稀有氣體（例如氮氣、氬氣或氬氣）作為其主要成分且不包含水、氫、或之類的氛圍。例如，導入熱處

理設備之氮氣或稀有氣體（例如氮氣、氖氣或氬氣）的純度為大於或等於 6N（99.9999%），較佳為大於或等於 7N（99.99999%）（即，雜質濃度小於或等於 1 ppm，較佳為小於或等於 0.1 ppm）。

應注意，惰性氣體氛圍在處理期間可被改變成包含氧之氛圍。例如，在第一熱處理中使用電爐的情況中，當處理溫度下降時，可改變氛圍。例如，在諸如稀有氣體（例如，氮氣、氖氣或氬氣）或氮氣之惰性氣體氛圍下可實施熱處理（在恆溫），且當處理溫度下降時，氛圍可轉變為包含氧的氛圍。作為包含氧的氛圍，可使用氧氣氣體或氧氣和氮氣之混合氣體。並且在採用包含氧的氛圍的情況中，較佳為該氛圍不包含水、氫、或之類。或者，使用的氧氣氣體或氮氣的純度較佳為大於或等於 6N（99.9999%），更佳為大於或等於 7N（99.99999%）（即，雜質濃度小於或等於 1 ppm，較佳為小於或等於 0.1 ppm）。這是因為藉由在包含氧之氛圍中實施第一熱處理可減少由缺氧造成的缺陷。

在某些情況中，依據第一熱處理的條件或氧化物半導體層的材料，結晶化該氧化物半導體層為微晶或多晶。例如，在某些情況中，該氧化物半導體層成為具有結晶度 90% 以上、或 80% 以上的微晶氧化物半導體層。此外，在某些情況中，依據第一熱處理的條件或氧化物半導體層的材料，該氧化物半導體層可為不包含結晶元件的非晶氧化物半導體層。

此外，在某些情況中，該氧化物半導體層成為其中將微晶（具有 1 nm 至 20 nm 的晶粒直徑，典型為 2 nm 至 4 nm）混合入非晶氧化物半導體（例如，該氧化物半導體層的表面）的層。

該氧化物半導體層的電特性藉由在非晶半導體中對準微晶而改變。例如，當使用 In-Ga-Zn-O 基金屬氧化物靶材形成氧化物半導體層時，該氧化物半導體層的電特性可藉由形成微晶區而改變，該微晶區中具有電各向異性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒係對準的。

例如，當配置該等晶粒使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之 c 軸垂直於該氧化物半導體層的表面時，可改善平行於該氧化物半導體層之表面方向中的導電性，且可改善垂直於該氧化物半導體層之表面方向中的絕緣性質。此外，此種微晶區具有抑制諸如水或氫之雜質進入該氧化物半導體層的功能。

應注意可藉由以 GRTA 處理加熱該氧化物半導體層的表面而形成包含微晶區的氧化物半導體層。此外，可藉由使用其中 Zn 之量小於 In 或 Ga 之量的濺鍍靶材以更佳的方式形成該氧化物半導體層。

可在尚未被處理成島形氧化物半導體層 140 的氧化物半導體層上實施用於氧化物半導體層 140 的第一熱處理。在此情況中，在第一熱處理之後，從加熱設備中取出基板，然後實施微影步驟。

應注意前述熱處理，其具有將該氧化物半導體層 140 脫水或脫氫的效果，亦可被稱為脫水處理、脫氫處理、或

之類。可在例如形成氧化物半導體層之後、在氧化物半導體層 140 之上堆疊源極或汲極電極之後、或在源極或汲極電極之上形成保護絕緣層之後，實施此脫水處理或脫氫處理。可實施一次或複數次此脫水處理或脫氫處理。

接著，形成源極或汲極電極 142a 及源極或汲極電極 142b 以與氧化物半導體層 140 接觸（見圖 5F）。以形成導電層以覆蓋氧化物半導體層 140，然後選擇性地蝕刻之方式，來形成源極或汲極電極 142a 及源極或汲極電極 142b。

可藉由 PVD（物理氣相沉積）法，例如濺鍍法或 CVD（化學氣相沉積）法（例如電漿 CVD 法），來形成導電層。作為導電層之材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬及鎢的元素；及包括任何這些元素作為其成份的合金；或之類。而且，可使用選自錳、鎂、鋯、鈹和鈦的一或多個材料。亦可使用與選自鈦、鉬、鎢、鉬、鉻、鈹和鈦的一或多個元素組合的鋁。

可使用氧化物導電膜形成導電層。作為氧化物導電膜，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，其在某些情況中簡稱為 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或其中包含矽或氧化矽之任何此等金屬氧化物材料。

在此情況中，相較於用於氧化物半導體層 140 的材料，較佳將高導電率或低電阻率的材料用於氧化物導電膜。隨著載子濃度之增加可增加氧化物導電膜的導電性。隨著

氫濃度之增加可增加氧化物導電膜中的載子濃度。此外，隨著缺氧之增加會增加氧化物導電膜中的載子濃度。

導電層可具有單層結構或二或多層的堆疊結構。例如，該導電層可具有可具有包含矽的鋁膜的單層結構，其中鈦膜堆疊於鋁膜上的兩層結構，或其中依鈦膜、鋁膜和鈦膜之順序堆疊的三層結構。此處，採用鈦膜、鋁膜和鈦膜之三層結構。

應注意氧化物導電層可形成於氧化物半導體層 140 和該導電層之間。可連續形成該氧化物導電層和該導電層。藉由設置此氧化物導電層，可減少源極區或汲極區之電阻，使得可高速操作該電晶體。

接著，藉由選擇性蝕刻該導電層形成源極或汲極電極 142a 和源極或汲極電極 142b（見圖 5F）。較佳將紫外線、KrF 雷射光或 ArF 雷射光用於在形成用於蝕刻之遮罩時的曝光。

電晶體的通道長度（L）取決於源極或汲極電極 142a 之下邊緣部份和源極或汲極電極 142b 之下邊緣部份之間的距離。應注意在實施曝光使得該通道長度（L）短於 25 nm 的情況中，以數奈米至數十奈米之極短波長的極紫外線實施用於形成遮罩的曝光。使用極紫外線之曝光的解析度為高，且焦點深度為大。因此，可設計一遮罩使得將於稍後形成之電晶體的通道長度（L）少於 25 nm，即，在 10 nm 至 1000 nm 的範圍中，且可高速操作該電路。而且，關閉狀態電流極低，其防止功率消耗的增加。

適當調整導電層和氧化物半導體層 140 之材料和蝕刻條件，使得在蝕刻導電層中不移除氧化物半導體層 140。應注意在某些情況中，依據材料和蝕刻條件，在蝕刻步驟中部份蝕刻氧化物半導體層 140，因此具有凹槽部分（低陷部分）。

爲了減少將被使用的遮罩數目和減少步驟，可使用以多段式調整光罩（multi-tone mask）形成的抗蝕遮罩來實施蝕刻步驟以具有複數強度，該多段式調整光罩爲曝光遮罩，經由該光罩傳輸光。使用多段式調整光罩形成的抗蝕遮罩具有複數厚度（具有階梯形狀），且可進一步藉由灰化來改變形狀；因此，在複數蝕刻步驟中可使用該抗蝕遮罩以處理成爲不同的圖案。即，藉由使用一個多段式調整光罩可形成對應於至少兩種不同圖案的抗蝕遮罩。因此，可減少曝光遮罩的數目，且亦可減少對應的微影步驟的數目，藉以簡化製程。

應注意在上述步驟之後，較佳使用例如 N_2O 、 N_2 或 Ar 的氣體實施電漿處理。此電漿處理移除附著於該氧化物半導體層的曝光表面的水。可以使用氧氣和氬氣的混合氣體來實施電漿處理。

接著，形成保護絕緣層 144 與部分氧化物半導體層 140 接觸，而不暴露於空氣中（見圖 5G）。

可以例如濺鍍法之方法適當地形成保護絕緣層 144，使用該方法讓諸如水和氬氣的雜質不會混入保護絕緣層 144。保護絕緣層 144 具有至少 1 nm 之厚度。可使用氧化

矽、氮化矽、氮氧化矽、氧化氮化矽或之類形成保護絕緣層 144。保護絕緣層 144 可具有單層結構或堆疊結構。形成保護絕緣層 144 時之基板溫度較佳為室溫至 300℃ 之間。用於形成保護絕緣層 144 之氛圍較佳為稀有氣體（典型為氬氣）氛圍、氧氣氛圍或稀有氣體（典型為氬氣）和氧氣的混合氛圍。

若保護絕緣層 144 中包含氬氣，氬氣可能進入氧化物半導體層或將氧化物半導體層中之氧氣抽出，藉此可能降低氧化物半導體層在反向通道側的電阻，且可能形成寄生通道。因此，重要的是當形成保護絕緣層 144 時，不使用氬氣，使得保護絕緣層 144 儘可能少的包含氬氣。

而且，保護絕緣層 144 較佳於移除處理室中的水時形成，以使氧化物半導體層 140 和保護絕緣層 144 中不含有包含羥基或水氣的化合物。

為了移除處理室中的濕氣，較佳使用吸附真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的膜形成室中，例如，移除氫原子、包含氫原子的化合物，例如水（ H_2O ）；因此，可減少形成於膜形成室中的保護絕緣層 144 所包含的雜質濃度。

作為形成保護絕緣層 144 的濺鍍氣體，較佳使用高純度氣體，其中將諸如氬氣、水、包含羥基之化合物或氫化物的雜質移除至大約 1 ppm 或更少（較佳為 1 ppb 或更少）的濃度。

接著，較佳係在惰性氣體氛圍或氧氣氣體氛圍下（較佳於 200℃ 至 400℃，例如 250℃ 至 350℃）實施第二熱處理。例如，在氮氣氛圍下於 250℃ 實施第二熱處理一小時。該第二熱處理可減少電晶體在電特性中的變異。

此外，可於空氣中在 100℃ 至 200℃ 之間實施熱處理 1 小時至 30 小時。可以固定的加熱溫度實施此熱處理；或者，可重複實施下列之加熱溫度的變化複數次：自室溫增加加熱溫度到 100℃ 至 200℃ 之間，然後降低至室溫。可在減壓下於形成保護絕緣層之前實施此熱處理。可在減壓下縮短熱處理的時間。可實施此熱處理替代第二熱處理，或在第二熱處理之前或之後實施。

接著，形成層間絕緣層 146 於保護絕緣層 144 之上（見圖 6A）。可以 PVD 法、CVD 法等形成層間絕緣層 146。可使用包含無機絕緣材料，例如氧化矽、氧化氮化矽、氮化矽、氧化鉛、氧化鋁和氧化鉭的材料，形成層間絕緣層 146。在形成層間絕緣層 146 之後，較佳以諸如 CMP 或蝕刻之方法平坦化層間絕緣層 146 的表面。

接著，在層間絕緣層 146、保護絕緣層 144 和閘極絕緣層 138 中形成到達電極 136a、電極 136b、電極 136c、源極或汲極電極 142a 及源極或汲極電極 142b 的開孔。接著，形成導電層 148 以被嵌入於該等開孔中（見圖 6B）。可以諸如使用遮罩之蝕刻的方法形成該等開孔。可以諸如使用光罩之曝光的方法形成該遮罩。

可使用濕蝕刻或乾蝕刻作為蝕刻；就微製程而言，較

佳使用乾蝕刻。可以諸如 PVD 法或 CVD 法之膜形成法，形成導電層 148。例如可使用導電材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦或任何此等材料之合金或化合物（例如，氮化物）來形成導電層 148。

具體而言，可採用，例如，其中在包含該等開孔之區域中以 PVD 法形成薄鈦膜、及以 CVD 法形成薄氮化鈦膜、然後形成鎢膜以被嵌入至該等開孔中之方法。此處，以 PVD 法形成的鈦膜具有減少在與層間絕緣層 146 之介面的氧化物膜以降低與較低電極（此處為電極 136a、電極 136b、電極 136c、源極或汲極電極 142a 和源極或汲極電極 142b）之接觸電阻的功能。在形成鈦膜之後形成的氮化鈦膜具有防止導電材料擴散的屏障功能。在形成鈦、氮化鈦等之屏障膜之後可以電鍍法形成銅膜。

在形成導電層 148 之後，藉由諸如蝕刻或 CMP 之方法移除部分的導電層 148，使得暴露層間絕緣層 146，且形成電極 150a、電極 150b、電極 150c、電極 150d 和電極 150e（見圖 6C）。應注意當藉由移除部分的導電層 148 來形成電極 150a、電極 150b、電極 150c、電極 150d 和電極 150e 時，較佳實施處理使得表面被平坦化。當以此方式平坦化層間絕緣層 146、電極 150a、電極 150b、電極 150c、電極 150d 和電極 150e 之表面時，可在之後的步驟中有利地形成電極、導線、絕緣層、半導體層等。

接著，進一步形成絕緣層 152，且在絕緣層 152 中形成到達電極 150a、電極 150b、電極 150c、電極 150d 和

電極 150e 的開孔。在形成導電層以被嵌入至該等開孔中之後，藉由諸如蝕刻或 CMP 之方法移除部分的導電層。因此，暴露絕緣層 152，且形成電極 154a、電極 154b、電極 154c 和電極 154d（見圖 6D）。此步驟相同於形成電極 150a 等的步驟；因此省略詳細描述。

在以上述方法形成電晶體 402 的情況中，氧化物半導體層 140 中的氫濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更少，且電晶體 402 在室溫的關閉狀態電流為 1×10^{-13} A 或更少。氧化物半導體層中的載子濃度為小於 $1 \times 10^{14}/\text{cm}^3$ 。藉由應用以如上述充分降低氫濃度及供應氧而高度純化之氧化物半導體層 140，可獲得具有優良特性的電晶體 402。並且，因為非揮發性門鎖電路包括使用氧化物半導體以外之材料而形成在下部的電晶體 160 以及使用氧化物半導體而形成在上部的電晶體 402，因而能夠製造具有電晶體和使用非揮發性門鎖電路之半導體裝置兩者特性的優良非揮發性門鎖電路。

應注意，較佳為在減少氫濃度之後立即供應氧至氧化物半導體層 140，因為氫、水、或之類不可能進入氧化物半導體層，因此可實現有極佳特性的氧化物半導體層。不用說，減少氫濃度之處理和供應氧之處理不需要連續實施，只要可實現有良好特性的氧化物半導體層即可。例如，在減少氫濃度之處理和供應氧之處理之間可實施其他處理。或者，可同時實施這兩種處理。

應注意給定碳化矽（例如，4H-SiC）作為半導體材料

，其可媲美氧化物半導體。氧化物半導體和 4H-SiC 具有一些相同點。載子密度為其中一項。依據 Fermi-Dirac 分佈，氧化物半導體中之少數載子密度被估算為大約 $10^{-7}/\text{cm}^3$ 。少數載子密度的這個值極小，相似於 4H-SiC 之少數載子密度的值， $6.7 \times 10^{-11}/\text{cm}^3$ 。當比較氧化物半導體之少數載子密度和矽之本質載子密度（大約 $1.4 \times 10^{10}/\text{cm}^3$ ）時，可充份了解氧化物半導體之少數載子密度係顯著的低。

此外，氧化物半導體的能帶隙為 3.0 eV 至 3.5 eV，且 4H-SiC 的能帶隙為 3.26 eV。因此，氧化物半導體和碳化矽之相同處為它們都是寬帶隙半導體。

另一方面，氧化物半導體和碳化矽之間有一主要差異，即，處理溫度。因為在使用碳化矽之半導體處理中通常需要 1500°C 至 2000°C 之加熱溫度，因此形成碳化矽和使用碳化矽以外的半導體材料所形成的半導體元件的堆疊係困難的。這是因為在此種高溫會損壞半導體基板、半導體元件、或之類。同時，可以在 300°C 至 500°C（玻璃轉化溫度或更低，高至大約 700°C）的加熱溫度形成氧化物半導體；因此，可能使用氧化物半導體以外之半導體材料形成積體電路，然後形成包含氧化物半導體之半導體元件。

此外，與碳化矽相反，氧化物半導體係有優勢的，因為可使用低耐熱性基板，例如玻璃基板。而且，氧化物半導體並不需要接受高溫熱處理，因而與碳化矽相比可充分降低能源成本，其為另一優勢。

雖然已進行了許多氧化物半導體之特質，例如能態密度（DOS）的研究，但他們不包括充分地降低自身局部性能態的想法。依據本發明所揭示之一實施例，藉由移除可能影響局部性能態的水或氫氣來形成高純度氧化物半導體。這是基於充分地減少自身局部性能態的想法。此種高純度氧化物半導體可製造非常優良之工業產品。

此外，亦可藉由供應氧氣至由氧空缺所產生之金屬懸空鍵且降低由氧空缺所造成之局部性能態，來形成更高純度（i 型）氧化物半導體。例如，形成包含過量氧的氧化物膜與通道形成區緊密接觸，然後自該氧化膜供應氧至該通道形成區，因而可降低由氧空缺所造成之局部性能態。

氧化物半導體之缺陷被認為是歸因於在由於過量氫氣造成之導電帶下的 0.1 eV 至 0.2 eV 之能階，由於氧氣不足導致之深能階或之類。完全地移除氫氣且充分地供應氧氣以消除此缺陷可為正確的技術思考。

氧化物半導體一般被認為是 n 型半導體；然而，依據本發明所揭示之實施例，藉由移除雜質（特別是水和氫氣）實現 i 型半導體。在此範疇中，可以說本發明所揭示之實施例包括新穎的技術特徵，因為其與諸如添加雜質的矽的 i 型半導體不相同。

上述說明實施例，其中在非揮發性閃鎖電路 400 之元件中，使用氧化物半導體以外的材料作為使用氧化物半導體之電晶體 402 以外之元件的半導體材料。然而，所揭示之本發明並不侷限於此。在非揮發性閃鎖電路 400 之元件

中，亦可使用氧化物半導體作為電晶體 402 以外之元件的半導體材料。

< 使用氧化物半導體之電晶體的導電機制 >

將參考圖 7、圖 8、圖 9A 和 9B、以及圖 10 說明使用氧化物半導體之電晶體的導電機制。應注意下列說明係基於易於了解之理想情況的假設，並不一定反應真實情況。亦應注意下列說明僅為考慮因素，並不影響發明的有效性。

圖 7 為使用氧化物半導體之電晶體（薄膜電晶體）的橫截面圖。設置氧化物半導體層（OS）於閘極電極（GE1）之上，閘極絕緣層（GI）夾於其間，且設置源極電極（S）和汲極電極（D）於該氧化物半導體層之上。設置絕緣層以覆蓋源極電極（S）和汲極電極（D）。

圖 8 為圖 7 中區段 A-A' 的能帶圖（示意圖）。在圖 8 中，黑色圓圈（●）和白色圓圈（○）分別表示電子和電洞且具有電荷（ $-q$ ， $+q$ ）。使用施加至汲極電極的正電壓（ $V_D > 0$ ），虛線顯示沒有電壓施加至閘極電極（ $V_G = 0$ ）的情況，且實線顯示正電壓施加至閘極電極（ $V_G > 0$ ）的情況。在不施加電壓至閘極電極的情況中，因為高電位障壁而不會自電極注入載子（電子）至氧化物半導體側，因而電流不流動，其為關閉狀態。另一方面，當施加正電壓至閘極電極時，減少電位障壁，且因此電流流動，其為導通狀態。

圖 9A 和 9B 為沿著圖 7 中 B-B' 的能帶圖（示意圖）。圖 9A 說明施加正電壓（ $V_G > 0$ ）至閘極電極（GE1）且載子（電子）在源極電極和汲極電極之間流動的狀態。圖 9B 說明施加負電壓（ $V_G < 0$ ）至閘極電極（GE1）且少數載子不流動的狀態。

圖 10 說明真空度和金屬的功函數（ ϕ_M ）之間的關係，以及真空度和氧化物半導體的電子親和力（ χ ）之間的關係。在正常溫度，金屬中的電子係衰退的，且費米能階（Fermi level）位於導電帶。另一方面，傳統氧化物半導體為 n 型半導體，其中費米能階（ E_F ）與在能帶中心的本質費米能階（ E_i ）相差甚遠，且位於靠近導電帶。應注意已知氧化物半導體中的部份氫氣為施體，且其為使氧化物半導體成為 n 型氧化物半導體的因素之一。

另一方面，依據本發明所揭示之實施例的氧化物半導體為以下列方式所得之本質（i 型）或實質本質氧化物半導體：盡可能防止其中包含氫，自氧化物半導體移除產生 n 型氧化物半導體之因素的氫，且為純化氧化物半導體使得盡可能防止其中含有除了氧化物半導體之主要成分之外的元素（雜質元素）。即，技術特徵為藉由盡可能移除諸如氫氣和水的雜質，而非藉由加入雜質元素，而獲得純化 i 型（本質）半導體或接近其之半導體。因此，費米能階（ E_F ）可媲美本質費米能階（ E_i ）。

假設氧化物半導體的能隙（ E_g ）為 3.15 eV，且其電子親和力（ χ ）為 4.3 eV。包含於源極電極和汲極電極中

的鈦（Ti）的功函數實質上等於氧化物半導體的電子親和力（ χ ）。在此情況中，在金屬和氧化物半導體之間的介面處不形成電子的蕭特基屏障（Schottky barrier）。

在此時，如圖 9A 中所示，電子在閘極絕緣層和高純度氧化物半導體之間的介面附近游移（就能量而言為穩定的氧化物半導體的最底部分）。

此外，如圖 9B 所示，當施加負電位至閘極電極（GE1）時，電流值極接近零，因為係少數載子的電洞實質上為零。

以此方式，藉由高度純化使得盡可能少的包含除了其主要成份之外的元素（即，雜質元素）而獲得本質（i 型半導體）或實質本質氧化物半導體。因此，在氧化物半導體和閘極絕緣層之間的介面的特性變得重要。出於這個原因，閘極絕緣層需要形成與氧化物半導體之良好的介面。具體而言，較佳使用下列絕緣層，例如：以 CVD 法，其使用在 VHF 能帶至微波能帶之範圍中的電源頻率產生的高密度電漿，形成絕緣層，或以濺鍍法形成絕緣層。

當高度純化該氧化物半導體且該氧化物半導體和該閘極絕緣層之間的介面係良好製造時，在電晶體具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度（W）和 $3 \mu\text{m}$ 之通道長度（L）的情況中，能夠實現 $1 \times 10^{-13} \text{ A}$ 或更低之關閉狀態電流以及 0.1 V/dec 的次臨界擺幅（S 值）（閘極絕緣層：100 nm 厚）。

當如上所述高度純化氧化物半導體，使得盡可能少的

包含除了其主要成份之外的元素（即，雜質元素）時，電晶體可以有利的操作。

< 使用氧化物半導體的電晶體對熱載子衰退之電阻 >

接著，參考圖 11、圖 12、和圖 13 說明使用氧化物半導體的電晶體對熱載子衰退之電阻。應注意下列說明係基於易於了解之理想情況的假設，並不一定反應真實情況。亦應注意下列說明僅為考慮因素。

熱載子衰退的主因為通道熱電子注入（CHE 注入）以及汲極雪崩熱載子注入（DAHC 注入）。應注意為了簡化，以下僅考慮電子。

CHE 注入指的是將半導體層中獲得高於閘極絕緣層之障壁的能量的電子注入閘極絕緣層等的現象。電子藉由以低電場加速而獲得能量。

DAHC 注入指的是將由以高電場加速之電子的碰撞所產生的電子注入閘極絕緣層等的現象。DAHC 注入和 CHE 注入之間的差異係他們是否涉及因碰撞電離而造成的雪崩崩潰。應注意 DAHC 注入需要具有高於半導體之能隙的動能的電子。

圖 11 說明矽（Si）的能帶結構測量的各熱載子注入所需的能量，圖 12 說明自 In-Ga-Zn-O 基氧化物半導體（IGZO）的能帶結構測量的各熱載子注入所需的能量。圖 11 和圖 12 之各者中的左邊部分顯示 CHE 注入，圖 11 和圖 12 之各者中的右邊部分顯示 DAHC 注入。

關於矽，DAHC 注入造成的衰退較 CHE 注入造成的衰退嚴重。這是因為無碰撞而被加速的載子（即，電子）在矽中非常少，而矽具有窄能隙且其中易發生雪崩崩潰。雪崩崩潰急遽增加可跨越閘極絕緣層之障壁的電子數目（即，注入閘極絕緣層的電子），其造成惡化。

關於 In-Ga-Zn-O 基氧化物半導體，CHE 注入所需之能量與在矽之情況中所需的能量並沒有很大差異，且 CHE 注入的機率仍然很低。另一方面，由於 In-Ga-Zn-O 基氧化物半導體的能隙較矽的能隙寬，因而 DAHC 注入所需之能量增加，因此不太可能發生雪崩崩潰。換句話說，CHE 注入和 DAHC 注入之兩者的機率是低的，且相較於使用矽的情況，不太可能發生熱載子衰退。

同時，In-Ga-Zn-O 基氧化物半導體的能隙可媲美作為具有高耐受電壓之材料而引起注意的碳化矽（SiC）的能隙。圖 13 說明關於 4H-SiC 之各熱載子注入所需的能量。關於 CHE 注入，In-Ga-Zn-O 基氧化物半導體具有稍微較高的臨界值且可被認為具有優勢。

如上述，可見 In-Ga-Zn-O 基氧化物半導體具有顯著較高之對熱載子衰退的電阻，及較矽高的對源極-汲極崩潰的電阻。亦可說可獲得媲美碳化矽之耐受電壓的耐受電壓。

< 使用氧化物半導體之電晶體中的短通道效應 >

接著，將參考圖 14 和圖 15 說明使用氧化物半導體之

電晶體中的短通道效應。應注意下列說明係基於易於了解之理想情況的假設，並不一定反應真實情況。亦應注意下列說明僅為考慮因素。

短通道效應指的是電特性的衰退，其隨著電晶體的微型化（通道長度（ L ）的減少）而變得明顯。短通道效應肇因於源極上的汲極的影響。短通道效應的具體範例為臨界值的減少、次臨界擺幅（ S 值）的增加、漏電流的增加，及之類。

此處，由裝置模擬來檢驗可抑制短通道效應的結構。具體地，準備四種模型，各具有不同載子濃度及不同氧化物半導體層之厚度，檢驗通道長度（ L ）和臨界電壓（ V_{th} ）之間的關係。作為模型，採用底閘極電晶體，在其各者中，氧化物半導體層具有 $1.7 \times 10^{-8}/\text{cm}^3$ 或 $1.0 \times 10^{15}/\text{cm}^3$ 的載子濃度，和具有 $1\mu\text{m}$ 或 30 nm 之厚度的氧化物半導體層。應注意將 In-Ga-Zn-O 基氧化物半導體用於氧化物半導體層，且使用厚度為 100 nm 的氮氧化矽膜作為閘極絕緣層。假設，在氧化物半導體中，能隙為 3.15 eV ，電子親和力為 4.3 eV ，相對介電係數為 15 且電子遷移率為 $10\text{ cm}^2/\text{Vs}$ 。假設氮氧化矽膜的相對介電係數為 4.0 。使用由 Silvaco Inc. 生產的裝置模擬軟體「ATLAS」來實施該計算。

應注意頂閘極電晶體和底閘極電晶體之間的計算結果並沒有很大差異。圖 14 和圖 15 顯示計算結果。圖 14 顯示載子濃度為 $1.7 \times 10^{-8}/\text{cm}^3$ 的情況且圖 15 顯示載子濃度

爲 $1.0 \times 10^{15} / \text{cm}^3$ 的情況。圖 14 和圖 15 之各者顯示，當使用通道長度（ L ）爲 $10 \mu\text{m}$ 的電晶體作爲參考且通道長度（ L ）在 $10 \mu\text{m}$ 至 $1 \mu\text{m}$ 之間變化時，臨界電壓（ V_{th} ）的偏移量（ ΔV_{th} ）。如圖 14 中所示，在氧化物半導體中的載子濃度爲 $1.7 \times 10^{-8} / \text{cm}^3$ 且氧化物半導體層的厚度爲 $1 \mu\text{m}$ 的情況中，臨界電壓的偏移量（ ΔV_{th} ）爲 -3.6 V 。並且，如圖 14 中所示，在氧化物半導體中的載子濃度爲 $1.7 \times 10^{-8} / \text{cm}^3$ 且氧化物半導體層的厚度爲 30 nm 的情況中，臨界電壓的偏移量（ ΔV_{th} ）爲 -0.2 V 。此外，如圖 15 中所示，在氧化物半導體中的載子濃度爲 $1.0 \times 10^{15} / \text{cm}^3$ 且氧化物半導體層的厚度爲 $1 \mu\text{m}$ 的情況中，臨界電壓的偏移量（ ΔV_{th} ）爲 -3.6 V 。並且，如圖 15 中所示，在氧化物半導體中的載子濃度爲 $1.0 \times 10^{15} / \text{cm}^3$ 且氧化物半導體層的厚度爲 30 nm 的情況中，臨界電壓的偏移量（ ΔV_{th} ）爲 -0.2 V 。此結果顯示在使用氧化物半導體的電晶體中，可藉由減少氧化物半導體層的厚度來抑制短通道效應。例如，在通道長度（ L ）大約爲 $1 \mu\text{m}$ 的情況中，即使有具有足夠高載子濃度的氧化物半導體層，可理解當氧化物半導體層的厚度被設定爲大約 30 nm 時，可充分地抑制短通道效應。

利用使用氧化物半導體作爲半導體材料形成通道形成區的電晶體，其作用爲資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作

，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，可藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例中描述的結構、方法及之類可與其他實施例中所述之任何結構、方法及之類做適當結合。

[實施例 2]

在此實施例中，將參照圖 16、圖 17A 至 17E、及圖 18A 至 18D 說明本發明所揭示之實施例的非揮發性閃鎖電路之元件的結構、製造方法等的另一範例。在此實施例中，非揮發性閃鎖電路的組態相似於圖 1 中的組態。

圖 16 為說明非揮發性閃鎖電路之元件之結構範例的橫截面圖。圖 16 為一範例，其中，在非揮發性閃鎖電路之元件中，使用氧化物半導體形成在上部中的電晶體 402

的結構異於圖 3A 和 3B 中所示。換句話說，圖 16 為一範例，其中將頂閘電晶體應用至使用氧化物半導體形成在上部中的電晶體 402。其他元件的結構（在下部中的電晶體的結構及之類）相似於圖 3A 和 3B 中所示。

< 非揮發性閃鎖電路之元件的結構 >

在圖 16 中，將使用氧化物半導體以外之材料的電晶體 160 設置於下部中，且將使用氧化物半導體之電晶體 402 設置於上部中。使用氧化物半導體以外之材料的電晶體 160 可被用作為包含在該閃鎖部之第一元件（D1）412 和第二元件（D2）413 中的電晶體。使用氧化物半導體以外之材料，可實現高速操作。非揮發性閃鎖電路之其他元件亦可具有相似於或媲美於電晶體 160 之結構。

可使用包含在電晶體 402 或電晶體 160 中的導電膜、半導體膜、絕緣膜或之類形成諸如非揮發性閃鎖電路之電容器 404 的元件。應注意，此處電晶體 160 和電晶體 402 為 n 通道電晶體；或者，可使用 p 通道電晶體。使用 p 通道電晶體作為電晶體 160 係容易的。圖 3B 顯示電晶體 402 和在下部中的電極（或導線）之間的連接關係異於圖 3A 之範例。

電晶體 160 包括設置於包含半導體材料之基板 100 中的通道形成區 116；其間夾有通道形成區 116 而形成的雜質區 114 和高濃度區 120（雜質區 114 和高濃度區 120 的組合可簡稱為雜質區）；閘極絕緣層 108a 於通道形成區

116 之上；閘極電極 110a 於閘極絕緣層 108a 之上；源極或汲極電極 130a 電連接於雜質區 114；以及源極或汲極電極 130b 電連接於雜質區 114。

此處，側壁絕緣層 118 形成於閘極電極 110a 之側上。而且，當從平面來看，高濃度區 120 形成於基板 100 之不與側壁絕緣層 118 重疊的區域中，且金屬化合物區 124 與高濃度區 120 接觸。再者，元件隔離絕緣層 106 形成於基板 100 之上以圍繞電晶體 160，且形成層間絕緣層 126 和層間絕緣層 128 以覆蓋電晶體 160。

源極或汲極電極 130a 和源極或汲極電極 130b 係經由形成在層間絕緣層 126 和層間絕緣層 128 中的該等開孔電連接於金屬化合物區 124。換句話說，源極或汲極電極 130a 和源極或汲極電極 130b 經由金屬化合物區 124 電連接於高濃度區 120 和雜質區 114。

電晶體 402 包括設置於絕緣層 168 之上的氧化物半導體層 140、設置於氧化物半導體層 140 之上且電連接至氧化物半導體層 140 的源極或汲極電極 142a 和源極或汲極電極 142b、設置以覆蓋氧化物半導體層 140、源極或汲極電極 142a 和源極或汲極電極 142b 的閘極絕緣層 166、以及設置在閘極絕緣層 166 之上與氧化物半導體層 140 重疊之區域中的閘極電極 178（見圖 16）。

此處，氧化物半導體層 140 較佳為藉由充分地移除諸如氫之雜質且供應氧而高度純化的氧化物半導體層。具體而言，氧化物半導體層 140 中的氫濃度，其由 SIMS（二

次離子質譜儀) 所測量，可被設定為小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳為小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳為小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，再更佳為小於 $1 \times 10^{16}/\text{cm}^3$ 。

應注意在藉由充分降低氫濃度及供應氧而高度純化的氧化物半導體層 140 中，載子濃度係足夠低（例如，少於 $1 \times 10^{12}/\text{cm}^3$ ，更佳為少於 $1 \times 10^{11}/\text{cm}^3$ ），相較於一般矽晶圓（添加少量例如磷或硼之雜質元素的矽晶圓）中的載子濃度（大約為 $1 \times 10^{14}/\text{cm}^3$ ）。

以此方式，藉由使用 i 型或實質 i 型氧化物半導體，可獲得具有極佳關閉狀態電流特性的電晶體 402。例如，當汲極電壓 V_D 為 +1 V 或 +10 V 且閘極電壓 V_G 在 -5 V 至 -20 V 之範圍時，在室溫的關閉狀態電流小於或等於 1×10^{-13} A。並且，前述電晶體具有常關電晶體之特性。因此，漏電流，即，在閘極電極和源極電極之間的電壓大約為 0 V 的狀態的關閉狀態電流遠小於使用矽之電晶體的關閉狀態電流。例如，在室溫每單位通道寬度之漏電流係小於或等於 $10 \text{ aA}/\mu\text{m}$ 。

此外，在溫度特性中，即使在高溫，關閉狀態電流可為足夠低且導通狀態電流可為足夠高。例如，因為電晶體 402 之 V_G-I_D 特性，在與關閉狀態電流、導通狀態電流、遷移率和 S 值具有低溫度相依性的 -25°C 至 150°C 的範圍中獲得資料。並且，獲得資料，其顯示在前述溫度範圍中的關閉狀態電流係與 1×10^{-13} A 一樣極低或更低。其中一個理由為使用藉由充分降低氫濃度以成為高純度及具有極

低載子濃度之 i 型或實質 i 型氧化物半導體作為該氧化物半導體。

當使用藉由充分減少氫濃度而高度純化之氧化物半導體層 140 且減少電晶體 402 之關閉狀態電流時，可實現具有新穎結構之半導體裝置。

此外，在電晶體 402 之上，設置層間絕緣層 170 和層間絕緣層 172。此處，閘極絕緣層 166、層間絕緣層 170、及層間絕緣層 172 設置有到達源極或汲極電極 142a 和源極或汲極電極 142b 之開孔。電極 154d 和電極 154e 經由該等開孔與源極或汲極電極 142a 和源極或汲極 142b 接觸。在形成電極 154d 和電極 154e 的同時，形成電極 154a、電極 154b、和電極 154c，其該等經由閘極絕緣層 166、層間絕緣層 170、和層間絕緣層 172 中的開孔分別與電極 136a、電極 136b、和電極 136c 接觸。

形成絕緣層 156 於層間絕緣層 172 之上。形成電極 158a、電極 158b、電極 158c、和電極 158d 以被嵌入至絕緣層 156 中。此處，電極 158a 與電極 154a 接觸，電極 158b 與電極 154b 接觸，電極 158c 與電極 154c 和電極 154d 接觸，以及電極 158d 與電極 154e 接觸。

意即，電晶體 402 之源極或汲極電極 142a 經由電極 130c、電極 136c、電極 154c、電極 158c、及電極 154d 電連接於其他元件（例如，使用氧化物半導體以外之材料的電晶體）（見圖 16）。此外，電晶體 402 之源極或汲極電極 142b 經由電極 154e 和電極 158d 電連接於其他元件

。應注意，連接電極（例如電極 130c、電極 136c、電極 154c、電極 158c、和電極 154d）之結構並不侷限於前述結構，可以適當的增添、省略、或之類。

< 非揮發性閃鎖電路之元件的製造方法 >

接著，將說明非揮發性閃鎖電路之元件的製造方法的範例。使用下述之製造方法，可製造非揮發性閃鎖電路之元件。應注意，電晶體 160 之製造方法相似於圖 4A 至 4H 所述；因此，省略其說明。將參照圖 17A 至 17E 及圖 18A 至 18D 說明電晶體 402 之製造方法。

< 在上部之電晶體的製造方法 >

接著，參照圖 17A 至 17E 及圖 18A 至 18D 說明在層間絕緣層 128 之上的電晶體 402 的製造步驟。應注意圖 17A 至 17E 及圖 18A 至 18D 說明在層間絕緣層 128 之上的電極、電晶體 402、和之類的製造步驟；因此，省略位在電晶體 402 下方的電晶體 160 和之類。

首先，形成絕緣層 132 於層間絕緣層 128、源極或汲極電極 130a 及源極或汲極電極 130b、和電極 130c 之上。接著，在絕緣層 132 中形成到達源極或汲極電極 130a、源極或汲極電極 130b、和電極 130c 之開孔。然後，形成導電層 134 以被嵌入至該等開孔中。在那之後，藉由蝕刻、CMP 等移除部分的導電層，使得暴露絕緣層 132，且形成電極 136a、電極 136b、和電極 136c（見圖 17A）。

可藉由 PVD 法、CVD 法等形成絕緣層 132。可使用包含無機絕緣材料，例如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、和氧化鉭之材料形成絕緣層 132。

可以例如使用遮罩之蝕刻的方法於絕緣層 132 中形成開孔。可以例如使用光罩之曝光的方法形成該遮罩。可使用濕蝕刻或乾蝕刻作為該蝕刻；就微製程而言，較佳使用乾蝕刻。

可以諸如 PVD 法或 CVD 法之膜形成法形成導電層。例如可使用導電材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦或任何此等材料之合金或化合物（例如，氮化物）來形成導電層。

更具體而言，可採用一方法，例如，其中在包含該等開孔之區域中以 PVD 法形成薄鈦膜以及以 CVD 法形成薄氮化鈦膜，然後形成鎢膜以被嵌入至該等開孔中。此處，以 PVD 法形成的鈦膜具有減少可形成於較低電極（此處為源極或汲極電極 130a、源極或汲極電極 130b、電極 130c、及之類）之表面上的氧化物膜以降低與較低電極的接觸電阻的功能。

在形成鈦膜之後形成的氮化鈦膜具有防止導電材料擴散的屏障功能。在形成鈦、氮化鈦等之屏障膜之後可以電鍍法形成銅膜。應注意不僅可採用所謂的單鑲嵌方法亦可採用雙鑲嵌方法。

當形成電極 136a、電極 136b、和電極 136c 時，較佳以 CMP 或之類實施該處理以使表面被平坦化。當以此方

式平坦化絕緣層 132、電極 136a、電極 136b、和電極 136c 的表面時，可在稍後的步驟中形成適當的電極、導線、絕緣層、半導體層等。

接著，形成絕緣層 168 以覆蓋絕緣層 132、電極 136a、電極 136b、和電極 136c。接著，形成氧化物半導體層於絕緣層 168 之上且以諸如使用遮罩之蝕刻的方法處理，使得形成島形氧化物半導體層 140（見圖 17B）。

絕緣層 168 作用為基底且可以 CVD 法、濺鍍法、或之類形成。較佳使用氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁、氧化鉛、氧化鉬等來形成絕緣層 168。應注意絕緣層 168 可具有單層結構或堆疊結構。絕緣層 168 之厚度並沒有特別限制；例如，絕緣層 168 可形成在 10 nm 至 500 nm 的範圍之間。此處，絕緣層 168 並非主要元件；因此，未設置絕緣層 168 之結構亦為可行。

若氫、水或之類包含於絕緣層 168 中，氫可進入氧化物半導體層或自氧化物半導體層抽取氧，藉此可能惡化電晶體之特性。因此，較佳為形成絕緣層 168 以便盡可能少地包含氫或水。

在採用濺鍍法或之類的情況中，例如，絕緣層 168 在移除處理室中的濕氣的情況中形成係較佳的。為了移除處理室中的濕氣，較佳使用吸附真空泵，例如，低溫泵、離子泵或鈦昇華泵。或者，可使用設置有冷凝捕集器的渦輪泵。因為自以低溫泵或之類抽空的處理室中充分地移除氫氣、水、或之類，因此可減少絕緣層 168 中包含的雜質濃

度。

當形成絕緣層 168 時，較佳使用其中將例如氫氣或水的雜質減少至大約百萬分之幾或更少（較佳為十億分之一或更少）的濃度的高純度氣體。

作為氧化物半導體層，可使用下列任何氧化物半導體：
 In-Sn-Ga-Zn-O 基氧化物半導體，其為四元金屬氧化物；
 In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、
 In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、
 Al-Ga-Zn-O 基氧化物半導體、或 Sn-Al-Zn-O 基氧化物半導體，
 其該等為三元金屬氧化物；In-Zn-O 基氧化物半導體、
 Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、
 Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、
 或 In-Mg-O 基氧化物半導體，其該等為二元金屬氧化物；
 或 In-O 基氧化物半導體、Sn-O 基氧化物半導體；
 或 Zn-O 基氧化物半導體，其該等為一元金屬氧化物。
 此外，上述該等氧化物半導體可包含 SiO_2 。

作為氧化物半導體層，可使用包含以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示之材料的薄膜。此處，M 表示一或多個選自 Ga、Al、Mn、及 Co 的金屬元素。例如，M 可為 Ga、Ga 和 Al、Ga 和 Mn、Ga 和 Co 等。

在此實施例中，作為氧化物半導體層，使用 In-Ga-Zn-O 基金屬氧化物靶材以濺鍍法形成非晶氧化物半導體層。應注意因為添加矽到非晶氧化物半導體層可抑制非晶氧化物半導體層的結晶化，因此可使用包含在 2wt% 至

10wt% 的 SiO_2 的靶材來形成氧化半導體層。

作為用於以濺鍍法形成氧化物半導體層的金屬氧化物靶材，例如，可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [摩爾比]之組成比例的金屬氧化物靶材。此外，亦可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩爾比]之組成比例的金屬氧化物靶材或具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [摩爾比]之組成比例的金屬氧化物靶材。金屬氧化物靶材的填充率為 90% 至 100%，較佳為大於或等於 95%（例如 99.9%）。藉由使用具有高填充率的金屬氧化物靶材來形成緻密的氧化物半導體層。

形成氧化物半導體層的氛圍較佳為稀有氣體（典型為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型為氬氣）和氧氣的混合氛圍。具體地，較佳使用例如高純度氣體氛圍，從中移除例如氫氣、水氣、羥基或氫化物的雜質至濃度約百萬分之幾或更少（較佳為數十億分之幾或更少）。

在形成氧化物半導體層時，將基板保持於維持在已降低之壓力下的處理室中，且加熱基板至 100°C 至 600°C 之間，較佳為 200°C 至 400°C 之間的溫度。然後，將其中移除氫氣和水的濺鍍氣體導入處理室，同時移除處理室中的濕氣，藉以使用金屬氧化物作為靶材形成氧化物半導體層。當加熱基板時形成該氧化物半導體層，使得可減少包含在氧化物半導體層中的雜質濃度。而且，減少因為濺鍍造成的半導體層的損害。

為了移除處理室中的濕氣，較佳使用吸附真空泵。例

如，可使用低溫泵、離子泵或鈦昇華泵。或者，可使用設置有冷凝捕集器的渦輪泵。因為自以低溫泵抽空的處理室中移除氬氣、水、或之類，因此可減少氧化物半導體層中的雜質濃度。

可在例如以下條件形成氧化物半導體層：基板和靶材之間的距離為 100 mm；壓力為 0.6 Pa；直流（DC）電源為 0.5 kW；且氛圍係氧氣氛圍（氧氣流量比為 100%）。應注意較佳係使用脈衝直流（DC）電源，因為可減少灰塵且減少厚度分佈。該氧化物半導體層的厚度為 2 nm 至 200 nm，較佳為 5 nm 至 30 nm。應注意該氧化物半導體層的厚度視情況依據將使用之氧化物半導體材料、半導體裝置之預期目的、或之類而不同；因此，可依據將使用的材料、預期目的、或之類來決定厚度。

應注意在以濺鍍法形成該氧化物半導體層之前，較佳實施其中以導入氬氣氣體產生電漿之反向濺鍍，使得移除附著在絕緣層 168 表面的灰塵。此處，該反向濺鍍為離子撞擊將被處理之表面使得表面被修正的方法，與離子撞擊濺鍍靶材之一般濺鍍相反。用於使離子撞擊將被處理之表面的方法的範例為在氬氣氛圍下施加高頻電壓至表面使得在基板附近產生電漿的方法。應注意可使用氮氣氛圍、氬氣氛圍、氧氣氛圍等替代氬氣氛圍。

作為氧化物半導體層的蝕刻方法，可採用乾蝕刻或濕蝕刻。當然，亦可使用乾蝕刻和濕蝕刻的組合。依據該材料適當設定蝕刻條件（例如蝕刻氣體、蝕刻劑、蝕刻時間

和溫度)，使得可將該氧化物半導體層蝕刻為想要的形狀。

可使用平行板 RIE（反應性離子蝕刻）法或 ICP（電感式耦合電漿）蝕刻法作為乾蝕刻法。在此情況中，亦需要適當設定蝕刻條件（例如，施加於線圈狀電極的電量、施加於基板側上電極的電量、基板側上電極的溫度等）。

用於乾蝕刻之蝕刻氣體的範例為包含氯（以氯為基質的氣體，例如氯氣（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））的氣體。此外，可使用包含氟的氣體（以氟為基質的氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧氣（ O_2 ）；加入稀有氣體例如氦氣（ He ）或氬氣（ Ar ）的任何這些氣體等。

可使用磷酸、醋酸和硝酸等的混合溶液，氮氧化混合物（氮、水和雙氧水的混合）或之類作為用於濕蝕刻的蝕刻劑。亦可使用例如 ITO07N（由 KANTO CHEMICAL CO., INC. 所生產）之蝕刻劑。

接著，在該氧化物半導體層上較佳實施第一熱處理。可經由第一熱處理移除氧化物半導體層中包含的水（包含氫基）、氫、或之類。第一熱處理的溫度為 300°C 至 800°C 之間，較佳為 400°C 至 700°C 之間，更佳為 450°C 至 700°C 之間，且再更佳為 550°C 至 700°C 之間。

當於 350°C 或更高之溫度實施第一熱處理時，可將該氧化物半導體層脫水或脫氫，使得可減少氧化物半導體層

中的氫濃度。此外，當於 450℃ 或更高之溫度實施第一熱處理時，可進一步減少氧化物半導體層中的氫濃度。再者，當於 550℃ 或更高之溫度實施第一熱處理時，可更進一步減少氧化物半導體層中的氫濃度。例如，導入基板於使用電阻加熱元件等的電爐中，在氮氣氛圍中於 450℃ 將該氧化物半導體層 140 實施熱處理 1 小時。在該處理期間，該氧化物半導體層 140 並不暴露於空氣中以防止水或氫氣的進入。

熱處理設備並不侷限於電爐，且可為使用由例如加熱氣體等之媒介所提供的熱傳導或熱輻射來加熱物體的設備。例如，可使用快速熱退火（RTA）設備，例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備。

LRTA 設備係以發射自燈（例如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）來加熱物體的設備。GRTA 設備係使用高溫氣體實施熱處理的設備。作為該氣體，使用接受熱處理時不與待處理之物體產生反應的惰性氣體，例如氮氣或稀有氣體，例如氬氣。

例如，作為第一熱處理，可實施 GRTA 處理如下。將基板放置於已加熱至 650℃ 至 700℃ 之高溫的惰性氣體氛圍中，加熱數分鐘，然後將基板從惰性氣體氛圍中取出。GRTA 處理在短時間內致能高溫熱處理。此外，即使在超過基板之溫度上限，仍可採用 GRTA 處理，因為其為短時間熱處理。例如，在使用包含具有相對低耐熱之基板（例

如玻璃基板)的SOI基板的情況中，在溫度高於溫度上限(應變點)時，基板的收縮成為問題，但該問題不在短時間內實施熱處理之情況中。

應注意作為實施第一熱處理之惰性氣體氛圍，較佳採用包含氮氣或稀有氣體(例如氮氣、氖氣或氬氣)作為其主要成分且不包含水、氫、或之類的氛圍。例如，導入熱處理設備之氮氣或稀有氣體(例如氮氣、氖氣或氬氣)的純度為大於或等於6N(99.9999%)，較佳為大於或等於7N(99.99999%) (即，雜質濃度小於或等於1 ppm，較佳為小於或等於0.1 ppm)。

應注意，惰性氣體氛圍在處理期間可被改變成包含氧之氛圍。例如，在第一熱處理中使用電爐的情況中，當處理溫度下降時，可改變氛圍。例如，在諸如稀有氣體(例如，氮氣、氖氣或氬氣)或氮氣之惰性氣體氛圍下可實施熱處理(在恆溫)，且當處理溫度下降時，氛圍可轉變為包含氧的氛圍。作為包含氧的氛圍，可使用氧氣氣體或氧氣和氮氣之混合氣體。

並且在採用包含氧氣之氛圍的情況中，該氛圍不包含水、氫、或之類係較佳的。或者，使用的氧氣氣體或氮氣的純度較佳為大於或等於6N(99.9999%)，更佳為大於或等於7N(99.99999%) (即，雜質濃度小於或等於1 ppm，較佳為小於或等於0.1 ppm)。這是因為藉由在包含氧之氛圍中實施第一熱處理可減少由缺氧造成的缺陷。

在某些情況中，依據第一熱處理的條件或氧化物半導

體層的材料，結晶化該氧化物半導體層為微晶或多晶。例如，在某些情況中，該氧化物半導體層成為具有結晶度 90% 以上、或 80% 以上的微晶氧化物半導體層。此外，在某些情況中，依據第一熱處理的條件或氧化物半導體層的材料，該氧化物半導體層可為不包含結晶元件的非晶氧化物半導體層。

此外，在某些情況中，該氧化物半導體層成為其中將微晶（具有 1 nm 至 20 nm 的晶粒尺寸，典型為 2 nm 至 4 nm）混合入非晶氧化物半導體（例如，該氧化物半導體層的表面）的層。該氧化物半導體層的電特性可藉由以前述方式在非晶半導體中對準微晶而改變。

例如，當使用 In-Ga-Zn-O 基金屬氧化物靶材形成氧化物半導體層時，該氧化物半導體層的電特性可藉由形成微晶區而改變，該微晶區中具有電各向異性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒係對準的。例如，該微晶區較佳為配置該等晶粒使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之 c 軸垂直於該氧化物半導體層之表面的區域。

藉由形成晶粒以此方式配置的區域，可改善平行於該氧化物半導體層之表面方向中的導電性，且可改善垂直於該氧化物半導體層之表面方向中的絕緣性質。此外，此種微晶區具有抑制諸如水或氫之雜質進入該氧化物半導體層的功能。

應注意可藉由以 GRTA 處理加熱該氧化物半導體層的表面而形成包含微晶區的氧化物半導體層。再者，可藉由

使用其中 Zn 之量小於 In 或 Ga 之量的濺鍍靶材以更佳的方式形成該氧化物半導體層。

可在尚未被處理成島形氧化物半導體層 140 的氧化物半導體層上實施用於氧化物半導體層 140 的第一熱處理。在此情況中，在第一熱處理之後，從加熱設備中取出基板，然後實施微影步驟。

應注意前述第一熱處理亦可被稱為脫水處理、脫氫處理、或之類。可在例如形成氧化物半導體層之後、在氧化物半導體層 140 之上堆疊源極或汲極電極之後、或在源極或汲極電極之上形成閘極絕緣層之後，實施此脫水處理或脫氫處理。可實施一次或複數次此脫水處理或脫氫處理。

接著，在形成導電層 142 以與氧化物半導體層 140 接觸之後，形成絕緣層 164 於導電層 142 之上（見圖 17C）。應注意並不一定要形成絕緣層 164。

可藉由 PVD 法，例如濺鍍法或 CVD 法（例如電漿 CVD 法），來形成導電層 142。作為導電層 142 之材料，可使用選自鋁、鉻、銅、鈹、鈦、鉬及鎢的元素；及包括任何這些元素作為其成份的合金；或之類。而且，可使用選自錳、鎂、鋅、銻和鈦的一或多個材料。亦可使用與選自鈦、鈹、鎢、鉬、鉻、釷和鈳的一或多個元素組合的鋁。

可使用導電金屬氧化物形成導電層 142。作為導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，其在

某些情況中簡稱為 ITO)、氧化銦-氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或其中包含矽或氧化矽之任何此等金屬氧化物材料。

導電層 142 可具有單層結構或二或多層的堆疊結構。例如，該導電層 142 可具有可具有包含矽的鋁膜的單層結構，其中鈦膜堆疊於鋁膜上的兩層結構，或其中依鈦膜、鋁膜和鈦膜之順序堆疊的三層結構。此處，採用鈦膜、鋁膜和鈦膜之三層結構。

應注意氧化物導電層可形成於氧化物半導體層 140 和該導電層 142 之間。可連續形成該氧化物導電層和該導電層 142。藉由設置此氧化物導電層，可減少源極區或汲極區之電阻，使得可高速操作該電晶體。

可以 CVD 法、濺鍍法、或之類形成絕緣層 164。較佳使用氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁、氧化鈺、氧化鋇等來形成絕緣層 164。應注意絕緣層 164 可具有單層結構或堆疊結構。絕緣層 164 之厚度並沒有特別限制；例如，絕緣層 164 可形成在 10 nm 至 500 nm 的範圍之間。

接著，藉由選擇性蝕刻導電層 142 和絕緣層 164 而形成源極或汲極電極 142a、源極或汲極電極 142b、絕緣層 164a、及絕緣層 164b（見圖 17D）。

較佳將紫外線、KrF 雷射光或 ArF 雷射光用於在形成用於蝕刻之遮罩時的曝光。特別是，在實施曝光使得該通道長度（L）短於 25 nm 的情況中，較佳以數奈米至數十

奈米之極短波長的極紫外線實施用於形成遮罩的曝光。使用極紫外線之曝光的解析度為高，且焦點深度為大。因此，可設計一遮罩使得將於稍後形成之電晶體的通道長度（ L ）少於 25 nm，即，在 10 nm 至 1000 nm 的範圍中。藉由以此方法減少通道長度，可改善操作速度。此外，使用氧化物半導體之電晶體的關閉狀態電流為小；因此，可抑制因微型化造成的功率消耗的增加。

適當調整導電層 142 和氧化物半導體層 140 之材料和蝕刻條件，使得在蝕刻導電層 142 中不移除氧化物半導體層 140。應注意在某些情況中，依據材料和蝕刻條件，在蝕刻步驟中部份蝕刻氧化物半導體層 140，因此具有凹槽部分（低陷部分）。

為了減少將被使用的遮罩數目和減少步驟，可使用以多段式調整光罩（multi-tone mask）形成的抗蝕遮罩來實施蝕刻步驟以具有複數強度，該多段式調整光罩為曝光遮罩，經由該光罩傳輸光。使用多段式調整光罩形成的抗蝕遮罩具有複數厚度（具有階梯形狀），且可進一步藉由灰化來改變形狀；因此，在複數蝕刻步驟中可使用該抗蝕遮罩以處理成為不同的圖案。即，藉由使用一個多段式調整光罩可形成對應於至少兩種不同圖案的抗蝕遮罩。因此，可減少曝光遮罩的數目，且亦可減少對應的微影步驟的數目，藉以簡化製程。

接著，形成閘極絕緣層 166 與部分氧化物半導體層 140 接觸，而不暴露於空氣中（見圖 17E）。可以 CVD

法、濺鍍法、或之類形成閘極絕緣層 166。較佳使用氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁、氧化鉛、氧化鋇等來形成閘極絕緣層 166。應注意閘極絕緣層 166 可具有單層結構或堆疊結構。閘極絕緣層 166 之厚度並沒有特別限制；例如，閘極絕緣層 166 可形成在 10 nm 至 500 nm 的範圍之間。

應注意，藉由移除雜質而獲得之 i 型或實質 i 型氧化物半導體（純化氧化物半導體）對於介面狀態或介面電荷高度敏感；因此，閘極絕緣層 166 需要具有高品質。

例如，以使用微波（頻率：2.45 GHz）之高密度電漿 CVD 法來形成閘極絕緣層 166 係較佳的，因為閘極絕緣層 166 可為緊密且具有耐高壓和高品質。當高純度氧化物半導體層和高品質閘極絕緣層彼此緊密接觸時，可減少介面位準且可獲得優良介面特性。

不用說，只要可以形成高品質絕緣層作為閘極絕緣層 166，可採用其他例如濺鍍法或電漿 CVD 法之方法。而且，亦可使用絕緣層，其膜品質和介面特性藉由在形成該閘極絕緣層 166 之後實施的熱處理而被改善。在任何情況中，形成具有如同閘極絕緣層 166 之優良膜品質且可減少和氧化物半導體層之間的介面位準密度以形成優良介面的絕緣層作為閘極絕緣層 166。

由此改善與閘極絕緣層之介面的特性且自氧化物半導體消除雜質，特別是氫氣、水、或之類，可獲得穩定的電晶體，其臨界電壓（ V_{th} ）在閘極偏壓-溫度應力測試（BT

測試，例如，在 85°C 且 $2 \times 10^6 \text{ V/cm}$ 達 12 小時）中不會有變化。

之後，在惰性氣體氛圍或氧氣氣體氛圍下實施第二熱處理。在 200°C 至 400°C ，較佳為 250°C 至 350°C 實施該熱處理。例如，在氮氣氛圍下於 250°C 實施第二熱處理一小時。該第二熱處理可減少電晶體之電特性中的變異。應注意雖然在此實施例中，第二熱處理在形成閘極絕緣層 166 之後實施，但實施第二熱處理的時點並沒有特別限制，只要其在第一熱處理之後即可。

接著，在閘極絕緣層 166 之上與氧化物半導體層 140 重疊的區域中形成閘極電極 178（見圖 18A）。藉由形成導電層於閘極絕緣層 166 之上然後選擇性圖案化該導電層可形成閘極電極 178。

可藉由 PVD 法，例如濺鍍法或 CVD 法（例如電漿 CVD 法），來形成導電層。作為導電層之材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬及鎢的元素；及包括任何這些元素作為其成份的合金；或之類。而且，可使用選自錳、鎂、銦、銩和鈦的一或多個材料。亦可使用與選自鈦、鈮、鎢、鉬、鉻、釷和鈳的一或多個元素組合的鋁。

可使用導電金屬氧化物形成導電層。作為導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，其在某些情況中簡稱為 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或其中包含矽或氧化矽之任何此等金屬氧化物材料。

導電層可具有單層結構或二或多層的堆疊結構。例如，該導電層可具有可具有包含矽的鋁膜的單層結構，其中鈦膜堆疊於鋁膜上的兩層結構，或其中依鈦膜、鋁膜和鈦膜之順序堆疊的三層結構。此處，使用包含鈦之材料形成導電層，然後處理成為閘極電極 178。

接著，形成層間絕緣層 170 和層間絕緣層 172 於閘極絕緣層 166 和閘極電極 178 之上（見圖 18B）。可以 PVD 法、CVD 法等形成層間絕緣層 170 和層間絕緣層 172。可使用包含無機絕緣材料，例如氧化矽、氧化氮化矽、氮化矽、氧化鉛、氧化鋁和氧化鉬的材料，形成層間絕緣層 170 和層間絕緣層 172。應注意雖然在此實施例中使用層間絕緣層 170 和層間絕緣層 172 之堆疊結構，但本發明所揭示之實施例並不侷限於此。亦可使用單層結構或包含三或多層的堆疊結構。

應注意較佳形成層間絕緣層 172 以便具有平坦化表面。這是因為當形成層間絕緣層 172 以便具有平坦化表面時，可於層間絕緣層 172 之上有利地形成電極、導線、或之類。

接著，在閘極絕緣層 166、層間絕緣層 170、和層間絕緣層 172 中形成到達電極 136a、電極 136b、電極 136c、源極或汲極電極 142a、和源極或汲極電極 142b 的開孔。接著，形成導電層以便被嵌入至該等開孔中。接著，以諸如蝕刻或 CMP 之方法移除部份導電層，使得暴露層間絕緣層 172 且形成電極 154a、電極 154b、電極 154c、電

極 154d、和電極 154e（見圖 18C）。

可以例如使用遮罩之蝕刻的方法形成開孔。可以例如使用光罩之曝光的方法形成該遮罩。可使用濕蝕刻或乾蝕刻作為該蝕刻；就微製程而言，較佳使用乾蝕刻。

可以諸如 PVD 法或 CVD 法之膜形成法形成導電層。例如可使用導電材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦或任何此等材料之合金或化合物（例如，氮化物）來形成導電層。

具體而言，可採用一方法，例如，其中在包含該等開孔之區域中以 PVD 法形成薄鈦膜以及以 CVD 法形成薄氮化鈦膜，然後形成鎢膜以被嵌入至該等開孔中。此處，以 PVD 法形成的鈦膜具有減少可形成於較低電極（此處為電極 136a、電極 136b、電極 136c、源極或汲極電極 142a、源極或汲極電極 142b、及之類）之表面上的氧化物膜以降低與較低電極的接觸電阻的功能。在形成鈦膜之後形成的氮化鈦膜具有防止導電材料擴散的屏障功能。在形成鈦、氮化鈦等之屏障膜之後可以電鍍法形成銅膜。應注意不僅可採用所謂的單鑲嵌方法亦可採用雙鑲嵌方法。

當移除部分的導電層之後，較佳實施處理使得層間絕緣層 172 的暴露表面；電極 154a、電極 154b、電極 154c、電極 154d、和電極 154e 的表面；及之類被平坦化。以此方式平坦化該等表面，藉此可在之後的步驟中有利地形成電極、導線、或之類。

接著，進一步形成絕緣層 156，且在絕緣層 156 中形

成到達電極 154a、電極 154b、電極 154c、電極 154d 和電極 154e 的開孔。在形成導電層以被嵌入至該等開孔中之後，藉由諸如蝕刻或 CMP 之方法移除部分的導電層。因此，暴露絕緣層 156，且形成電極 158a、電極 158b、電極 158c 和電極 158d（見圖 18D）。此步驟相同於形成電極 154a 等的步驟；因此省略詳細描述。

在以上述方法形成電晶體 402 的情況中，氧化物半導體層 140 中的氫濃度為 $5 \times 10^{19} / \text{cm}^3$ 或更少，且電晶體 402 的關閉狀態電流為 1×10^{-13} A 或更少。藉由應用以如上述充分降低氫濃度及供應氧而高度純化之氧化物半導體層 140，可獲得具有優良特性的電晶體 402。

應注意，較佳為在減少氫濃度之後立即供應氧至氧化物半導體層 140，因為氫、水、或之類不可能進入氧化物半導體層，因此可實現有極佳特性的氧化物半導體層。不用說，減少氫濃度之處理和供應氧之處理不需要連續實施，只要可實現有良好特性的氧化物半導體層即可。例如，在這兩種處理之間可實施其他處理。或者，可同時實施這兩種處理。

因為非揮發性閃鎖電路包括使用氧化物半導體以外之材料而形成在下部的電晶體 160 以及使用氧化物半導體而形成在上部的電晶體 402，因而能夠製造具有電晶體和使用非揮發性閃鎖電路之半導體裝置兩者特性的優良非揮發性閃鎖電路。

雖然已進行了許多氧化物半導體之特質，例如態密

度（DOS）的研究，但他們不包括充分地降低自身局部性能態的想法。依據本發明所揭示之一實施例，藉由移除可能影響局部性能態的水或氫氣來形成高純度氧化物半導體。這是基於充分地減少自身局部性能態的想法。此種高純度氧化物半導體可製造非常優良之工業產品。

應注意當移除氫、水、或之類時，在某些情況中亦移除氧。因此，較佳藉由供應氧氣至由氧空缺所產生之金屬懸空鍵而降低由氧空缺所造成之局部性能態來獲得更高純度（i 型）氧化物半導體。例如，可以下列方式降低由氧空缺所造成之局部性能態：形成具有過量氧之氧化物膜與通道形成區緊密接觸；並於 200℃ 至 400℃，典型約為 250℃ 實施熱處理，使得自該氧化物膜供應氧至氧化物半導體。惰性氣體氛圍在第二熱處理期間可能被改變為包含氧之氛圍。此外，可能改變前述氛圍；藉由在第二熱處理之後立即在氧氣氛圍或充分移除氫氣或水之氛圍中接受溫度下降處理，該氧化物半導體層亦可供應有氧。

氧化物半導體之缺陷被認為是歸因於在由於過量氫氣造成之導電帶下的 0.1 eV 至 0.2 eV 之能階，由於氧氣不足導致之深能階或之類。完全地移除氫氣且充分地供應氧氣以消除此缺陷可為正確的技術思考。

氧化物半導體一般被認為是 n 型半導體；然而，依據本發明所揭示之實施例，藉由移除諸如水和氫氣的雜質及供應為氧化物半導體之成分的氧而實現 i 型半導體。在此範疇中，可以說本發明所揭示之實施例包括新穎的技術特

徵，因為其與諸如添加雜質的矽的 i 型半導體不相同。

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例中描述的結構、方法及之類可與其他實施例中所述之任何結構、方法及之類做適當結合。

[實施例 3]

在此實施例中，將參考圖 19A 和 19B 說明本發明所揭示之一實施例的非揮發性閃鎖電路的組態和操作。

圖 19A 說明非揮發性閃鎖電路 400 的組態，其包括閃鎖部 411 和用於保存閃鎖部之資料的資料保存部 401。

圖 19B 說明非揮發性閃鎖電路 400 之時序圖的範例。

圖 19A 為具體說明圖 1 中閃鎖部 411 之組態的範例。圖 19A 為圖 1 中閃鎖部 411 之組態的範例，其中將反相器 412 用於第一元件且將反相器 413 用於第二元件。電晶體 402 之結構相似於實施例 1 或實施例 2 之結構。

閃鎖部 411 包括反相器 412 和反相器 413。閃鎖部 411 具有具有其中反相器 412 之輸出電連接至反相器 413 之輸入，且反相器 413 之輸出電連接至反相器 412 之輸入的迴路結構。此外，閃鎖部 411 包括開關器 431 和開關器 432，且反相器 413 之輸出經由開關器 432 電連接至反相器 412 之輸入。

反相器 412 之輸入經由開關器 431 電連接於供應有閃鎖電路之輸入信號的導線 414。反相器 412 之輸出電連接於供應有閃鎖電路之輸出信號的導線 415。連接反相器 412 之輸入的節點被稱為節點 P。節點 P 電連接於供應有閃鎖電路之輸入信號的導線 414。並且，節點 P 亦電連接於反相器 413 之輸出。應注意節點 P 的電位和反相器 412 之輸入電位相同。

在資料保存部 401 中，使用氧化物半導體作為半導體材料形成通道形成區的電晶體 402 被用作開關元件。此外，資料保存部 401 包括電容器 404，其電連接於電晶體 402 之源極電極和汲極電極之其中一者。電容器 404 之電極之其中一者電連接於電晶體 402 之源極電極和汲極電極之其中一者。電晶體之源極電極和汲極電極之其中另一者

電連接於門鎖部中反相器 412 之輸入（節點 P）。

此外，電晶體之源極電極和汲極電極之其中另一者經由開關器 431 電連接於供應有門鎖電路之輸入信號的導線 414。電容器 404 之其他電極供應有電位 V_c 。電晶體 402 和電容器 404 彼此電連接之節點被稱為節點 S。

使用氧化物半導體的電晶體 402 具有將保存在門鎖部 411 的資料寫入資料保存部 401 之電容器 404 的功能。此外，電晶體 402 具有保存已寫入資料保存部 401 之電容器 404 中的資料的功能。並且，電晶體 402 具有將保存在資料保存部 401 之電容器 404 中的資料讀取至門鎖部 411 的功能。

導線 414 供應有來自前一階段之電路的輸入信號 IN 的電位。次一階段的電路供應有導線 415 的電位作為輸出信號 OUT。開關器 431 供應有時脈信號 $\phi 1$ 的電位。當時脈信號 $\phi 1$ 供應有高位準電位時，導通開關器 431。開關器 432 供應有時脈信號 $\phi 2$ 的電位。當時脈信號 $\phi 2$ 供應有高位準電位時，導通開關器 432。電晶體 402 的閘極供應有控制信號 ϕ_{LS} 的電位。當控制信號 ϕ_{LS} 供應有高位準電位時，導通電晶體 402。在一般操作週期中，時脈信號 $\phi 2$ 具有時脈信號 $\phi 1$ 的反相信號。此處，顯示當控制信號和時脈信號的電位係在高位準時，導通電晶體和開關器的範例。

門鎖部 411 之反相器 412 和反相器 413 之各者供應有高位準電源電壓 VDD 和低位準電源電壓 VSS。

接著，圖 19B 說明在非揮發性門鎖電路 400 處於操作

狀態（操作週期）之週期和在非揮發性門鎖電路 400 處於停止狀態（非操作週期）之週期中，輸入信號 IN、輸出信號 OUT、控制信號 ϕ_{LS} 、時脈信號 $\phi 1$ 、和時脈信號 $\phi 2$ 之電位的時序圖的範例。此外，圖 19B 說明資料保存部 401 之節點 S、門鎖部 411 之節點 P、和門鎖部 411 之反相器 412 和反相器 413 之電源電壓 VDD-L 的電位。節點 S 表示電容器 404 之電極之其中一者的電位。應注意電容器 404 之其他電極供應有預定電位 V_c ，例如，接地電位。

在圖 19B 中，週期 a、週期 b、週期 d、和週期 e 之各者為非揮發性門鎖電路 400 處於操作狀態的週期（操作週期），而週期 c 為非揮發性門鎖電路 400 處於停止狀態的週期（非操作週期）。在週期 a 和週期 e 之各者中，非揮發性門鎖電路 400 處於正常操作週期，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位。週期 b 為在非操作週期之前的準備週期。週期 b 亦被稱為下降週期。週期 d 為在非操作週期和供應電源之後重啓正常操作週期之間的準備週期。週期 d 亦被稱為上升週期。

當在正常操作週期（週期 a）中時脈信號 $\phi 1$ 供應有高位準電位及時脈信號 $\phi 2$ 供應有低位準電位時，關閉開關器 432 且切斷反相器迴路，導通開關器 431，且輸入信號的電位被輸入至反相器 412。輸入信號的電位被反相器 412 反相且被供應至次一階段的電路作為輸出信號 OUT。

當時脈信號 $\phi 1$ 供應有高位準電位時，若輸入信號的電位係高位準，可獲得具有低位準電位的輸出信號。當時脈信號 $\phi 1$ 供應有高位準電位時，若輸入信號的電位係低位準，可獲得具有高位準電位的輸出信號。

當時脈信號 $\phi 1$ 供應有低位準電位且時脈信號 $\phi 2$ 供應有高位準電位時，關閉開關器 431，導通開關器 432 而形成反相器迴路，且保存輸出信號 OUT 的電位（鎖存資料，即，保存門鎖電路的邏輯狀態）。

在正常操作週期中，控制信號 ϕ_{LS} 供應有關閉電晶體 402 之電位而未供應有導通電晶體 402 的電位。節點 S 具有對應於已被保存之電荷的電位。此處，節點 S 之電位被設定為未定義之值。

接著，當在非操作週期之前的準備週期（週期 b）中控制信號 ϕ_{LS} 供應有導通電晶體 402 的電位時，導通電晶體 402 且節點 S 供應有門鎖部中之反相器 412 之輸入（節點 P）的電位（此操作對應於寫入）。當門鎖部 411 中之反相器 412 之輸入（節點 P）的電位被設為高位準時，節點 S 之電位係高位準。對應於該電位之電荷被累積於節點 S 中。

之後，藉由將關閉電晶體 402 之電位供應給控制信號 ϕ_{LS} 來關閉電晶體 402，且節點 S 變成浮動狀態。因此，保存累積於節點 S 中的電荷而無任何改變（保存）。

應注意，在週期 b 中，時脈信號 $\phi 2$ 和時脈信號 $\phi 1$ 保存在週期 a 終止時的電位係足夠的。或者，藉由將時脈信

號 $\phi 2$ 之電位固定至高位準且將時脈信號 $\phi 1$ 之電位固定至低位準，可鎖存在週期 a 終止時的資料。

接著，在非操作週期（週期 c）中，停止供應電源且降低電源電壓 $VDD-L$ 的電位。時脈信號 $\phi 1$ 、時脈信號 $\phi 2$ 、輸入信號 IN 、和輸出信號 OUT 的電位可為在 VDD 和 VSS 之間的任何值。在此期間，控制信號 ϕ_{LS} 的電位被保持在低位準使得關閉電晶體 402。例如，該等電位被保持在接地電位。在非操作週期（週期 c）中，藉由關閉電晶體 402 而保存累積在節點 S 中的電荷（保存）。

接著，在非操作週期和重啓正常操作週期之間的準備週期（週期 d）中，供應電源，且時脈信號 $\phi 2$ 和時脈信號 $\phi 1$ 之電位各被固定在低位準。雖然節點 P 和輸出信號 OUT 的電位相依於供應電源之前的節點 P 的電位、輸出信號 OUT 的電位、及之類，但此處認為節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位。

接著，當控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，導通電晶體 402 且保存在節點 S 中的電位被供應至門鎖部 411。具體而言，分佈電荷至節點 S 和反相器 412 之輸入（節點 P），且反相器 412 之輸入（節點 P）供應有對應於累積在節點 S 中之電荷的電位。此處，分佈累積在節點 S 中之電荷至門鎖部 411，升高反相器 412 之輸入（節點 P）之電位，並在一度程度上降低節點 S 之電位。因此，反相器 412 之輸入（節點 P）和節點 S 各實質上具有高位準電位。

接著，閘鎖部中之節點 P 的電位被反相器 412 反相且被供應至次一階段的電路作為輸出信號 OUT。此處所示為一範例，其中保存在節點 S 中的電位和供應至閘鎖部之節點 P 的電位係位於高位準，而可獲得具有低位準電位之輸出信號。因而，該閘鎖電路之邏輯狀態可被回復至非操作週期之前的邏輯狀態。

之後，藉由將關閉電晶體 402 之電位供應至控制信號 ϕ_{LS} 而關閉電晶體 402，且節點 S 變成浮動狀態。因此，保存累積在節點 S 中的電荷而無任何改變（保存）。可在控制信號 ϕ_{LS} 接著供應有導通電晶體 402 之電位時重寫累積在節點 S 中的電荷。因此，保存累積在節點 S 中的電荷而無任何改變，直到控制信號 ϕ_{LS} 接著供應有導通電晶體 402 之電位時。

此外，在週期 d 中，可在控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位之後提供將時脈信號 ϕ_2 設為高位準的週期。當時脈信號 ϕ_2 供應有高位準電位，導通開關器 432，並形成反相迴路。當形成反相迴路時，輸出信號 OUT 和節點 P 各供應有高位準電位或低位準電位，且保存該等電位（鎖存資料）。

如上述，藉由分佈電荷至節點 S 和反相器 412 之輸入（節點 P）將資料讀取至閘鎖部。在將對應於高位準電位之電荷累積於節點 S 中的情況中，在電荷被分佈至節點 S 和反相器 412 之輸入（節點 P）之後，反相器 412 之輸入（節點 P）的電位被設定為高於反相器 412 之臨界值（將

反相器之輸出反相的輸入電位)而不相依於導通電晶體 402 之前的反相器 412 之輸入(節點 P)的電位。

在將對應於低位準電位之電荷累積於節點 S 中的情況中，在電荷被分佈至節點 S 和反相器 412 之輸入(節點 P)之後，反相器 412 之輸入(節點 P)的電位被設定為低於反相器 412 之臨界值(將反相器之輸出反相的輸入電位)而不相依於導通電晶體 402 之前的反相器 412 之輸入(節點 P)的電位。

為了達到上述，例如，節點 S 之電容量大於節點 P 之電容量係較佳的。換句話說，電連接至節點 S 之電容器 404 的電容量大於電連接至節點 P 之反相器 412 的輸入電容量(輸入電容量對應於反相器之電晶體的閘極電容量)係較佳的。此外，在週期 d 中，提供將電位 V_0 設定為 V_{DD} 和 V_{SS} 之間的值的週期係有效的。因而，可更穩定地實施讀取操作。

以此方式，不限於節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位的情況，亦可在節點 P 具有高位準電位且輸出信號 OUT 具有低位準電位的情況中將資料讀取至門鎖部。此外，不限於將對應於高位準電位之電荷累積於節點 S 中的情況，即使在累積對應於低位準電位之電荷的情況中，亦可將資料讀取至門鎖部。

接著，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位以成為正常操作狀態(週期 e)。在正常操作狀態(週期 e)起始時，可自相同於前一

正常操作週期（週期 a）之終止時的電位（相同狀態），或自週期 a 之終止時的電位之反相電位（此反相電位亦被稱為週期 a 之後續狀態），起始時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之操作。

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並無有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 4]

在此實施例中，將參照圖 20A 說明本發明所揭示之一實施例的非揮發性閃鎖電路之操作的另一範例。非揮發

性門鎖電路之組態和圖 19A 所示相同，且此範例中時序圖和圖 19B 中所示相異。

接著，圖 20A 說明在非揮發性門鎖電路 400 處於操作狀態（操作週期）之週期和在非揮發性門鎖電路 400 處於停止狀態（非操作週期）之週期中，輸入信號 IN、輸出信號 OUT、控制信號 ϕ_{LS} 、時脈信號 $\phi 1$ 、和時脈信號 $\phi 2$ 之電位的時序圖的範例。此外，圖 20A 說明資料保存部 401 之節點 S、門鎖部 411 之節點 P、和電源電壓 VDD-L 的電位。節點 S 表示電容器 404 之電極之其中一者的電位。應注意電容器 404 之其他電極供應有電位 V_c 。

在圖 20A 中，週期 a、週期 b、週期 d、和週期 e 之各者為非揮發性門鎖電路 400 處於操作狀態的週期（操作週期），而週期 c 為非揮發性門鎖電路 400 處於停止狀態的週期（非操作週期）。在週期 a 和週期 e 之各者中，非揮發性門鎖電路 400 處於正常操作週期，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位。週期 b 為在非操作週期之前的準備週期。週期 b 亦被稱為下降週期。週期 d 為在非操作週期和重啓正常操作週期之間的準備週期。週期 d 亦被稱為上升週期。

在圖 20A 中，週期 a、週期 b、和週期 c 之操作相似於圖 19B 中所示。接著，在非操作週期和供應電源之後重啓正常操作週期之間的準備週期（週期 d）中，時脈信號 $\phi 2$ 和時脈信號 $\phi 1$ 之電位各被固定至低位準。雖然節點 P 和輸出信號 OUT 的電位相依於供應電源之前的節點 P 的

電位、輸出信號 OUT 的電位、及之類，但此處認為節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位。

接著，當控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，導通電晶體 402 且保存在節點 S 中的電位被供應至門鎖部 411。具體而言，分佈電荷至節點 S 和反相器 412 之輸入（節點 P），且反相器 412 之輸入（節點 P）供應有對應於累積在節點 S 中之電荷的電位。此處，分佈累積在節點 S 中之電荷至門鎖部 411，升高反相器 412 之輸入（節點 P）之電位，並在一度程度上降低節點 S 之電位。

因此，反相器 412 之輸入（節點 P）和節點 S 實質上各具有高位準電位。接著，門鎖部中的節點 P 之電位被反相器 412 反相且被供應至次一階段的電路作為輸出信號 OUT。此處所示為一範例，其中保存在節點 S 中的電位和供應至門鎖部之節點 P 的電位各位於高位準，而可獲得具有低位準電位的輸出信號。因而，該門鎖電路之邏輯狀態可被回復至非操作週期之前的邏輯狀態。

接著，當控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，時脈信號 ϕ_2 供應有高位準電位。當時脈信號 ϕ_2 供應有高位準電位時，導通開關器 432，且形成反相迴路。當形成反相迴路時，輸出信號 OUT 和節點 P 各供應有高位準電位或低位準電位，電位被保存（鎖存資料）。

特別是，由於電荷被分佈到節點 S 和反相器 412 之輸入（節點 P），即使反相器 412 之輸入（節點 P）的電位自高位準電位或低位準電位位移至一定程度，高位準電位

或低位準電位會再次被供應。接著，供應節點 P 之電位至節點 S。因而，即使節點 S 的電位自高位準電位或低位準電位位移至一定程度，高位準電位或低位準電位會再次被供應。因此，節點 S 的電位可被回復至改變之前的電位（此操作亦被稱為重寫）。

之後，藉由將關閉電晶體 402 之電位供應至控制信號 ϕ_{LS} 而關閉電晶體 402，且節點 S 變成浮動狀態。因此，保存累積在節點 S 中的電荷而無任何改變（保存）。可在控制信號 ϕ_{LS} 接著供應有導通電晶體 402 之電位時重寫累積在節點 S 中的電荷。因此，保存累積在節點 S 中的電荷而無任何改變，直到控制信號 ϕ_{LS} 接著供應有導通電晶體 402 之電位時。

如上述，藉由分佈電荷至節點 S 和反相器 412 之輸入（節點 P）將資料讀取至閘鎖部。在將對應於高位準電位之電荷累積於節點 S 中的情況中，在電荷被分佈至節點 S 和反相器 412 之輸入（節點 P）之後，反相器 412 之輸入（節點 P）的電位被設定為高於反相器 412 之臨界值（將反相器之輸出反相的輸入電位）而不相依於導通電晶體 402 之前的反相器 412 之輸入（節點 P）的電位。

在將對應於低位準電位之電荷累積於節點 S 中的情況中，在電荷被分佈至節點 S 和反相器 412 之輸入（節點 P）之後，反相器 412 之輸入（節點 P）的電位被設定為低於反相器 412 之臨界值（將反相器之輸出反相的輸入電位）而不相依於導通電晶體 402 之前的反相器 412 之輸入（

節點 P) 的電位。

爲了達到上述，例如，節點 S 之電容量大於節點 P 之電容量係較佳的。換句話說，電連接至節點 S 之電容器 404 的電容量大於電連接至節點 P 之反相器 412 之輸入電容量的電容量（輸入電容量對應於反相器之電晶體的閘極電容量）係較佳的。此外，在週期 d 中，提供將電位 V_c 設定爲 V_{DD} 和 V_{SS} 之間的值的週期係有效的。因而，可更穩定地實施讀取操作。

以此方式，不限於節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位的情況，亦可在節點 P 具有高位準電位且輸出信號 OUT 具有低位準電位的情況中將資料讀取至閘鎖部。此外，不限於將對應於高位準電位之電荷累積於節點 S 中的情況，即使在累積對應於低位準電位之電荷的情況中，亦可將資料讀取至閘鎖部。

接著，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位以成爲正常操作狀態（週期 e）。在正常操作狀態（週期 e）起始時，可自相同於前一正常操作週期（週期 a）之終止時的電位（相同狀態），或自週期 a 之終止時的電位之反相電位（此反相電位亦被稱爲週期 a 之後續狀態），起始時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之操作。

利用使用氧化物半導體作爲半導體材料形成通道形成區的電晶體，其作用爲資料保存部的開關元件，針對依據本實施例之非揮發性閘鎖電路，可實現一非揮發性閘鎖電

路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並無有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 5]

在此實施例中，將參照圖 20B 說明本發明所揭示之一實施例的非揮發性閃鎖電路之操作的另一範例。非揮發性閃鎖電路之組態和圖 19A 所示相同，且此範例中時序圖和圖 19B 及圖 20A 中所示相異。

接著，圖 20A 說明在非揮發性閃鎖電路 400 處於操作狀態（操作週期）之週期和在非揮發性閃鎖電路 400 處於停止狀態（非操作週期）之週期中，輸入信號 IN、輸出信號 OUT、控制信號 ϕ_{LS} 、時脈信號 $\phi 1$ 、和時脈信號 $\phi 2$

之電位的時序圖的範例。此外，圖 20A 說明資料保存部 401 之節點 S、門鎖部 411 之節點 P、和電源電壓 V_{DD-L} 的電位，以及電容器 404 之其他電極的電位 V_c 。節點 S 表示電容器 404 之電極之其中一者的電位。

在圖 20B 中，週期 a、週期 b、週期 d、和週期 e 之各者為非揮發性門鎖電路 400 處於操作狀態的週期（操作週期），而週期 c 為非揮發性門鎖電路 400 處於停止狀態的週期（非操作週期）。在週期 a 和週期 e 之各者中，非揮發性門鎖電路 400 處於正常操作週期，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位。週期 b 為在非操作週期之前的準備週期。週期 b 亦被稱為下降週期。週期 d 為在非操作週期和供應電源之後重啓正常操作週期之間的準備週期。週期 d 亦被稱為上升週期。

在圖 20B 中，週期 a、週期 b、和週期 c 之操作相似於圖 19B 中所示。接著，在非操作週期和重啓正常操作週期之間的準備週期（週期 d）中，供應電源，且時脈信號 $\phi 2$ 和時脈信號 $\phi 1$ 之電位各被固定至低位準。雖然節點 P 和輸出信號 OUT 的電位相依於供應電源之前的節點 P 的電位、輸出信號 OUT 的電位、及之類，但此處認為節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位。

接著，當控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，導通電晶體 402 且保存在節點 S 中的電位被供應至門鎖部 411。具體而言，分佈電荷至節點 S 和反相器 412 之

輸入（節點 P）。接著，在控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，電容器之其他電極的電位 V_c 供應有預定電位。自低位準電位升高電位 V_c 。以成為在低位準電位和高位準電位之間的電位。

因而，反相器 412 之輸入（節點 P）供應有將電容器之其他電極的電位 V_c 之增加與取決於分佈至反相器 412 之輸入（節點 P）和節點 S 之電荷的電位相加的電位。此處，累積於節點 S 中的電荷被分佈至門鎖部 411 且電位 V_c 供應有預定電位，升高反相器 412 之輸入（節點 P）的電位，並降低節點 S 的電位至一定程度。因此，反相器 412 之輸入（節點 P）和節點 S 實質上各具有高位準電位。

接著，門鎖部中的節點 P 的電位被反相器 412 反相並被供應至次一階段的電路作為輸出信號 OUT。因而，可將該門鎖電路之邏輯狀態回復至非操作週期之前的邏輯狀態。之後，將電容器之其他電極的電位 V_c 回復至低位準電位。

接著，當控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，時脈信號 ϕ_2 供應有高位準電位。當時脈信號 ϕ_2 供應有高位準電位時，導通開關器 432，且形成反相迴路。當形成反相迴路時，輸出信號 OUT 和節點 P 各供應有高位準電位或低位準電位，電位被保存（鎖存資料）。

特別是，由於電荷被分佈到節點 S 和反相器 412 之輸入（節點 P），即使反相器 412 之輸入（節點 P）的電位

自高位準電位或低位準電位位移至一定程度，高位準電位或低位準電位會再次被供應。接著，供應節點 P 之電位至節點 S。因而，即使節點 S 的電位自高位準電位或低位準電位位移至一定程度，高位準電位或低位準電位會再次被供應。因此，節點 S 的電位可被回復至改變之前的電位（此操作亦被稱為重寫）。

之後，藉由將關閉電晶體 402 之電位供應至控制信號 ϕ_{LS} 而關閉電晶體 402，且節點 S 變成浮動狀態。因此，保存累積在節點 S 中的電荷而無任何改變（保存）。可在控制信號 ϕ_{LS} 接著供應有導通電晶體 402 之電位時重寫累積在節點 S 中的電荷。因此，保存累積在節點 S 中的電荷而無任何改變，直到控制信號 ϕ_{LS} 接著供應有導通電晶體 402 之電位時。

如上述，藉由分佈電荷至節點 S 和反相器 412 之輸入（節點 P）將資料讀取至閘鎖部。在將對應於高位準電位之電荷累積於節點 S 中的情況中，在電荷被分佈至節點 S 和反相器 412 之輸入（節點 P）之後，反相器 412 之輸入（節點 P）的電位被設定為高於反相器 412 之臨界值（將反相器之輸出反相的輸入電位）而不相依於導通電晶體 402 之前的反相器 412 之輸入（節點 P）的電位。

在將對應於低位準電位之電荷累積於節點 S 中的情況中，在電荷被分佈至節點 S 和反相器 412 之輸入（節點 P）之後，反相器 412 之輸入（節點 P）的電位被設定為低於反相器 412 之臨界值（將反相器之輸出反相的輸入電位

）而不相依於導通電晶體 402 之前的反相器 412 之輸入（節點 P）的電位。

爲了達到上述，例如，節點 S 之電容量大於節點 P 之電容量係較佳的。換句話說，電連接至節點 S 之電容器 404 的電容量大於電連接至節點 P 之反相器 412 之輸入電容量（輸入電容量對應於反相器之電晶體的閘極電容量）係較佳的。此外，在週期 d 中，提供將電位 V_c 設定爲 VDD 和 VSS 之間的值的週期係有效的。因而，可更穩定地實施讀取操作。

以此方式，不限於節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位的情況，亦可在節點 P 具有高位準電位且輸出信號 OUT 具有低位準電位的情況中將資料讀取至閘鎖部。此外，不限於將對應於高位準電位之電荷累積於節點 S 中的情況，即使在累積對應於低位準電位之電荷的情況中，亦可將資料讀取至閘鎖部。

特別是，如此實施例中所述，當控制信號 ϕ_{LS} 供應有導通電晶體 402 之電位時，電容器之其他電極的電位 V_c 供應有預定電位，使得可更穩定地實施讀取操作。

例如，在電容器 404 之電容量爲小的情況或在停止供應電源很長一段時間的情況中，很難維持在電荷分佈之後的反相器 412 之輸入（節點 P）的電位與反相器 412 之臨界值（將反相器之輸出反相的輸入電位）的關係；因此，會有讀取穩定性可能惡化的可能性。

即使在此種情況中，藉由將預定電位供應至電容器之

其他電極的電位 V_c ，可維持前述電位關係以及可將其電位差維持盡可能大。因此，可實施穩定讀取。換句話說，即使在電容器具有較小電容量的情況中，仍可實施讀取操作，因此能夠微型化。再者，可使資料保存週期更長。

應注意回復電容器之其他電極的電位 V_c 。至低位準電位的時點可在時脈信號 ϕ_2 供應有高位準電位之後。在控制信號 ϕ_{LS} 供應有關閉電晶體 402 之電位之前，可將電容器之其他電極的電位回復至低位準電位。

接著，時脈信號 ϕ_1 和時脈信號 ϕ_2 之各者交替地供應有高位準電位或低位準電位以成為正常操作狀態（週期 e）。在正常操作狀態（週期 e）起始時，可自相同於前一正常操作週期（週期 a）之終止時的電位（相同狀態），或自週期 a 之終止時的電位之反相電位（此反相電位亦被稱為週期 a 之後續狀態），起始時脈信號 ϕ_1 和時脈信號 ϕ_2 之操作。

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體

之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。此外，可減少資料保存部之電容器的電容量且可減少電容器的尺寸，因此能夠微型化。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 6]

在此實施例中，將參照圖 21 說明包括複數個非揮發性閃鎖電路之邏輯電路的組態，該等非揮發性閃鎖電路之各者為本發明所揭示之實施例。

圖 21 說明包括兩個非揮發性閃鎖電路 400 之邏輯電路的組態，該等揮發性閃鎖電路 400 各包括閃鎖部 411 及用於保存閃鎖部之資料的資料保存部 401。此邏輯電路被稱為 D-FF 且被用作為 CPU 或各種邏輯電路中的暫存器。

資料保存部 401 之組態相似於圖 1 中所示。閃鎖部 411 之組態為一範例，其中在圖 1 之閃鎖部 411 的組態中，NAND 用於第一元件且時鐘反相器用於第二元件。

閃鎖部 411 包括 NAND 412 和時鐘反相器 413。閃鎖部 411 具有具有其中 NAND 412 之輸出電連接至時鐘反相

器 413 之輸入，且時鐘反相器 413 之輸出電連接至 NAND 412 之輸入的迴路結構。此外，閃鎖部 411 包括類比開關器 431。

NAND 412 之其中一個輸入經由類比開關器 431 電連接至供應有閃鎖電路 400 之輸入信號的導線 414。NAND 412 之輸出電連接至供應有閃鎖電路 400 之輸出信號的導線 415。NAND 412 之其他輸入電連接至供應有信號 RSTB 的導線。類比開關器 431 供應有時脈信號和時脈信號的反相信號。時鐘反相器 413 供應有時脈信號和時脈信號的反相信號。

圖 21 中的邏輯電路包括非揮發性閃鎖電路 400a 和非揮發性閃鎖電路 400b 作為前述之該等非揮發性閃鎖電路 400。非揮發性閃鎖電路 400a 電連接至供應有來自前一階段之電路的輸入信號的電位的導線 414。供應有非揮發性閃鎖電路 400a 之輸出信號之電位的導線 415 電連接至供應有非揮發性閃鎖電路 400b 之輸入信號之電位的導線 414。非揮發性閃鎖電路 400b 電連接至將非揮發性閃鎖電路 400b 之輸出信號之電位供應至次一階段之電路的導線 415。

在非揮發性閃鎖電路 400a 中，類比開關器 431 供應有時脈信號 $\phi 1$ 及時脈信號 $\phi 1$ 的反相信號 $\phi 1b$ ，且時鐘反相器 413 供應有時脈信號 $\phi 2$ 及時脈信號 $\phi 2$ 的反相信號 $\phi 2b$ 。在非揮發性閃鎖電路 400b 中，類比開關器 431 供應有時脈信號 $\phi 2$ 及時脈信號 $\phi 2$ 的反相信號 $\phi 2b$ ，且時鐘反相器

413 供應有時脈信號 $\phi 1$ 及時脈信號 $\phi 1$ 的反相信號 $\phi 1b$ 。

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 7]

在此實施例中，將參照圖 22 說明本發明所揭示之一實施例的非揮發性閃鎖電路之組態的另一範例。在此範例中圖 22 相異於圖 1。圖 22 說明非揮發性閃鎖電路 400 之組態，其包括閃鎖部 411 和用於保存閃鎖部之資料的資料

保存部 401。

圖 22 中之非揮發性門鎖電路 400 包括具有迴路結構之門鎖部 411 以及用於保存該門鎖部之資料的資料保存部 401。在具有迴路結構之門鎖部 411 中，第一元件（D1）412 之輸出電連接於第二元件（D2）413 之輸入，且第二元件（D2）413 之輸出電連接於第一元件（D1）412 之輸入。

第一元件（D1）412 之輸入電連接於供應有門鎖電路之輸入信號的導線 414。第一元件（D1）412 之輸出電連接於供應有門鎖電路之輸出信號的導線 415。

當第一元件（D1）412 有複數個輸入時，該等輸入之其中一者可電連接於供應有門鎖電路之輸入信號的導線 414。當第二元件（D2）413 有複數個輸入時，該等輸入之其中一者可電連接於第一元件（D1）412 之輸出。

作為第一元件（D1）412，可使用將輸入信號反相並將得到的信號作為輸出的元件。例如，作為第一元件（D1）412，可使用反相器、NAND、NOR、時鐘反相器或之類。作為第二元件（D2）413，可使用將輸入信號反相並將得到的信號作為輸出的元件。例如，作為第二元件（D2）413，可使用反相器、NAND、NOR、時鐘反相器或之類。

在資料保存部 401 中，使用電晶體 402a 和電晶體 402b（其使用氧化物半導體作為半導體材料形成通道形成區）之各者作為開關元件。此外，資料保存部 401 包括電

連接至電晶體 402a 之源極電極或汲極電極的電容器 404a，和電連接至電晶體 402b 之源極電極或汲極電極的電容器 404b。

電容器 404a 之電極之其中一者電連接至電晶體 402a 之源極電極和汲極電極之其中一者，且電容器 404b 之電極之其中一者電連接至電晶體 402b 之源極電極和汲極電極之其中一者。電晶體 402a 之源極電極和汲極電極之其中另一者電連接至供應有閂鎖電路的輸入信號的導線 414 或第一元件 (D1) 412 之輸入。電晶體 402b 之源極電極和汲極電極之其中另一者電連接至第一元件 (D1) 412 之輸出或供應有閂鎖電路之輸出信號的導線 415。電容器 404a 之另一電極和電容器 404b 之另一電極各供應有電位 V_c 。

使用氧化物半導體之電晶體 402a 和電晶體 402b 各具有將保存在閂鎖部 411 之資料寫入資料保存部 401 之電容器 404a 和電容器 404b 的功能。此外，電晶體 402a 和電晶體 402b 各具有保存寫入至資料保存部 401 之電容器 404a 和電容器 404b 之資料的功能。並且，電晶體 402a 和電晶體 402b 各具有將保存在資料保存部 401 之電容器 404a 和電容器 404b 中的資料讀取至閂鎖部 411 的功能。

將說明保存在閂鎖部 411 中之資料寫入資料保存部 401 之寫入操作，該資料之保存操作、自資料保存部 401 至閂鎖部 411 之資料讀取操作、以及該資料的重寫操作。首先，藉由供應導通電晶體 402a 和電晶體 402b 之電位至

電晶體 402a 和電晶體 402b 之各者的閘極電極來導通電晶體 402a 和電晶體 402b。

因而，電容器 404a 之電極之其中一者供應有保存在該門鎖部中的資料，即，保存在該門鎖部中之第一元件（D1）412 之輸入電位，且電容器 404b 之電極之其中一者供應有保存在該門鎖部中的第一元件（D1）412 之輸出電位。因此，對應於第一元件（D1）412 之輸入電位的電荷被累積在電容器 404a 之電極之其中一者中，且對應於第一元件（D1）412 之輸出電位的電荷被累積在電容器 404b 之電極之其中一者中（此操作對應於寫入）。

之後，以將電晶體 402a 和電晶體 402b 之各者的閘極電極之電位設定為關閉電晶體 402a 和電晶體 402b 之各者的電位的方式，關閉電晶體 402a 和電晶體 402b。因而，保存累積在電容器 404a 和電容器 404b 之電極之其中一者中的電荷（保存）。

此外，藉由供應導通電晶體 402a 和電晶體 402b 之電位至電晶體 402a 和電晶體 402b 之各者的閘極電極來導通電晶體 402a 和電晶體 402b。因而，該電荷被分佈至電容器 404a 之電極之其中一者及第一元件（D1）412 之輸入，以及被分佈至電容器 404b 之電極之其中一者及第一元件（D1）412 之輸出。因此，第一元件（D1）412 之輸入和輸出各供應有對應於累積在電容器 404b 之電極之其中一者中的電荷的電位。因此，可讀取該資料（讀取）。資料的重寫可以相同於資料之寫入和資料之保存的方式實施

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 8]

在此實施例中，將參照圖 23 及圖 24A 和 24B 說明本發明所揭示之實施例的非揮發性閃鎖電路的組態和操作。

圖 23 說明非揮發性閃鎖電路 400 的組態，其包括閃鎖部 411 和用於保存閃鎖部之資料的資料保存部 401。圖

24A 和 24B 各說明非揮發性閃鎖電路 400 之時序圖的範例。

圖 23 為一範例，其中具體說明圖 22 中的閃鎖部 411 的組態。圖 23 為圖 22 中閃鎖部 411 之組態的範例，其中將反相器 412 用於第一元件且將反相器 413 用於第二元件。電晶體 402a 和電晶體 402b 之各結構相似於實施例 1 或實施例 2 之結構。

閃鎖部 411 包括反相器 412 和反相器 413。閃鎖部 411 具有具有其中反相器 412 之輸出電連接至反相器 413 之輸入，且反相器 413 之輸出電連接至反相器 412 之輸入的迴路結構。此外，閃鎖部 411 包括開關器 431 和開關器 432，且反相器 413 之輸出經由開關器 432 電連接至反相器 412 之輸入。

反相器 412 之輸入經由開關器 431 電連接於供應有閃鎖電路之輸入信號的導線 414。反相器 412 之輸出電連接於供應有閃鎖電路之輸出信號的導線 415。連接反相器 412 之輸入的節點被稱為節點 P。節點 P 電連接於供應有閃鎖電路之輸入信號的導線 414。並且，節點 P 亦電連接於反相器 413 之輸出。應注意節點 P 的電位和反相器 412 之輸入電位相同。

在資料保存部 401 中，使用電晶體 402a 和電晶體 402b（其使用氧化物半導體作為半導體材料用於形成通道形成區）之各者作為開關元件。此外，資料保存部 401 包括電連接至電晶體 402a 之源極電極或汲極電極的電容器

404a，和電連接至電晶體 402b 之源極電極或汲極電極的電容器 404b。

電容器 404a 之電極之其中一者電連接至電晶體 402a 之源極電極和汲極電極之其中一者，且電容器 404b 之電極之其中一者電連接至電晶體 402b 之源極電極和汲極電極之其中一者。電晶體 402a 之源極電極和汲極電極之其中另一者電連接至供應有門鎖電路的輸入信號的導線 414 和門鎖部中之反相器 412 的輸入（節點 P）。

電晶體 402b 之源極電極和汲極電極之其中另一者電連接至供應有門鎖電路之輸出信號的導線 415 及門鎖部中之反相器 412 的輸出。電容器 404a 之另一電極和電容器 404b 之另一電極各供應有電位 V_c 。電晶體 402a 和電容器 404a 彼此電連接的節點被稱為節點 S1，且電晶體 402b 和電容器 404b 彼此電連接的節點被稱為節點 S2。

使用氧化物半導體之電晶體 402a 和電晶體 402b 各具有將保存在門鎖部 411 之資料寫入資料保存部 401 之電容器 404a 和電容器 404b 的功能。此外，電晶體 402a 和電晶體 402b 各具有保存寫入至資料保存部 401 之電容器 404a 和電容器 404b 之資料的功能。並且，電晶體 402a 和電晶體 402b 各具有將保存在資料保存部 401 之電容器 404a 和電容器 404b 中的資料讀取至門鎖部 411 的功能。

導線 414 供應有來自前一階段之電路的輸入信號 IN 的電位。次一階段的電路供應有導線 415 的電位作為輸出信號 OUT。開關器 431 供應有時脈信號 $\phi 1$ 的電位。當時

脈信號 $\phi 1$ 供應有高位準電位時，導通開關器 431。開關器 432 供應有時脈信號 $\phi 2$ 的電位。當時脈信號 $\phi 2$ 供應有高位準電位時，導通開關器 432。電晶體 402 的閘極供應有控制信號 ϕ_{LS} 的電位。

當控制信號 ϕ_{LS} 供應有高位準電位時，導通電晶體 402a 和電晶體 402b。在一般操作週期中，時脈信號 $\phi 2$ 為時脈信號 $\phi 1$ 的反相信號。此處，顯示當控制信號和時脈信號的電位係在高位準時，導通電晶體和開關器的範例。

門鎖部 411 之反相器 412 和反相器 413 之各者供應有高位準電源電壓 VDD 和低位準電源電壓 VSS 。

接著，圖 24A 和 24B 各說明在非揮發性門鎖電路 400 處於操作狀態（操作週期）之週期和在非揮發性門鎖電路 400 處於停止狀態（非操作週期）之週期中，輸入信號 IN 、輸出信號 OUT 、控制信號 ϕ_{LS} 、時脈信號 $\phi 1$ 、和時脈信號 $\phi 2$ 之電位的時序圖的範例。此外，圖 24A 和 24B 說明資料保存部 401 之節點 $S1$ 和節點 $S2$ 、門鎖部 411 之節點 P 、以及門鎖部 411 之反相器 412 和反相器 413 之電源電壓 $VDD-L$ 的電位。

節點 $S1$ 表示電容器 404a 之電極之其中一者的電位。節點 $S2$ 表示電容器 404b 之電極之其中一者的電位。應注意電容器 404a 之其他電極和電容器 404b 之其他電極各供應有預定電位 V_c ，例如，接地電位。

首先，說明圖 24A。在圖 24A 中，週期 a、週期 b、週期 d、和週期 e 之各者為非揮發性門鎖電路 400 處於操

作狀態的週期（操作週期），而週期 c 為非揮發性門鎖電路 400 處於停止狀態的週期（非操作週期）。在週期 a 和週期 e 之各者中，非揮發性門鎖電路 400 處於正常操作週期，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位。週期 b 為在非操作週期之前的準備週期。週期 b 亦被稱為下降週期。週期 d 為在非操作週期和重啓正常操作週期之間的準備週期。週期 d 亦被稱為上升週期。

當在正常操作週期（週期 a）中時脈信號 $\phi 1$ 供應有高位準電位及時脈信號 $\phi 2$ 供應有低位準電位時，關閉開關器 432 且切斷反相器迴路，導通開關器 431，且輸入信號的電位被輸入至反相器 412。輸入信號的電位被反相器 412 反相且被供應至次一階段的電路作為輸出信號 OUT。當時脈信號 $\phi 1$ 供應有高位準電位時，若輸入信號的電位係高位準，可獲得具有低位準電位的輸出信號。當時脈信號 $\phi 1$ 供應有高位準電位時，若輸入信號的電位係低位準，可獲得具有高位準電位的輸出信號。

當時脈信號 $\phi 1$ 供應有低位準電位且時脈信號 $\phi 2$ 供應有高位準電位時，關閉開關器 431，導通開關器 432 而形成反相器迴路，且保存輸出信號 OUT 的電位（鎖存資料，即，保存門鎖電路的邏輯狀態）。

在正常操作週期中，控制信號 ϕ_{LS} 供應有關閉電晶體 402a 和電晶體 402b 之電位而未供應有導通電晶體 402a 和電晶體 402b 的電位。節點 S1 和節點 S2 各具有對應於

已被保存之電荷的電位。此處，節點 S1 和節點 S2 之各者的電位被設定為未定義之值。

接著，當在非操作週期之前的準備週期（週期 b）中，控制信號 ϕ_{LS} 供應有導通電晶體 402a 和電晶體 402b 之電位時，導通電晶體 402a 和電晶體 402b。因而，電容器 404a 之電極之其中一者（節點 S1）供應有閂鎖部中反相器 412 之輸入（節點 P）的電位，且電容器 404b 之電極之其中一者（節點 S2）供應有閂鎖部中反相器 412 之輸出（或供應有輸出信號之導線 415）的電位。

因此，將對應於閂鎖部中反相器 412 之輸入（節點 P）的電位的電荷累積於電容器 404a 中，且將對應於閂鎖部中反相器 412 之輸出（或供應有輸出信號之導線 415）的電位的電荷累積於電容器 404b 中（此操作對應於寫入）。例如，當控制信號 ϕ_{LS} 供應有導通電晶體 402a 和電晶體 402b 之電位時，若閂鎖部中反相器 412 之輸入（節點 P）的電位位於高位準，則將節點 S1 的電位設定為高位準。此外，若閂鎖部中反相器 412 之輸出（或供應有輸出信號之導線 415）的電位位於低位準，則將節點 S2 的電位設定為低位準。

之後，藉由將關閉電晶體 402a 和電晶體 402b 之電位供應至控制信號 ϕ_{LS} 來關閉電晶體 402a 和電晶體 402b，且節點 S1 和節點 S2 之各者變成浮動狀態。因此，保存累積在節點 S1 和節點 S2 中的電荷而無任何改變（保存）。

應注意，在週期 b 中，時脈信號 ϕ_2 和時脈信號 ϕ_1 保

存在週期 a 終止時的電位係足夠的。或者，藉由將時脈信號 $\phi 2$ 之電位固定至高位準且將時脈信號 $\phi 1$ 之電位固定至低位準，可鎖存在週期 a 終止時的資料。

接著，在非操作週期（週期 c）中，停止供應電源且降低閂鎖部 411 之反相器 412 和反相器 413 的電源電壓 VDD-L 的電位。時脈信號 $\phi 1$ 、時脈信號 $\phi 2$ 、輸入信號 IN、輸出信號 OUT、及節點 P 的電位可為在 VDD 和 VSS 之間的任何值。在此期間，控制信號 ϕ_{LS} 的電位被保持在低位準使得關閉電晶體 402a 和電晶體 402b。例如，該等電位被保持在接地電位。在非操作週期（週期 c）中，藉由關閉電晶體 402a 和電晶體 402b 而保存累積在節點 S1 和節點 S2 中的電荷（保存）。

接著，起始準備週期（週期 d），其在非操作週期和重啓正常操作週期之間。圖 24A 說明在當控制信號 ϕ_{LS} 供應有導通電晶體 402a 和電晶體 402b 之電位時，節點 P 和輸出信號 OUT 的電位位於低位準的情況的範例。

在週期 d 中，在供應電源至閂鎖部 411 之反相器 412 和反相器 413 之前，將時脈信號 $\phi 2$ 的電位固定至高位準，且將時脈信號 $\phi 1$ 的電位固定至低位準。當控制信號 ϕ_{LS} 在此狀態中供應有導通電晶體 402a 和電晶體 402b 之電位時，導通電晶體 402a 和電晶體 402b，且閂鎖部 411 供應有保存在節點 S1 和節點 S2 中的電位。

具體而言，電荷被分佈至節點 S1 和反相器 412 之輸入（節點 P），且反相器 412 之輸入（節點 P）供應有對

應於累積在節點 S1 中的電荷的電位。此處，升高反相器 412 之輸入（節點 P）的電位，並降低節點 S1 的電位至一定程度。

此外，電荷被分佈至節點 S2 和反相器 412 之輸出（或供應有輸出信號之導線 415），且反相器 412 之輸出（或供應有輸出信號之導線 415）供應有對應於累積在節點 S2 中的電荷的電位。此處，反相器 412 之輸入（節點 P）的電位和節點 S2 的電位均仍位於低位準。

當在此狀態中供應電源至門鎖部中的反相器 412 和反相器 413 時，藉由反相器 412 之輸入和輸出之間的電位差以及反相器 413 之輸入和輸出之間的電位差，將反相器 412 之輸入（節點 P）的電位設定至高位準，且將反相器 412 之輸出（或供應有輸出信號之導線 415）的電位設定至低位準。

因而，將資料保存部的資料讀取至門鎖部，且門鎖電路之邏輯狀態可被回復至非操作週期起始之前的邏輯狀態。當在供應電源之前以此方式產生反相器 412 之輸入與輸出之間的電位差以及反相器 413 之輸入與輸出之間的電位差時，可使用該門鎖電路作為差分放大器。因此，相較於圖 19B 可實施更穩定的讀取。

當供應電源且形成反相回路時，節點 P 和輸出信號 OUT 各供應有高位準電位或低位準電位，保存該等電位（資料鎖存）。接著，將節點 P 的電位和輸出信號 OUT 的電位分別供應至節點 S1 和節點 S2。因而，節點 S1 和

節點 S2 再次供應有高位準電位或低位準電位。因此，節點 S1 和節點 S2 之電位可被回復至改變之前的電位（此操作亦被稱為重寫）。

之後，藉由將關閉電晶體 402a 和電晶體 402b 之電位供應至控制信號 ϕ_{LS} 來關閉電晶體 402a 和電晶體 402b，且節點 S1 和節點 S2 之各者變成浮動狀態。因此，保存累積在節點 S1 和節點 S2 中的電荷而無任何改變（保存）。當控制信號 ϕ_{LS} 接著供應有導通電晶體 402a 和電晶體 402b 之電位時，可重寫累積於節點 S1 和節點 S2 中的電荷。因此，保存累積於節點 S1 和節點 S2 中的電荷而無任何改變，直到控制信號 ϕ_{LS} 接著供應有導通電晶體 402a 和電晶體 402b 之電位時。

如上述，以分佈電荷至節點 S1 和反相器 412 之輸入（節點 P）且分佈電荷至節點 S2 和反相器 412 之輸出（或供應有輸出信號之導線 415）的方式，將資料讀取至門鎖部。在將對應於高位準電位之電荷累積於節點 S1 中且將對應於低位準電位之電荷累積於節點 S2 中的情況中，在電荷分佈之後，反相器 412 之輸入（節點 P）的電位被設定為高於反相器 412 之輸出（或供應有輸出信號之導線 415）的電位，而不相依於導通電晶體 402a 和電晶體 402b 之前的反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號之導線 415）的電位。

在將對應於低位準電位之電荷累積於節點 S1 中且將對應於高位準電位之電荷累積於節點 S2 中的情況中，在

電荷分佈之後，反相器 412 之輸入（節點 P）的電位被設定為低於反相器 412 之輸出（或供應有輸出信號之導線 415）的電位，而不相依於導通電晶體 402a 和電晶體 402b 之前的反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號之導線 415）的電位。此外，在電荷分佈之後，反相器 412 之輸入（節點 P）的電位和反相器 412 之輸出（或供應有輸出信號之導線 415）的電位均被設定為不降低太多。例如，設定這二者的電位以不低於包含在反相器中的電晶體的臨界電壓。

為了達到上述，例如，節點 S1 之電容量大於節點 P 之電容量係較佳的。換句話說，電連接至節點 S1 之電容器 404a 的電容量大於電連接至節點 P 之反相器 412 之輸入電容量（輸入電容量對應於反相器之電晶體的閘極電容量）係較佳的。此外，在週期 d 中，提供將電位 V_c 設定為 VDD 和 VSS 之間的值的週期係有效的。因而，可更穩定地實施讀取操作。

以此方式，不限於節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位的情況，亦可在節點 P 具有高位準電位且輸出信號 OUT 具有低位準電位的情況中將資料讀取至閘鎖部。此外，不限於將對應於高位準電位之電荷累積於節點 S1 中的情況，即使在累積對應於低位準電位之電荷的情況中，亦可將資料讀取至閘鎖部。

接著，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位以成為正常操作狀態（週期 e

）。在正常操作狀態（週期 e）起始時，可自相同於前一正常操作週期（週期 a）之終止時的電位（相同狀態），或自週期 a 之終止時的電位之反相電位（此反相電位亦被稱為週期 a 之後續狀態），起始時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之操作。

接著，說明圖 24B。在圖 24B 中，週期 a、週期 b、和週期 c 的操作相似於圖 24A 中所示。

接著，起始準備週期（週期 d），其在非操作週期和重啓正常操作週期之間。圖 24B 說明在當控制信號 ϕ_{LS} 供應有導通電晶體 402a 和電晶體 402b 之電位時，節點 P 和輸出信號 OUT 的電位位於高位準的情況的範例。

在週期 d 中，在供應電源至閂鎖部 411 之反相器 412 和反相器 413 之前，將時脈信號 $\phi 2$ 的電位固定至高位準，且將時脈信號 $\phi 1$ 的電位固定至低位準。當控制信號 ϕ_{LS} 在此狀態中供應有導通電晶體 402a 和電晶體 402b 之電位時，導通電晶體 402a 和電晶體 402b，且閂鎖部 411 供應有保存在節點 S1 和節點 S2 中的電位。

具體而言，電荷被分佈至節點 S1 和反相器 412 之輸入（節點 P），且反相器 412 之輸入（節點 P）供應有對應於累積在節點 S1 中的電荷的電位。此處，反相器 412 之輸入（節點 P）的電位和節點 S1 的電位均仍位於高位準。

此外，電荷被分佈至節點 S2 和反相器 412 之輸出（或供應有輸出信號之導線 415），且反相器 412 之輸出（

或供應有輸出信號之導線 415) 供應有對應於累積在節點 S2 中的電荷的電位。此處，降低反相器 412 之輸出（輸出信號 OUT）的電位，並升高節點 S2 的電位至一定程度。

當在此狀態中供應電源至門鎖部中的反相器 412 和反相器 413 時，藉由反相器 412 之輸入和輸出之間的電位差以及反相器 413 之輸入和輸出之間的電位差，將反相器 412 之輸入（節點 P）的電位設定至高位準，且將反相器 412 之輸出（或供應有輸出信號之導線 415）的電位設定至低位準。

因而，將資料保存部的資料讀取至門鎖部，且門鎖電路之邏輯狀態可被回復至非操作週期起始之前的邏輯狀態。當在供應電源之前以此方式產生反相器 412 之輸入與輸出之間的電位差以及反相器 413 之輸入與輸出之間的電位差時，可使用該門鎖電路作為差分放大器。因此，相較於圖 19B 可實施更穩定的讀取。

當供應電源且形成反相回路時，節點 P 和輸出信號 OUT 各供應有高位準電位或低位準電位，保存該等電位（資料鎖存）。接著，將節點 P 的電位和輸出信號 OUT 的電位分別供應至節點 S1 和節點 S2。因而，節點 S1 和節點 S2 再次供應有高位準電位或低位準電位。因此，節點 S1 和節點 S2 之電位可被回復至改變之前的電位（此操作亦被稱為重寫）。

之後，藉由將關閉電晶體 402a 和電晶體 402b 之電位

供應至控制信號 ϕ_{LS} 來關閉電晶體 402a 和電晶體 402b，且節點 S1 和節點 S2 之各者變成浮動狀態。因此，保存累積在節點 S1 和節點 S2 中的電荷而無任何改變（保存）。當控制信號 ϕ_{LS} 接著供應有導通電晶體 402a 和電晶體 402b 之電位時，可重寫累積於節點 S1 和節點 S2 中的電荷。因此，保存累積於節點 S1 和節點 S2 中的電荷而無任何改變，直到控制信號 ϕ_{LS} 接著供應有導通電晶體 402a 和電晶體 402b 之電位時。

接著，時脈信號 ϕ_1 和時脈信號 ϕ_2 之各者交替地供應有高位準電位或低位準電位以成為正常操作狀態（週期 e）。在正常操作狀態（週期 e）起始時，可自相同於前一正常操作週期（週期 a）之終止時的電位（相同狀態），或自週期 a 之終止時的電位之反相電位（此反相電位亦被稱為週期 a 之後續狀態），起始時脈信號 ϕ_1 和時脈信號 ϕ_2 之操作。

應注意雖然此處所示為在供應電源之前，產生反相器 412 之輸入與輸出之間的電位差以及反相器 413 之輸入與輸出之間的電位差的範例，但仍可使用相似於圖 19B 所示之時序圖來操作具有此實施例（圖 23）所述之組態的非揮發性閃鎖電路。

應注意在週期 d 中，提供將電位 V_c 設定為 V_{DD} 和 V_{SS} 之間的值的週期係有效的。因而，可更穩定地實施讀取操作。

利用使用氧化物半導體作為半導體材料形成通道形成

區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性門鎖電路，可實現一非揮發性門鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的門鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。並且，在使用該非揮發性門鎖電路作為差分放大器的情況中，可實施更穩定的讀取。

藉由使用非揮發性門鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 9]

在此實施例中，將參照圖 25 說明本發明所揭示之一實施例的非揮發性門鎖電路之操作的另一範例。非揮發性門鎖電路之組態和圖 23 所示相同，且此範例中時序圖和圖 24A 和 24B 中所示相異。

接著，圖 25 說明在非揮發性閃鎖電路 400 處於操作狀態（操作週期）之週期和在非揮發性閃鎖電路 400 處於停止狀態（非操作週期）之週期中，輸入信號 IN、輸出信號 OUT、控制信號 ϕ_{LS} 、時脈信號 $\phi 1$ 、和時脈信號 $\phi 2$ 之電位的時序圖的範例。此外，圖 25 說明資料保存部 401 之節點 S1 和節點 S2、閃鎖部 411 之節點 P、和閃鎖部 411 之反相器 412 和反相器 413 之電源電壓 VDD-L 的電位，以及電容器 404a 和電容器 404b 之其他電極的電位 V_c 。節點 S1 表示電容器 404a 之電極之其中一者的電位。節點 S2 表示電容器 404b 之電極之其中一者的電位。

在圖 25 中，週期 a、週期 b、週期 d、和週期 e 之各者為非揮發性閃鎖電路 400 處於操作狀態的週期（操作週期），而週期 c 為非揮發性閃鎖電路 400 處於停止狀態的週期（非操作週期）。在週期 a 和週期 e 之各者中，非揮發性閃鎖電路 400 處於正常操作週期，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位。週期 b 為在非操作週期之前的準備週期。週期 b 亦被稱為下降週期。週期 d 為在非操作週期和重啓正常操作週期之間的準備週期。週期 d 亦被稱為上升週期。

在圖 25 中，週期 a 和週期 b 之操作相似於圖 24A 和 24B 中所示。接著，在非操作週期（週期 c）中，停止供應電源且降低閃鎖部 411 之反相器 412 和反相器 413 的電源電壓 VDD-L 的電位。時脈信號 $\phi 1$ 、時脈信號 $\phi 2$ 、及輸入信號 IN 的電位可為在 VDD 和 VSS 之間的任何值。在

此期間，控制信號 ϕ_{LS} 的電位被保持在低位準使得關閉電晶體 402a 和電晶體 402b。例如，該等電位被保持在接地電位。

在非操作週期（週期 c）中，藉由關閉電晶體 402a 和電晶體 402b 而保存累積在節點 S1 和節點 S2 中的電荷（保存）。此外，輸出信號 OUT 的電位被維持在低位準。並且，節點 P 的電位逐漸降低。

接著，起始準備週期（週期 d），其在非操作週期和重啓正常操作週期之間。在週期 d 中，在供應電源至門鎖部 411 之反相器 412 和反相器 413 之前，將時脈信號 ϕ_2 的電位固定至高位準，且將時脈信號 ϕ_1 的電位固定至低位準。當控制信號 ϕ_{LS} 在此狀態中供應有導通電晶體 402a 和電晶體 402b 之電位時，導通電晶體 402a 和電晶體 402b，且門鎖部 411 供應有保存在節點 S1 和節點 S2 中的電位。

具體而言，電荷被分佈至節點 S1 和反相器 412 之輸入（節點 P）。然後，當控制信號 ϕ_{LS} 供應有導通電晶體 402a 之電位時，電容器 404a 之其他電極的電位 V_c 供應有預定電位。自低位準電位升高電位 V_c 至低位準電位和高位準電位之間的電位。因而，反相器 412 之輸入（節點 P）供應有將電容器 404a 之其他電極的電位 V_c 之增加與取決於分佈至反相器 412 之輸入（節點 P）和節點 S1 之電荷的電位相加的電位。此處，升高反相器 412 之輸入（節點 P）的電位，並降低節點 S1 的電位至一定程度。

此外，分佈電荷至節點 S2 和反相器 412 之輸出（或供應有輸出信號之導線 415）。接著，當控制信號 ϕ_{LS} 供應有導通電晶體 402b 之電位時，電容器 404b 之其他電極的電位 V_c 供應有預定電位。自低位準電位升高電位 V_c 至低位準電位和高位準電位之間的電位。

因而，反相器 412 之輸出（或供應有輸出信號之導線 415）供應有將電容器 404b 之其他電極的電位 V_c 之增加與取決於分佈至反相器 412 之輸出（或供應有輸出信號之導線 415）和節點 S2 之電荷的電位相加的電位。此處，藉由電容器 404b 之其他電極的電位 V_c 之增加，將反相器 412 之輸出（或供應有輸出信號之導線 415）的電位和節點 S2 的電位升高至一定程度。

當在此狀態中供應電源至門鎖部中的反相器 412 和反相器 413 時，藉由反相器 412 之輸入和輸出之間的電位差以及反相器 413 之輸入和輸出之間的電位差，將反相器 412 之輸入（節點 P）的電位設定至高位準，且將反相器 412 之輸出（或供應有輸出信號之導線 415）的電位設定至低位準。

因而，將資料保存部的資料讀取至門鎖部，且門鎖電路之邏輯狀態可被回復至非操作週期起始之前的邏輯狀態。當在供應電源之前以此方式產生反相器 412 之輸入與輸出之間的電位差以及反相器 413 之輸入與輸出之間的電位差時，可使用該門鎖電路作為差分放大器。因此，相較於圖 19B 可實施更穩定的讀取。

當供應電源且形成反相回路時，節點 P 和輸出信號 OUT 各供應有高位準電位或低位準電位，保存該等電位（資料鎖存）。接著，將節點 P 的電位和輸出信號 OUT 的電位分別供應至節點 S1 和節點 S2。因而，節點 S1 和節點 S2 再次供應有高位準電位或低位準電位。因此，節點 S1 和節點 S2 之電位可被回復至改變之前的電位（此操作亦被稱為重寫）。

之後，電容器之其他電極的電位 V_c 被回復至低位準電位。

之後，藉由將關閉電晶體 402a 和電晶體 402b 之電位供應給控制信號 ϕ_{LS} 來關閉電晶體 402a 和電晶體 402b，且節點 S1 和節點 S2 各成為浮動狀態。因此，保存累積於節點 S1 和節點 S2 中的電荷而無任何改變（保存）。

當控制信號 ϕ_{LS} 接著供應有導通電晶體 402a 和電晶體 402b 之電位時，可重寫累積於節點 S1 和節點 S2 中的電荷。因此，保存累積於節點 S1 和節點 S2 中的電荷而無任何改變，直到控制信號 ϕ_{LS} 接著供應有導通電晶體 402a 和電晶體 402b 之電位時。

如上述，以分佈電荷至節點 S1 和反相器 412 之輸入（節點 P）且分佈電荷至節點 S2 和反相器 412 之輸出（或供應有輸出信號之導線 415）的方式，將資料讀取至門鎖部。在將對應於高位準電位之電荷累積於節點 S1 中且將對應於低位準電位之電荷累積於節點 S2 中的情況中，在電荷分佈之後，反相器 412 之輸入（節點 P）的電位被

設定為高於反相器 412 之輸出（或供應有輸出信號之導線 415）的電位，而不相依於導通電晶體 402a 和電晶體 402b 之前的反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號之導線 415）的電位。

在將對應於低位準電位之電荷累積於節點 S1 中且將對應於高位準電位之電荷累積於節點 S2 中的情況中，在電荷分佈之後，反相器 412 之輸入（節點 P）的電位被設定為低於反相器 412 之輸出（或供應有輸出信號之導線 415）的電位，而不相依於導通電晶體 402a 和電晶體 402b 之前的反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號之導線 415）的電位。此外，在電荷分佈之後，反相器 412 之輸入（節點 P）的電位和反相器 412 之輸出（或供應有輸出信號之導線 415）的電位均被設定為不降低太多。例如，設定這二者的電位以不低於包含在反相器中的電晶體的臨界電壓。

為了達到上述，例如，節點 S1 之電容量大於節點 P 之電容量係較佳的。換句話說，電連接至節點 S1 之電容器 404a 的電容量大於電連接至節點 P 之反相器 412 之輸入電容量（輸入電容量對應於反相器之電晶體的閘極電容量）係較佳的。此外，在週期 d 中，提供將電位 V_c 設定為 VDD 和 VSS 之間的值的週期係有效的。因而，可更穩定地實施讀取操作。

以此方式，不限於節點 P 具有低位準電位且輸出信號 OUT 具有高位準電位的情況，亦可在節點 P 具有高位準

電位且輸出信號 OUT 具有低位準電位的情況中將資料讀取至門鎖部。此外，不限於將對應於高位準電位之電荷累積於節點 S1 中的情況，即使在累積對應於低位準電位之電荷的情況中，亦可將資料讀取至門鎖部。

特別是，如此實施例中所述，當控制信號 ϕ_{LS} 供應有導通電晶體 402a 和電晶體 402b 之電位時，電容器之其他電極的電位 V_c 供應有預定電位，使得可更穩定地實施讀取操作。

例如，在電容器 404a 和電容器 404b 之電容量為小的情況或在停止供應電源很長一段時間的情況中，很難維持在電荷分佈之後反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號的導線 415）之間的電位差，且在電荷分佈之後反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號的導線 415）的電位變低。因此，會有讀取穩定性可能惡化的可能性。

即使在此種情況中，在電荷分佈之後，藉由將預定電位供應至電容器 404a 和電容器 404b 之各者的其他電極的電位 V_c ，可將反相器 412 之輸入（節點 P）和反相器 412 之輸出（或供應有輸出信號的導線 415）的電位控制到適當的電位。因此，可實施穩定讀取。可維持前述電位關係以及可將其電位差維持盡可能大。因此，可實施穩定讀取。換句話說，即使在電容器具有較小電容量的情況中，仍可實施讀取操作，因此能夠微型化。再者，可使資料保存週期更長。

接著，時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之各者交替地供應有高位準電位或低位準電位以成為正常操作狀態（週期 e）。在正常操作狀態（週期 e）起始時，可自相同於前一正常操作週期（週期 a）之終止時的電位（相同狀態），或自週期 a 之終止時的電位之反相電位（此反相電位亦被稱為週期 a 之後續狀態），起始時脈信號 $\phi 1$ 和時脈信號 $\phi 2$ 之操作。

應注意雖然此處所示為在供應電源之前，產生反相器 412 之輸入與輸出之間的電位差以及反相器 413 之輸入與輸出之間的電位差的範例，但仍可使用相似於圖 19B 所示之時序圖來操作具有此實施例（圖 23）所述之組態的非揮發性閃鎖電路。

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。此外，

可減少資料保存部之電容器的電容量且可減少電容器的尺寸，因此能夠微型化。

藉由使用非揮發性門鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 10]

在此實施例中，將參照圖 26 說明包括複數個非揮發性門鎖電路之邏輯電路的組態的另一範例，該等非揮發性門鎖電路之各者為本發明所揭示之實施例。

圖 26 說明包括兩個非揮發性門鎖電路 400 之邏輯電路的組態，該等揮發性門鎖電路 400 各包括門鎖部 411 及用於保存門鎖部之資料的資料保存部 401。此邏輯電路被稱為 D-FF 且被用作為 CPU 或各種邏輯電路中的暫存器。

資料保存部 401 之組態相似於圖 22 中所示。門鎖部 411 之組態為一範例，其中在圖 22 之門鎖部 411 的組態中，NAND 用於第一元件且時鐘反相器用於第二元件。

門鎖部 411 包括 NAND 412 和時鐘反相器 413。門鎖部 411 具有具有其中 NAND 412 之輸出電連接至時鐘反相器 413 之輸入，且時鐘反相器 413 之輸出電連接至 NAND 412 之輸入的迴路結構。此外，門鎖部 411 包括類比開關器 431。

NAND 412 之其中一個輸入經由類比開關器 431 電連接至供應有閃鎖電路 400 之輸入信號的導線 414。NAND 412 之輸出電連接至供應有閃鎖電路 400 之輸出信號的導線 415。NAND 412 之其他輸入電連接至供應有信號 RSTB 的導線。類比開關器 431 供應有時脈信號和時脈信號的反相信號。時鐘反相器 413 供應有時脈信號和時脈信號的反相信號。

圖 26 中的邏輯電路包括非揮發性閃鎖電路 400a 和非揮發性閃鎖電路 400b 作為前述之該等非揮發性閃鎖電路 400。非揮發性閃鎖電路 400a 電連接至供應有來自前一階段之電路的輸入信號的電位的導線 414。供應有非揮發性閃鎖電路 400a 之輸出信號之電位的導線 415 電連接至供應有非揮發性閃鎖電路 400b 之輸入信號之電位的導線 414。非揮發性閃鎖電路 400b 電連接至將非揮發性閃鎖電路 400b 之輸出信號之電位供應至次一階段之電路的導線 415。

在非揮發性閃鎖電路 400a 中，類比開關器 431 供應有時脈信號 $\phi 1$ 及時脈信號 $\phi 1$ 的反相信號 $\phi 1b$ ，且時鐘反相器 413 供應有時脈信號 $\phi 2$ 及時脈信號 $\phi 2$ 的反相信號 $\phi 2b$ 。在非揮發性閃鎖電路 400b 中，類比開關器 431 供應有時脈信號 $\phi 2$ 及時脈信號 $\phi 2$ 的反相信號 $\phi 2b$ ，且時鐘反相器 413 供應有時脈信號 $\phi 1$ 及時脈信號 $\phi 1$ 的反相信號 $\phi 1b$ 。

利用使用氧化物半導體作為半導體材料形成通道形成區的電晶體，其作用為資料保存部的開關元件，針對依據

本實施例之非揮發性閃鎖電路，可實現一非揮發性閃鎖電路，其具有寬操作溫度範圍，且即使在高溫可穩定地操作，以及其中即使在電源關閉之後儲存資料之邏輯狀態亦不消失，或一設置有資料保存部的閃鎖電路，其更新週期係足夠長。

因為資料寫入係藉由開關該電晶體而實施，重寫之次數大致上並沒有限制。此外，寫入電壓幾乎同等於電晶體之臨界電壓；因此，可在低電壓實施資料寫入。再者，直接供應電位至資料儲存部；因此，可將儲存作為資料的電荷量中的變異抑制到很小，且可輕易地讀取資料。

藉由使用非揮發性閃鎖電路可提供各種邏輯電路。例如，藉由關閉未使用之區塊的電源來降低功率消耗。此外，因為即使當關閉電源時邏輯狀態仍被儲存，因而系統可高速且低功率地於電源導通時開始或於電源關閉時終止。

此實施例可與其他任何實施例自由地結合。

[實施例 11]

接著，將參照圖 27A 至 27E 說明使用氧化物半導體之電晶體之製造方法的另一範例，可使用該電晶體作為上述實施例（例如實施例 1 或實施例 2）中的電晶體 402。在此實施例中，詳細說明使用高純度氧化物半導體（特別是具有非晶結構）的情況。雖然在下列說明中使用頂閘電晶體作為範例，但電晶體之結構並不侷限於此。

首先，形成絕緣層 202 於底部基板 200 之上。接著，

形成氧化物半導體層 206 於絕緣層 202 之上（見圖 27A）

。

此處，底部基板 200 對應於包括在下部中的電晶體 160 及之類的基板，其示於上述實施例中。底部基板 200 之細節可參考上述實施例。應注意底部基板 200 的表面較佳為盡可能平坦。為了達到此目的，可將該表面接受化學機械拋光（CMP）法或之類，以具有 5 nm 或更少、較佳為 1 nm 或更少的峰谷高度，或 2 nm 或更少、較佳為 0.4 nm 或更少的均方根粗度（RMS）。

絕緣層 202 作用為基底且可以相同於上述實施例中所示之絕緣層 168、保護絕緣層 144、或之類的形成方式形成。絕緣層 202 之細節可參考上述實施例。應注意較佳形成絕緣層 202 以便儘可能少的包含氫或水。

作為氧化物半導體層 206，可使用下列任何氧化物半導體：In-Sn-Ga-Zn-O 基氧化物半導體，其為四元金屬氧化物；In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、Al-Ga-Zn-O 基氧化物半導體、或 Sn-Al-Zn-O 基氧化物半導體，其該等為三元金屬氧化物；In-Zn-O 基氧化物半導體、Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、或 In-Mg-O 基氧化物半導體，其該等為二元金屬氧化物；或 In-O 基氧化物半導體、Sn-O 基氧化物半導體；或 Zn-O 基氧化物半導體，其該等為一元金屬氧

化物。

特別是，當無電場時，In-Ga-Zn-O 基氧化物半導體材料具有足夠高的抗性，因此可獲得足夠低的關閉狀態電流。此外，具有高場效遷移率，In-Ga-Zn-O 基氧化物半導體材料適於半導體裝置。

In-Ga-Zn-O 基氧化物半導體材料之一典型範例以 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 表示。氧化物半導體材料之另一範例以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示，其中使用 M 取代 Ga。此處，M 表示一或多個選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co)、及之類的金屬元素。例如，M 可為 Ga、Ga 和 Al、Ga 和 Fe、Ga 和 Ni、Ga 和 Mn、Ga 和 Co、或之類。應注意上述組成僅為由晶體結構獲得之範例。

在此實施例中，以使用 In-Ga-Zn-O 基金屬氧化物靶材之濺鍍法形成具有非晶結構之氧化物半導體層 206。

作為用於以濺鍍法形成氧化物半導體層 206 的金屬氧化物靶材，例如，可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [摩爾比]之組成比例的金屬氧化物靶材。此外，亦可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩爾比]之組成比例的金屬氧化物靶材或具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [摩爾比]之組成比例的金屬氧化物靶材。

金屬氧化物靶材中的氧化物半導體的相對密度為大於或等於 80%，較佳大於或等於 95%，且更佳大於或等於 99.9%。使用具有高相對密度之金屬氧化物靶材使得能夠

形成具有緻密結構之氧化物半導體層 206。

形成氧化物半導體層 206 的氛圍較佳為稀有氣體（典型為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型為氬氣）和氧氣的混合氛圍。具體地，較佳使用例如高純度氣體氛圍，從中移除例如氬氣、水氣、羥基或氫化物的雜質至濃度約百萬分之幾或更少（較佳為數十億分之幾或更少）。

在形成氧化物半導體層 206 時，例如，將基板保持在維持減壓的處理室中並加熱基板至 100℃ 至 550℃ 之間，較佳為 200℃ 至 400℃ 之間的溫度。接著，當移除處理室中的溼氣時，導入移除氬氣、水、或之類的濺鍍氣體到處理室中，藉此使用前述靶材形成氧化物半導體層 206。當加熱基板同時形成氧化物半導體層 206，使得可減少包含在氧化物半導體層 206 中的雜質濃度。此外，可減少濺鍍造成之損害。為了移除處理室中的濕氣，較佳使用吸附真空泵。例如，可使用低溫泵、離子泵或鈦昇華泵。或者，亦可使用設置有冷凝捕集器的渦輪泵。因為自以低溫泵抽空的處理室中移除氬氣、水、或之類，因此可減少氧化物半導體層 206 中的雜質濃度。

可在例如以下條件形成氧化物半導體層 206：基板和靶材之間的距離為 170 mm；壓力為 0.4 Pa；直流（DC）電源為 0.5 kW；且氛圍係氧氣（氧氣流量比為 100%）、氬氣（氬氣流量比為 100%）、或包含氧氣和氬氣之混合氛圍。應注意較佳係使用脈衝直流（DC）電源，因為可

減少灰塵（例如膜形成時所形成的粉末物質）且可減少厚度分佈。該氧化物半導體層 206 的厚度為 2 nm 至 200 nm，較佳為 5 nm 至 30 nm。應注意該氧化物半導體層的適當厚度係依據將使用之氧化物半導體材料、半導體裝置之預期目的、或之類而不同；因此，可依據材料、預期目的、或之類來決定厚度。

應注意在以濺鍍法形成該氧化物半導體層 206 之前，較佳實施其中以導入氬氣氣體產生電漿之反向濺鍍，使得移除附著在絕緣層 202 表面的灰塵。此處，該反向濺鍍為離子撞擊將被處理之表面使得表面被修正的方法，與離子撞擊濺鍍靶材之一般濺鍍相反。用於使離子撞擊將被處理之表面的方法的範例為在氬氣氛圍下施加高頻電壓至表面使得在基板附近產生電漿的方法。應注意可使用氮氣氛圍、氬氣氛圍、氧氣氛圍等替代氬氣氛圍。

接著，藉由諸如使用遮罩的蝕刻的方法處理氧化物半導體層 206，藉此形成島形氧化物半導體層 206a。

作為用於蝕刻氧化物半導體層 206 的方法，可採用乾蝕刻或濕蝕刻。不用說，亦可使用乾蝕刻和濕蝕刻的組合。依據材料適當設定蝕刻條件（例如，蝕刻氣體或蝕刻劑、蝕刻時間和溫度），使得可將該氧化物半導體層蝕刻為想要的形狀。蝕刻條件之細節可參考上述實施例。可以相同於上述實施例中所示之氧化物半導體層的蝕刻方式蝕刻氧化物半導體層 206。該蝕刻之細節可參考上述實施例。

之後，較佳在氧化物半導體層 206a 上實施熱處理（

第一熱處理)。經由第一熱處理，可移除氧化物半導體層 206a 中的過量氫（包括水和羥基），可對齊氧化物半導體層 206a 的結構，並可減少氧化物半導體層 206a 中的缺陷。在例如 300℃ 至 550℃ 之間，或 400℃ 至 550℃ 之間的溫度實施第一熱處理。

可以此方式實施熱處理：例如，導入底部基板 200 至使用耐熱元件或之類的電爐中，然後在 450℃ 於氮氣氛圍下加熱 1 小時。在熱處理期間氧化物半導體層 206a 並不暴露於空氣中，因而可防止水或氫的進入。

熱處理設備並不侷限於電爐，且可為用於加熱待以由諸如已加熱之氣體的媒介的熱傳導或熱輻射處理之物體的設備。例如，可使用 RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。LRTA 設備係用於加熱待以發射自燈（例如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）來處理之物體的設備。GRTA 設備係用於實施使用高溫氣體之熱處理的設備。作為該氣體，使用不與待以熱處理來處理之物體產生反應的惰性氣體，例如氮氣或諸如氬氣之稀有氣體。

例如，作為第一熱處理，可以下列方式實施 GRTA 處理。將基板放置於惰性氣體氛圍中，加熱數分鐘，然後從惰性氣體中取出。該 GRTA 處理在短時間內致能高溫熱處理。此外，即使溫度超過基板的溫度上限，仍可採用 GRTA 處理，因為該熱處理僅需要短時間。

應注意惰性氣體氛圍可能在處理期間轉換成包含氧的氛圍。這是因為藉由在包含氧的氛圍下實施第一熱處理可減少由缺氧造成的缺陷。

例如，在第一熱處理中使用電爐的情況中，當處理溫度下降時，可改變氛圍。例如，在諸如稀有氣體（例如，氮氣、氬氣或氙氣）或氮氣之惰性氣體氛圍下可實施熱處理（在恆溫），且當處理溫度下降時，氛圍可轉變為包含氧的氛圍。作為包含氧的氛圍，可使用氧氣氣體或氧氣和氮氣之混合氣體。

應注意作為惰性氣體氛圍，較佳採用包含氮氣或稀有氣體（例如氮氣、氬氣或氙氣）作為其主成分且不包含水、氫、或之類的氛圍。例如，導入熱處理設備之氮氣或稀有氣體（例如氮氣、氬氣或氙氣）的純度為大於或等於 6N（99.9999%），較佳為大於或等於 7N（99.99999%）（即，雜質濃度小於或等於 1 ppm，較佳為小於或等於 0.1 ppm）。

在任何情況中，當經由第一熱處理減少雜質以形成 i 型或實質 i 型氧化物半導體層 206a 時，可實現具有優良性質的電晶體。

可在尚未被處理成島形氧化物半導體層 206a 的氧化物半導體層 206 上實施第一熱處理。在此情況中，在第一熱處理之後，從加熱設備中取出底部基板 200，然後實施微影步驟。

第一熱處理，其具有移除氫氣或水的效果，而可被稱

為脫水處理、脫氫處理、或之類。可在形成氧化物半導體層之後，或在於氧化物半導體層 206a 之上堆疊源極或汲極電極之後，實施脫水處理或脫氫處理。可實施一次或多次此脫水處理或脫氫處理。

接著，形成導電層與氧化物半導體層 206a 接觸。接著，藉由選擇性蝕刻該導電層來形成源極或汲極電極 208a 及源極或汲極電極 208b（見圖 27B）。此步驟相似於形成上面實施例中所述之源極或汲極電極 142a 及之類的步驟。該步驟之細節可參考上述實施例。

接著，形成與部分氧化物半導體層 206a 接觸之閘極絕緣層 212（見圖 27C）。閘極絕緣層 212 之細節可參考上述實施例中之閘極絕緣層之敘述。

在形成閘極絕緣層 212 之後，較佳在惰性氣體氛圍或氧氣氛圍中實施第二熱處理。在 200℃ 至 450℃ 之間，較佳在 250℃ 至 350℃ 之間的溫度實施熱處理。例如，可在 250℃ 於氮氣氛圍中實施熱處理 1 小時。第二熱處理可減少電晶體之電特性的變異。在閘極絕緣層 212 包含氧氣的情況中，藉由供應氧氣至氧化物半導體層 206a 以降低氧化物半導體層 206a 的缺氧，亦可形成 i 型（本質）或實質 i 型氧化物半導體層。

應注意雖然在此實施例中是在形成閘極絕緣層 212 之後立即實施第二熱處理，但第二熱處理的實施時點並不侷限於此。

接著，於閘極絕緣層 212 之上重疊氧化物半導體層

206a 之區域中形成閘極電極 214（見圖 27D）。可藉由於閘極絕緣層 212 之上形成導電層，然後選擇性圖案化該導電層來形成閘極電極 214。閘極電極 214 之細節可參考上述實施例中之閘極電極的敘述。

接著，形成層間絕緣層 216 和層間絕緣層 218 於閘極絕緣層 212 和閘極電極 214 之上（見圖 27E）。可以 PVD 法、CVD 法、或之類形成層間絕緣層 216 和層間絕緣層 218。可使用包含無機絕緣材料，例如氧化矽、氧化氮化矽、氮化矽、氧化鉛、氧化鋁和氧化鉬的材料，形成層間絕緣層 216 和層間絕緣層 218。應注意雖然在此實施例中使用層間絕緣層 216 和層間絕緣層 218 之堆疊結構，但本發明所揭示之實施例並不侷限於此。亦可使用單層結構或包含三或多層的堆疊結構。

應注意較佳形成層間絕緣層 218 以便具有平坦化表面。這是因為當形成層間絕緣層 218 以便具有平坦化表面時，可於層間絕緣層 218 之上有利地形成電極、導線、或之類。

經由上述步驟，完成包含高純度氧化物半導體層 206a 之電晶體 250。

圖 27E 中所述之電晶體 250 包含以下：氧化物半導體層 206a，其設置於底部基板 200 之上且其間夾有絕緣層 202；源極或汲極電極 208a 和源極或汲極電極 208b，其電連接至氧化物半導體層 206a；閘極絕緣層 212，其覆蓋氧化物半導體層 206a、源極或汲極電極 208a、源極或汲

極電極 208b；閘極電極 214 於閘極絕緣層 212 之上；層間絕緣層 216 於閘極絕緣層 212 和閘極電極 214 之上；以及層間絕緣層 218 於層間絕緣層 216 之上。

在此實施例中所示之電晶體 250 中，氧化物半導體層 206a 係高度純化。因此，氧化物半導體層 206a 中的氫濃度小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳為小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳為小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，再更佳為小於 $1 \times 10^{16}/\text{cm}^3$ 。此外，相較於典型晶圓的載子密度（大約 $1 \times 10^{14}/\text{cm}^3$ ），氧化物半導體層 206a 的載子密度係足夠低（例如，少於 $1 \times 10^{12}/\text{cm}^3$ ，較佳少於 $1 \times 10^{11}/\text{cm}^3$ ）。因此，可獲得足夠低的關閉狀態電流。例如，當汲極電壓 V_D 為 +1 V 或 +10 V 且閘極電壓 V_G 在 -5 V 至 -20 V 之範圍時，在室溫的關閉狀態電流小於或等於 1×10^{-13} A。並且，前述電晶體具有常關電晶體之特性。因此，漏電流，即，在閘極電極和源極電極之間的電壓大約為 0 V 的狀態的關閉狀態電流遠小於使用矽之電晶體的關閉狀態電流。例如，在室溫每單位通道寬度之漏電流係小於或等於 10 aA/ μm 。

以此方式，藉由使用高純度本質氧化物半導體層 206a，可充分地減少電晶體的關閉狀態電流。

應注意雖然在此實施例中，使用電晶體 250 作為上面實施例中所示之電晶體 402，但所揭示之本發明並不需要被理解為受限於此情況。例如，當充分增加氧化物半導體之電特性時，可將該氧化物半導體用於所有的電晶體，包

括積體電路中所包含之電晶體。在此情況中，並不一定要採用上面實施例中所示之堆疊結構，且可使用，例如，諸如玻璃基板之基板形成半導體裝置。

此實施例中描述的結構、方法及之類可與其他實施例中所述之任何結構、方法及之類做適當結合。

[實施例 12]

接著，將參照圖 28A 至 28E 說明使用氧化物半導體之電晶體之製造方法的另一範例，可使用該電晶體作為上述實施例（例如實施例 1 或實施例 2）中的電晶體 402。在此實施例中，詳細說明使用具有結晶區之第一氧化物半導體層和由自第一氧化物半導體層的結晶區晶體生長而得的第二氧化物半導體層作為氧化物半導體層的情況。雖然在下列說明中使用頂閘電晶體作為範例，但電晶體之結構並不侷限於此。

首先，形成絕緣層 302 於底部基板 300 之上。接著，形成第一氧化物半導體層於絕緣層 302 之上，然後接受第一熱處理，使得結晶化至少包含第一氧化物半導體層之表面的區域，藉此形成第一氧化物半導體層 304（見圖 28A）。

此處，底部基板 300 對應於包括在下部中的電晶體 160 及之類的基板，其示於上述實施例中。底部基板 300 之細節可參考上述實施例。應注意底部基板 300 之表面的平整性在此實施例中是特別重要的，因為其對於均勻化晶

體生長是不可或缺的。爲了獲得具有良好結晶之氧化物半導體層，底部基板 300 之表面可具 1 nm 或更少、較佳爲 0.2 nm 或更少的峰谷高度，或 0.5 nm 或更少、較佳爲 0.1 nm 或更少的均方根粗度（RMS）。

絕緣層 302 作用爲基底且可以相同於上述實施例中所示之絕緣層 168、保護絕緣層 144、或之類的形成方式形成。絕緣層 302 之細節可參考上述實施例。應注意較佳形成絕緣層 302 以便儘可能少的包含氫或水。

可以相似於上述實施例中所示之氧化物半導體層 206 的形成方法形成第一氧化物半導體層 304。第一氧化物半導體層 304 及其製造方法的細節可參照上述實施例。應注意在此實施例中，第一氧化物半導體層 304 係有意經由第一熱處理而結晶化；因此，較佳使用易於造成結晶化的金屬氧化物靶材來形成第一氧化物半導體層 304。例如，可使用 ZnO。此外，較佳亦可使用 In-Ga-Zn-O 基氧化物，其中金屬元素（In，Ga，Zn）中 Zn 的比例爲大於或等於 60%，因爲包含高濃度 Zn 的 In-Ga-Zn-O 基氧化物係易於結晶的。第一氧化物半導體層 304 的厚度較佳爲 3 nm 至 15 nm，且例如在此實施例中爲 5 nm。應注意該氧化物半導體層 304 的厚度視情況依據將使用之氧化物半導體材料、半導體裝置之預期目的、或之類而不同；因此，可依據將使用的材料、預期目的、或之類來決定厚度。

於 450℃ 至 850℃ 之間，較佳於 550℃ 至 750℃ 之間的溫度實施第一熱處理。實施第一熱處理的時間較佳爲 1 分

鐘至 24 小時之間。溫度和時間依據氧化物半導體的種類或組成比例而不同。此外，第一熱處理較佳於不包含氫或水的氛圍下實施，例如其中充分移除水之氮、氧、或稀有氣體（例如氮氣、氖氣或氬氣）的氛圍。

熱處理設備並不侷限於電爐，且可為用於加熱待以由諸如已加熱之氣體的媒介的熱傳導或熱輻射處理之物體的設備。例如，可使用 RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。LRTA 設備係用於加熱待以發射自燈（例如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）來處理之物體的設備。GRTA 設備係用於實施使用高溫氣體之熱處理的設備。作為該氣體，使用不與待以熱處理來處理之物體產生反應的惰性氣體，例如氮氣或諸如氬氣之稀有氣體。

經由前述第一熱處理，結晶化至少包含第一氧化物半導體層之表面的區域。以自第一氧化物半導體層之表面朝向第一氧化物半導體層之內側進行晶體生長的方式形成該結晶區。應注意在某些情況中，該結晶區域包括具有平均厚度為 2 nm 至 10 nm 的片狀晶體。在某些情況中，該結晶區域亦包括一晶體，其具有實質平行於氧化物半導體層之表面的 a-b 表面，且其中 c 軸面向實質垂直於氧化物半導體層之表面的方向。此處，「實質平行方向」指的是平行方向 $\pm 10^\circ$ 之內的方向，而「實質垂直方向」指的是垂直方向 $\pm 10^\circ$ 以內的方向。

經由第一熱處理（該期間形成結晶區），較佳移除第一氧化物半導體層中的氫（包括水或羥基）。爲了移除氫或之類，第一熱處理可於氮、氧、或稀有氣體（例如氮氣、氖氣或氬氣）的氛圍下實施，該氛圍具有 6N（99.9999%）或更多（即，雜質濃度小於或等於 1 ppm）的純度，較佳爲 7 N（99.99999%）或更多（即，雜質濃度小於或等於 0.1 ppm）的純度。或者，第一熱處理可於包含 20 ppm 或更少，較佳爲 1 ppm 或更少之 H₂O 的極乾空氣下實施。

再者，經由第一熱處理（該期間形成結晶區），較佳供應氧至第一氧化物半導體層。可藉由，例如，將熱處理的氛圍改變爲氧氛圍來供應氧至第一氧化物半導體層。

此實施例中的第一熱處理如下：經由在氮氛圍下於 700°C 實施熱處理 1 小時而自氧化物半導體層移除氫或之類，然後氛圍改變爲氧氛圍使得供應氧至第一氧化物半導體層的內側。應注意第一熱處理的主要目的爲形成結晶區；因此，可分開實施移除氫或之類的熱處理以及供應氧的處理。例如，可在移除氫或之類的熱處理以及供應氧的處理之後實施用於結晶化的熱處理。

經由此第一熱處理，形成結晶區，移除氫（包括水和羥基）或之類，且可獲得供應有氧之第一氧化物半導體層 304。

接著，在其表面上至少包含有結晶區的第一氧化物半導體層 304 之上形成第二氧化物半導體層 305（見圖 28B

)。

第二氧化物半導體層 305 能夠以相同於上述實施例中所示之氧化物半導體層 206 的方法形成。第二氧化物半導體層 305 及其製造方法之細節可參考上述實施例。應注意較佳形成第二氧化物半導體層 305 以比第一氧化物半導體層 304 厚。並且，較佳形成第二氧化物半導體層 305 使得第一氧化物半導體層 304 和第二氧化物半導體層 305 的總厚度為 3 nm 至 50 nm。應注意該氧化物半導體層的厚度視情況依據將使用之氧化物半導體材料、半導體裝置之預期目的、或之類而不同；因此，可依據將使用的材料、預期目的、或之類來決定厚度。

較佳使用具有相同主成分且結晶化後進一步具有相近晶格常數（晶格失配為小於或等於 1%）的材料形成第二氧化物半導體層 305 和第一氧化物半導體層 304。這是因為在第二氧化物半導體層 305 的結晶化中，在使用具有相同主成分之材料的情況中，容易自第一氧化物半導體層 304 的結晶區進行晶體生長。此外，使用具有相同主成分之材料實現良好介面物理性質或電特性。

應注意在經由結晶化獲得期望的膜品質的情況中，可使用具有異於第一氧化物半導體層 304 之材料之主成分的主成分的材料形成第二氧化物半導體層 305。

接著，在第二氧化物半導體層 305 上實施第二熱處理，藉此自第一氧化物半導體層 304 的結晶區進行晶體生長，且形成第二氧化物半導體層 306（見圖 28C）。

於 450℃ 至 850℃、較佳為 600℃ 至 700℃ 的溫度實施第二熱處理。第二熱處理之實施時間為 1 分鐘至 100 小時，較佳為 5 小時至 20 小時，典型為 10 小時。應注意第二熱處理亦較佳在不包含氫或水的氛圍下實施。

第二熱處理之氛圍與效果之細節與第一熱處理相同。可使用的熱處理設備亦與第一熱處理相同。例如，在第二熱處理中，當溫度上升時，爐內充滿氮氣氛圍，且當溫度下降時，爐內充滿氧氣氛圍，藉此可在氮氣氛圍下移除氫或之類且可在氧氣氛圍下供應氧。

經由上述第二熱處理，可自第一氧化物半導體層 304 的結晶區進行晶體生長至第二氧化物半導體層 305 的整體，使得可形成第二氧化物半導體層 306。此外，能夠形成移除氫（包括水和羥基）或之類且供應有氧的第二氧化物半導體層 306。並且，可藉由第二熱處理改善第一氧化物半導體層 304 的結晶區的定向。

例如，在將 In-Ga-Zn-O 基氧化物半導體材料用於第二氧化物半導體層 306 的情況中，第二氧化物半導體層 306 可具有以 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$ ，且 m 非自然數) 所代表的結晶、以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (In : Ga : Zn : O = 2 : 2 : 1 : 7) 所代表的結晶、或之類。經由第二熱處理定向此結晶，使得 c 軸在實質垂直於第二氧化物半導體層 306 之表面的方向中。

此處，上述結晶包括任意的 In、Ga、及 Zn，以及可考慮具有平行於 a 軸和 b 軸之複數層的堆疊結構。具體而

言，上述結晶具有一種其中包含 In 之層和不包含 In 之層（包含 Ga 或 Zn 之層）在 c 軸方向中堆疊的結構。

在 In-Ga-Zn-O 基氧化物半導體結晶中，包含 In 之層，即，平行於 a 軸和 b 軸方向之層具有良好導電性。這是因為在 In-Ga-Zn-O 基氧化物半導體結晶中的電導主要由 In 所控制，且 In 原子的 5s 軌道與相鄰 In 原子的 5s 重疊，使得形成載子路徑。

再者，在第一氧化物半導體層 304 於與絕緣層 302 之介面包括非晶區域的情況中，經由第二熱處理，在某些情況中自形成於第一氧化物半導體層 304 之表面上的結晶區朝向第一氧化物半導體層之底部進行晶體生長以結晶化該非晶區域。應注意，依據絕緣層 302 之材料、熱處理條件、及之類，在某些情況中該非晶區域會殘留。

在使用具有相同主成分之氧化物半導體材料形成第一氧化物半導體層 304 和第二氧化物半導體層 305 的情況中，第一氧化物半導體層 304 和第二氧化物半導體層 306 在某些情況中具有相同結晶結構，如圖 28C 所示。因此，雖然以圖 28C 中的點線所示，但在某些情況中，第一氧化物半導體層 304 和第二氧化物半導體層 306 之間的邊界無法被區別，使得可將第一氧化物半導體層 304 和第二氧化物半導體層 306 視為相同的層。

接著，藉由諸如使用遮罩的蝕刻的方法處理第一氧化物半導體層 304 和第二氧化物半導體層 306，藉以形成島形第一氧化物半導體層 304a 和島形第二氧化物半導體層

306a (見圖 28D)。

作為第一氧化物半導體層 304 和第二氧化物半導體層 306 之蝕刻方法，可採用乾蝕刻或濕蝕刻。不用說，可使用乾蝕刻和濕蝕刻之組合。可依據材料適當設定蝕刻條件（例如，蝕刻氣體或蝕刻劑、蝕刻時間和溫度），使得可將該氧化物半導體層蝕刻為想要的形狀。可以相同於上述實施例中所示之氧化物半導體層的蝕刻方式來蝕刻第一氧化物半導體層 304 和第二氧化物半導體層 306。蝕刻之細節可參考上述實施例。

形成通道形成區之氧化物半導體層的區域較佳具有平坦表面。例如，第二氧化物半導體層的表面在重疊閘極電極的區域中（通道形成區），較佳具有 1 nm 或更少（較佳為 0.2 nm 或更少）的峰谷高度。

接著，形成導電層以與第二氧化物半導體層 306a 接觸。接著，藉由選擇性蝕刻該導電層來形成源極或汲極電極 308a 以及源極或汲極電極 308b（見圖 28D）。可以相似於形成上述實施例中所示之源極或汲極電極 142a 以及源極或汲極電極 142b 的方式形成源極或汲極電極 308a 以及源極或汲極電極 308b。源極或汲極電極 308a 和源極或汲極電極 308b 之細節可參考上述實施例。

在圖 28D 所述之步驟中，與源極或汲極電極 308a 以及源極或汲極電極 308b 接觸之第一氧化物半導體層 304a 以及第二氧化物半導體層 306a 的側表面上的晶體層在某些情況中進入非晶狀態。

接著，形成與第二氧化物半導體層 306a 接觸的閘極絕緣層 312。可以 CVD 法或濺鍍法形成閘極絕緣層 312。接著，形成閘極電極 314 於閘極絕緣層 312 之上與第一氧化物半導體層 304a 及第二氧化物半導體層 306a 重疊之區域中。之後，形成層間絕緣層 316 及層間絕緣層 318 於閘極絕緣層 312 及閘極電極 314 之上（見圖 28E）。可以相似於形成上述實施例中所示之閘極絕緣層及之類的方式形成閘極絕緣層 312、閘極電極 314、層間絕緣層 316、及層間絕緣層 318。閘極絕緣層 312、閘極電極 314、層間絕緣層 316、及層間絕緣層 318 之細節可參考上述實施例。

在形成閘極絕緣層 312 後，較佳在惰性氣體氛圍或氧氣氣體氛圍下實施第三熱處理。在 200℃ 至 450℃，較佳為 250℃ 至 350℃ 實施該第三熱處理。例如，在包含氧的氛圍下於 250℃ 實施該熱處理一小時。該第三熱處理可減少電晶體之電特性中的變異。在閘極絕緣層 312 包含氧的情況下，藉由供應氧至第二氧化物半導體層 306a 以減少第二氧化物半導體層 306a 之缺氧，亦可形成 i 型（本質）或實質 i 型氧化物半導體層。

應注意雖然在此實施例中，第三熱處理是在形成閘極絕緣層 312 之後實施，但第三熱處理的實施時點並不侷限於此。並且，在經由其他諸如第二熱處理之處理將氧供應至第二氧化物半導體層 的情況中，可省略第三熱處理。

可藉由於閘極絕緣層 312 之上形成導電層然後選擇性

圖案化該導電層而形成閘極電極 314。閘極電極 314 之細節可參考上述實施例中的閘極電極之敘述。

可以 PVD 法、CVD 法、或之類形成層間絕緣層 316 和層間絕緣層 318。可使用包含無機絕緣材料，例如氧化矽、氧化氮化矽、氮化矽、氧化鉛、氧化鋁和氧化鉬的材料，形成層間絕緣層 316 和層間絕緣層 318。應注意雖然在此實施例中使用層間絕緣層 316 和層間絕緣層 318 之堆疊結構，但本發明所揭示之實施例並不侷限於此。亦可使用單層結構或包含三或多層的堆疊結構。

應注意較佳形成層間絕緣層 318 以便具有平坦化表面。這是因為當形成層間絕緣層 318 以便具有平坦化表面時，可於層間絕緣層 318 之上有利地形成電極、導線、或之類。

經由上述步驟，完成電晶體 350。電晶體 350 使用第一氧化物半導體層 304a 及由第一氧化物半導體層 304a 之結晶區晶體生長而得之第二氧化物半導體層 306a。

圖 28E 中所述之電晶體 350 包括下列：第一氧化物半導體層 304a，其設置於底部基板 300 之上且其間夾有絕緣層 302；第二氧化物半導體層 306a，其設置於第一氧化物半導體層 304a 之上；源極或汲極電極 308a 和源極或汲極電極 308b，其電連接至第二氧化物半導體層 306a；閘極絕緣層 312，其覆蓋第二氧化物半導體層 306a、源極或汲極電極 308a 和源極或汲極電極 308b；閘極電極 314 於閘極絕緣層 312 之上；層間絕緣層 316 於閘極絕緣層 312

和閘極電極 314 之上；以及層間絕緣層 318 於層間絕緣層 316 之上。

在此實施例中所示之電晶體 350 中，第一氧化物半導體層 304a 和第二氧化物半導體層 306a 係高度純化。因此，第一氧化物半導體層 304a 和第二氧化物半導體層 306a 中的氫濃度小於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳為小於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳為小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，再更佳為小於 $1 \times 10^{16}/\text{cm}^3$ 。此外，相較於典型晶圓的載子密度（大約 $1 \times 10^{14}/\text{cm}^3$ ），第一氧化物半導體層 304a 和第二氧化物半導體層 306a 的載子密度係足夠低（例如，少於 $1 \times 10^{12}/\text{cm}^3$ ，較佳少於 $1 \times 10^{11}/\text{cm}^3$ ）。因此，可獲得足夠低的關閉狀態電流。例如，當汲極電壓 V_D 為 +1 V 或 +10 V 且閘極電壓 V_G 在 -5 V 至 -20 V 之範圍時，在室溫的關閉狀態電流小於或等於 1×10^{-13} A。並且，前述電晶體具有常關電晶體之特性。因此，漏電流，即，在閘極電極和源極電極之間的電壓大約為 0 V 的狀態的關閉狀態電流遠小於使用矽之電晶體的關閉狀態電流。例如，在室溫每單位通道寬度之漏電流係小於或等於 $10 \text{ aA}/\mu\text{m}$ 。

以此方式，藉由使用高純度本質第一氧化物半導體層 304a 和第二氧化物半導體層 306a，可充分地減少電晶體的關閉狀態電流。

再者，在此實施例中，使用具有結晶區之第一氧化物半導體層 304a 和藉由自第一氧化物半導體層 304a 的結晶區進行晶體生長而得的第二氧化物半導體層 306a 作為氧

化物半導體層。因此，可增加場效遷移率且可實現具有優良電特性之電晶體。

應注意雖然在此實施例中，使用電晶體 350 作為上面實施例中所示之電晶體 402，但所揭示之本發明並不需要被理解為受限於此情況。例如，此實施例中所示之電晶體 350 使用具有結晶區之第一氧化物半導體層 304a 和藉由自第一氧化物半導體層 304a 的結晶區進行晶體生長而得的第二氧化物半導體層 306a，因此具有高場效遷移率。因而，可將該氧化物半導體用於所有的電晶體，包括積體電路中所包含之電晶體。在此情況中，並不一定要採用上面實施例中所示之堆疊結構，且可使用，例如，諸如玻璃基板之基板形成半導體裝置。

此實施例中描述的結構、方法及之類可與其他實施例中所述之任何結構、方法及之類做適當結合。

[實施例 13]

在此實施例中，參考圖 29A 至 29F 說明其上安裝有使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的電子裝置的範例。其上安裝有使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的電子裝置具有傳統技術沒有的優良特性。因此，可提供具有使用該非揮發性閃鎖電路之半導體裝置的新穎結構的電子裝置。應注意將使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置集成及安裝於將被安裝在電子裝置上之電路板或之類。

圖 29A 顯示包括使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的膝上型個人電腦。該膝上型個人電腦包括主體 1301、外殼 1302、顯示部 1303、鍵盤 1304 等。藉由將依據本發明所揭示之半導體裝置應用於膝上型個人電腦，可提供具有優良效能的膝上型個人電腦。

圖 29B 顯示包括使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的個人數位助理（PDA）。主體 1311 包括顯示部 1313、外部介面 1315、操作鍵 1314 等。此外，提供觸控筆 1312 作為用於操作的配件。藉由將依據本發明所揭示之半導體裝置應用於個人數位助理（PDA），可提供具有優良效能的個人數位助理（PDA）。

圖 29C 顯示電子書閱讀器 1320 作為包括使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置之電子紙的範例。電子書閱讀器 1320 包括兩個外殼：外殼 1321 和外殼 1323。外殼 1321 藉由樞紐 1337 與外殼 1323 結合，使得電子書閱讀器 1320 可使用樞紐 1337 作為轉軸來打開和關閉。此結構允許電子書閱讀器 1320 與紙質圖書的使用相同。

外殼 1321 包括顯示部 1325，外殼 1323 包括顯示部 1327。顯示部 1325 及顯示部 1327 可顯示連續影像或不同的影像。用於顯示不同影像的結構允許文字被顯示於右邊的顯示部上（圖 29C 中的顯示部 1325），以及影像被顯示於左邊的顯示部上（圖 29C 中的顯示部 1327）。

圖 29C 顯示外殼 1321 包括操作部等的情況的範例。例如，外殼 1321 包括電源按鈕 1331、操作鍵 1333、揚聲器 1335 等。操作鍵 1333 允許翻頁。應注意在其上設置有顯示部的外殼的表面上亦可設置鍵盤、指向裝置等。進一步，外部連接端子（耳機端子、USB 端子、可連接至各種例如 AC 轉接器及 USB 線等之電線的端子）、記錄媒體插入部等可被設置於外殼的背面或側面上。電子書閱讀器 1320 亦可作用為電子字典。

此外，電子書閱讀器 1320 可具有能無線傳送及接收資訊的結構。經由無線通訊，可自電子書伺服器購買和下載想要的書籍資料等。

應注意可將電子紙用於各種領域中，只要能顯示資料。例如，可將電子紙應用於海報、交通工具（例如火車）中的廣告及例如信用卡的各種卡等等，和電子書閱讀器。藉由將依據本發明的半導體裝置應用於電子紙，可提供具有優良效能的電子紙。

圖 29D 顯示包括使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的行動電話。該行動電話包括兩個外殼：外殼 1340 及外殼 1341。外殼 1341 包括顯示面板 1342、揚聲器 1343、麥克風 1344、指向裝置 1346、相機鏡頭 1347、外部連接端子 1348 等。外殼 1340 包括用於行動電話充電的太陽能電池 1349、外部記憶體插槽 1350 等。外殼 1341 中內建天線。

顯示面板 1342 包括觸控面板。被顯示為影像之複數

操作鍵 1345 以虛線示於圖 29D 中。應注意該行動電話包括用於將輸出自太陽能電池 1349 的電壓增加至各電路所需之電壓的升壓電路。除了上述結構之外，該行動電話亦可內建有非接觸 IC 晶片、小型記錄裝置等。

顯示面板 1342 的顯示方向依據應用模式而適當地改變。此外，相機鏡頭 1347 被設置於與顯示面板 1342 相同的表面上，使得該行動電話可被用作視訊電話。揚聲器 1343 和麥克風 1344 可被用於視訊電話通話、記錄、及播放聲音等，以及語音通話。此外，在圖 29D 中顯示為打開的外殼 1340 和 1341 可藉由滑動而彼此重疊。因此，該行動電話可具有適合攜帶使用的適當尺寸。

外部連接端子 1348 可連接至 AC 轉接器及例如 USB 線之各種電線，其致能該行動電話的充電以及資料通訊。此外，可藉由插入記錄媒體到外部記憶體插槽 1350，儲存和移除大量資料。除了上述功能之外，可提供紅外線通訊功能、電視接收功能等。藉由將依據本發明所揭示之半導體裝置應用於行動電話，可提供具有優良效能的行動電話。

圖 29E 顯示包括使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的數位相機。該數位相機包括主體 1361、顯示部 A 1367、接目鏡部 1363、操作開關 1364、顯示部 B 1365、電池 1366 等。藉由將依據本發明所揭示之半導體裝置應用於數位相機，可提供具有優良效能的數位相機。

圖 29F 顯示包括使用依據任何上述實施例之非揮發性閃鎖電路之半導體裝置的電視機。電視機 1370 包含設置有顯示部 1373 的外殼 1371。可顯示影像於顯示部 1373 上。此處，以腳座 1375 支撐外殼 1371。

可藉由包含在外殼 1371 中的操作開關或分別提供之遙控器 1380 操作電視機 1370。可藉由包含在遙控器 1380 中的操作鍵 1379 控制頻道和音量，且因此可控制顯示於顯示部 1373 的影像。此外，遙控器 1380 可設置有顯示部 1377，用於顯示輸出自遙控器 1380 的資料。

應注意電視機 1370 較佳包含有接收器、數據機等。使用該接收器，可接收一般電視節目。此外，當電視機 1370 經由數據機以有線或無線連接至通訊網路時，可執行單向（自傳送器至接收器）或雙向（傳送器與接收器之間，或接收器之間）的資訊通訊。藉由將依據本發明所揭示之半導體裝置應用於電視機，可提供具有優良效能的電視機。

此實施例中描述的結構、方法及之類可與其他實施例中所述之任何結構、方法及之類做適當結合。

【圖式簡單說明】

圖 1 說明非揮發性閃鎖電路之組態的範例。

圖 2A 和 2B 說明部份非揮發性閃鎖電路之組態的範例。

圖 3A 和 3B 為說明非揮發性閃鎖電路之元件的範例

的橫截面圖。

圖 4A 至 4H 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 5A 至 5G 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 6A 至 6D 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 7 為使用氧化物半導體之電晶體的橫截面圖。

圖 8 為沿著圖 7 中 A-A' 區段之能帶圖（示意圖）。

圖 9A 說明施加正電壓（ $V_G > 0$ ）至閘極（GE1）的狀態，及圖 9B 說明施加負電壓（ $V_G < 0$ ）至閘極（GE1）的狀態。

圖 10 說明真空度和金屬之功函數（ ϕ_M ）之間的關係，以及真空度和氧化物半導體之電子親和力（ χ ）之間的關係。

圖 11 說明在矽（Si）中熱載子注入所需之能量。

圖 12 說明在 In-Ga-Zn-O 基氧化物半導體（IGZO）中熱載子注入所需之能量。

圖 13 說明在碳化矽（4H-SiC）中熱載子注入所需之能量。

圖 14 顯示關於短通道效應之裝置模擬的結果。

圖 15 顯示關於短通道效應之裝置模擬的結果。

圖 16 說明非揮發性閃鎖電路之元件之橫截面的範例。

圖 17A 至 17E 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 18A 至 18D 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 19A 說明非揮發性閃鎖電路之組態的範例，及圖 19B 說明該非揮發性閃鎖電路之操作的範例。

圖 20A 及圖 20B 各說明非揮發性閃鎖電路之操作的範例。

圖 21 說明非揮發性閃鎖電路之組態的範例。

圖 22 說明非揮發性閃鎖電路之組態的範例。

圖 23 說明非揮發性閃鎖電路之組態的範例。

圖 24A 及圖 24B 各說明非揮發性閃鎖電路之操作的範例。

圖 25 說明非揮發性閃鎖電路之操作的範例。

圖 26 說明非揮發性閃鎖電路之組態。

圖 27A 至 27E 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 28A 至 28E 說明非揮發性閃鎖電路之元件之製造方法的範例。

圖 29A 至 29F 各說明包括使用非揮發性閃鎖電路之半導體裝置的電子裝置的範例。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區	106：元件隔離絕緣層
108a：閘極絕緣層	110a：閘極電極
110b：電極	112：閘極絕緣層
114：雜質區	116：通道形成區
118：側壁絕緣層	120：高濃度雜質區
122：金屬層	124：金屬化合物區
126：層間絕緣層	128：層間絕緣層
130a：源極或汲極電極	130b：源極或汲極電極
130c：電極	132：絕緣層
134：導電層	136a：電極
136b：電極	136c：電極
136d：閘極電極	138：閘極絕緣層
140：氧化物半導體層	142：導電層
142a：源極或汲極電極	142b：源極或汲極電極
144：保護絕緣層	146：層間絕緣層
148：導電層	150a：電極
150b：電極	150c：電極
150d：電極	150e：電極
152：絕緣層	154a：電極
154b：電極	154c：電極
154d：電極	154e：電極
156：絕緣層	158a：電極
158b：電極	158c：電極
158d：電極	160：電晶體

164：絕緣層	164a：絕緣層
164b：絕緣層	166：閘極絕緣層
168：絕緣層	170：層間絕緣層
172：層間絕緣層	178：閘極電極
200：底部基板	202：絕緣層
206：氧化物半導體層	206a：氧化物半導體層
208a：源極或汲極電極	208b：源極或汲極電極
212：閘極絕緣層	214：閘極電極
216：層間絕緣層	218：層間絕緣層
250：電晶體	300：底部基板
302：絕緣層	304：氧化物半導體層
304a：氧化物半導體層	305：氧化物半導體層
306：氧化物半導體層	306a：氧化物半導體層
308a：源極或汲極電極	308b：源極或汲極電極
312：閘極絕緣層	314：閘極電極
316：層間絕緣層	318：層間絕緣層
350：電晶體	400：非揮發性閃鎖電路
400a：非揮發性閃鎖電路	
400b：非揮發性閃鎖電路	401：資料保存部
402：電晶體	402a：電晶體
402b：電晶體	404：電容器
404a：電容器	404b：電容器
411：閃鎖部	412：第一元件
413：第二元件	414：導線

415 : 導 線	431 : 開 關 器
432 : 開 關 器	1301 : 主 體
1302 : 外 殼	1303 : 顯 示 部
1304 : 鍵 盤	1311 : 主 體
1312 : 觸 控 筆	1313 : 顯 示 部
1314 : 操 作 鍵	1315 : 外 部 介 面
1320 : 電 子 書 閱 讀 器	1321 : 外 殼
1323 : 外 殼	1325 : 顯 示 部
1327 : 顯 示 部	1331 : 電 源 按 鈕
1333 : 操 作 鍵	1335 : 揚 聲 器
1337 : 樞 紐	1340 : 外 殼
1341 : 外 殼	1342 : 顯 示 面
1343 : 揚 聲 器	1344 : 麥 克 風
1345 : 操 作 鍵	1346 : 指 向 裝 置
1347 : 相 機 鏡 頭	1348 : 外 部 連 接 端 子
1349 : 太 陽 能 電 池	1350 : 外 部 記 憶 體 插 槽
1361 : 主 體	1363 : 接 目 鏡 部
1364 : 操 作 開 關	1365 : 顯 示 部 B
1366 : 電 池	1367 : 顯 示 部 A
1370 : 電 視 機	1371 : 外 殼
1373 : 顯 示 部	1375 : 腳 座
1377 : 顯 示 部	1379 : 操 作 鍵
1380 : 遙 控 器	

照刊本号正.

空白頁



七、申請專利範圍：

1. 一種半導體裝置，包含：

門鎖部；

絕緣層，在該門鎖部之上；以及

資料保存部，可操作地連接於該門鎖部以保存該門鎖部之資料，

該門鎖部，包含：

電晶體；

其中該門鎖部的該電晶體之通道形成區包括結晶矽，

該資料保存部包含：

電晶體；以及

電容器，具有一對電極，

其中該資料保存部的該電晶體之通道形成區包括在該絕緣層之上的氧化物半導體層，以及

其中該資料保存部的該電晶體之源極和汲極之其中一者電連接於該電容器之該等電極之其中一者。

2. 如申請專利範圍第 1 項之半導體裝置，其中該資料保存部的該電晶體控制資料寫入該電容器。

3. 如申請專利範圍第 1 項之半導體裝置，其中該資料保存部的該電晶體具有保存資料於該電容器中的功能。

4. 如申請專利範圍第 1 項之半導體裝置，其中該資料保存部的該電晶體具有將保存在該電容器中的資料讀取至該門鎖部的功能。

5. 一種半導體裝置，包含：

門鎖部；

絕緣層，在該門鎖部之上；

資料保存部，可操作地連接於該門鎖部以保存該門鎖部之資料，

該門鎖部包含：

第一元件；以及

第二元件，

其中該第一元件之輸出電連接於該第二元件之輸入，且該第二元件之輸出電連接於該第一元件之輸入，以及

其中該第一元件和該第二元件之各者包含電晶體，該電晶體包含包括結晶矽的通道形成區，以及

該資料保存部包含：

電晶體；以及

電容器，具有一對電極，

其中該資料保存部的該電晶體之通道形成區包括在該絕緣層之上的氧化物半導體層，

其中該資料保存部的該電晶體之源極和汲極之其中一者電連接於該電容器之該等電極之其中一者，以及

其中該資料保存部的該電晶體之該源極和該汲極之其中另一者電連接於該第一元件之該輸入。

6. 如申請專利範圍第 5 項之半導體裝置，其中該第一元件為反相器，且該第二元件為反相器。

7. 如申請專利範圍第 5 項之半導體裝置，其中該門

鎖部包含：

第一開關；以及

第二開關，

其中該第二元件之該輸出經由該第二開關電連接於該第一元件之該輸入，以及

其中該第一元件之該輸入經由該第一開關電連接於供應有輸入信號之導線。

8. 如申請專利範圍第 5 項之半導體裝置，其中該第一元件為 NAND，且該第二元件為時鐘反相器。

9. 一種半導體裝置，包含：

門鎖部；

該門鎖部，包含：

電晶體，

其中該門鎖部的該電晶體之通道形成區包括結晶矽，絕緣層，在該門鎖部之上；以及

資料保存部，可操作地連接至該門鎖部以保存該門鎖部之資料，

該資料保存部包含：

第一電晶體；

第二電晶體；

第一電容器，具有一對電極；以及

第二電容器，具有一對電極，

其中該第一電晶體和該第二電晶體之通道形成區各包括在該絕緣層之上的氧化物半導體層，

其中該第一電晶體之源極和汲極之其中一者電連接於該第一電容器之該等電極之其中一者，

其中該第一電晶體之該源極和該汲極之其中另一者電連接於該門鎖部之輸入，

其中該第二電晶體之源極和汲極之其中一者電連接於該第二電容器之該等電極之其中一者，以及

其中該第二電晶體之該源極和該汲極之其中另一者電連接於該門鎖部之輸出。

10. 如申請專利範圍第 1、5、9 項中任一項之半導體裝置，其中該氧化物半導體層包含銦、鎵、和鋅。

11. 如申請專利範圍第 9 項之半導體裝置，其中該第一電晶體控制資料寫入該第一電容器，且其中該第二電晶體控制資料寫入該第二電容器。

12. 如申請專利範圍第 9 項之半導體裝置，其中該第一電晶體具有保存資料於該第一電容器中的功能，且其中該第二電晶體具有保存資料於該第二電容器中的功能。

13. 如申請專利範圍第 9 項之半導體裝置，其中該第一電晶體具有將保存在該第一電容器中的資料讀取至該門鎖部的功能，且其中該第二電晶體具有將保存在該第二電容器中的資料讀取至該門鎖部的功能。

14. 一種邏輯電路，包括如申請專利範圍第 1、5、9 項中任一項之半導體裝置。

15. 一種 CPU 包括邏輯電路，該邏輯電路包括如申請專利範圍第 1、5、9 項中任一項之半導體裝置。

圖 1

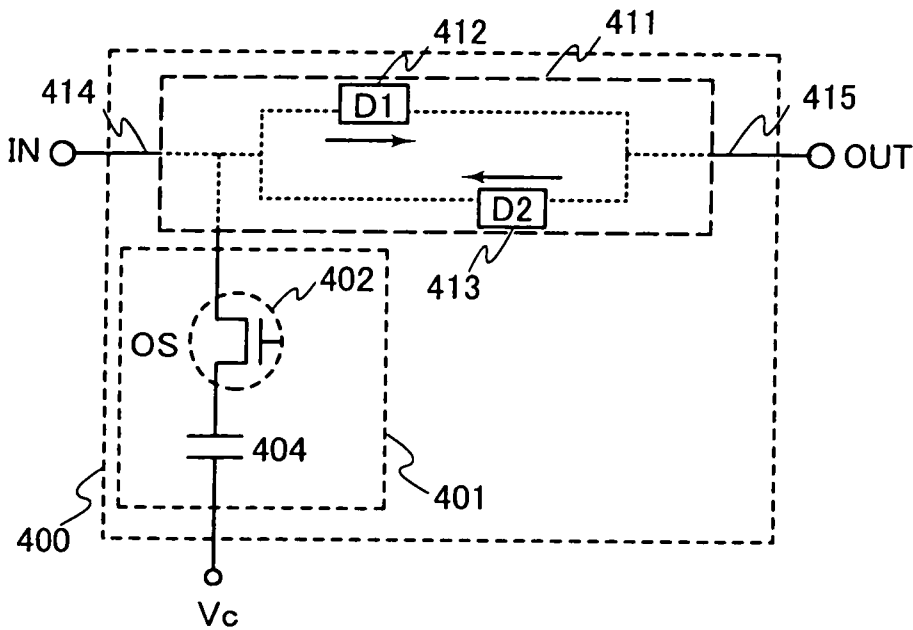


圖 2A

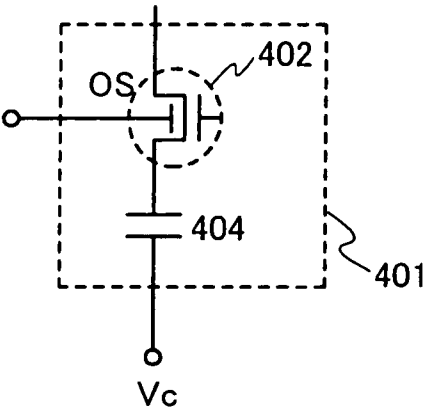


圖 2B

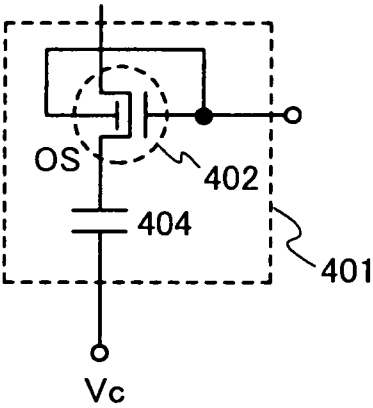


圖 3A

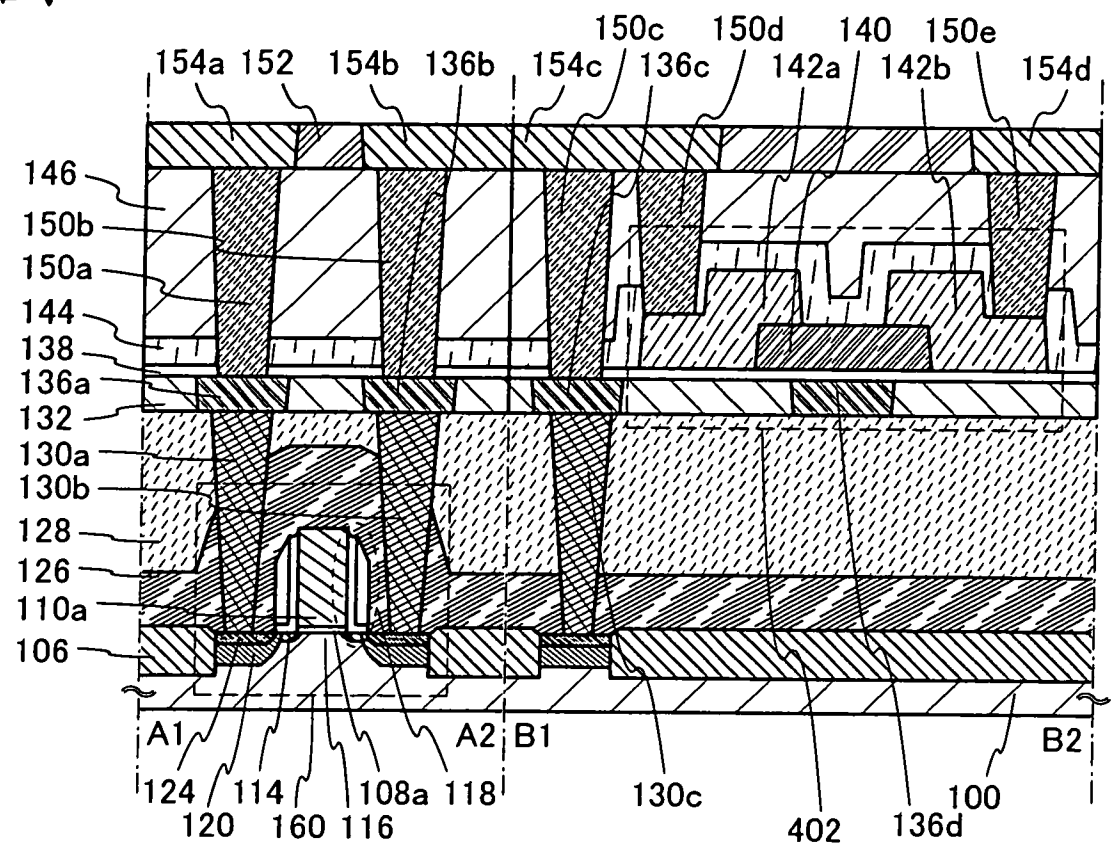


圖 3B

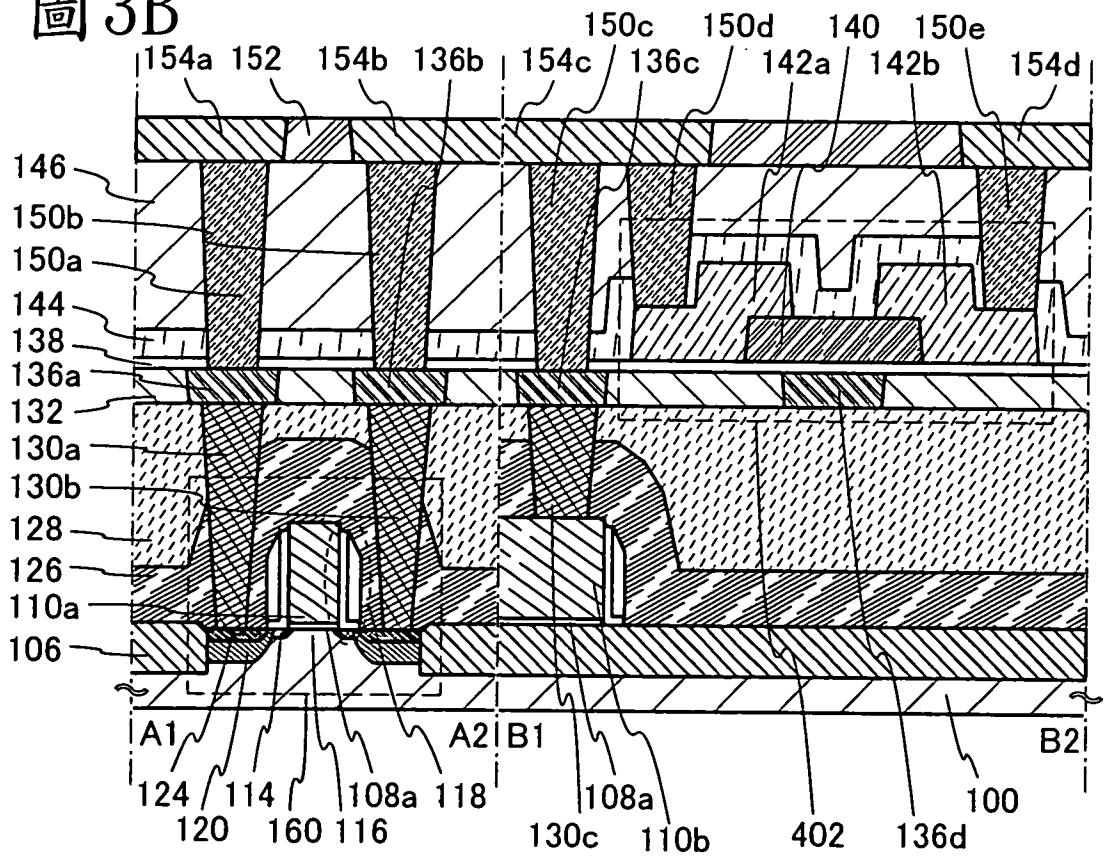


圖 4A

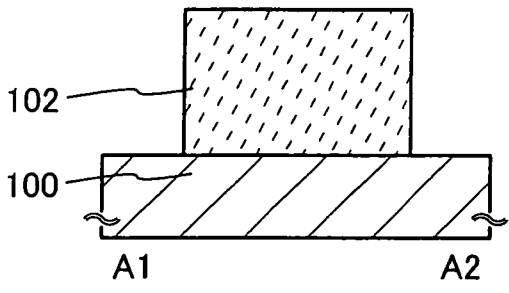


圖 4E

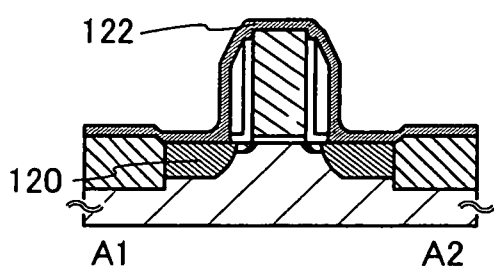


圖 4B

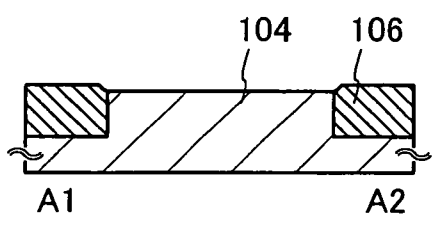


圖 4F

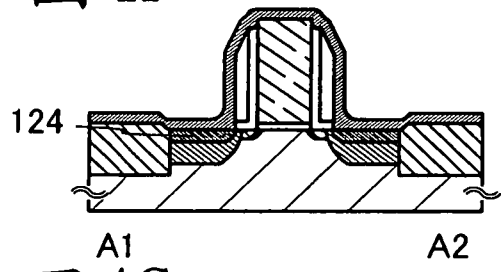


圖 4C

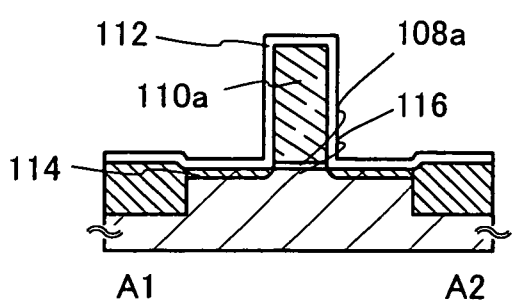


圖 4G

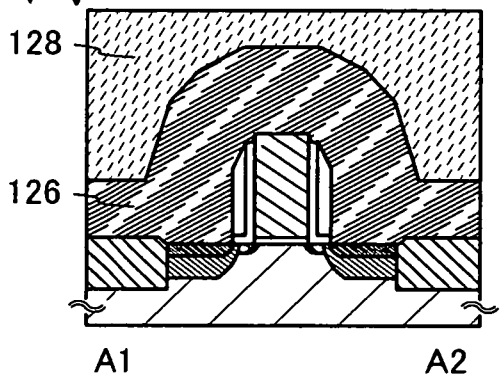


圖 4D

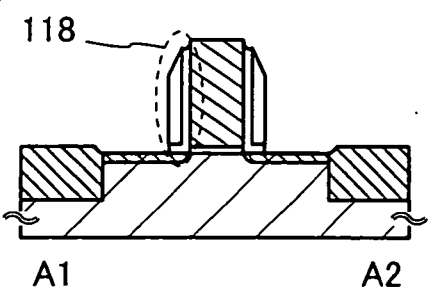


圖 4H

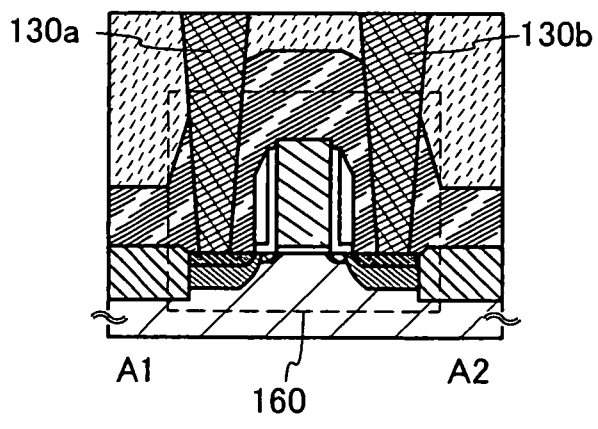


圖 5A

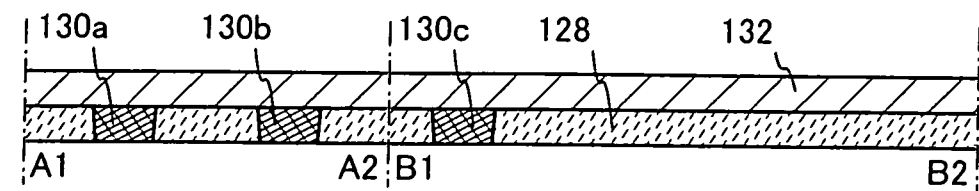


圖 5B

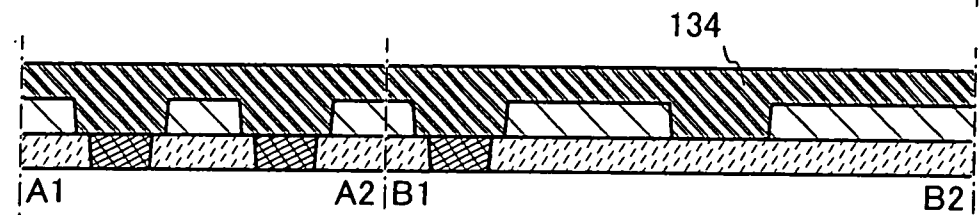


圖 5C

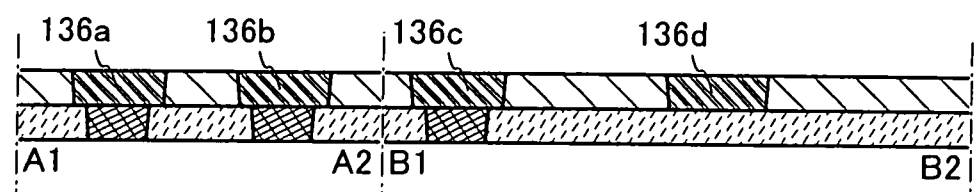


圖 5D

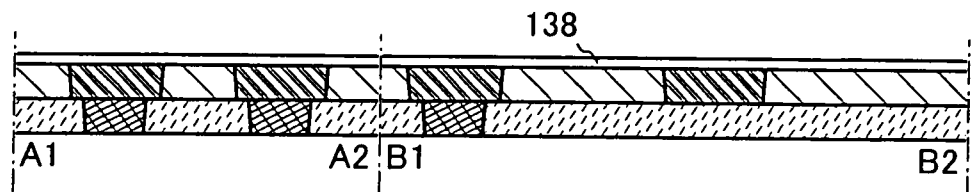


圖 5E

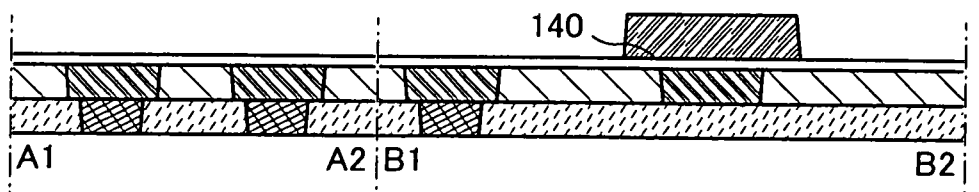


圖 5F

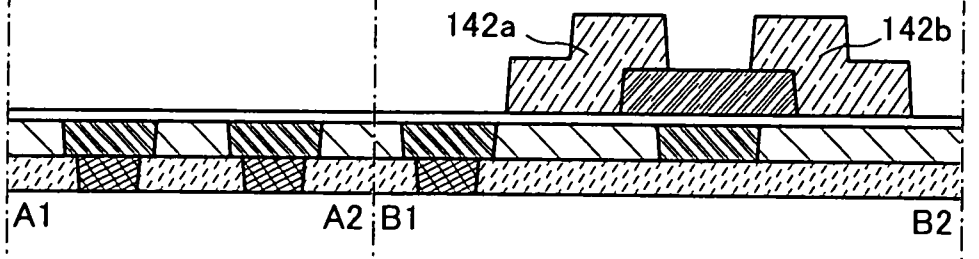


圖 5G

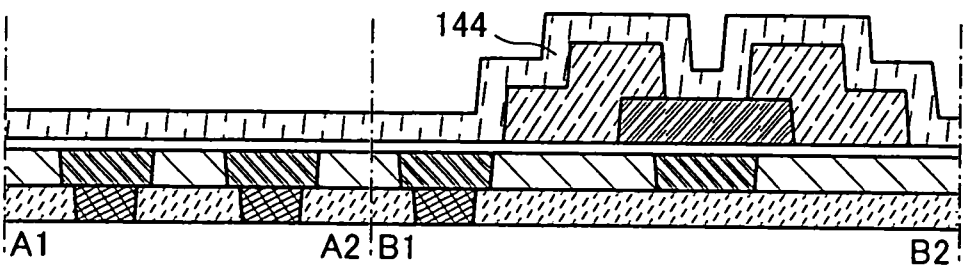


圖 6A

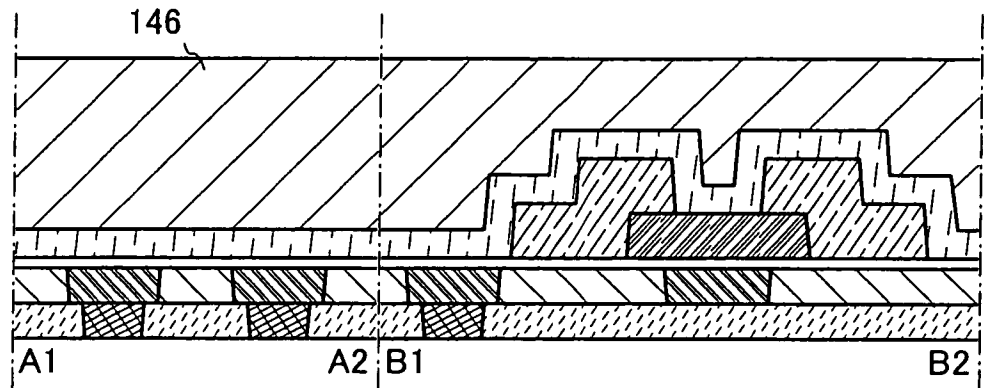


圖 6B

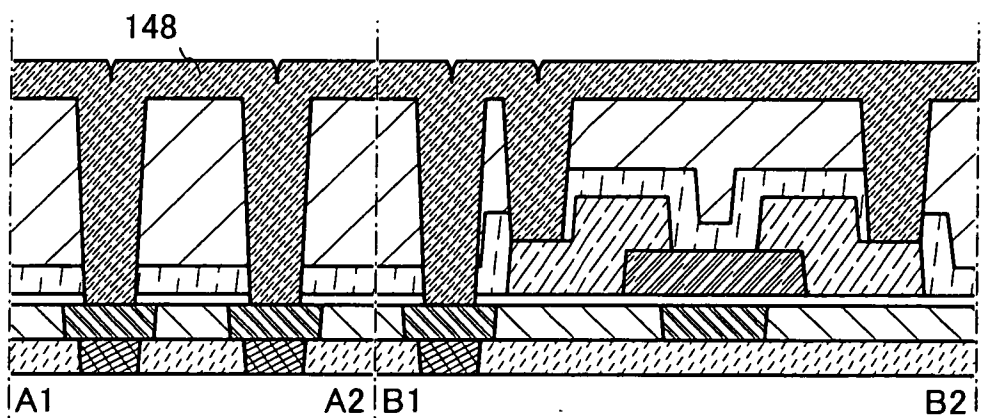


圖 6C

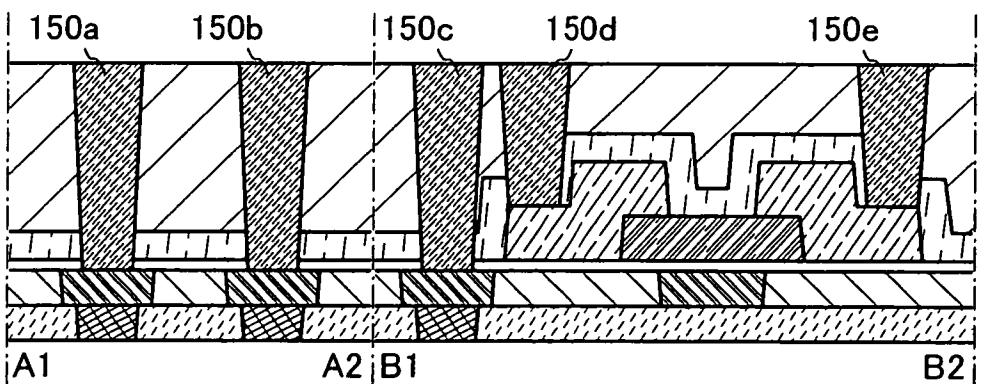


圖 6D

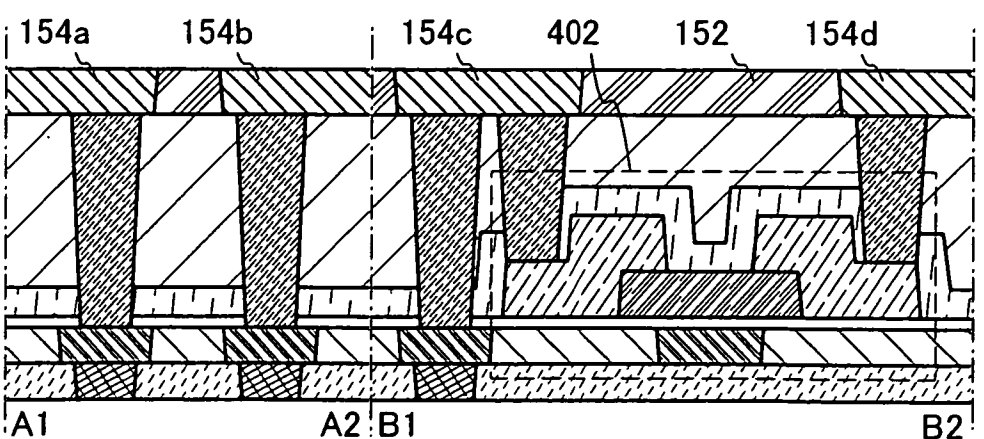


圖7

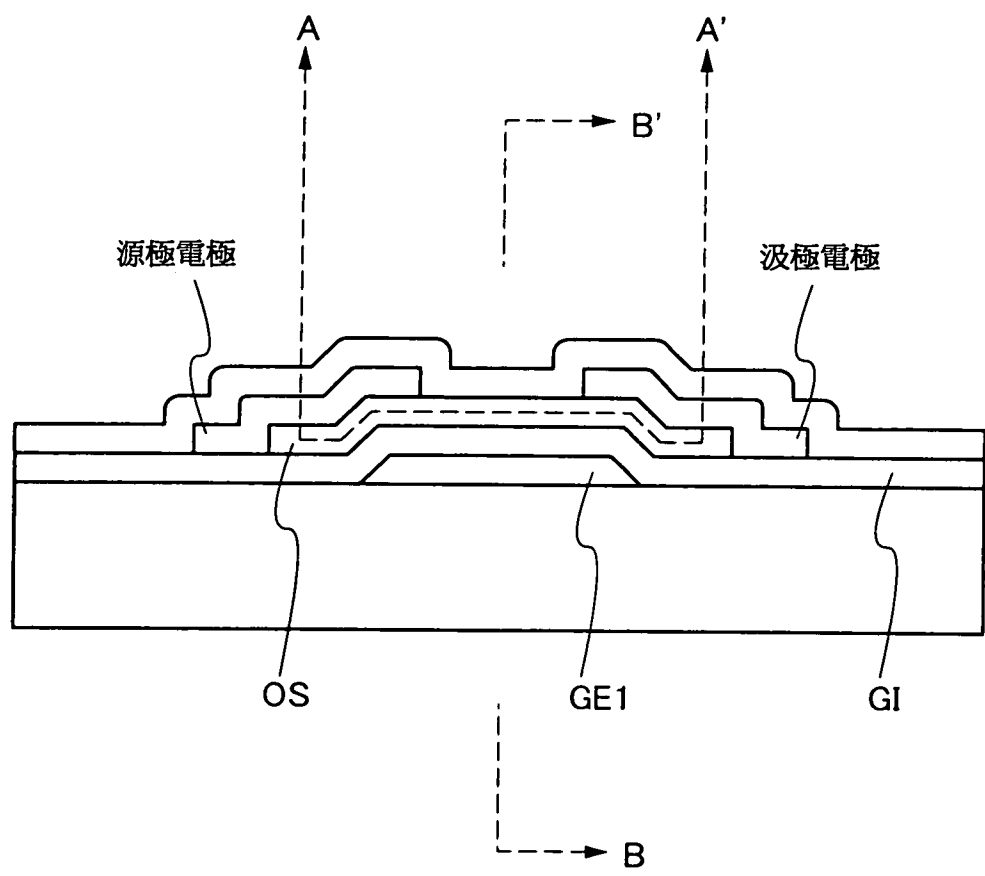


圖 8

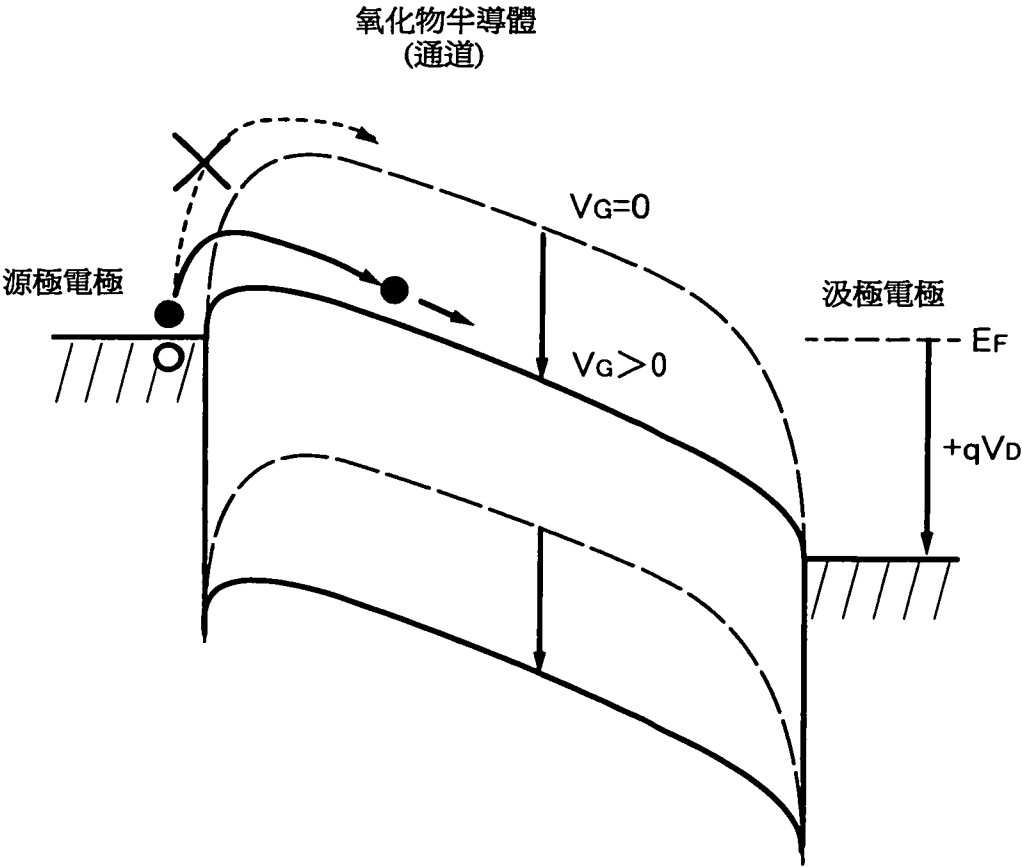
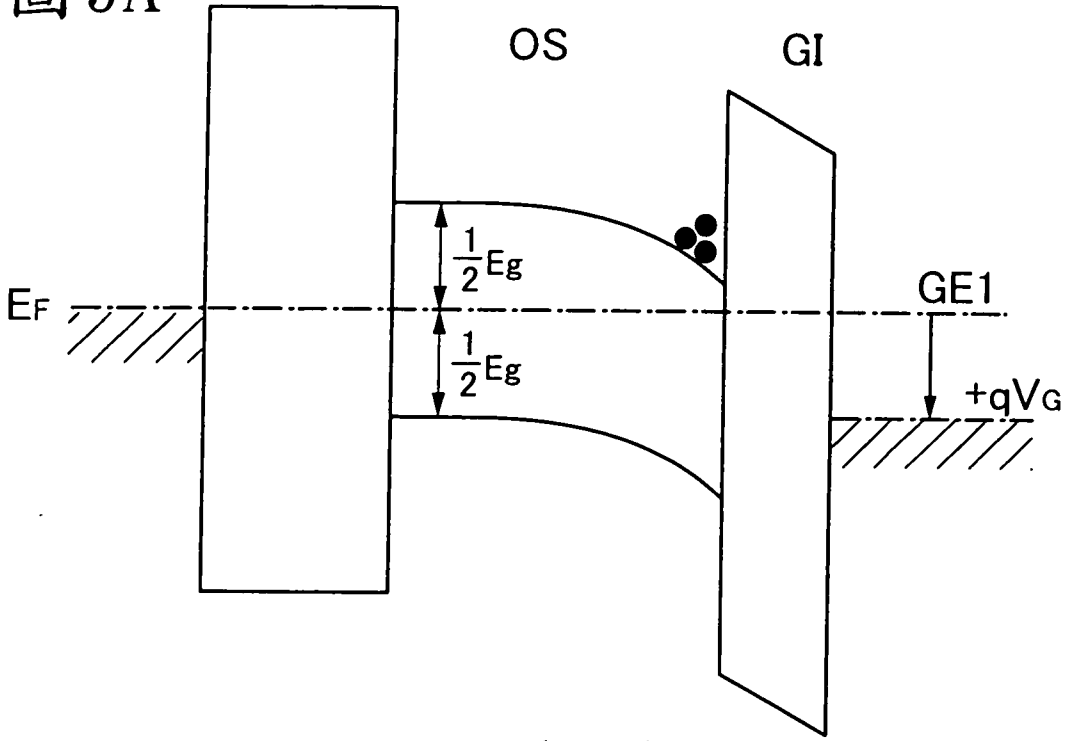
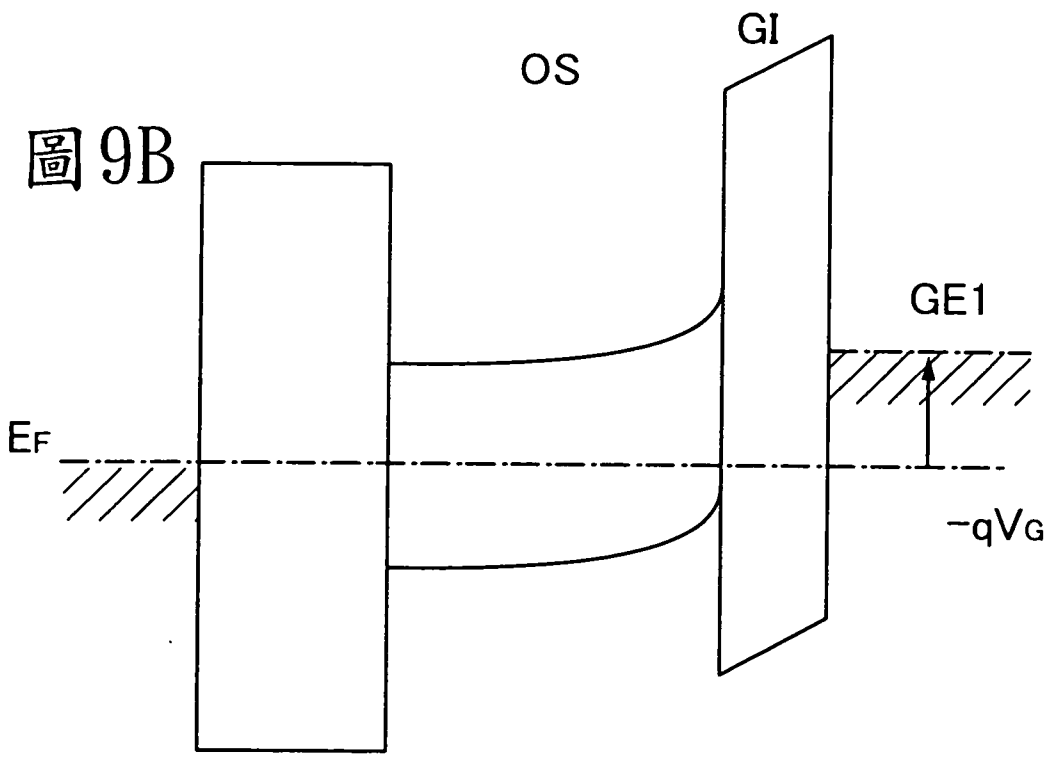


圖 9A



B-B'區之能帶圖 ($V_G > 0$)

圖 9B



B-B'區之能帶圖 ($V_G < 0$)

圖 10

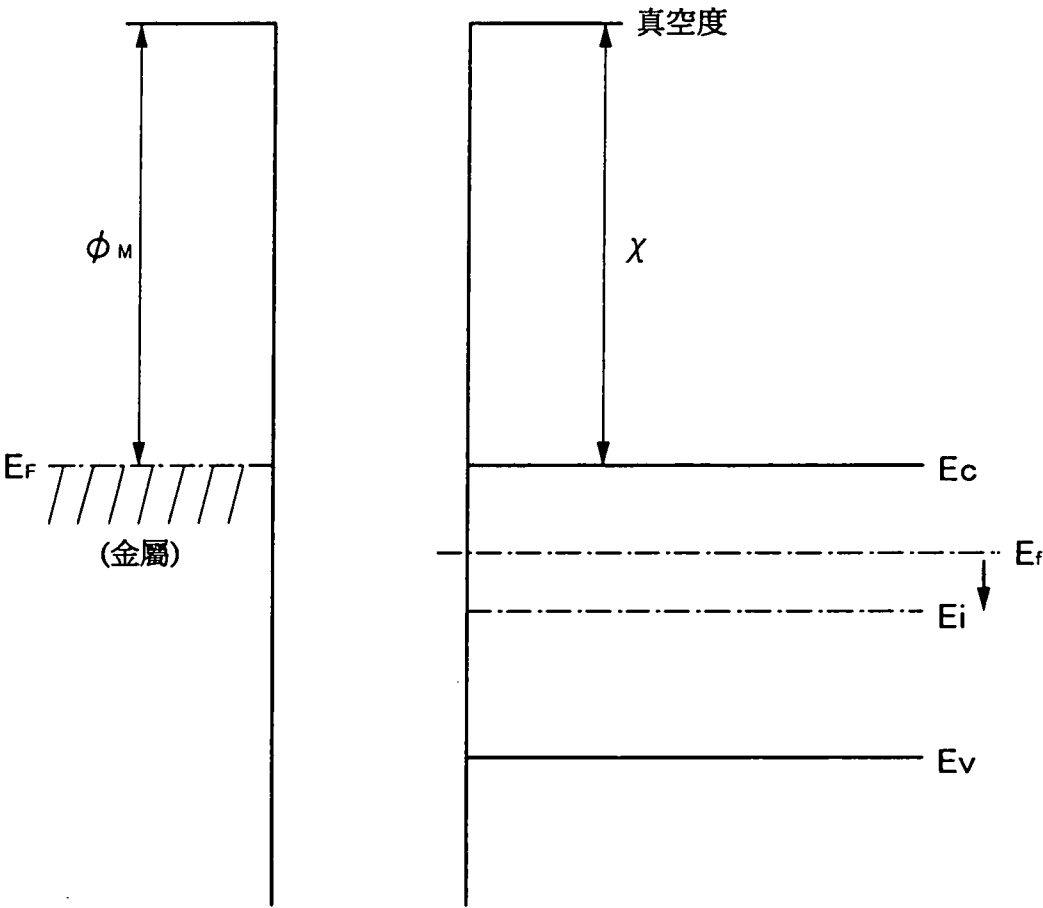


圖 11

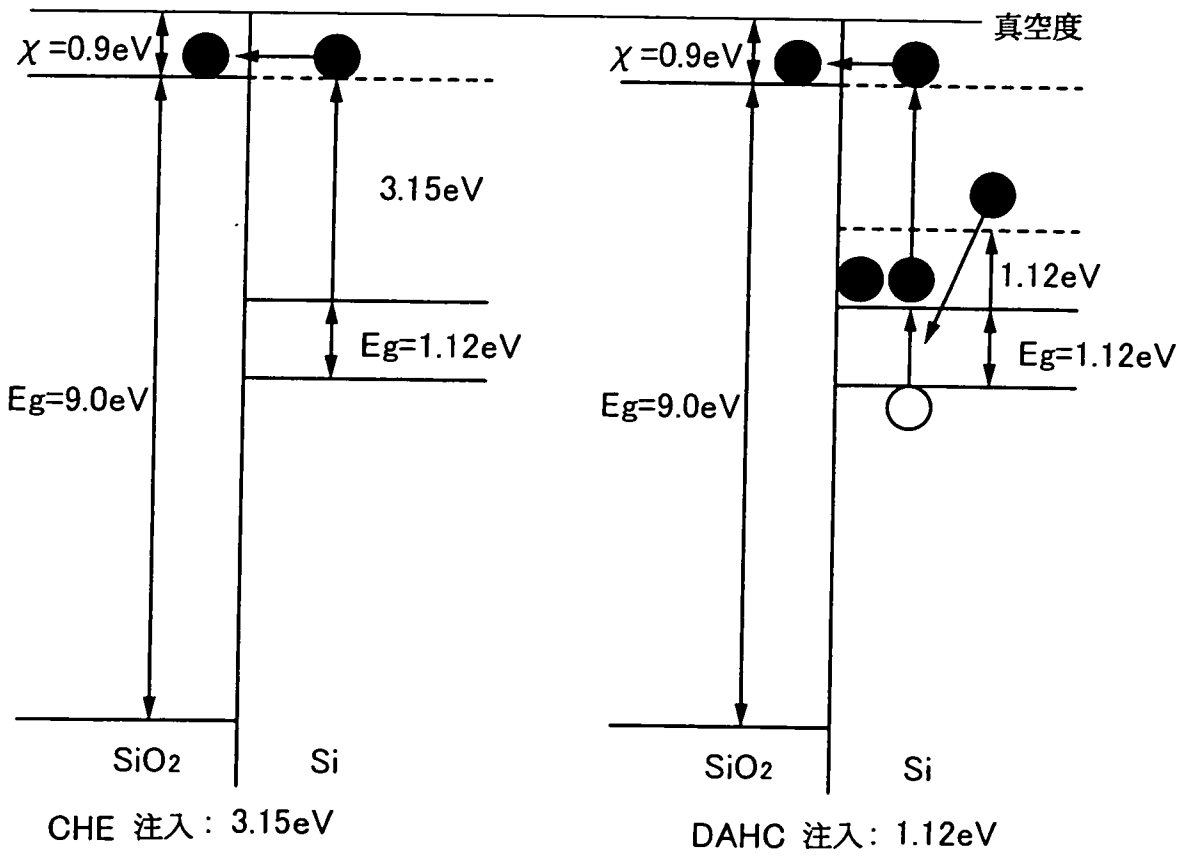


圖12

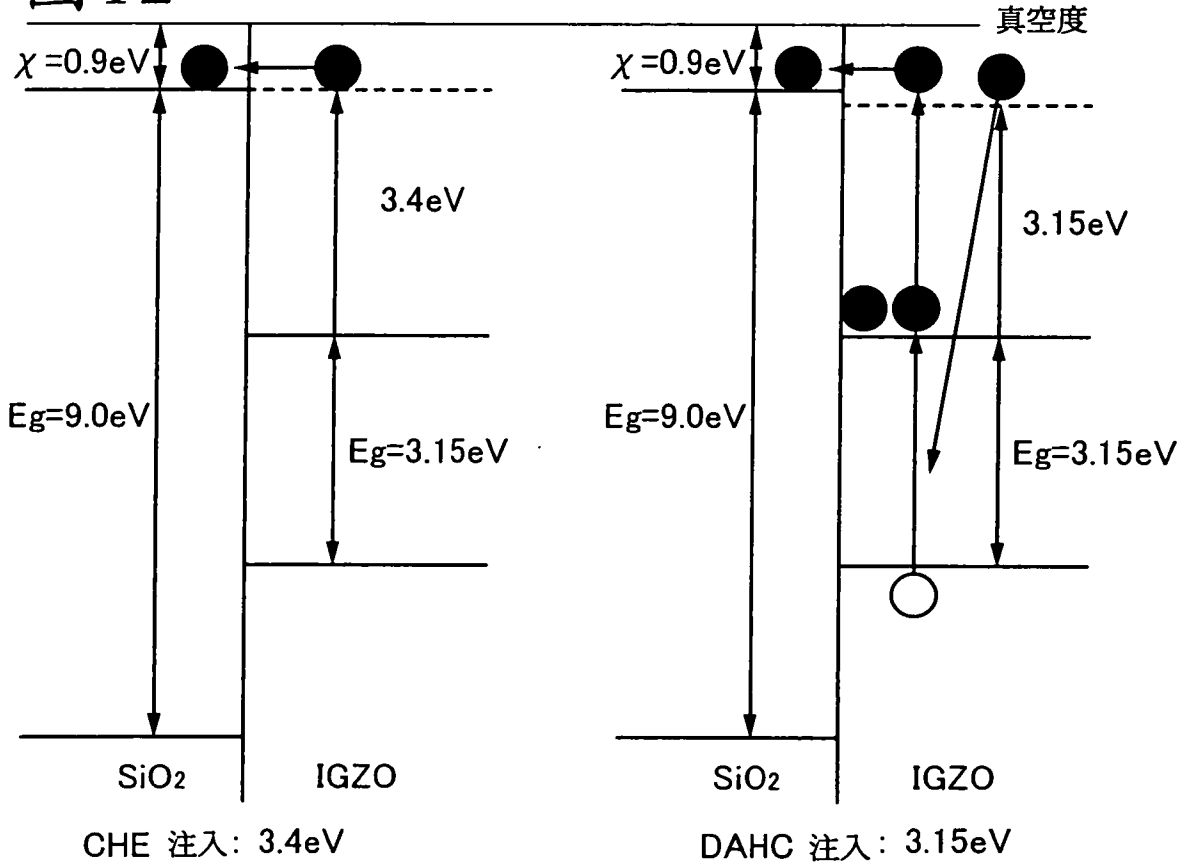


圖 13

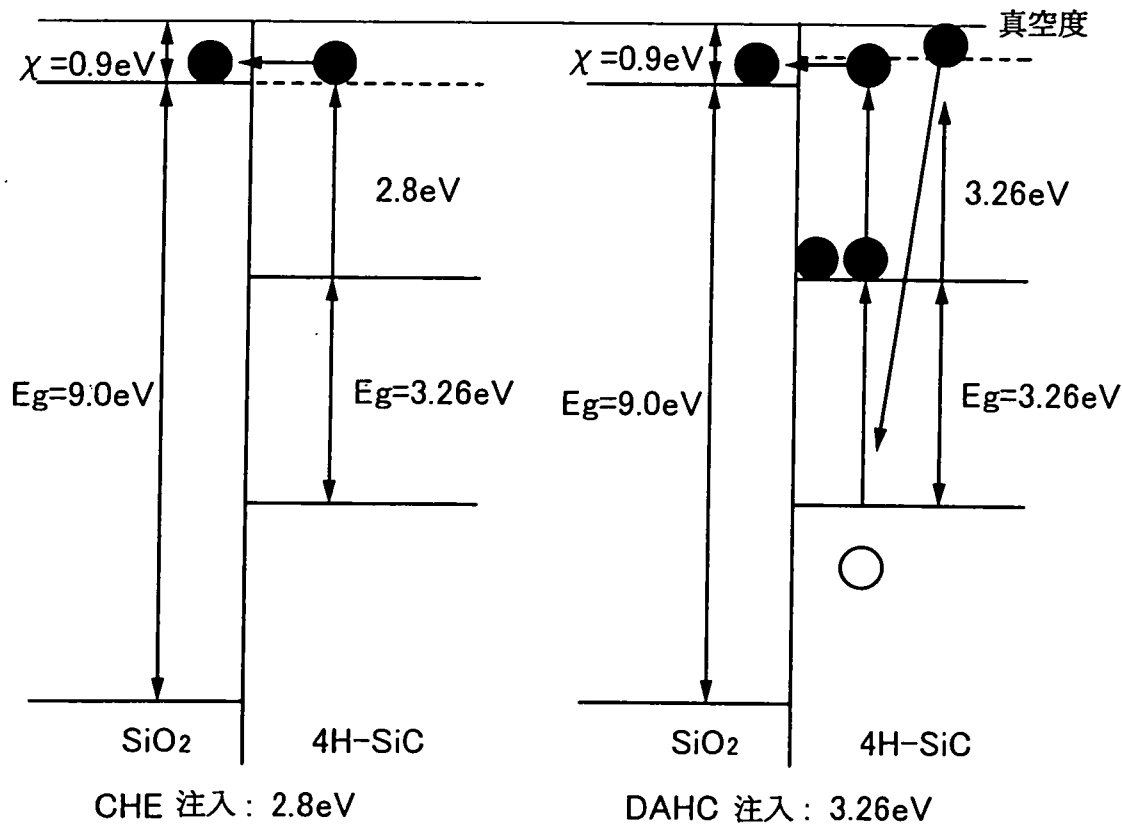


圖 14

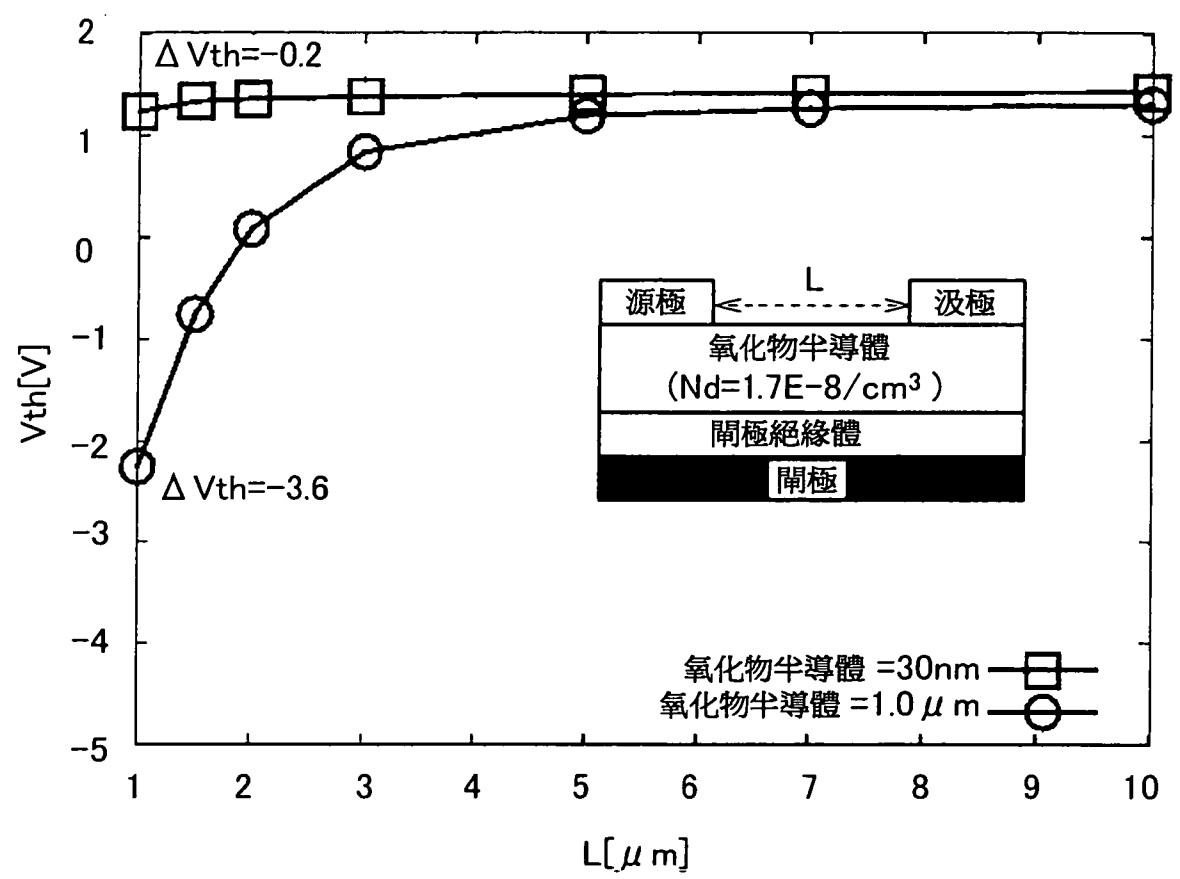


圖 15

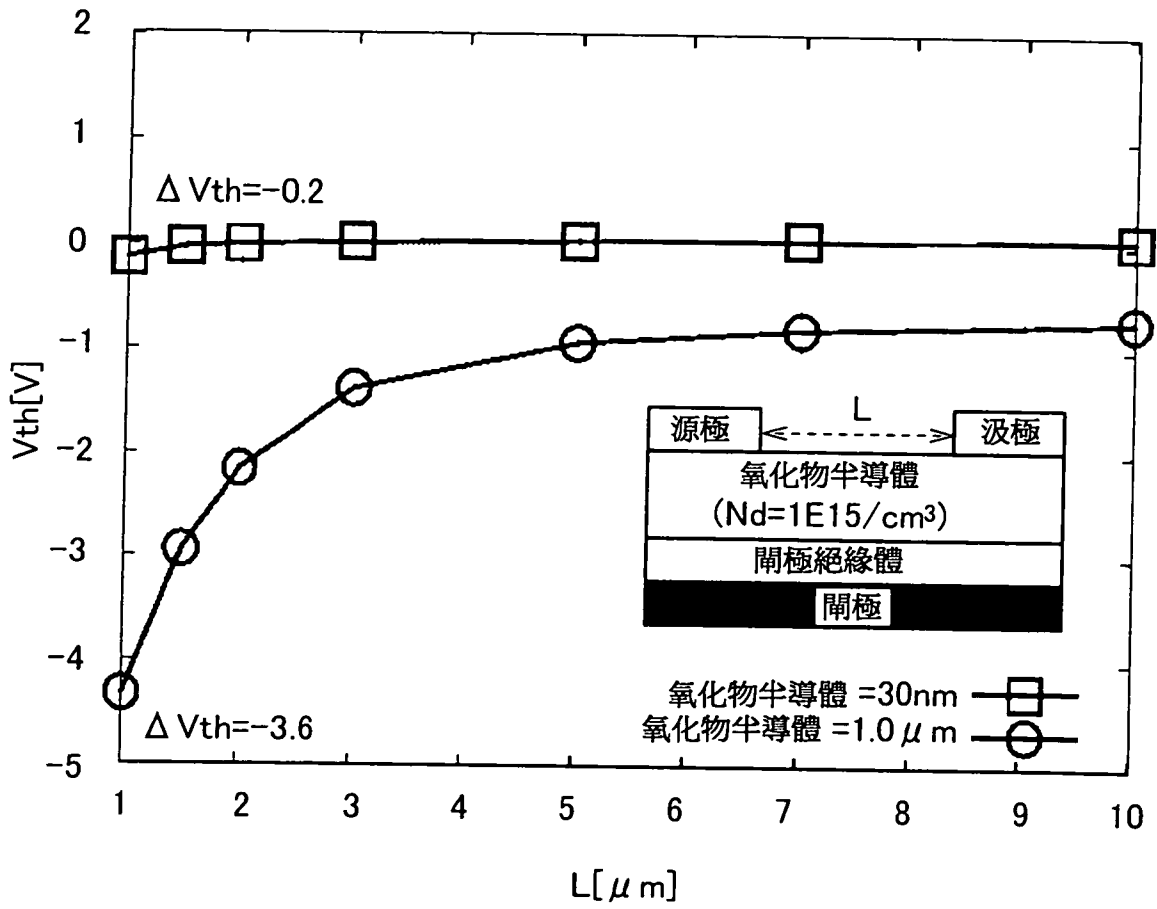


圖16

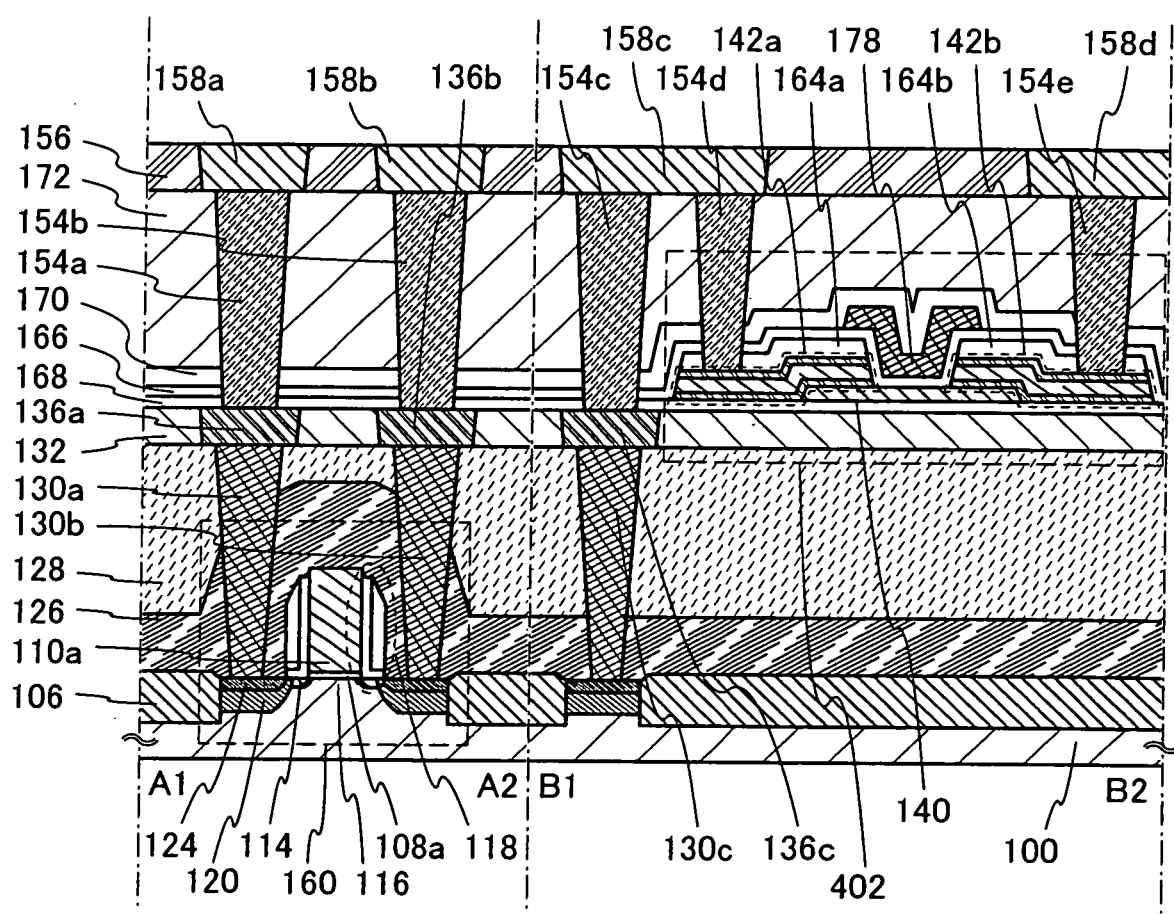


圖 17A

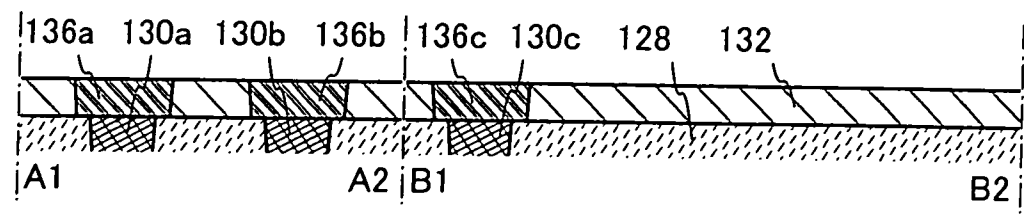


圖 17B

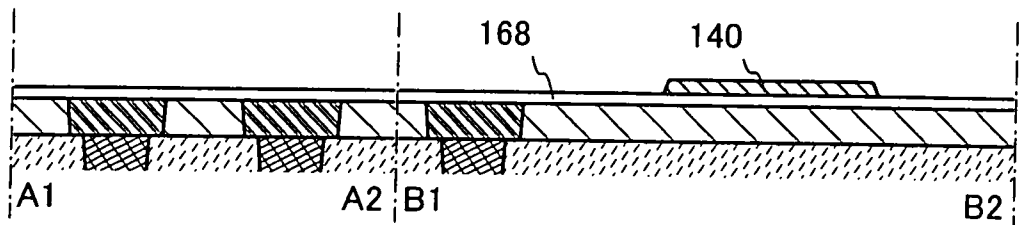


圖 17C

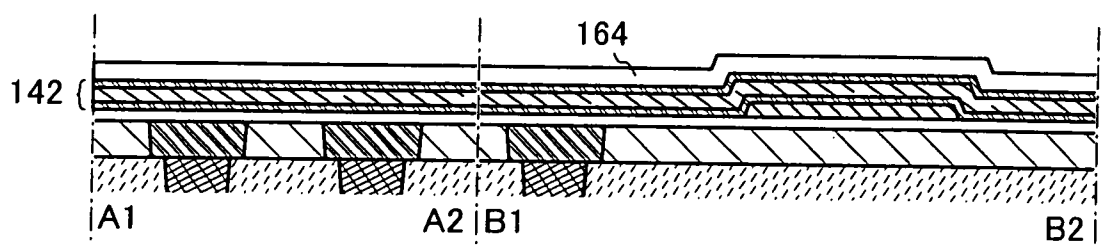


圖 17D

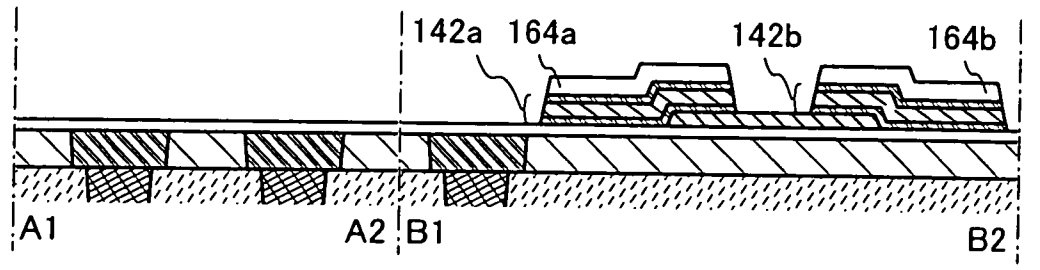


圖 17E

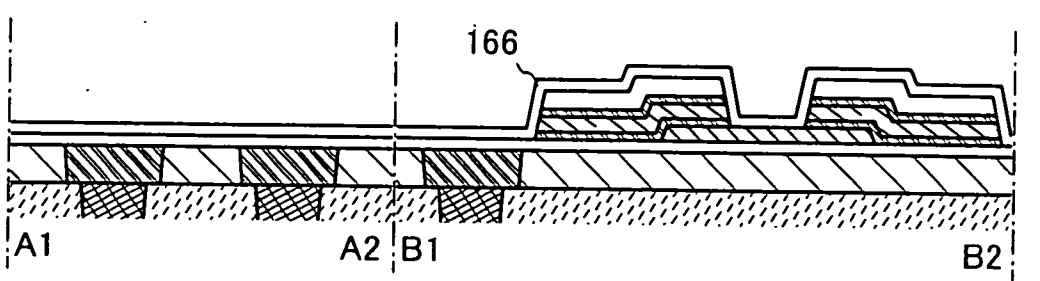


圖 18A

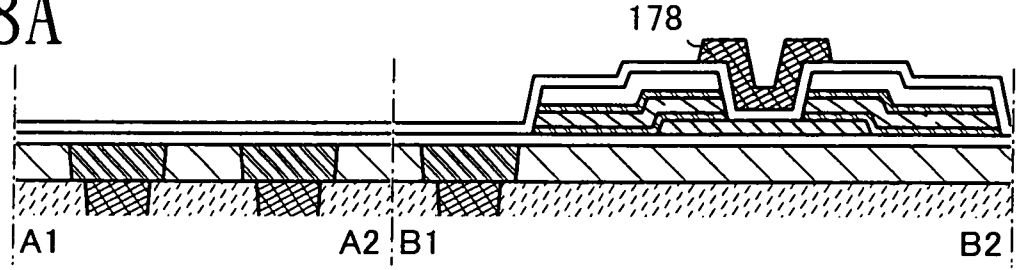


圖 18B

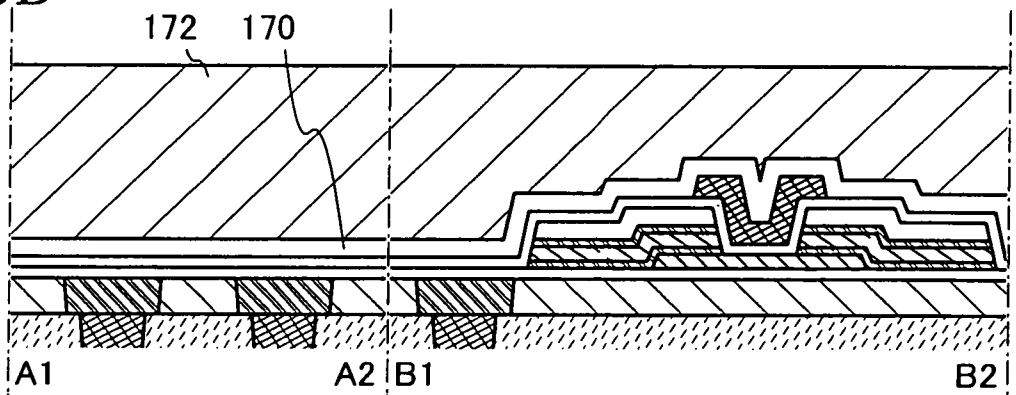


圖 18C

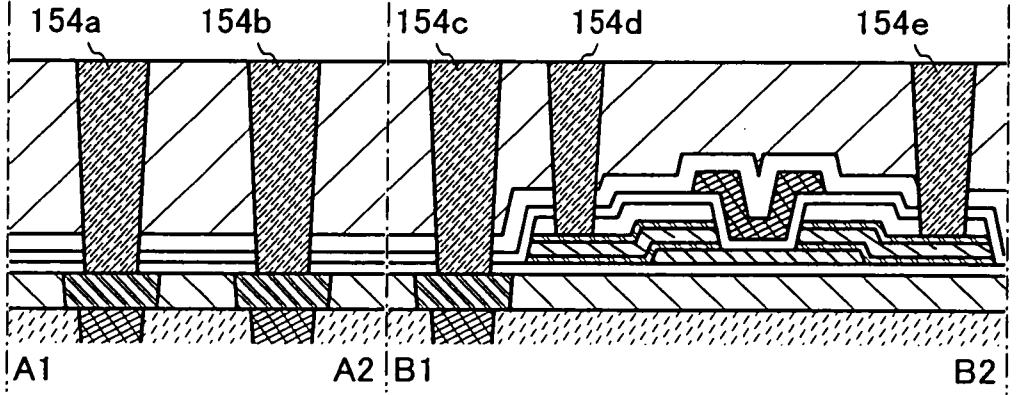


圖 18D

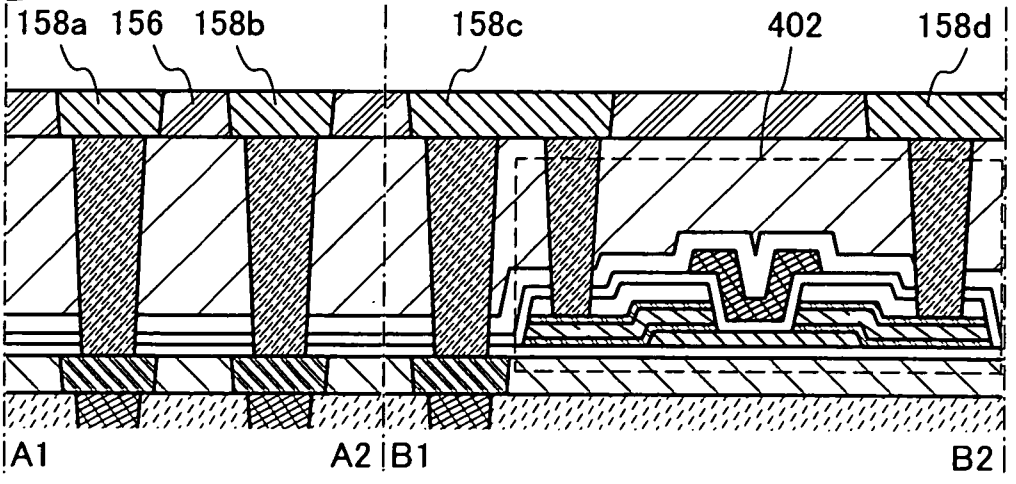


圖 19A

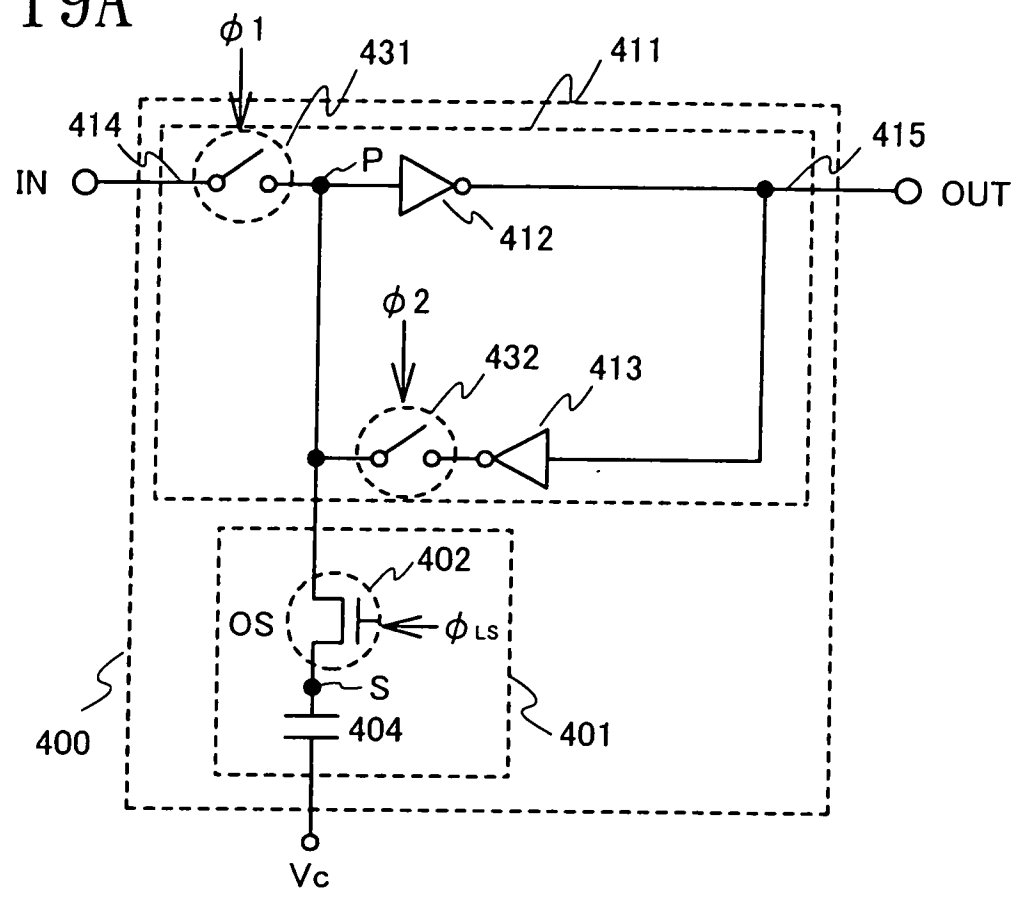


圖 19B

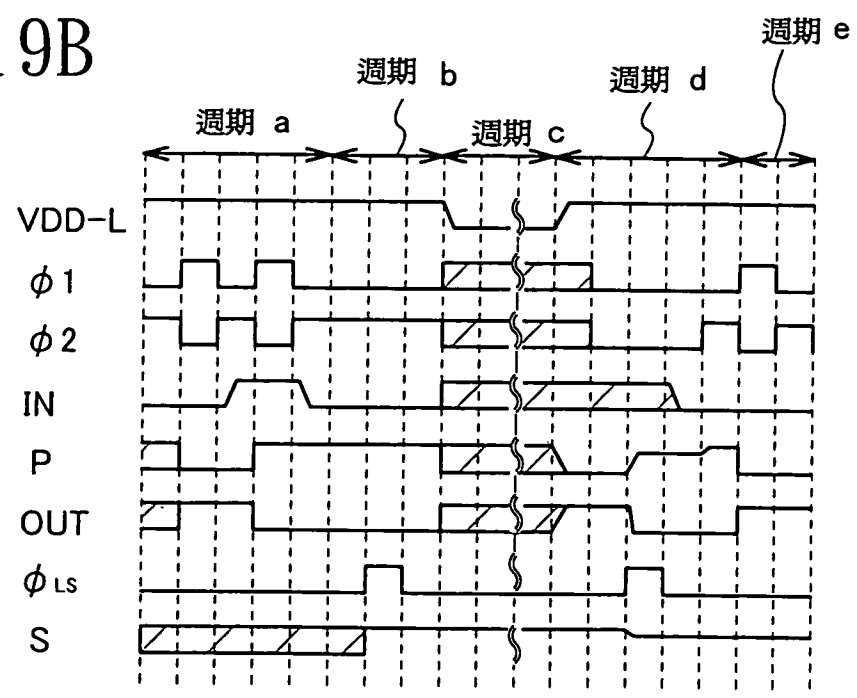


圖 20A

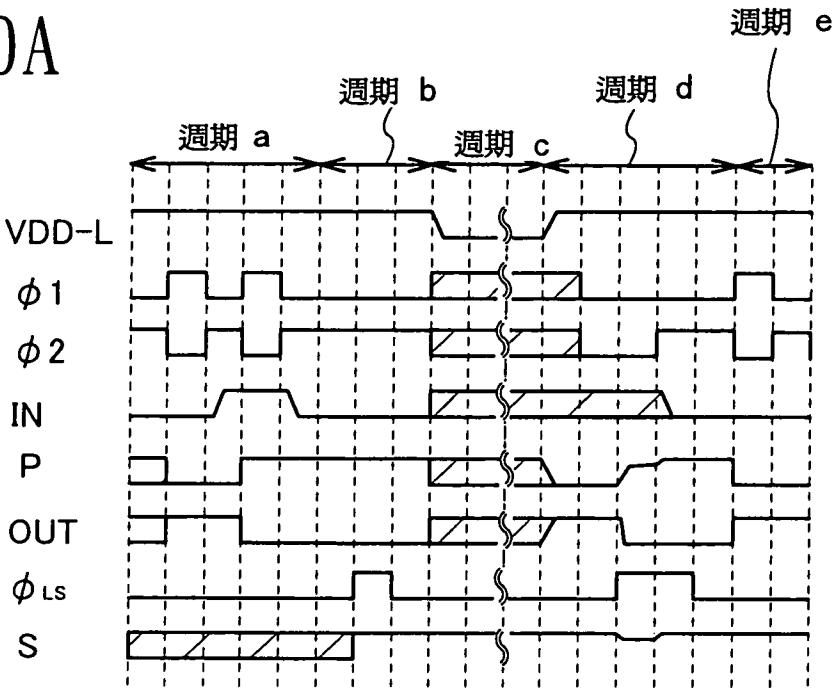


圖 20B

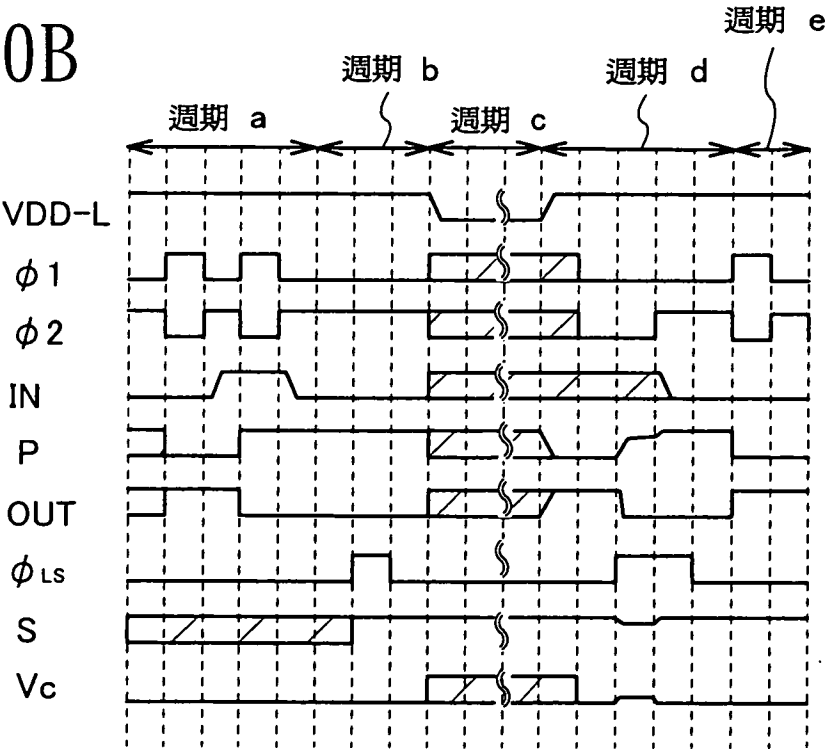


圖 21

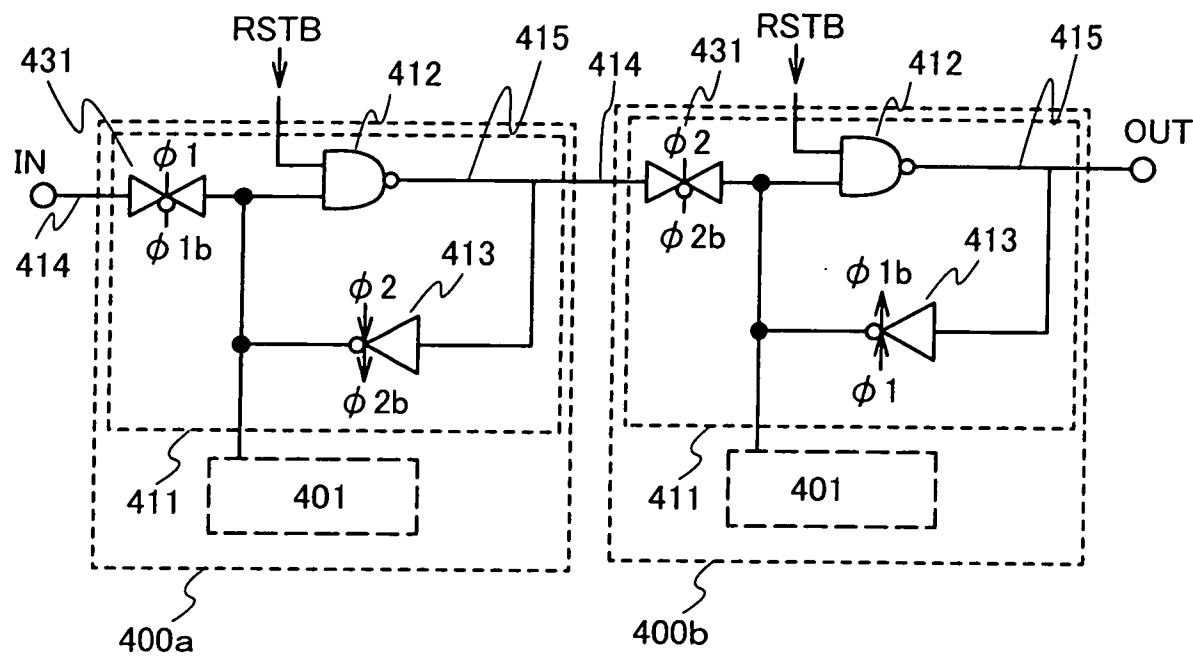


圖 22

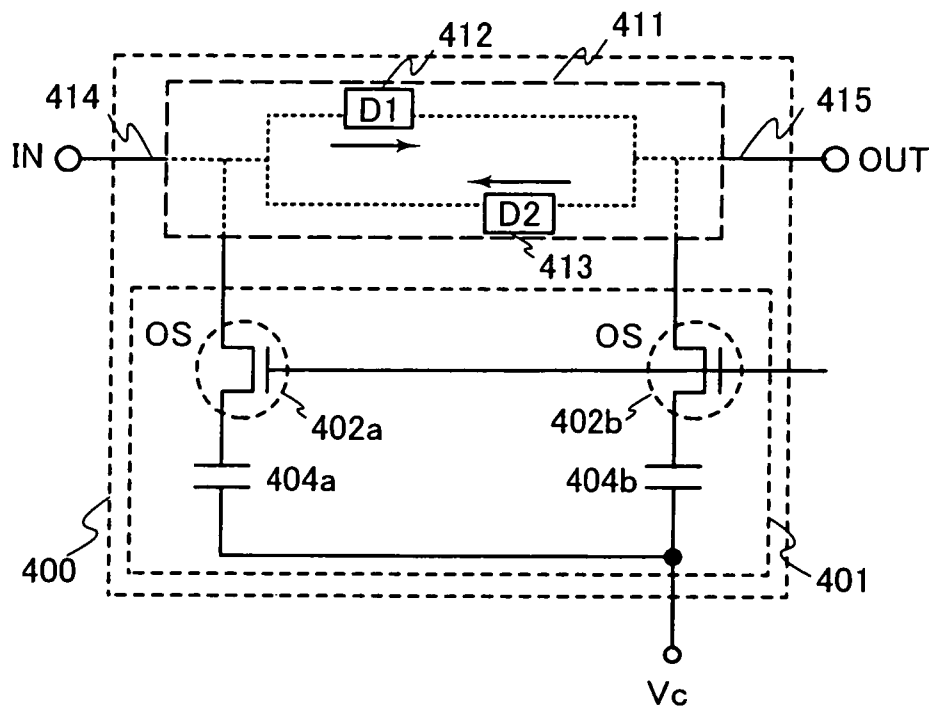


圖 23

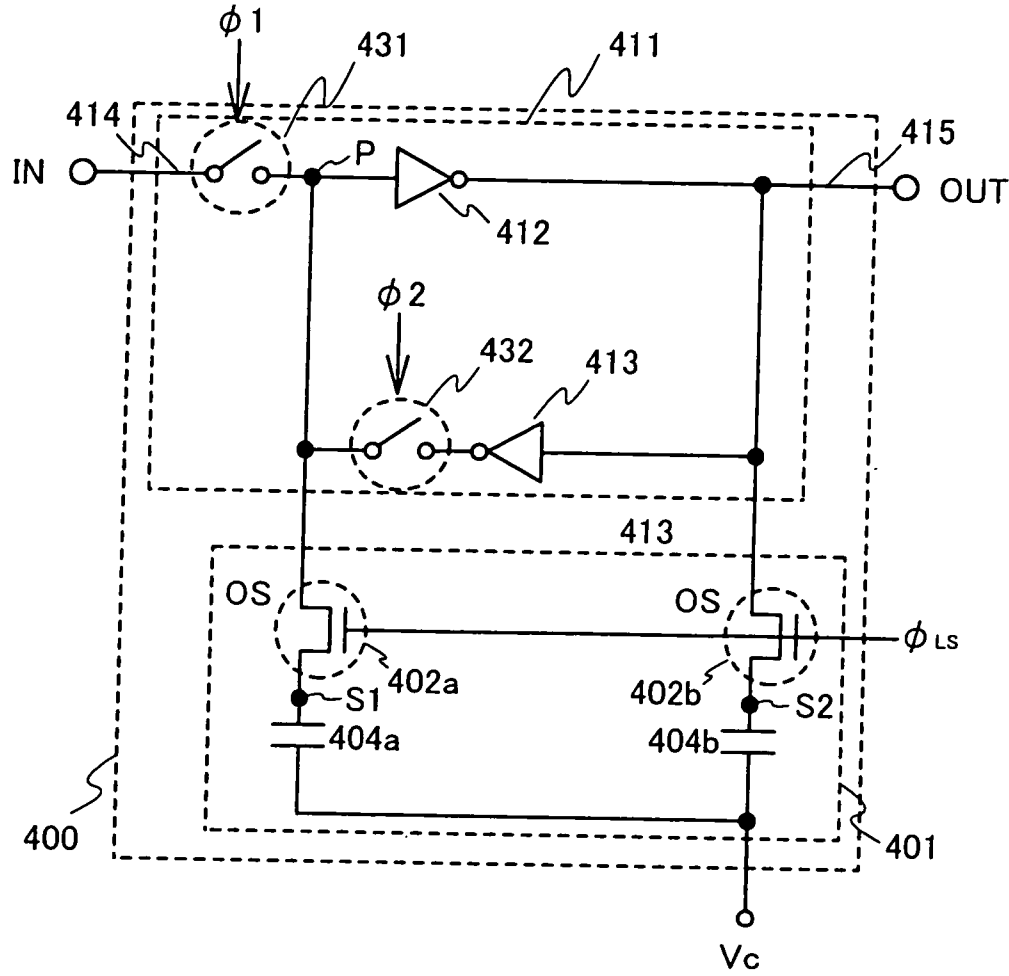


圖 24A

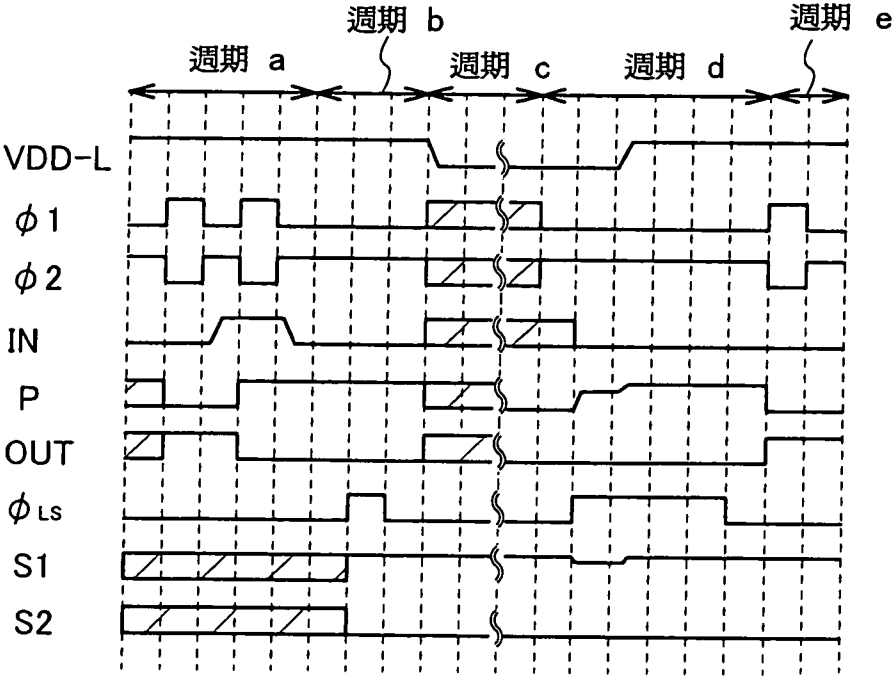


圖 24B

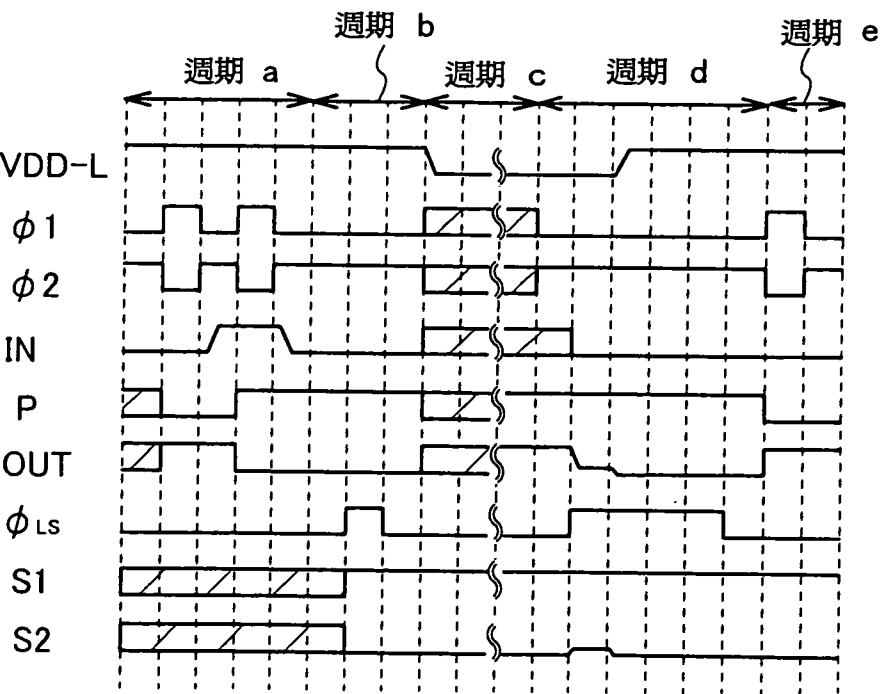


圖 25

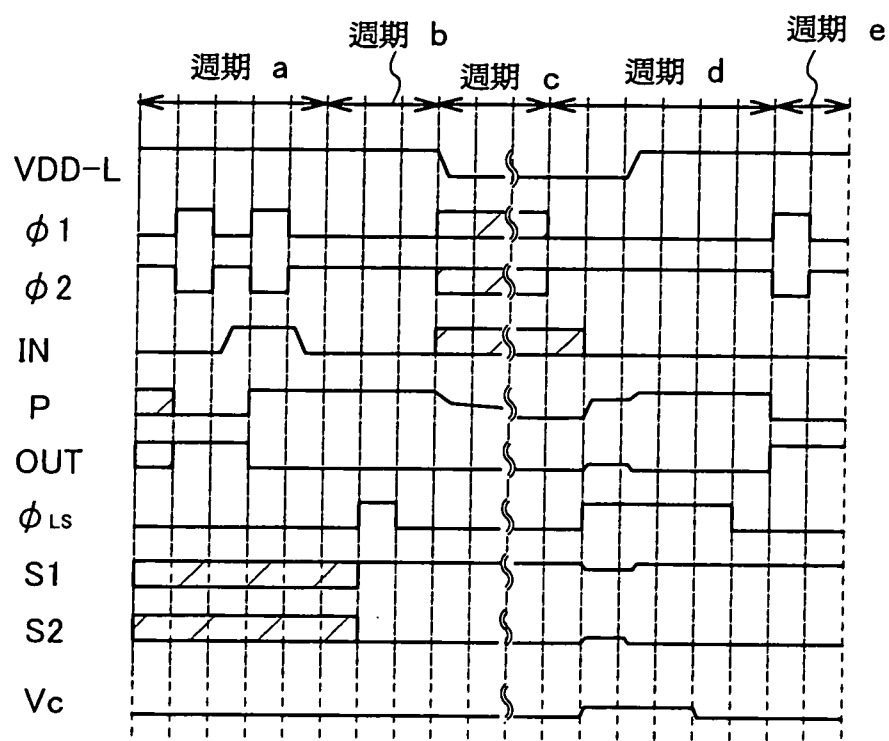
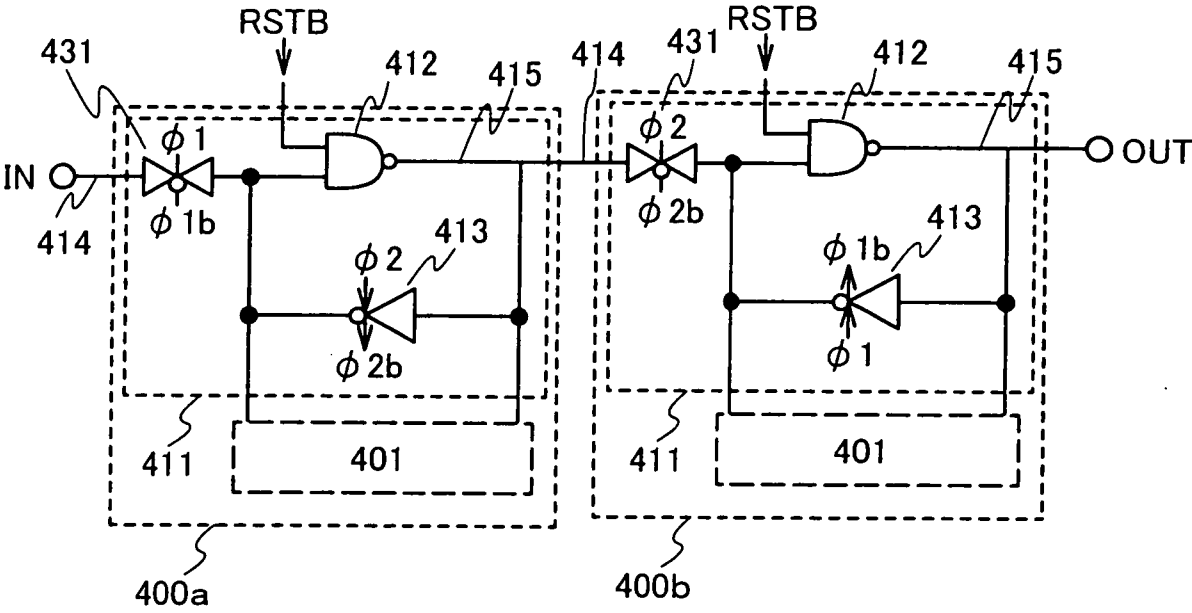


圖 26



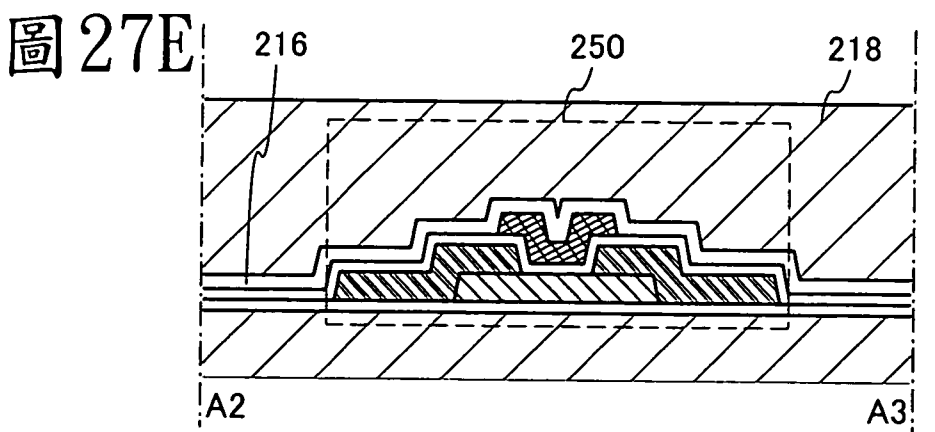
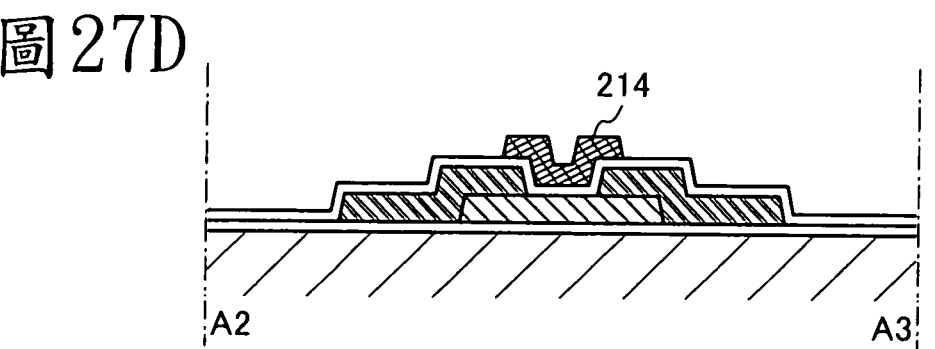
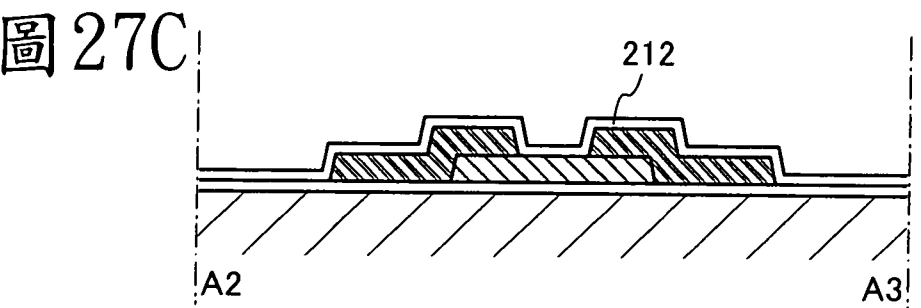
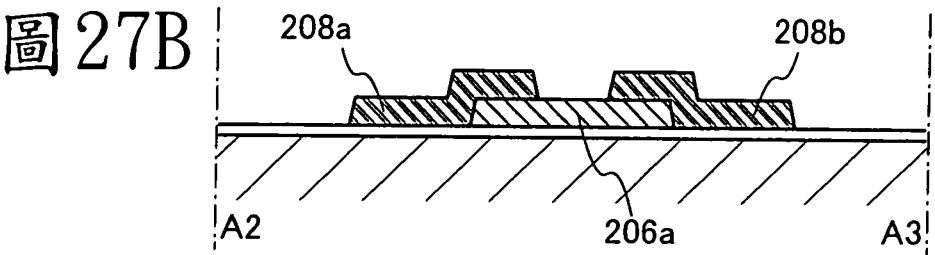
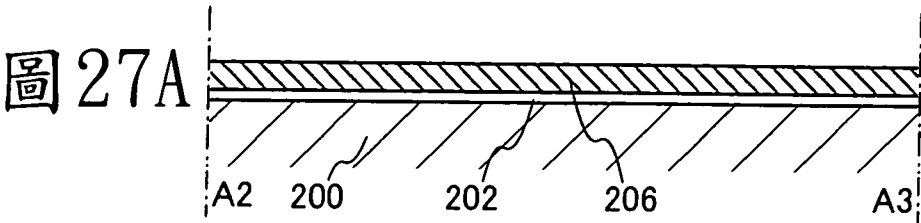


圖 28A

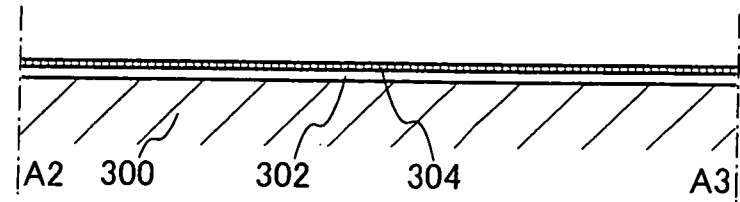


圖 28B

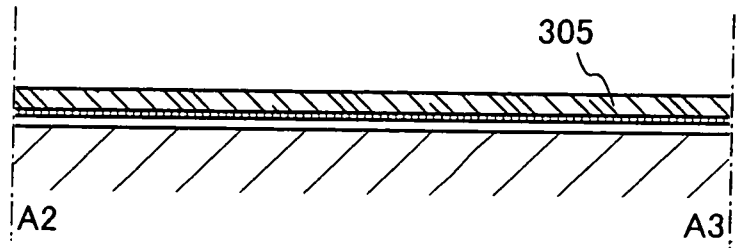


圖 28C

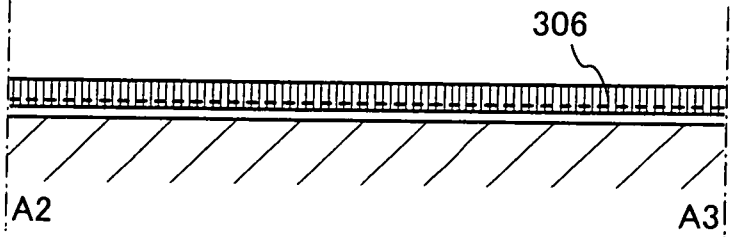


圖 28D

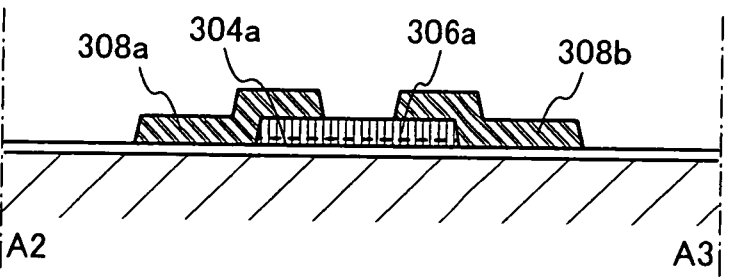


圖 28E

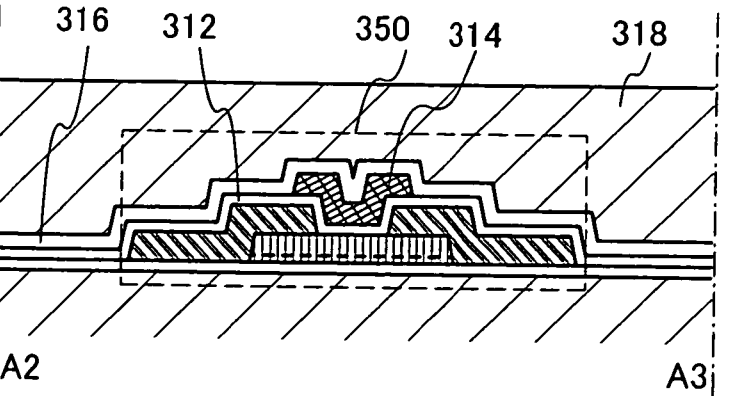


圖 29A

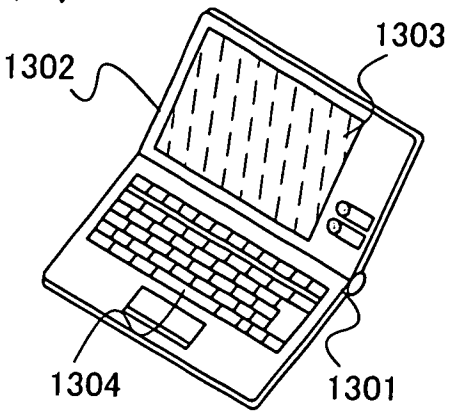


圖 29D

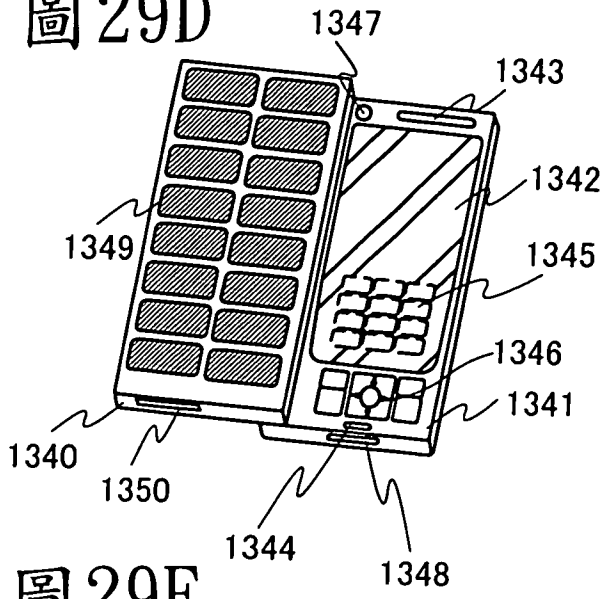


圖 29B

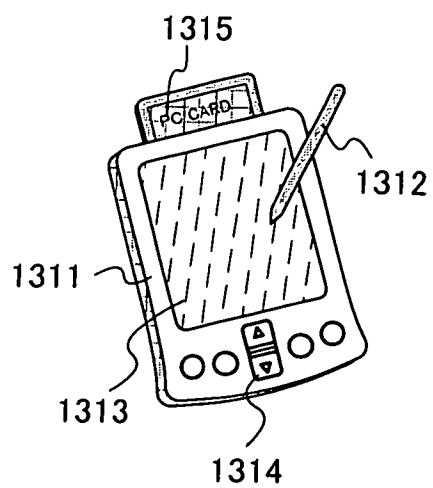


圖 29E

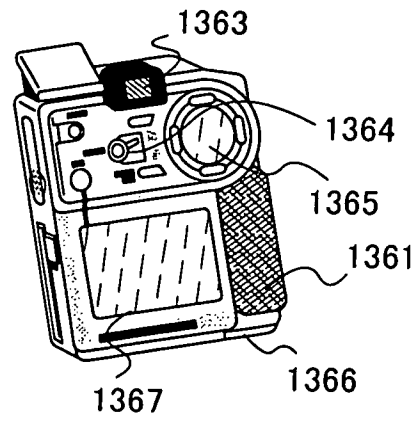


圖 29C

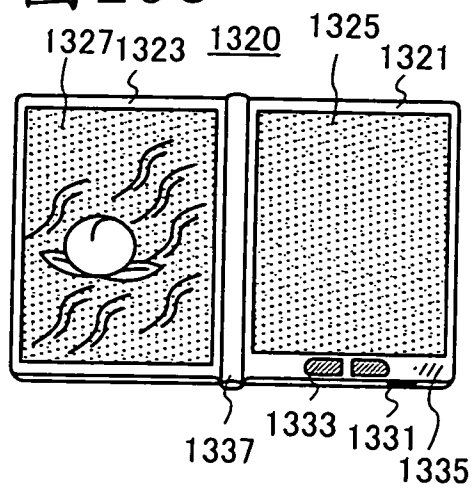


圖 29F

