

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-8522

(P2010-8522A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C080
<b>G09F 9/30 (2006.01)</b>	G09G 3/20 611H	5C094
<b>H01L 27/32 (2006.01)</b>	G09G 3/20 642A	
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 622G	
審査請求 未請求 請求項の数 6 O L (全 44 頁) 最終頁に続く		

(21) 出願番号 特願2008-165202 (P2008-165202)  
 (22) 出願日 平成20年6月25日 (2008. 6. 25)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100086298  
 弁理士 船橋 國則  
 (72) 発明者 山本 哲郎  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 (72) 発明者 内野 勝秀  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 Fターム(参考) 3K107 AA01 BB01 CC33 CC35 CC45  
 EE03 HH02 HH04 HH05

最終頁に続く

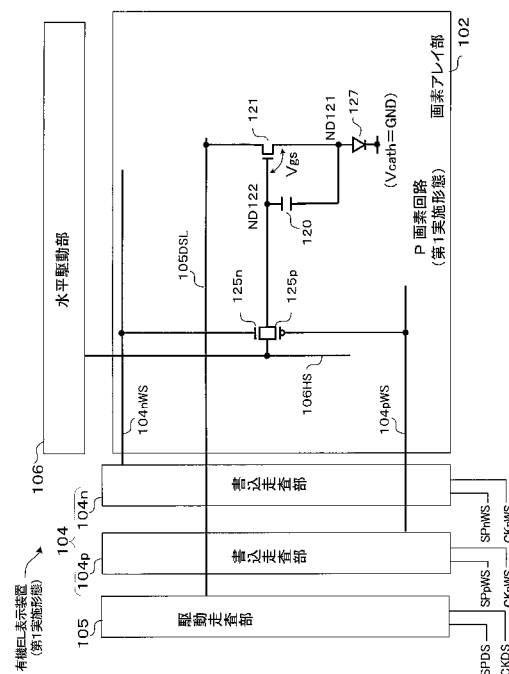
(54) 【発明の名称】 表示装置

## (57) 【要約】

【課題】有機EL表示装置において、書込走査線の波形鈍りが同一行の他画素の信号レベルの影響を受けることに起因する移動度補正期間ばらつきによる輝度むらを防止する。

【解決手段】サンプリングトランジスタはPMOS125p, NMOS125nを並列接続する。移動度補正動作開始時にはPMOS125pのオンの方がNMOS125nのオンよりも早く、移動度補正動作終了時にはNMOS125nのオフの方がPMOS125pのオフよりも遅くする。白表示時には同一行の黒表示画素の影響を受けるが、NMOS125nのオンはその影響が大きくPMOS125pのオンはその影響が小さいし、PMOS125pのオフはその影響が大きくNMOS125nのオフはその影響が小さい。移動度補正期間は、PMPS125pがオンしてからNMOS125nがオフするまでとなり、白表示時には同一行の黒表示画素の影響が緩和され、輝度むらを抑制できる。

【選択図】 図9



## 【特許請求の範囲】

## 【請求項 1】

駆動電流を生成する駆動トランジスタ、映像信号の信号振幅に応じた情報を保持する保持容量、前記駆動トランジスタの出力端側に配置された電気光学素子、および前記保持容量に前記信号振幅に応じた情報を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、

前記サンプリングトランジスタを順次制御することで前記画素回路を走査して前記保持容量に映像信号の信号振幅に応じた情報を書き込むための書込走査パルスを同一行の前記サンプリングトランジスタの制御入力端に共通に供給する書込走査部、前記書込走査部での前記走査に合わせて映像信号を同一列の前記サンプリングトランジスタの信号入力端に共通に供給する水平駆動部を具備し、各信号のタイミング制御により前記駆動電流を一定に維持する駆動信号一定化回路が機能するように構成された制御部と

を備え、

前記サンプリングトランジスタは、p型トランジスタとn型トランジスタがトランスファークロスを構成するように並列接続されており、

前記駆動信号一定化回路は、前記制御部の制御の元で、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる信号に加える移動度補正機能を実現するように構成されており、

前記書込走査部は、前記移動度補正動作の開始において同一行のそれぞれの前記p型トランジスタと前記n型トランジスタに供給される各信号電位に対する各オンタイミングのズレ量の小さい方が先にオンするように制御する、および/または、前記移動度補正動作の終了において同一行のそれぞれの前記p型トランジスタと前記n型トランジスタに供給される各信号電位に対する各オフタイミングのズレ量の小さい方が後にオフするように制御する

ことを特徴とする表示装置。

## 【請求項 2】

前記書込走査部は、前記移動度補正の動作期間が前記サンプリングトランジスタがオンしてからオフするまでの期間で規定される場合に、前記移動度補正動作の開始において同一行のそれぞれの前記p型トランジスタと前記n型トランジスタに供給される各信号電位に対する各オンタイミングのズレ量の小さい方が先にオンするように制御し、かつ、前記移動度補正動作の終了において同一行のそれぞれの前記p型トランジスタと前記n型トランジスタに供給される各信号電位に対する各オフタイミングのズレ量の小さい方が後にオフするように制御する

ことを特徴とする請求項 1 に記載の表示装置。

## 【請求項 3】

前記書込走査部は、

各行の前記サンプリングトランジスタを順番にオン/オフ制御するための基準となるシフトパルスを生成するシフトレジスタ部、

前記シフトレジスタ部から出力されたシフトパルスを共通に使用して、当該シフトパルスと前記ズレ量を規定する前記p型トランジスタ用の制御パルスとの間でゲート処理することで前記p型トランジスタをオン/オフ制御するための第1の書込駆動パルスを生成する第1の出力ゲート部、および前記シフトパルスと前記ズレ量を規定する前記n型トランジスタ用の制御パルスとの間でゲート処理することで前記n型トランジスタをオン/オフ制御するための第2の書込駆動パルスを生成する第2の出力ゲート部

を有することを特徴とする請求項 1 に記載の表示装置。

## 【請求項 4】

前記制御部は、駆動電流を前記電気光学素子に流すために使用される第1電位および前記第1電位とは異なる第2電位を切り替えて前記駆動トランジスタの電源供給端に供給す

る駆動走査部をさらに有し、

前記水平駆動部は、基準電位と信号電位で切り替わる映像信号を前記サンプリングトランジスタの信号入力端に供給するものであり、

前記駆動信号一定化回路は、前記書込走査部、前記水平駆動部、および前記駆動走査部の制御の元で、前記第 1 電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位が前記サンプリングトランジスタの信号入力端に供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されたものである

ことを特徴とする請求項 1 に記載の表示装置。

10

【請求項 5】

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能と、閾値補正動作の後に、前記サンプリングトランジスタを導通させることで前記保持容量に信号振幅に応じた情報を書き込む際、前記移動度補正機能を実現するように構成されたものである

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記駆動信号一定化回路は、前記保持容量が前記駆動トランジスタの制御入力端と前記駆動電流出力端の間に接続されることでブートストラップ機能を実現するように構成されたものである

20

ことを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度が変化する電流駆動型の電気光学素子を表示素子として有し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】

【0002】

30

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例である。後者の有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機 E L 素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機 E L 素子を流れる電流値を制御することで発色の階調を得ている。

40

【0004】

有機 E L 素子は比較的低い印加電圧（たとえば 10 V 以下）で駆動できるため低消費電力である。また有機 E L 素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機 E L 素子の応答速度は非常に高速である（たとえば数  $\mu$ s 程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機 E L 素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0005】

50

ところで、液晶表示素子を用いた液晶表示装置や有機ＥＬ素子を用いた有機ＥＬ表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【０００６】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor ; T F T）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

10

【０００７】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【０００８】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機ＥＬ素子などの電流駆動型の素子を用いる有機ＥＬ表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機ＥＬ素子などに供給する。

20

【０００９】

有機ＥＬ素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機ＥＬ素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

【００１０】

有機ＥＬ素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

30

【００１１】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機ＥＬ素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【００１２】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機ＥＬ素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

40

【００１３】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【００１４】

【特許文献１】特開２００６ - ２１５２１３号公報

50

## 【 0 0 1 5 】

たとえば、特許文献 1 に記載の仕組みでは、有機 E L 素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機 E L 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

## 【 0 0 1 6 】

これら閾値補正機能や移動度補正機能などを実現するには、サンプリングトランジスタあるいは閾値補正用や移動度補正用に追加する各トランジスタをパルス信号によって所定のタイミングでオンオフさせることが必要となる。

10

## 【 0 0 1 7 】

なお、閾値補正動作や信号書込みや移動度補正動作を実現するに当たっては、画素回路の構成や駆動タイミングとして様々な仕組みが考えられており、閾値補正期間や信号書込み期間や移動度補正期間は、1つのトランジスタのオン期間もしくはオフ期間のみで決定される場合もあれば、2つのトランジスタのオン期間同士もしくはオフ期間同士あるいはオン期間とオフ期間の各重なり期間で決定される場合もある。

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 8 】

ここで、閾値補正機能や、信号書込み機能や、移動度補正機能や、ブートストラップ機能を働かせるためには、各種のトランジスタをオン / オフ制御する必要があり、そのために各種の走査線を画素アレイ部に縦方向や横方向に形成する必要がある。

20

## 【 0 0 1 9 】

各走査線には、同一列もしくは同一行の画素回路を構成するトランジスタが接続される。このため、トランジスタを制御する各走査線は長くなるし、同一列もしくは同一行の同機能のトランジスタが同一の走査線に接続されることで負荷が大きくなるし、寄生容量も大きくなる。そしてこれらの影響のために駆動信号の鈍りが生じ、その鈍りは、同一列もしくは同一行の他画素に供給される信号の影響を受けることもある。

## 【 0 0 2 0 】

同一列もしくは同一行の他画素に供給される信号の影響を受け、駆動信号の鈍りにばらつきが生じると、画素位置によって駆動条件が異なり駆動電流に影響を与え、表示画面上にノイズ（輝度むらやカラー表示の場合は色むら）となって現われてしまう。どのような場合に駆動信号の鈍りが問題となるかは、回路構成を要因とする走査線の種類が何であるのかや駆動方式にも関係すると考えられる。全ての走査線において必ず問題が生じると言うことにはならないと考えられる。本願においては、サンプリングトランジスタをオン / オフ制御するための書込走査線の波形鈍りが同一行の他の画素（サンプリングトランジスタ）への信号レベルの影響を受けてばらつくことに起因して表示むらを発生させてしまうことに着目する。

30

## 【 0 0 2 1 】

また、特許文献 1 に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動トランジスタおよびサンプリングトランジスタを含めると 5 つのトランジスタを使用する 5 T R 駆動の構成を採っており、画素回路の構成が複雑である。画素回路の構成要素が多ことから、表示装置の高精細化の妨げとなる。その結果、5 T R 駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

40

## 【 0 0 2 2 】

このため、画素回路の簡素化を図りつつ、トランジスタの各端子に形成される容量に起因する画質に与える影響（輝度むらや色むら）を抑制する仕組みの開発要求がある。この際には、容量を起因とする画質に与える影響を防止するとともに、画素回路の簡素化に伴って、5 T R 駆動の構成では生じていない問題が新たに発生することがないようにするこ

50

とも考慮されるべきである。

【 0 0 2 3 】

本発明は、上記事情に鑑みてなされたもので、まず、サンプリングトランジスタをオン／オフ制御するための書込走査線の波形鈍りが同一行の他のサンプリングトランジスタへ供給される信号振幅レベルの影響を受けてばらつき画質に影響を与える現象（輝度むらや色むら：たとえば黒ウインドウ表示時の横クロストーク）を緩和し、表示特性の向上を図ることのできる仕組みを提供することを目的とする。

【 0 0 2 4 】

さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。

【 0 0 2 5 】

また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや電気光学素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 6 】

本発明に係る表示装置の一形態は、駆動電流を生成する駆動トランジスタ、映像信号の信号振幅に応じた情報を保持する保持容量、駆動トランジスタの出力端側に配置された電気光学素子、および保持容量に信号振幅に応じた情報を書き込むサンプリングトランジスタを具備し、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備える。

【 0 0 2 7 】

また、当該表示装置は、サンプリングトランジスタを順次制御することで画素回路を走査して保持容量に映像信号の信号振幅に応じた情報を書き込むための書込走査パルスを行のサンプリングトランジスタの制御入力端に共通に供給する書込走査部、書込走査部での走査に合わせて映像信号を同一列のサンプリングトランジスタの信号入力端に共通に供給する水平駆動部を具備し、各信号のタイミング制御により前記駆動電流を一定に維持する駆動信号一定化回路が機能するように構成された制御部を備える。駆動信号一定化回路は、制御部の制御の元で、駆動トランジスタの移動度に対する補正分を保持容量に書き込まれる信号に加える。

【 0 0 2 8 】

ここで、詳細は後述するが、移動度補正を行なうとき、サンプリングトランジスタの制御線（書込走査線）の波形鈍りは同一行の他のサンプリングトランジスタに供給される信号振幅レベルの影響を受けてばらつき、そのために同一の信号振幅レベルであっても移動度補正期間がばらついてしまい、輝度むらや色むらを発生するということが分った。

【 0 0 2 9 】

そこで、本発明に係る表示装置の一形態における特徴的な事項として、まず、画素回路を構成するサンプリングトランジスタは、p型トランジスタとn型トランジスタがトランスファークロスを構成するように並列接続されているものとする。つまり、まず、サンプリングトランジスタをCMOS化する。

【 0 0 3 0 】

そして、書込走査部は、サンプリングトランジスタの制御線（書込走査線）の波形鈍りが同一行の他の画素への信号レベルの影響を受けてばらつく場合であっても、同一の信号レベルの各移動度補正期間にはその影響が現われないように、移動度補正期間においては、CMOS化した各サンプリングトランジスタのオン／オフタイミングが所定の位相差を持つように制御する。CMOS化した各サンプリングトランジスタのオン／オフタイミングが位相差を持つように制御することで、p型トランジスタおよびn型トランジスタの何れか先にオンする方で移動度補正期間の開始タイミングを規定でき、また、p型トランジスタおよびn型トランジスタの何れか後にオフする方で移動度補正期間の終了タイミング

10

20

30

40

50

を規定できる。

【0031】

よって、書込走査線の波形鈍りが同一行の他のサンプリングトランジスタに供給される信号振幅レベルの影響を受けてばらつく場合であっても、オン時に信号振幅レベルによる波形鈍りの影響の小さい方を先にオンさせるとオン時にはその影響が緩和されるし、同様に、オフ時に信号振幅レベルによる波形鈍りの影響の小さい方を後にオフさせるとオフ時にはその影響が緩和される。

【0032】

そこで、書込走査部は、具体的には、移動度補正動作の開始において同一行の各サンプリングトランジスタを構成するp型トランジスタとn型トランジスタに供給される各信号電位に対する各オンタイミングのズレ量の小さい方が先にオンするように制御する、および/または、移動度補正動作の終了において同一行の各サンプリングトランジスタを構成するp型トランジスタとn型トランジスタに供給される各信号電位に対する各オフタイミングのズレ量の小さい方が後にオフするように制御する。要するに、p型トランジスタとn型トランジスタの内、同一行の他の画素の信号振幅レベルによる波形鈍りの影響の少ない方を、先にオンし、および/または、後にオフする、ということである。移動度補正の動作期間がサンプリングトランジスタがオンしてからオフするまでの期間で規定される場合には、オン側とオフ側の双方について前記のズレ量に関する条件を満たすように制御するのが好ましい。

【0033】

たとえば、駆動トランジスタをn型トランジスタとしソース側と低電位側（たとえば接地側）に電気光学素子を配置する場合、電圧レベルが高い方が信号振幅レベルの大きい方となる。この場合、書込走査線の電位変化に着目したとき、白表示時には同一行の黒表示画素の影響を受けるが、n型トランジスタのオンはその影響が大きくp型トランジスタのオンはその影響が小さいし、p型トランジスタのオフはその影響が大きくn型トランジスタのオフはその影響が小さい。よって、移動度補正動作の開始においてp型トランジスタのオンのタイミングの方がn型トランジスタのオンのタイミングよりも早く、および/または、移動度補正動作の終了において、n型トランジスタのオフのタイミングの方がp型トランジスタのオフのタイミングよりも遅いようにすれば、移動度補正期間は、p型トランジスタがオンしてからn型トランジスタがオフするまでとなり、白表示時の移動度補正期間は、同一行の黒表示画素の影響が緩和される。

【0034】

また、駆動トランジスタをp型トランジスタとしソース側と高電位側に電気光学素子を配置する場合、電圧レベルが低い方が信号振幅レベルの大きい方となる。この場合、書込走査線の電位変化に着目したとき、白表示時には同一行の黒表示画素の影響を受けるが、p型トランジスタのオンはその影響が大きくn型トランジスタのオンはその影響が小さいし、n型トランジスタのオフはその影響が大きくp型トランジスタのオフはその影響が小さい。よって、移動度補正動作の開始においてn型トランジスタのオンのタイミングの方がp型トランジスタのオンのタイミングよりも早く、および/または、移動度補正動作の終了において、p型トランジスタのオフのタイミングの方がn型トランジスタのオフのタイミングよりも遅いようにすれば、移動度補正期間は、n型トランジスタがオンしてからp型トランジスタがオフするまでとなり、白表示時の移動度補正期間は、同一行の黒表示画素の影響が緩和される。

【発明の効果】

【0035】

本発明の一形態によれば、サンプリングトランジスタをp型とn型とを並列接続してCMOS化し、その各サンプリングトランジスタを、移動度補正期間においてはオン/オフタイミングが前述のような所定の位相差を持つように制御するので、同一行の他画素への信号振幅レベルに関わらず、書込走査パルスの波形鈍りが移動度補正期間に与える影響を緩和でき、表示むらを緩和できる。

10

20

30

40

50

## 【0036】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）や移動度補正機能を実現するに当たって、駆動トランジスタの電源供給端を第1電位と第2電位と間で遷移させる、つまり電源電圧をスイッチングパルスとして使用することが有効に機能する。すなわち、閾値補正機能や移動度補正機能を組み込むため、各画素回路の駆動トランジスタに供給する電源電圧をスイッチングパルスとして使用すると、補正用のスイッチングトランジスタやその制御入力端を制御する走査線が不要になる。

## 【0037】

結果として、2TR駆動の構成をベースとしてサンプリングトランジスタをCMOS化し、各トランジスタの駆動タイミングなどの変形を加えるだけでよく、画素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、移動度補正期間において、CMOS化した各サンプリングトランジスタを所定の位相差を持ってオン/オフ制御することで、書込走査線の波形鈍りが同一行の他の画素の信号レベルの影響を受けてばらつくことに起因した表示むらの問題を防止することができる。素子数や配線数が少ないため高精細に適しており、高精細の表示が求められる小型の表示装置を容易に実現できる。

## 【発明を実施するための最良の形態】

## 【0038】

以下、図面を参照して本発明の実施形態について詳細に説明する。

## 【0039】

## &lt;表示装置の全体概要&gt;

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に説明する。

## 【0040】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

## 【0041】

図1に示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路（画素とも称される）Pが表示アスペクト比である縦横比がX：Y（たとえば9：16）の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC（Integrated Circuit；半導体集積回路）に内蔵されている。

## 【0042】

製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、および映像信号処理部300の全てを備えたモジュール（複合部品）形態の有機EL表示装置1として提供されることに限らず、たとえば、表示パネル部100のみで有機EL表示装置1として提供することも可能である。また、このような有機EL表示装置1は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

## 【0043】

表示パネル部100は、基板101の上に、画素回路Pがn行×m列のマトリクス状に配列された画素アレイ部102と、画素回路Pを垂直方向に走査する垂直駆動部103と、画素回路Pを水平方向に走査する水平駆動部（水平セクタあるいはデータ線駆動部と

10

20

30

40

50



も称される) 106と、外部接続用の端子部(パッド部) 108などが集積形成されている。すなわち、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。

#### 【0044】

垂直駆動部103としては、たとえば、書込走査部(ライトスキャナWS; Write Scan) 104や電源供給能力を有する電源スキャナとして機能する駆動走査部(ドライブスキャナDS; Drive Scan) 105を有する。垂直駆動部103と水平駆動部106とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成される。

#### 【0045】

図示した垂直駆動部103および対応する走査線の構成は、画素回路Pが後述する本実施形態の2TR構成の場合に適合させて示したものであるが、画素回路Pの構成によっては、その他の走査部が設けられることもある。

#### 【0046】

画素アレイ部102は、一例として、図示する左右方向の一方側もしくは両側から書込走査部104および駆動走査部105で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部106で駆動されるようになっている。

#### 【0047】

端子部108には、有機EL表示装置1の外部に配された駆動信号生成部200から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部300から映像信号Vsigが供給されるようになっている。カラー表示対応の場合には、色別(本例ではR(赤), G(緑), B(青)の3原色)の映像信号Vsig\_R, G, Bが供給される。

#### 【0048】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルスSPDS, SPWSや垂直走査クロックCKDS, CKWSなど必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルスSPHや水平走査クロックCKHなど必要なパルス信号が供給される。

#### 【0049】

端子部108の各端子は、配線199を介して、垂直駆動部103や水平駆動部106に接続されるようになっている。たとえば、端子部108に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部103の各部や水平駆動部106に供給される。

#### 【0050】

画素アレイ部102は、図示を割愛するが(詳細は後述する)、表示素子としての有機EL素子に対して画素トランジスタが設けられた画素回路Pが行列状に2次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

#### 【0051】

たとえば、画素アレイ部102には、垂直走査側の各走査線(書込走査線104WSおよび電源供給線105DSL)と水平走査側の走査線である映像信号線(データ線)106HSが形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機EL素子とこれを駆動する薄膜トランジスタ(TFT; Thin Film Transistor)が形成される。有機EL素子と薄膜トランジスタの組み合わせで画素回路Pを構成する。

#### 【0052】

具体的には、マトリクス状に配列された各画素回路Pに対しては、書込走査部104によって書込駆動パルスWSで駆動されるn行分の書込走査線104WS\_1~104WS\_nおよび駆動走査部105によって電源駆動パルスDSLで駆動されるn行分の電源供給線105DSL\_1~105DSL\_nが画素行ごとに配線される。

10

20

30

40

50

## 【 0 0 5 3 】

書込走査部 1 0 4 および駆動走査部 1 0 5 は、駆動信号生成部 2 0 0 から供給される垂直駆動系のパルス信号に基づき、書込走査線 1 0 4 WS および電源供給線 1 0 5 DSL を介して各画素回路 P を順次選択する。水平駆動部 1 0 6 は、駆動信号生成部 2 0 0 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 1 0 6 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

## 【 0 0 5 4 】

本実施形態の有機 E L 表示装置 1 においては、線順次駆動や面順次駆動あるいはその他の方式での駆動が可能になっており、たとえば、垂直駆動部 1 0 3 の書込走査部 1 0 4 および駆動走査部 1 0 5 は行単位で画素アレイ部 1 0 2 を走査するとともに、これに同期して水平駆動部 1 0 6 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 1 0 2 に書き込む。

10

## 【 0 0 5 5 】

水平駆動部 1 0 6 は、全列の映像信号線 1 0 6 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 3 0 0 から入力される画素信号を、垂直駆動部 1 0 3 によって選択された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の映像信号線 1 0 6 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせる。

## 【 0 0 5 6 】

垂直駆動部 1 0 3 の各部は、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部 1 0 2 の各画素回路 P を行単位で選択する。なお、図 1 では、画素アレイ部 1 0 2 の一方側にのみ垂直駆動部 1 0 3 を配置する構成を示しているが、画素アレイ部 1 0 2 を挟んで左右両側に垂直駆動部 1 0 3 を配置する構成を採ることも可能である。同様に、図 1 では、画素アレイ部 1 0 2 の一方側にのみ水平駆動部 1 0 6 を配置する構成を示しているが、画素アレイ部 1 0 2 を挟んで上下両側に水平駆動部 1 0 6 を配置する構成を採ることも可能である。

20

## 【 0 0 5 7 】

## &lt; 画素回路 &gt;

図 2 は、図 1 に示した有機 E L 表示装置 1 を構成する本実施形態の画素回路 P に対する第 1 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。図 3 は、本実施形態の画素回路 P に対する第 2 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。図 4 は有機 E L 素子や駆動トランジスタの動作点を説明する図である。図 4 A は、有機 E L 素子や駆動トランジスタの特性ばらつきが駆動電流  $I_{ds}$  に与える影響を説明する図である。

30

## 【 0 0 5 8 】

図 5 は、本実施形態の画素回路 P に対する第 3 比較例を示す図である。なお、表示パネル部 1 0 0 の基板 1 0 1 上において画素回路 P の周辺部に設けられた垂直駆動部 1 0 3 と水平駆動部 1 0 6 も合わせて示している。後述する本実施形態の画素回路 P における E L 駆動回路は、第 3 比較例の画素回路 P における少なくとも保持容量 1 2 0 と駆動トランジスタ 1 2 1 を具備した E L 駆動回路をベースとする。そういった意味では、第 3 比較例の画素回路 P は、事実上、本実施形態の画素回路 P の E L 駆動回路と同様の回路構造を持つと言っても過言ではない。

40

## 【 0 0 5 9 】

## &lt; 比較例の画素回路：第 1 例 &gt;

図 2 に示すように、第 1 比較例の画素回路 P は、基本的に p 型の薄膜電界効果トランジスタ（TFT）でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に 2 つのトランジスタを使用した 3 Tr 駆動の構成を採っている。

50

## 【 0 0 6 0 】

具体的には、第 1 比較例の画素回路 P は、p 型の駆動トランジスタ 1 2 1、アクティブ L の駆動パルスが供給される p 型の発光制御トランジスタ 1 2 2、アクティブ H の駆動パルスが供給される n 型トランジスタ 1 2 5、電流が流れることで発光する電気光学素子（発光素子）の一例である有機 E L 素子 1 2 7、および保持容量（画素容量とも称される）1 2 0 を有する。なお、最も単純な回路として、発光制御トランジスタ 1 2 2 を取り外した 2 T r 駆動の構成を採ることもできる。この場合、有機 E L 表示装置 1 としては駆動走査部 1 0 5 を取り外した構成を採る。

## 【 0 0 6 1 】

駆動トランジスタ 1 2 1 は、制御入力端子であるゲート端に供給される電位に応じた駆動電流を有機 E L 素子 1 2 7 に供給するようになっている。一般に、有機 E L 素子 1 2 7 は整流性があるためダイオードの記号で表わしている。なお、有機 E L 素子 1 2 7 には、寄生容量 C<sub>el</sub> が存在する。図では、寄生容量 C<sub>el</sub> を有機 E L 素子 1 2 7 と並列に示す。

## 【 0 0 6 2 】

サンプリングトランジスタ 1 2 5 は、駆動トランジスタ 1 2 1 のゲート端（制御入力端子）側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ 1 2 2 もスイッチングトランジスタである。なお、一般的には、サンプリングトランジスタ 1 2 5 はアクティブ L の駆動パルスが供給される p 型に置き換えることもできる。発光制御トランジスタ 1 2 2 はアクティブ H の駆動パルスが供給される n 型に置き換えることもできる。

## 【 0 0 6 3 】

画素回路 P は、垂直走査系統の走査線（書込走査線 1 0 4 WS および電源供給線 1 0 5 DS L）と水平走査系統の走査線である映像信号線 1 0 6 HS の交差部に配されている。書込走査部 1 0 4 からの書込走査線 1 0 4 WS は、サンプリングトランジスタ 1 2 5 のゲート端に接続され、駆動走査部 1 0 5 からの駆動走査線 1 0 5 DS は発光制御トランジスタ 1 2 2 のゲート端に接続されている。

## 【 0 0 6 4 】

サンプリングトランジスタ 1 2 5 は、ソース端を信号入力端として映像信号線 1 0 6 HS に接続され、ドレイン端を信号出力端として駆動トランジスタ 1 2 1 のゲート端に接続され、その接続点と第 2 電源電位 V<sub>c2</sub>（たとえば正電源電圧、第 1 電源電位 V<sub>c1</sub> と同じでもよい）との間に保持容量 1 2 0 が設けられている。括弧書きで示すように、サンプリングトランジスタ 1 2 5 は、ソース端とドレイン端とを逆転させ、ドレイン端を信号入力端として映像信号線 1 0 6 HS に接続し、ソース端を信号出力端として駆動トランジスタ 1 2 1 のゲート端に接続することもできる。

## 【 0 0 6 5 】

駆動トランジスタ 1 2 1、発光制御トランジスタ 1 2 2、および有機 E L 素子 1 2 7 は、第 1 電源電位 V<sub>c1</sub>（たとえば正電源電圧）と基準電位の一例である接地電位 GND の間で、この順に直列に接続されている。具体的には、駆動トランジスタ 1 2 1 は、ソース端が第 1 電源電位 V<sub>c1</sub> に接続され、ドレイン端が発光制御トランジスタ 1 2 2 のソース端に接続されている。発光制御トランジスタ 1 2 2 のドレイン端が、有機 E L 素子 1 2 7 のアノード端に接続され、有機 E L 素子 1 2 7 のカソード端が、全画素共通の配線（カソード共通配線 1 2 7 K）に接続されている。カソード共通配線 1 2 7 K のカソード電位 V<sub>cath</sub> は、たとえば接地電位 GND とされる。

## 【 0 0 6 6 】

図 2 に示した 3 T r 駆動や図示を割愛した 2 T r 駆動の何れにおいても、有機 E L 素子 1 2 7 は電流発光素子のため、有機 E L 素子 1 2 7 に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ 1 2 1 のゲート端への印加電圧を変化させ、保持容量 1 2 0 に保持されるゲート・ソース間電圧 V<sub>gs</sub> を変化させることで、有機 E L 素子 1 2 7 に流れる電流値をコントロールする。この際には、映像信号線 1 0 6 HS から供給される映像信号 V<sub>sig</sub> の電位（映像信号線電位）を信号電位とする。なお、階調

10

20

30

40

50

を示す信号振幅は  $V_{in}$  とする。

【0067】

具体的には、まず書込走査部 104 からアクティブ H の書込駆動パルス WS を供給して書込走査線 104 WS を選択状態とし、水平駆動部 106 から映像信号線 106 HS に信号電位を印加すると、n 型トランジスタ 125 が導通して、信号電位が駆動トランジスタ 121 のゲート端の電位となり、信号振幅  $V_{in}$  に対応する情報が保持容量 120 に書き込まれる。

【0068】

続いて、書込駆動パルス WS をインアクティブ（本例では L レベル）にして書込走査線 104 WS を非選択状態とすると、映像信号線 106 HS と駆動トランジスタ 121 とは電氣的に切り離されるが、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は保持容量 120 によって、原理的には、安定に保持される。

【0069】

続いて、駆動走査部 105 からアクティブ L の走査駆動パルス DS を供給して駆動走査線 105 DS を選択状態にすると、p 型の発光制御トランジスタ 122 が導通し、第 1 電源電位  $V_{c1}$  から接地電位 GND に向かって駆動電流が駆動トランジスタ 121、発光制御トランジスタ 122、および有機 EL 素子 127 を流れる。

【0070】

次に、走査駆動パルス DS をインアクティブ（本例では H レベル）にして駆動走査線 105 DS を非選択状態とすると、発光制御トランジスタ 122 がオフし、駆動電流は流れなくなる。発光制御トランジスタ 122 は、1 フィールド期間に占める有機 EL 素子 127 の発光時間（デューティ）を制御するために挿入されたものであり、先にも述べたことから推測されるように、画素回路 P としては、当該発光制御トランジスタ 122 を備えていることは必須ではない。

【0071】

駆動トランジスタ 121 および有機 EL 素子 127 に流れる電流は、保持容量 120 に保持されている駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  に応じた値となり、有機 EL 素子 127 はその電流値に応じた輝度で発光し続ける。

【0072】

このように、書込走査線 104 WS を選択して映像信号線 106 HS に与えられた映像信号  $V_{sig}$  を画素回路 P の内部に伝える動作を、「書込み」あるいは「サンプリング」と呼ぶ。一度信号の書込みを行えば、次に書き換えられるまでの間、有機 EL 素子 127 は一定の輝度で発光を続ける。

【0073】

第 1 比較例の画素回路 P では、駆動トランジスタ 121 のゲート端に供給する印加電圧を信号振幅  $V_{in}$  に応じて変化させることで、EL 有機 EL 素子 127 に流れる電流値を制御している。このとき、p 型の駆動トランジスタ 121 のソース端は第 1 電源電位  $V_{c1}$  に接続されており、この駆動トランジスタ 121 は常に飽和領域で動作している。

【0074】

< 比較例の画素回路：第 2 例 >

次に、本実施形態の画素回路 P の特徴を説明する上での比較例として、図 3 に示す第 2 比較例の画素回路 P について説明する。第 2 比較例の画素回路 P を画素アレイ部 102 に備える有機 EL 表示装置 1 を第 2 比較例の有機 EL 表示装置 1 と称する。

【0075】

第 2 比較例（後述する本実施形態も同様）の画素回路 P は、基本的に n 型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点に特徴を有する。p 型ではなく、n 型で各トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路 P の開発が期待される。

10

20

30

40

50

## 【 0 0 7 6 】

第 2 比較例の画素回路 P は、基本的に n 型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点で後述する本実施形態と同じであるが、有機 EL 素子 1 2 7 や駆動トランジスタ 1 2 1 の特性変動（ばらつきや経時変化）による駆動電流  $I_{ds}$  に与える影響を防ぐための駆動信号一定化回路が設けられていない。

## 【 0 0 7 7 】

具体的には、第 2 比較例の画素回路 P は、第 1 比較例の画素回路 P における p 型の駆動トランジスタ 1 2 1 を単純に n 型の駆動トランジスタ 1 2 1 に置き換え、そのソース端側に発光制御トランジスタ 1 2 2 や有機 EL 素子 1 2 7 を配置したものである。なお、発光制御トランジスタ 1 2 2 も n 型に置き換えている。もちろん、最も単純な回路として、発光制御トランジスタ 1 2 2 を取り外した 2 T r 駆動の構成を採ることもできる。

## 【 0 0 7 8 】

第 2 比較例の画素回路 P では、発光制御トランジスタを設けるか否かに関わらず、有機 EL 素子 1 2 7 を駆動するときには、駆動トランジスタ 1 2 1 のドレイン端側が第 1 電源電位  $V_{c1}$  に接続され、ソース端が有機 EL 素子 1 2 7 のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

## 【 0 0 7 9 】

< 電気光学素子の  $I_{el} - V_{el}$  特性との関係 >

一般的に、図 4 に示すように、駆動トランジスタ 1 2 1 はドレイン・ソース間電圧に関わらず駆動電流  $I_{ds}$  が一定となる飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端 - ソース間に流れる電流を  $I_{ds}$ 、移動度を  $\mu$ 、チャネル幅（ゲート幅）を  $W$ 、チャネル長（ゲート長）を  $L$ 、ゲート容量（単位面積当たりのゲート酸化膜容量）を  $C_{ox}$ 、トランジスタの閾値電圧を  $V_{th}$  とすると、駆動トランジスタ 1 2 1 は下記の式（1）に示した値を持つ定電流源となっている。なお、“ $\wedge$ ” はべき乗を示す。式（1）から明らかなように、飽和領域ではトランジスタのドレイン電流  $I_{ds}$  はゲート・ソース間電圧  $V_{gs}$  によって制御され定電流源として動作する。

## 【 0 0 8 0 】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

## 【 0 0 8 1 】

ところが、一般的に有機 EL 素子を始めとする電流駆動型の発光素子の  $I - V$  特性は、図 4 A（1）に示すように時間が経過すると変化する。図 4 A（1）に示す有機 EL 素子で代表される電流駆動型の発光素子の電流 - 電圧（ $I_{el} - V_{el}$ ）特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

## 【 0 0 8 2 】

たとえば、発光素子の一例である有機 EL 素子 1 2 7 に発光電流  $I_{el}$  が流れるとき、そのアノード・カソード間電圧  $V_{el}$  は一意的に決定される。ところが、図 4 A（1）に示すように、発光期間中では、有機 EL 素子 1 2 7 のアノード端は駆動トランジスタ 1 2 1 のドレイン・ソース間電流  $I_{ds}$ （＝駆動電流  $I_{ds}$ ）で決定される発光電流  $I_{el}$  が流れ、それによって有機 EL 素子 1 2 7 のアノード・カソード間電圧  $V_{el}$  分だけ上昇する。

## 【 0 0 8 3 】

図 2 に示した第 1 比較例の画素回路 P は、この有機 EL 素子 1 2 7 のアノード・カソード間電圧  $V_{el}$  分の上昇の影響は駆動トランジスタ 1 2 1 のドレイン端側に現れるが、駆動トランジスタ 1 2 1 が飽和領域で動作する定電流駆動であるため、有機 EL 素子 1 2 7 には定電流  $I_{ds}$  が流れ続け、有機 EL 素子 1 2 7 の  $I_{el} - V_{el}$  特性が変化してもその発光輝度が経時変化することはない。

## 【 0 0 8 4 】

駆動トランジスタ 1 2 1 と発光制御トランジスタ 1 2 2 と保持容量 1 2 0 とサンプリング

グトランジスタ 125 とを備え、図 2 に示した接続態様とされた画素回路 P の構成にて、電気光学素子の一例である有機 EL 素子 127 の電流 - 電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。つまり、画素回路 P を映像信号  $V_{sig}$  で駆動するとき、p 型の駆動トランジスタ 121 のソース端は第 1 電源電位  $V_{c1}$  に接続されており、常に飽和領域で動作するように設計されているので、式 (1) に示した値を持つ定電流源となる。

【0085】

また、第 1 比較例の画素回路 P においては、有機 EL 素子 127 の  $I_{el} - V_{el}$  特性の経時変化 (図 4 A (1)) とともに、駆動トランジスタ 121 のドレイン端の電圧が変化してゆくが、駆動トランジスタ 121 は、保持容量 120 のブートストラップ機能によってゲート・ソース間電圧  $V_{gs}$  が原理的には一定に保持されるため、駆動トランジスタ 121 は定電流源として動作し、その結果、有機 EL 素子 127 には一定量の電流が流れ、有機 EL 素子 127 を一定の輝度で発光させることができ、発光輝度は変化しない。

10

【0086】

第 2 比較例の画素回路 P でも、駆動トランジスタ 121 のソース端の電位 (ソース電位  $V_s$ ) は、駆動トランジスタ 121 と有機 EL 素子 127 との動作点で決まるし、駆動トランジスタ 121 は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・ソース間電圧  $V_{gs}$  に関し、前述の式 (1) に規定された電流値の駆動電流  $I_{ds}$  を流す。

【0087】

ところが、第 1 比較例の画素回路 P の p 型の駆動トランジスタ 121 を n 型に変更した単純な回路 (第 2 比較例の画素回路 P) では、ソース端が有機 EL 素子 127 側に接続されてしまう。その結果、前述の図 4 A (1) に示したように経時変化する有機 EL 素子 127 の  $I_{el} - V_{el}$  特性により、同じ発光電流  $I_{el}$  に対するアノード・カソード間電圧  $V_{el}$  が  $V_{el1}$  から  $V_{el2}$  へと変化することで、駆動トランジスタ 121 の動作点が変わり、同じゲート電位  $V_g$  を印加しても駆動トランジスタ 121 のソース電位  $V_s$  は変化してしまう。これにより、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は変化してしまう。特性式 (1) から明らかなように、ゲート・ソース間電圧  $V_{gs}$  が変動すると、たとえゲート電位  $V_g$  が一定であっても駆動電流  $I_{ds}$  が変動し、同時に有機 EL 素子 127 に流れる電流値 (発光電流  $I_{el}$ ) が変化し、発光輝度は変化してしまうことになる。

20

【0088】

このように第 2 比較例の画素回路 P では、発光素子の一例である有機 EL 素子 127 の  $I_{el} - V_{el}$  特性の経時変動による有機 EL 素子 127 のアノード電位変動が、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  の変動となって現れ、ドレイン電流 (駆動電流  $I_{ds}$ ) の変動を引き起こす。この原因による駆動電流  $I_{ds}$  の変動は画素回路 P ごとの発光輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

30

【0089】

これに対して、詳細は後述するが、n 型の駆動トランジスタ 121 を使用する場合においても、駆動トランジスタ 121 のソース端の電位  $V_s$  の変動にゲート端の電位  $V_g$  が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動 (つまり駆動トランジスタ 121 のソース電位変動) があっても、その変動を相殺するようにゲート電位  $V_g$  を変動させることができる。これにより、画面輝度の均一性 (ユニフォーミティ) を確保できる。ブートストラップ機能により、有機 EL 素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。

40

【0090】

もちろん、このブートストラップ機能は、発光開始時点で、有機 EL 素子 127 に発光電流  $I_{el}$  が流れ始め、それによってアノード・カソード間電圧  $V_{el}$  が安定となるまで上昇していく過程で、そのアノード・カソード間電圧  $V_{el}$  の変動に伴って駆動トランジスタ 121 のソース電位  $V_s$  が変動する際にも機能する。

【0091】

50

< 駆動トランジスタの  $V_{gs} - I_{ds}$  特性との関係 >

また、第 1 および第 2 比較例では、駆動トランジスタ 121 の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ 121 の特性が異なると、その影響が駆動トランジスタ 121 に流れる駆動電流  $I_{ds}$  に影響を及ぼす。一例としては、式 (1) から分かるように、移動度  $\mu$  や閾値電圧  $V_{th}$  が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧  $V_{gs}$  が同じであっても、駆動トランジスタ 121 に流れる駆動電流  $I_{ds}$  にばらつきや経時変化が生じ、有機 EL 素子 127 の発光輝度も画素ごとに変化してしまうことになる。

【0092】

たとえば、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧  $V_{th}$  や移動度  $\mu$  などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 121 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流 (駆動電流  $I_{ds}$ ) が変動し、発光輝度のばらつきになって現れる。

【0093】

前述のように、駆動トランジスタ 121 が飽和領域で動作しているときのドレイン電流  $I_{ds}$  は、特性式 (1) で表される。駆動トランジスタ 121 の閾値電圧ばらつきに着目した場合、特性式 (1) から明らかなように、閾値電圧  $V_{th}$  が変動すると、ゲート・ソース間電圧  $V_{gs}$  が一定であってもドレイン電流  $I_{ds}$  が変動する。つまり、閾値電圧  $V_{th}$  のばらつきに対して何ら対策を施さないと、閾値電圧が  $V_{th1}$  のとき  $V_{gs}$  に対応する駆動電流が  $I_{ds1}$  となるのに対して、閾値電圧が  $V_{th2}$  のときの同じゲート電圧  $V_{gs}$  に対応する駆動電流  $I_{ds2}$  は  $I_{ds1}$  と異なってしまう。

【0094】

また、駆動トランジスタ 121 の移動度ばらつきに着目した場合、特性式 (1) から明らかなように、移動度  $\mu$  が変動すると、ゲート・ソース間電圧  $V_{gs}$  が一定であってもドレイン電流  $I_{ds}$  が変動する。つまり、移動度  $\mu$  のばらつきに対して何ら対策を施さないと、移動度が  $\mu_1$  のときゲート・ソース間電圧  $V_{gs}$  に対応する駆動電流が  $I_{ds1}$  となるのに対して、移動度が  $\mu_2$  のときの同じゲート・ソース間電圧  $V_{gs}$  に対応する駆動電流  $I_{ds2}$  は  $I_{ds1}$  と異なってしまう。

【0095】

このように、閾値電圧  $V_{th}$  や移動度  $\mu$  の違いで  $V_{gs} - I_{ds}$  特性に大きな違いが出てしまうと、同じ信号振幅  $V_{in}$  を与えても、駆動電流  $I_{ds}$  すなわち発光輝度が異なってしまう、画面輝度の均一性が得られない。これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング (詳細は後述する) とすることで、それらの変動の影響を抑制でき、画面輝度の均一性を確保できる。

【0096】

本実施形態で採用する閾値補正動作および移動度補正動作では、書込みゲインが 1 (理想値) であると仮定した場合、発光時のゲート・ソース間電圧  $V_{gs}$  が “ $V_{in} + V_{th} - V$ ” で表されるようにすることで、ドレイン・ソース間電流  $I_{ds}$  が、閾値電圧  $V_{th}$  のばらつきや変動に依存しないようにするとともに、移動度  $\mu$  のばらつきや変動に依存しないようにする。結果として、閾値電圧  $V_{th}$  や移動度  $\mu$  が製造プロセスや経時により変動しても、駆動電流  $I_{ds}$  は変動せず、有機 EL 素子 127 の発光輝度も変動しない。移動度補正時には、大きな移動度  $\mu_1$  に対しては移動度補正パラメータ  $V_1$  が大きくなるようにする一方、小さい移動度  $\mu_2$  に対しては移動度補正パラメータ  $V_2$  も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ  $V$  を負帰還量  $V$  とも称する。

【0097】

< 比較例の画素回路 : 第 3 例 >

図 3 に示す第 2 比較例の画素回路 P における有機 EL 素子 127 の経時変化による駆動電流変動を防ぐ回路 (ブートストラップ回路) を搭載し、また駆動トランジスタ 121 の

10

20

30

40

50

特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ駆動方式を採用したのが本実施形態の画素回路Pにてベースとする図5に示す第3比較例の画素回路Pである。第3比較例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を第3比較例の有機EL表示装置1と称する。

【0098】

第3比較例の画素回路Pは、第2比較例の画素回路Pと同様に、n型の駆動トランジスタ121を使用する。加えて、有機EL素子の経時変化による当該有機EL素子への駆動電流 $I_{ds}$ の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 $I_{ds}$ を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。さらに、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

10

【0099】

すなわち、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ（サンプリングトランジスタ125）を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミング（スイッチングタイミング）の設定により、有機EL素子127の経時変化や駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 $I_{ds}$ に与える影響を防ぐ点に特徴を有する。2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能である。

【0100】

20

図3に示した第2比較例に対しての構成上の大きな違いは、保持容量120の接続態様を変形して、有機EL素子127の経時変化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 $I_{ds}$ に与える影響を抑制する方法としては、各トランジスタ121、125の駆動タイミングを工夫することで対処する。

【0101】

具体的には、第3比較例の画素回路Pは、保持容量120、n型の駆動トランジスタ121、およびアクティブH（ハイ）の書込駆動パルスWSが供給されるn型トランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127を有する。

30

【0102】

駆動トランジスタ121のゲート端（ノードND122）とソース端との間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のアノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端は、第1比較例や第2比較例と同様に、全画素共通のカソード共通配線127Kに接続され、カソード電位 $V_{cath}$ （たとえば接地電位GND）が与えられる。

【0103】

駆動トランジスタ121のドレイン端は、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

40

【0104】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位 $V_{cc}$ と低電圧側の第2電位 $V_{ss}$ とを切り替えて供給する電源電圧切替回路を具備している。

【0105】

第2電位 $V_{ss}$ としては、映像信号線106HSにおける映像信号 $V_{sig}$ のオフセット電位 $V_{ofs}$ （基準電位 $V_o$ とも称する）より十分低い電位とする。具体的には、駆動トランジ

50



スタ 1 2 1 のゲート・ソース間電圧  $V_{gs}$  (ゲート電位  $V_g$  とソース電位  $V_s$  の差) が駆動トランジスタ 1 2 1 の閾値電圧  $V_{th}$  より大きくなるように、電源供給線 1 0 5 DSL の低電位側の第 2 電位  $V_{ss}$  を設定する。なお、オフセット電位  $V_{ofs}$  は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線 1 0 6 HS を予めプリチャージしておくためにも利用する。

#### 【0106】

サンプリングトランジスタ 1 2 5 は、ゲート端が書込走査部 1 0 4 からの書込走査線 1 0 4 WS に接続され、ドレイン端が映像信号線 1 0 6 HS に接続され、ソース端が駆動トランジスタ 1 2 1 のゲート端 (ノード ND 1 2 2) に接続されている。そのゲート端には、書込走査部 1 0 4 からアクティブ H の書込駆動パルス WS が供給される。

10

#### 【0107】

サンプリングトランジスタ 1 2 5 は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ 1 2 5 としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

#### 【0108】

< 画素回路の動作：第 3 比較例 >

図 6 は、図 5 に示した第 3 比較例の画素回路 P に関する第 3 比較例 (実質的に本実施形態と同様) の駆動タイミングの基本例を説明するタイミングチャートであり、線順次駆動の場合で示している。図 6 においては、時間軸を共通にして、書込走査線 1 0 4 WS の電位変化、電源供給線 1 0 5 DSL の電位変化、および映像信号線 1 0 6 HS の電位変化を表してある。また、これらの電位変化と並行に、1 行分 (図では 1 行目) について駆動トランジスタ 1 2 1 のゲート電位  $V_g$  およびソース電位  $V_s$  の変化も表してある。

20

#### 【0109】

映像信号  $V_{sig}$  を線順次駆動で画素回路 P に供給するようにしており、書込駆動パルス WS、電源駆動パルス DSL は、1 行分を 1 組として、各信号のタイミング (特に位相関係) が行単位で独立に制御され、行が代わると 1 H (H は水平走査期間) 分シフトされる。

#### 【0110】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが 1 (理想値) であると仮定して、保持容量 1 2 0 に信号振幅  $V_{in}$  の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。書込みゲインが 1 未満の場合、保持容量 1 2 0 には信号振幅  $V_{in}$  の大きさそのものではなく、信号振幅  $V_{in}$  の大きさに対応するゲイン倍された情報が保持されることになる。

30

#### 【0111】

因みに、信号振幅  $V_{in}$  に対応する保持容量 1 2 0 に書き込まれる情報の大きさの割合を、書込みゲイン  $G_{input}$  と称する。ここで、書込みゲイン  $G_{input}$  は、具体的には、電気回路的に保持容量 1 2 0 と並列に配置される寄生容量を含めた全容量  $C_1$  と、電気回路的に保持容量 1 2 0 と直列に配置される全容量  $C_2$  との容量直列回路において、信号振幅  $V_{in}$  を容量直列回路に供給したときに容量  $C_1$  に配分される電荷量に関係する。式で表せば、 $g = C_1 / (C_1 + C_2)$  とすると、書込みゲイン  $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2) = 1 - g$  となる。以下の説明において、“ $g$ ” が登場する記載は書込みゲインを考慮したものである。

40

#### 【0112】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが 1 (理想値) であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ 1 2 1 のゲート・ソース間に保持容量 1 2 0 が設けられている場合に、ソース電位  $V_s$  の上昇に対するゲート電位  $V_g$  の上昇率をブートストラップゲイン (ブートストラップ動作能力)  $G_{bst}$  と称する。ここで、ブートストラップゲイン  $G_{bst}$  は、具体的には、保持容量 1 2 0 の容量値  $C_s$ 、駆動トランジスタ 1 2 1 のゲート・ソース間に形成される寄生容量  $C_{121gs}$  の容量値  $C_{gs}$ 、ゲート・ドレイン間に形成される寄生容量  $C_{121gd}$  の容量値  $C_{gd}$ 、およびサンプリングトランジスタ 1 2 5 のゲート・ソース間に形成される寄生容量  $C$

50

1 2 5 gsの容量値  $C_{ws}$  に関係する。式で表せば、ブートストラップゲイン  $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$  となる。

【0113】

また、第3比較例の駆動タイミングでは、映像信号  $V_{sig}$  が非有効期間であるオフセット電位  $V_{ofs}$  にある期間を1水平期間の前半部とし、有効期間である信号電位 ( $V_{ofs} + V_{in}$ ) にある期間を1水平期間の後半部とする。また、映像信号  $V_{sig}$  の有効期間と非有効期間を合わせた1水平期間ごとに、閾値補正動作を複数回(図では3回)に亘って繰り返すようにする。その各回の映像信号  $V_{sig}$  の有効期間と非有効期間の切替タイミング ( $t_{13V}$ ,  $t_{15V}$ )、および書込駆動パルス  $WS$  のアクティブとインアクティブの切替タイミング ( $t_{13W}$ ,  $t_{15W}$ ) については、そのタイミングに、各回を“\_”なしの参照子で示すことで区別する。

10

【0114】

第3比較例では、1水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしているが、この繰り返し動作は必須ではなく、1水平期間を処理サイクルとして、1回のみの閾値補正動作を実行するようにしてもよい。

【0115】

1水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ125が信号振幅  $V_{in}$  の情報を保持容量120にサンプリングする前に、閾値補正動作に先立って、電源供給線105DSLの電位を第2電位  $V_{ss}$  にセットし、また駆動トランジスタ121のゲートをオフセット電位  $V_{ofs}$  にセットし、さらにソース電位を第2電位  $V_{ss}$  にセットする初期化動作を経てから、電源供給線105DSLの電位が第1電位  $V_{cc}$  にある状態であつ映像信号線106HSがオフセット電位  $V_{ofs}$  にある時間帯でサンプリングトランジスタ125を導通させて駆動トランジスタ121の閾値電圧  $V_{th}$  に対応する電圧を保持容量120に保持させようとする閾値補正動作を行なうからである。

20

【0116】

必然的に、閾値補正期間は、1水平期間よりも短くなってしまう。したがって、保持容量120の容量  $C_s$  や第2電位  $V_{ss}$  の大きさ関係やその他の要因で、この短い1回分の閾値補正動作期間では、閾値電圧  $V_{th}$  に対応する正確な電圧を保持容量120に保持仕切れないケースも起こり得る。第3比較例において、閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号振幅  $V_{in}$  の情報の保持容量120へのサンプリング(信号書込み)に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ121の閾値電圧  $V_{th}$  に相当する電圧を保持容量120に保持させるのである。

30

【0117】

まず、有機EL素子127の発光期間Bでは、電源供給線105DSLが第1電位  $V_{cc}$  であり、サンプリングトランジスタ125がオフした状態である。このとき、駆動トランジスタ121は飽和領域で動作するように設定されているため、有機EL素子127に流れる駆動電流  $I_{ds}$  は駆動トランジスタ121のゲート・ソース間電圧  $V_{gs}$  に応じて、式(1)に示される値をとる。

【0118】

40

次に、非発光期間に入ると、先ず放電期間Cでは、電源供給線105DSLを第2電位  $V_{ss}$  に切り替える。このとき、第2電位  $V_{ss}$  が有機EL素子127の閾値電圧  $V_{thEL}$  とカソード電位  $V_{cath}$  の和よりも小さいとき、つまり“ $V_{ss} < V_{thEL} + V_{cath}$ ”であれば、有機EL素子127は消光し、電源供給線105DSLが駆動トランジスタ121のソース側となる。このとき、有機EL素子127のアノードは第2電位  $V_{ss}$  に充電される。

【0119】

さらに、初期化期間Dでは、映像信号線106HSがオフセット電位  $V_{ofs}$  となったときにサンプリングトランジスタ125をオンして駆動トランジスタ121のゲート電位をオフセット電位  $V_{ofs}$  とする。このとき、駆動トランジスタ121のゲート・ソース間電圧  $V_{gs}$  は“ $V_{ofs} - V_{ss}$ ”という値をとる。この“ $V_{ofs} - V_{ss}$ ”が駆動トランジスタ12

50

1 の閾値電圧  $V_{th}$  よりも大きくないと閾値補正動作を行なうことができないために、“ $V_{ofs} - V_{ss} > V_{th}$ ” とする必要がある。

【0120】

この後、第1閾値補正期間Eに入ると、電源供給線105DSLを再び第1電位  $V_{cc}$  に切り替える。電源供給線105DSL（つまり駆動トランジスタ121への電源電圧）を第1電位  $V_{cc}$  とすることで、有機EL素子127のアノードが駆動トランジスタ121のソースとなり駆動トランジスタ121から駆動電流  $I_{ds}$  が流れる。有機EL素子127の等価回路はダイオードと容量で表されるため、有機EL素子127のカソード電位  $V_{cath}$  に対するアノード電位を  $V_{el}$  としたとき、“ $V_{el} = V_{cath} + V_{thEL}$ ” である限り、換言すれば、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さい限り、駆動トランジスタ121の駆動電流  $I_{ds}$  は保持容量120と有機EL素子127の寄生容量  $C_{el}$  を充電するために使われる。このとき、有機EL素子127のアノード電位  $V_{el}$  は時間とともに上昇してゆく。

10

【0121】

一定時間経過後、サンプリングトランジスタ125をオフする。このとき、駆動トランジスタ121のゲート・ソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  よりも大きいと（つまり閾値補正が完了していないと）、駆動トランジスタ121の駆動電流  $I_{ds}$  は保持容量120を受電するように流れ続け、駆動トランジスタ121のゲート・ソース間電圧  $V_{gs}$  は上昇してゆく。このとき、有機EL素子127には逆バイアスがかかっているため、有機EL素子127が発光することはない。

20

【0122】

さらに第2閾値補正期間Gに入ると、再び映像信号線106HSがオフセット電位  $V_{ofs}$  となったときにサンプリングトランジスタ125をオンして駆動トランジスタ121のゲート電位をオフセット電位  $V_{ofs}$  として、再度閾値補正動作を開始する。この動作を繰り返すことで、最終的に、駆動トランジスタ121のゲート・ソース間電圧  $V_{gs}$  は閾値電圧  $V_{th}$  という値をとる。このとき“ $V_{el} = V_{ofs} - V_{th} - V_{cath} + V_{thEL}$ ” となっている。

【0123】

閾値補正動作終了後（本例では第3閾値補正期間Iの後）は、サンプリングトランジスタ125をオフして書込み&移動度補正準備期間Jに入る。映像信号線106HSが信号電位（ $V_{ofs} + V_{in}$ ）となったときに、サンプリングトランジスタ125を再度オンしてサンプリング期間&移動度補正期間Kに入る。信号振幅  $V_{in}$  は階調に応じた値である。サンプリングトランジスタ125のゲート電位はサンプリングトランジスタ125をオンしているために信号電位（ $V_{ofs} + V_{in}$ ）となるが、駆動トランジスタ121のドレイン端は第1電位  $V_{cc}$  であり駆動電流  $I_{ds}$  が流れるためソース電位  $V_s$  は時間とともに上昇してゆく。図では、この上昇分を  $V$  で示している。

30

【0124】

このとき、ソース電圧  $V_s$  が有機EL素子127の閾値電圧  $V_{thEL}$  とカソード電位  $V_{cath}$  の和を越えなければ、換言すると、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さければ、駆動トランジスタ121の駆動電流  $I_{ds}$  は保持容量120と有機EL素子127の寄生容量と  $C_{el}$  を充電するのに使用される。

40

【0125】

この時点では、駆動トランジスタ121の閾値補正動作は完了しているため、駆動トランジスタ121が流す電流は移動度  $\mu$  を反映したものとなる。具体的には、移動度  $\mu$  が大きいと、このときの電流量が大きく、ソースの上昇も早い。逆に移動度  $\mu$  が小さいと、電流量が小さく、ソースの上昇は遅くなる。これにより、駆動トランジスタ121のゲート・ソース間電圧  $V_{gs}$  は移動度  $\mu$  を反映して小さくなり、一定時間経過後に完全に移動度  $\mu$  を補正するゲート・ソース間電圧  $V_{gs}$  となる。

【0126】

この後には、発光期間Lに入り、サンプリングトランジスタ125をオフして書込みを終了し、有機EL素子127を発光させる。保持容量120によるブートストラップ効果

50

により、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は一定であるので、駆動トランジスタ 121 は一定電流（駆動電流  $I_{ds}$ ）を有機 EL 素子 127 に流し、有機 EL 素子 127 のアノード電位  $V_{el}$  は有機 EL 素子 127 に駆動電流  $I_{ds}$  という電流が流れる電圧  $V_x$  まで上昇し、有機 EL 素子 127 は発光する。

【0127】

第3比較例の画素回路 P においても、有機 EL 素子 127 は発光時間が長くなるとその  $I-V$  特性は変化してしまう。そのため、ノード ND 121 の電位（つまり駆動トランジスタ 121 のソース電位  $V_s$ ）も変化する。しかしながら、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は保持容量 120 によるブートストラップ効果で一定値に保たれているので、有機 EL 素子 127 に流れる電流は変化しない。よって、有機 EL 素子 127 の  $I-V$  特性が劣化しても、有機 EL 素子 127 には一定電流（駆動電流  $I_{ds}$ ）が常に流れ続け、有機 EL 素子 127 の輝度が変化することはない。

10

【0128】

ここで、駆動電流  $I_{ds}$  対ゲート電圧  $V_{gs}$  の関係は、先のトランジスタ特性を表した式（1）の  $V_{gs}$  に “  $V_{in} - V + V_{th}$  ” を代入することで、式（2-1）のように表すことができる。因みに、書込みゲインを考慮したときには、式（1）の  $V_{gs}$  に “  $(1 - g)V_{in} - V + V_{th}$  ” を代入することで、式（2-2）のように表すことができる。式（2-1）や式（2-2）（纏めて式（2）と称する）において、 $k = (1/2)(W/L)C_{ox}$  である。

20

【0129】

【数2】

$$\left. \begin{aligned} I_{ds} &= k\mu (V_{gs} - V_{th})^2 = k\mu (V_{in} - \Delta V)^2 \cdots (2-1) \\ I_{ds} &= k\mu (V_{gs} - V_{th})^2 = k\mu ((1-g)V_{in} - \Delta V)^2 \cdots (2-2) \end{aligned} \right\} \cdots (2)$$

【0130】

この式（2）から、閾値電圧  $V_{th}$  の項がキャンセルされており、有機 EL 素子 127 に供給される駆動電流  $I_{ds}$  は駆動トランジスタ 121 の閾値電圧  $V_{th}$  に依存しないことが分かる。基本的に駆動電流  $I_{ds}$  は信号振幅  $V_{in}$ （詳しくは信号振幅  $V_{in}$  に対応して保持容量 120 に保持されるサンプリング電圧 =  $V_{gs}$ ）によって決まる。換言すると、有機 EL 素子 127 は信号振幅  $V_{in}$  に応じた輝度で発光することになる。

30

【0131】

その際、保持容量 120 に保持される情報はソース電位  $V_s$  の上昇分  $V$  で補正されている。上昇分  $V$  はちょうど式（2）の係数部に位置する移動度  $\mu$  の効果を打ち消すように働く。駆動トランジスタ 121 の移動度  $\mu$  に対する補正分  $V$  を保持容量 120 に書き込まれる信号に加えるのであるが、その方向は実際には負の方向であり、こう言った意味で、上昇分  $V$  は、移動度補正パラメータ  $V$  や負帰還量  $V$  とも称する。

【0132】

有機 EL 素子 127 に流れる駆動電流  $I_{ds}$  は、駆動トランジスタ 121 の閾値電圧  $V_{th}$  や移動度  $\mu$  の変動が相殺され、実質的に信号振幅  $V_{in}$  のみに依存することになる。駆動電流  $I_{ds}$  は閾値電圧  $V_{th}$  や移動度  $\mu$  に依存しないので、閾値電圧  $V_{th}$  や移動度  $\mu$  が製造プロセスによりばらついていたり経時変化があったりしても、ドレイン・ソース間の駆動電流  $I_{ds}$  は変動せず、有機 EL 素子 127 の発光輝度も変動しない。

40

【0133】

また、 $n$  型の駆動トランジスタ 121 を使用する場合においても、駆動トランジスタ 121 のソース端の電位  $V_s$  の変動にゲート端の電位  $V_g$  が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動（つまり駆動トランジスタ 121 のソース電位変動）があっても、その変動を相殺するようにゲート電位  $V_g$  を変

50

動させることができる。

【0134】

これにより、有機EL素子127の特性の経時変化の影響が緩和され、画面輝度の均一性を確保できる。駆動トランジスタ121のゲート・ソース間の保持容量120によるブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、ブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 $I_{el}$ が流れ始め、それによってアノード・カソード間電圧 $V_{el}$ が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 $V_{el}$ の変動に伴って駆動トランジスタ121のソース電位 $V_s$ が変動する際にも機能する。

【0135】

このように、第3比較例の画素回路P（事実上、後述する本実施形態の画素回路Pも同様）およびそれを駆動する制御部109による駆動タイミングによれば、駆動トランジスタ121や有機EL素子127の特性変動（ばらつきや経時変動）があった場合でも、それらの変動分を補正することで、表示画面上にはその影響が現われず、輝度変化のない高品質な画像表示が可能になる。

【0136】

ところで、閾値補正機能や、信号書込み機能や、移動度補正機能や、ブートストラップ機能を働かせるためには、各種のトランジスタへの信号をスイッチング制御する必要がある。たとえば、図5に示した第3比較例の画素回路Pを図6に示した駆動タイミングのように制御するには、サンプリングトランジスタ125をオン/オフ制御したり、駆動トランジスタ121への電源供給を第1電位 $V_{cc}$ と第2電位 $V_{ss}$ でスイッチング制御したり、映像信号 $V_{sig}$ をオフセット電位 $V_{ofs}$ と信号電位（ $V_{ofs} + V_{in}$ ）でスイッチング制御したりする必要がある。そのスイッチングタイミングにズレが生じると問題を引き起こす。以下では、サンプリング期間&移動度補正期間Kに着目して、サンプリングトランジスタ125のゲート容量に起因するスイッチングタイミングのズレについて説明する。

【0137】

< 信号書込み期間や移動度補正期間の設定手法と駆動パルスの電位変化特性について >

図6に示した駆動タイミングでは、映像信号線106HSの信号電位（以下映像線信号電位とも称する）の立上りもしくは書込走査線104WSの書込駆動パルスWSの遷移特性に傾斜をつけることで、移動度補正期間を映像線信号電位に自動的に追従させて、その最適化を図ることができる。移動度補正期間 $t$ は書込走査線104WSのパルス幅で決定され、さらに映像信号線106HSの電位によっても決定される。移動度補正パラメータ $V$ は“ $V = I_{ds} \cdot t / C_{el}$ ”であり、この式は“ $t = C_{el} \cdot V / I_{ds}$ ”と変形することができる。これらの式から分かるように、図6の駆動タイミングでは、駆動トランジスタ121のドレイン・ソース間電流（駆動電流 $I_{ds}$ ）が大きい程、移動度補正パラメータ $V$ は大きく、移動度補正期間 $t$ は短い。逆に、駆動トランジスタ121の駆動電流 $I_{ds}$ が小さい程、移動度補正パラメータ $V$ は小さく、移動度補正期間 $t$ は長い。また、駆動トランジスタ121の移動度変動やばらつきに対する補正動作を映像信号サンプリング用の書込駆動パルスWSのパルス幅により調整することができる。

【0138】

移動度補正パラメータ $V$ は駆動トランジスタ121の駆動電流 $I_{ds}$ （や発光電流 $I_{el}$ ）に応じて決まる。その際、移動度補正期間 $t$ は必ずしも一定である必要はなく、逆に駆動電流 $I_{ds}$ に応じて調整することが好ましい場合がある。たとえば、駆動電流 $I_{ds}$ が大きい場合には移動度補正期間 $t$ を短めにし、逆に駆動電流 $I_{ds}$ が小さくなると移動度補正期間 $t$ を長めに設定することがよい場合もある。少なくとも映像信号線電位の立上りに傾斜をつけることで、映像信号線106HSの電位によって移動度補正期間 $t$ を調整することが可能となる。たとえば、映像信号線106HSの電位が高いときには駆動電流 $I_{ds}$ が大きくなり移動度補正期間 $t$ が短くなる一方、映像信号線106HSの電位が低いときには駆動電流 $I_{ds}$ が小さくなり移動度補正期間 $t$ が長くなるように（移動度補正期間 $t_a$ 、 $t_b$ 、 $t_c$ というように）、移動度補正期間 $t$ を映像信号 $V_{sig}$ （詳しくは信号振幅 $V_{in}$ ）に自動

10

20

30

40

50

的に追従して設定することができる。

【0139】

また、図6に示した駆動タイミングでは、電源供給線105DSLが高電位側である第1電位 $V_{cc}$ にあり、かつ、映像信号 $V_{sig}$ が有効期間(信号振幅 $V_{in}$ の期間)にある時間帯内で書込駆動パルスWSをアクティブにしている。その結果、移動度補正時間(サンプリング期間も)は、映像信号線106HSの電位が、映像信号 $V_{sig}$ の信号電位( $V_{ofs} + V_{in}$ )にある時間幅と書込駆動パルスWSのアクティブ期間の両者が重なった範囲で決まる。特に、本実施形態では、映像信号線106HSが信号電位にある時間幅の中に入るように書込駆動パルスWSのアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルスWSで決まる。正確には、移動度補正時間(サンプリング期間も)は、書込駆動パルスWS立ち上がってサンプリングトランジスタ125がオンしてから同じく書込駆動パルスWSが立ち下がってサンプリングトランジスタ125がオフするまでの時間となる。

10

【0140】

ここで、画面の左右方向について考察した場合、詳細説明図は割愛するが、1行内の全ての画素回路Pに対して書込駆動パルスWSは書込走査部104から共通に供給されるので、書込駆動パルスWSの波形が配線容量や配線抵抗の影響で、書込走査部104から遠い画素回路P(遠側画素と称する)の方が書込走査部104から近い画素回路P(近側画素と称する)よりも、その波形鈍りが大きくなってしまう。これに対して、映像信号線電位については、遠側画素および近側画素ともに、信号源である水平駆動部106からの距離が同じであるので、波形に差がない。

20

【0141】

よって、書込駆動パルスWSの波形が大きく鈍って劣化する遠側画素では、近側画素に比べてサンプリングトランジスタ125のオンタイミングが後方にずれるが、オフタイミングも後方にシフトする。したがって、両者の差で決まる移動度補正時間は、結局近側画素の移動度補正時間とあまり変わらないことになる。

【0142】

また、サンプリングトランジスタ125によって最終的に保持容量120にサンプリングされる信号振幅 $V_{in}$ に対応する情報は、ちょうどサンプリングトランジスタ125がオフになったときの映像信号線電位で与えられる。近側画素および遠側画素ともにサンプリング電位は信号電位( $V_{ofs} + V_{in}$ )となり差は生じない。

30

【0143】

このように、図6に示す駆動タイミングでは、遠側画素と近側画素でサンプリングされる映像信号電位は殆ど差はない。さらに移動度補正時間についても、遠側画素と近側画素とでは殆ど差は無視できる程度である。これにより、画面の左右で輝度差が現れることがなく、書込走査線104WSおよび映像信号線106HSの配線抵抗および配線容量に起因する横方向(画面左右方向)のシェーディングは抑制され良好な画質の表示装置を実現できる。

【0144】

また、画面の上下方向について考察した場合、詳細説明図は割愛するが、書込駆動パルスWSは、画面の上側の画素回路P(上側画素と称する)と画面の下側の画素回路P(下側画素と称する)とで同じ位置をとっているため、書込駆動パルスWSの波形(走査線電位波形)には差はない。一方、一列内の全ての画素回路Pに対して映像信号 $V_{sig}$ は水平駆動部106から映像信号線106HSを介して共通に供給されるので、配線容量や配線抵抗の影響で、水平駆動部106から遠い遠側画素の方が水平駆動部106から近い近側画素よりも、映像信号電圧の遅延量が大きくなってしまう。

40

【0145】

しかしながら、映像信号線106HSに現れる信号電位波形が遅延しても、映像信号線106HSが信号電位( $V_{ofs} + V_{in}$ )にある時間幅に書込駆動パルスWSが入っている限り、サンプリング電位や移動度補正時間に殆ど差は生じない。その結果、画面下側と上側で、サンプリングされる映像信号電位はほぼ等しくなるし、移動度補正時間もほぼ等しくなる

50

。これにより、画面の上下で輝度差が現れることがなく、書込走査線 1 0 4 WSおよび映像信号線 1 0 6 HSの配線抵抗および配線容量に起因する縦方向（画面上下方向）のシェーディングは抑制され良好な画質の表示装置を実現できる。

#### 【0146】

なお、ここで説明したことは、エンハンスメント型トランジスタ 1 2 5 のドレイン端を映像信号線 1 0 6 HSに接続しソース端を駆動トランジスタ 1 2 1 のゲート端と保持容量 1 2 0 の一方の端子との接続点（ノードND 1 2 2）に接続する場合のことであるが、その他の態様であっても、概ね同じことが言える。

#### 【0147】

これらのことから分かるように、サンプリング期間および移動度補正期間に与える書込走査線 1 0 4 WSおよび映像信号線 1 0 6 HSの配線抵抗および配線容量の関係においては、映像信号線 1 0 6 HSに信号電位（ $V_{ofs} + V_{in}$ ）が供給されている期間内の所定位置でかつその信号振幅  $V_{in}$  の供給時間帯よりも短い期間だけ書込駆動パルスWSをアクティブにする図 6 に示した駆動タイミングは、配線抵抗および配線容量の影響に対して耐性があり、精度よく移動度変動補正期間を調整でき、シェーディング耐性に優れている。

#### 【0148】

駆動トランジスタ 1 2 1 の移動度に対する補正分を保持容量 1 2 0 に書き込まれる情報に加える移動度補正動作を、閾値補正動作の後に、サンプリングトランジスタ 1 2 5 をオンさせて信号振幅  $V_{in}$  に対応する情報を保持容量 1 2 0 に書き込むサンプリング動作と同時に実行し、また映像信号  $V_{sig}$  のオフセット電位  $V_{ofs}$  と信号振幅  $V_{in}$  との切替り時に傾斜をつけることで移動度補正期間を信号振幅  $V_{in}$  の大きさに自動追従させる仕組みを採用する場合、図 6 に示した駆動タイミングは優れている。

#### 【0149】

しかしながら、各走査線と画素回路 P を構成するトランジスタ（駆動トランジスタ 1 2 1、サンプリングトランジスタ 1 2 5）のレイアウトによっては、走査線同士や走査線とトランジスタとが近接して配置されることがある。このため、走査線同士や走査線とトランジスタの端子配線と間に好ましくない静電容量が形成され、スイッチング信号の鈍りや伝達遅延が生じてしまう。加えて、サンプリングトランジスタ 1 2 5 の動作領域は、信号振幅  $V_{in}$  に応じて異なり、図 6 に示すタイミングであっても、書込駆動パルスWSの電位変化が鈍っていると、動作領域が異なることを起因として、サンプリング期間や移動度補正期間が、信号振幅  $V_{in}$  に応じて意図しない状態ではらついてしまい、その影響が映像に現れることが分った。

#### 【0150】

たとえば、サンプリングトランジスタ 1 2 5 のゲート容量を起因とする書込走査線 1 0 4 WSの鈍りにより、信号書込み時間や移動度補正時間が信号振幅  $V_{in}$  に応じてばらついてしまい、その影響が表示画面上にノイズ（縦方向の輝度むらやカラー表示の場合は色むら：縦クロストークと称する）となって現われてしまうということが分った。より具体的には、黒ウインドウ表示（詳細は後述する）にしたときには、ウインドウ表示行の白表示部分が、全白表示行の白表示部分よりもさらに高輝度となり横縞模様のクロストークとして観察される。以下、信号書込み期間や移動度補正期間に関して、この問題点とその対策手法について、詳しく説明する。

#### 【0151】

< 問題点：黒表示時と白表示時の書込駆動パルスの鈍りの相違 >

図 7 は、n 型トランジスタ 1 2 5 のゲート容量を起因とする書込駆動パルスWSの鈍りと映像信号線 1 0 6 HSの電位（映像信号線電位）との関係を説明する図である。ここで、実線は黒表示時の書込走査線 1 0 4 WSの電位状態を示し、点線は白表示時の書込走査線 1 0 4 WSの電位状態を示す。

#### 【0152】

因みに、ここでは、エンハンスメント型トランジスタ 1 2 5 のドレイン端を映像信号線 1 0 6 HSに接続しソース端を駆動トランジスタ 1 2 1 のゲート端と保持容量 1 2 0 の一方

10

20

30

40

50

の端子との接続点（ノードND122）に接続する場合で示す。

【0153】

サンプリングトランジスタ125の制御波形（書込駆動パルスWSの信号波形）は、画素アレイ部102の書込走査部104側の端部（入力側と称する）では急峻であり、この入力側から遠くなると、その負荷に応じて鈍る。この制御波形が鈍った状態での黒表示時と白表示時の信号書込みおよび移動度補正について考える。

【0154】

図6に示したタイミングチャートにおいて、信号書込み時（つまりサンプリング期間&移動度補正期間K）にサンプリングトランジスタ125をオンする前は、書込み&移動度補正準備期間Jから分るように、映像信号線106HSの電位は階調に応じた信号電位（ $V_{ofs} + V_{in}$ ）となっているし、また、駆動トランジスタ121のゲート電位は、階調に依存せずオフセット電位  $V_{ofs}$  となっている。

【0155】

サンプリング期間&移動度補正期間Kに入るときには、サンプリングトランジスタ125をオンさせるべく、この状態で、サンプリングトランジスタ125の制御線である書込走査線104WSを低電圧から高電圧へと変化させる。ここでは一例として、映像信号  $V_{sig}$  の黒表示電圧をオフセット電位  $V_{ofs}$ （ $= V_{BLK}$ ）とし、映像信号  $V_{sig}$  の白表示電圧を  $V_{WHT}$  とする。

【0156】

この書込駆動パルスWSの立上り時に、先ず、黒表示においてサンプリングトランジスタ125の制御電圧（=書込駆動パルスWSの電位）がサンプリングトランジスタ125の閾値電圧  $V_{th\_125}$  と駆動トランジスタ121のゲート電圧  $V_g$ （=オフセット電位  $V_{ofs}$ ）の和以下のときにはサンプリングトランジスタ125はオフ状態である。薄膜トランジスタ（TFT）であるサンプリングトランジスタ125がオフ状態であるので、サンプリングトランジスタ125のゲート容量は小さい。

【0157】

この後、サンプリングトランジスタ125の制御電圧がサンプリングトランジスタ125の閾値電圧  $V_{th\_125}$  と駆動トランジスタ121のゲート電圧  $V_g$ （=オフセット電位  $V_{ofs}$ ）の和を越えたとき、サンプリングトランジスタ125はオン状態へ遷移するが、サンプリングトランジスタ125は、ドレイン端およびソース端がともにオフセット電位  $V_{ofs}$  にあり、ドレイン・ソース間電圧  $V_{ds}$  がゲート・ソース間電圧  $V_{gs}$  と  $V_{ds} < V_{gs} + V_{th\_125}$  という関係を満たす。この場合、 $V_{ds}$  は“0V”であるので、線形領域（非飽和領域とも称される）で動作する。薄膜トランジスタ（TFT）であるサンプリングトランジスタ125が線形領域で動作するので、サンプリングトランジスタ125のゲート容量は大きくなる。よって、サンプリングトランジスタ125の制御線（書込走査線104WS）からは、サンプリングトランジスタ125の大きなゲート容量が見える。したがって、サンプリングトランジスタ125の書込走査線104WSは“ $V_{th\_125} + V_{ofs}$ ”までは早く立ち上がり、以降は遅く立ち上がる。

【0158】

逆に、書込駆動パルスWSの立下り時に、黒表示においてサンプリングトランジスタ125の制御電圧がサンプリングトランジスタ125の閾値電圧  $V_{th\_125}$  と駆動トランジスタ121のゲート電圧  $V_g$ （=オフセット電位  $V_{ofs}$ ）の和以上のときは、サンプリングトランジスタ125は線形領域で動作するので、サンプリングトランジスタ125のゲート容量は大きい。よって、サンプリングトランジスタ125の制御線（書込走査線104WS）からは、サンプリングトランジスタ125の大きなゲート容量が見える。

【0159】

この後、サンプリングトランジスタ125の制御電圧（=書込駆動パルスWSの電位）がサンプリングトランジスタ125の閾値電圧  $V_{th\_125}$  と駆動トランジスタ121のゲート電圧  $V_g$ （=オフセット電位  $V_{ofs}$ ）の和を下回るようになると、サンプリングトランジスタ125はオフ状態となり、サンプリングトランジスタ125のゲート容量は小さくな

10

20

30

40

50



る。したがって、サンプリングトランジスタ 125 の書込走査線 104 WS は “  $V_{th\_125} + V_{ofs}$  ” までは遅く立ち下がり、以降は早く立ち下がる。

【0160】

一方、書込駆動パルス WS の立上り時に、白表示においてサンプリングトランジスタ 125 の制御電圧 (= 書込駆動パルス WS の電位) がサンプリングトランジスタ 125 の閾値電圧  $V_{th\_125}$  と駆動トランジスタ 121 のゲート電圧  $V_g$  (= オフセット電位  $V_{ofs}$ ) の和以下のときにはサンプリングトランジスタ 125 はオフ状態であり、サンプリングトランジスタ 125 のゲート容量は小さい。

【0161】

この後、サンプリングトランジスタ 125 の制御電圧がサンプリングトランジスタ 125 の閾値電圧  $V_{th\_125}$  と駆動トランジスタ 121 のゲート電圧  $V_g$  (= オフセット電位  $V_{ofs}$ ) の和を越えると、サンプリングトランジスタ 125 はオン状態に遷移するが、“  $V_{\_WHT} + V_{th\_125}$  ” よりも小さいときは、サンプリングトランジスタ 125 は、ドレイン・ソース間電圧  $V_{ds}$  が “  $V_{\_WHT} - V_{ofs}$  ” よりも小さくなり、ドレイン・ソース間電圧  $V_{ds}$  が  $V_{ds} > V_{gs} + V_{th\_125}$  となり飽和領域で動作する。薄膜トランジスタ (TFT) であるサンプリングトランジスタ 125 が飽和領域で動作するので、サンプリングトランジスタ 125 のゲート容量は、線形領域で動作するときよりも小さいため、サンプリングトランジスタ 125 の制御線は、黒表示時よりも早く立ち上がる。

【0162】

さらに、サンプリングトランジスタ 125 の制御電圧が、サンプリングトランジスタ 125 の閾値電圧  $V_{th\_125}$  と信号線電圧  $V_{sig}$  (= 白表示電圧  $V_{\_WHT}$ ) の和を越えると、サンプリングトランジスタ 125 が完全にオン状態となり駆動トランジスタ 121 のゲート電圧  $V_g$  が白表示電圧  $V_{\_WHT}$  となる。サンプリングトランジスタ 125 は、ドレイン端およびソース端がともに白表示電圧  $V_{\_WHT}$  となり、ドレイン・ソース間電圧  $V_{ds}$  が “  $V_{ds} = V_{gs} + V_{th\_125}$  ” を満たすので、線形領域で動作し、サンプリングトランジスタ 125 のゲート容量は大きくなる。よって、サンプリングトランジスタ 125 の制御線 (書込走査線 104 WS) からは、サンプリングトランジスタ 125 の大きなゲート容量が見えるので、遅く立ち上がる。したがって、サンプリングトランジスタ 125 の書込走査線 104 WS は “  $V_{th\_125} + V_{\_WHT}$  ” までは早く立ち上がり、以降は遅く立ち上がる。

【0163】

逆に、書込駆動パルス WS の立下り時に、白表示においてサンプリングトランジスタ 125 の制御電圧がサンプリングトランジスタ 125 の閾値電圧  $V_{th\_125}$  と駆動トランジスタ 121 のゲート電圧  $V_g$  (= 白表示電圧  $V_{\_WHT}$ ) の和以上のときは、サンプリングトランジスタ 125 は線形領域で動作するので、サンプリングトランジスタ 125 のゲート容量は大きい。よって、サンプリングトランジスタ 125 の制御線 (書込走査線 104 WS) からは、サンプリングトランジスタ 125 の大きなゲート容量が見える。

【0164】

この後、サンプリングトランジスタ 125 の制御電圧 (= 書込駆動パルス WS の電位) がサンプリングトランジスタ 125 の閾値電圧  $V_{th\_125}$  と駆動トランジスタ 121 のゲート電圧  $V_g$  (= 白表示電圧  $V_{\_WHT}$ ) の和を下回るようになると、サンプリングトランジスタ 125 はオフ状態に遷移し、サンプリングトランジスタ 125 のゲート容量は小さくなる。したがって、サンプリングトランジスタ 125 の書込走査線 104 WS は “  $V_{th\_125} + V_{\_WHT}$  ” までは遅く立ち下がり、以降は早く立ち下がる。

【0165】

前述の説明から理解されるように、サンプリングトランジスタ 125 を書込駆動パルス WS でオン/オフ制御するときには、映像信号線 106 HS に供給される映像信号  $V_{sig}$  が黒表示電圧  $V_{\_BLK}$  (= オフセット電位  $V_{ofs}$ ) であるのかそれとも白表示電圧  $V_{\_WHT}$  であるのかで、書込走査線 104 WS の電位変化 (立上り時や立下り時の波形の鈍り方) に差が生じる。つまり、サンプリングトランジスタ 125 をオン/オフ制御するときの書込走査線 104 WS の電位変化は、映像信号電位の影響を受ける。

10

20

30

40

50

## 【0166】

端的に言えば、映像信号  $V_{sig}$  のレベルによって、サンプリングトランジスタ 125 が完全にオン状態（つまり線形領域での動作状態）になるゲート電位（WSゲート電位）が異なり、オフ状態からオン状態へ、あるいは逆にオン状態からオフ状態へと遷移する過程での電位変化は、映像信号電位の影響を受ける。

## 【0167】

たとえば、書込駆動パルスWSのローレベルが  $-4\text{ V}$  でハイレベルが  $15\text{ V}$  で、サンプリングトランジスタ 125 の閾値電圧  $V_{th}$  が  $2\text{ V}$  であるとしたとき、 $5\text{ V}$  の信号振幅  $V_{in}$  の情報を書き込むときは、サンプリングトランジスタ 125 はゲート電位  $V_g$  が  $7\text{ V}$  でオンする。一方、 $0\text{ V}$  の信号振幅  $V_{in}$  の情報を書き込むときはサンプリングトランジスタ 125 はゲート電位  $V_g$  が  $2\text{ V}$  でオンする。そのため、書込駆動パルスWSのローレベルからオン電圧までは、 $5\text{ V}$  の信号振幅  $V_{in}$  の情報を書き込むときは  $11\text{ V}$ 、 $0\text{ V}$  の信号振幅  $V_{in}$  の情報を書き込むときは  $6\text{ V}$  である。

## 【0168】

図5に示した第3比較例の2TR構成の画素回路Pにおいて、閾値補正や信号書込みや移動度補正を行なうために、各トランジスタ 121, 125 の駆動タイミングを工夫している。たとえば、サンプリング期間&移動度補正期間Kは、映像信号線 106 HSに信号電位 ( $V_{ofs} + V_{in}$ ) が供給されている期間内の所定位置でかつその信号振幅  $V_{in}$  の供給時間帯よりも短い期間での書込駆動パルスWSがアクティブの期間で決まる。事実上、書込駆動パルスWSのアクティブ期間のみでサンプリング期間&移動度補正期間Kが決まることになり、サンプリングトランジスタ 125 をオン/オフ制御するときに、書込走査線 104 WSの電位変化が映像信号電位の影響を受けることで、サンプリング期間&移動度補正期間Kも意図しない状態で変動してしまう。サンプリング期間&移動度補正期間Kが意図しない状態で変動すれば、その影響が映像に現われる。

## 【0169】

<問題点：黒ウィンドウパターン表示時>

図8は、サンプリングトランジスタ 125 をオン/オフ制御するときに、書込走査線 104 WSの電位変化が映像信号電位の影響を受けることに起因した輝度むら（特に横クロストーク）の問題点を具体的に説明する図である。

## 【0170】

図8は、輝度むら現象の典型例を説明するもので、黒ウィンドウパターンBWを表示したときに、画面とラインごとの動作を説明している。具体的には、図8(1)に示すように、垂直走査方向の画面の上部と下部に全白が表示される行（全白表示行と称する）を配し、画面中央部の黒が表示される行（ウインドウ表示行と称する）では、1水平期間（水平走査方向）の先頭側（画面の左側）の黒の表示期間と後半側に配される白の表示期間とが1:1となる50%表示をしたときの場合を示している。同様に、画面左側の黒が表示される列（ウインドウ表示列と称する）では、1垂直期間における中央部の黒の表示期間とその上下に配される白の表示期間とが1:1となる50%表示をしたときの場合を示している。

## 【0171】

なお、ここでは、ウインドウ表示行やウインドウ表示列の白表示と黒表示が1:1となる50%表示の例で示しているが、黒ウィンドウパターン表示は、この例に限らず、上下あるいは左右の白表示と黒表示が1:1以外の場合であってもよい。また、ウインドウ表示行で白表示と黒表示を1:1にする場合に、水平方向の片側半分で黒表示を行なう場合に限らず、中央部で黒表示を行なってもよい。

## 【0172】

ここで、全白表示行における書込走査線 104 WS（サンプリングトランジスタ 125 を制御する走査線）の電位波形は、図7に示した通りとなっている。また、ウインドウ表示行は1行（1ライン）中に黒表示部分が含まれるために書込走査線 104 WSの電位波形は図7における全黒表示行に近くなっている。このため、ウインドウ表示行と全白表示行で

の各白表示部分における書込走査線 104WSの電位波形は異なってしまう。その影響は、図6に示したタイミングチャートにおいて、サンプリング期間&移動度補正期間Kにおける書込駆動パルスWSのサンプリングトランジスタ125をオンさせる期間(より詳しくは開始タイミング)に現われる。

#### 【0173】

具体的には、白表示時に着目したとき、サンプリングトランジスタ125の制御電圧(書込駆動パルスWSの電位波形)がサンプリングトランジスタ125の閾値電圧 $V_{th\_125}$ と駆動トランジスタ121のゲート電圧 $V_g$ (=白表示電圧 $V_{WHT}$ )の和を超える状態を維持して信号振幅 $V_{in}$ (ここでは白表示電圧 $V_{WHT}$ )に対応する情報が保持容量120に書き込まれる。

10

#### 【0174】

したがって、図7からも分るように、ウインドウ表示行の白表示画素では、全黒表示行に近い状態の書込駆動パルスWSの電位波形において“ $V_{WHT} + V_{th\_125}$ ”を超える時点からこれを下回る時点までの期間がウインドウ表示行のサンプリング期間 $t_1$ であり、全白表示行の白表示画素では、全白表示行の書込駆動パルスWSの電位波形において“ $V_{WHT} + V_{th\_125}$ ”を超える時点からこれを下回る時点までの期間がサンプリング期間 $t_2$ であるので、全白表示行のサンプリング期間 $t_2$ の方がウインドウ表示行のサンプリング期間 $t_1$ よりも長くなる。これは、終了タイミングにはズレがないが、開始タイミングは全白表示行の方がウインドウ表示行よりも早くなるからである。

#### 【0175】

20

特に移動度補正期間は、図6に示したタイミングチャートの場合、サンプリングトランジスタ125のオン期間そのもので規定されるので、サンプリング期間&移動度補正期間Kは、全白表示行の方がウインドウ表示行よりも長くなる。

#### 【0176】

一般に、白表示時における信号書込み時間は数 $\mu$ 秒という短い時間であり、図6に示したタイミングチャートの場合には信号書込み時間が移動度補正時間でもあるので、この信号書込み時間(つまり移動度補正時間)のばらつきによる影響は小さくない。移動度補正時間の差分の影響は、横クロストークという形で現れる。これは、全白表示行とウインドウ表示行に同じ信号振幅 $V_{in}$ を与えていても、前述のように全白表示行とウインドウ表示行では移動度補正期間に差が生じ、移動度補正期間が短いウインドウ表示行では補正量 $V$ が全白表示行よりも小さく、その分だけ駆動トランジスタ121のゲート・ソース間電圧 $V_{gs\_121}$ が大きく、ウインドウ表示行の白表示部分の表示輝度が全白表示行よりも高くなるためである。

30

#### 【0177】

すなわち、黒表示を行なっている画素回路Pを含むウインドウ表示行の書込走査線104WS上の白表示を行なっている各画素回路Pは、移動度補正終了後のゲート・ソース間電圧 $V_{gs\_121}$ が大きくなり、全白表示行の画素回路Pよりも輝度が上昇するため、輝度むらの一例である横クロストークが起こってしまう。

#### 【0178】

詳しくは、画面の上部と下部に全白が表示される全白表示行と、垂直方向における画面中央部において、水平方向の片側半分で黒が表示され反対側の半分で白が表示されるウインドウ表示行では、移動度補正のかり具合が異なることになる。

40

#### 【0179】

その結果、同じ大きさの信号振幅 $V_{in}$ に基づく白表示部であっても、全白表示行の白よりもウインドウ表示行の白の方が輝度が上昇してしまい、図8(2)に示すように、表示画像上では、横クロストークとして視認されるのである。なお、図8(2)では、全白表示行における白表示部に黒ドットを示し、ウインドウ表示行の白表示部には黒ドットを示さずに、各白表示部における輝度差を示している。

#### 【0180】

このように、本実施形態の表示装置1では、駆動トランジスタ121のドレイン端(電

50

源供給端)に第1電位 $V_{cc}$ と第2電位 $V_{ss}$ とを切り替えて供給する、すなわち電源電圧をスイッチングパルスとして使用するようにしたことで、5TR構成の画素回路Pに対して、閾値補正用の素子とスキャン線を削減することができる。

#### 【0181】

しかしながら、保持容量120への書込み対象となる映像信号 $V_{sig}$ のレベル(つまり信号振幅 $V_{in}$ )に応じて、書込駆動パルスWSの遷移時の電圧波形に差が生じ、その影響が移動度補正期間差として現われることに起因する行方向のシェーディング(典型例としてはウィンドウパターンによって生じる横クロストーク)などの輝度むらが生じてしまうことが問題となる。

#### 【0182】

なお、図7や図8にて説明したことは、エンハンスメント型トランジスタ125のドレイン端を映像信号線106HSに接続しソース端をノードND122に接続する場合のことであるが、ディプレッション型にした場合やサンプリングトランジスタ125のドレイン端とソース端の接続態様を逆にした場合でも、映像信号 $V_{sig}$ のレベル(信号振幅 $V_{in}$ のレベル)に応じてサンプリング期間&移動度補正期間Kに差が生じる点では同じことが言え、横クロストークが同じように問題となる。

#### 【0183】

<改善手法:第1実施形態>

図9は、図7および図8で説明した問題点を解消する有機EL表示装置の第1実施形態を示す図である。本実施形態の有機EL表示装置1は、図5に示した第3比較例の画素回路Pと同様に有機EL素子127の経時劣化による駆動電流変動を防ぐ回路(ブートストラップ回路)を搭載し、また駆動トランジスタ121の特性変動(閾値電圧ばらつきや移動度ばらつき)による駆動電流変動を防ぐ駆動方式を採用する。そのため、駆動タイミングは、図6に示した第3比較例と同じものが基本的には適用される。

#### 【0184】

加えて、本実施形態の画素回路Pの第1実施形態においては、表示パターンに応じて(つまり信号振幅 $V_{in}$ に応じて)書込駆動パルスWSの電圧遷移波形が異なることで移動補正期間差を持つ現象が緩和されるようにすることで、横クロストークを抑制する仕組みを採る点に特徴を有する。

#### 【0185】

このための基本的な仕組みは、先ず画素回路Pの回路構成の側面では、トランスファークロスタック(増幅のない単なるスイッチとして動作する回路)として機能するサンプリングトランジスタ125を、第3比較例ではnチャンネル型のMOSトランジスタ(NMOSトランジスタとも称する)の単一構成であったのに対して、p型のMOSトランジスタ(PMOSトランジスタとも称する)とNMOSトランジスタとを並列接続した構成(特にトランスミッションゲートとも称される)とする点に特徴を有する。端的に言えば、サンプリングトランジスタ125をCMOS化する点に特徴を有する。

#### 【0186】

そして、駆動タイミングの側面では、移動度補正期間におけるNMOSトランジスタとPMOSトランジスタのオン/オフ制御を独立に(つまりそれぞれ異なるタイミングで行なう点に特徴を有する。これに対応して、制御部109には、サンプリングトランジスタ125を構成するNMOSとPMOSのオン/オフタイミングを独立に制御するための走査部が設けられる。

#### 【0187】

その目的は、NMOSトランジスタとPMOSトランジスタのオン/オフタイミングは移動度補正期間以外ではそれぞれ逆相(もしくは何れか一方はオフしたままでもよい)とするが、移動度補正期間は、その開始タイミングがPMOSトランジスタおよびNMOSトランジスタの何れか一方のオン/オフタイミングで規定され、終了タイミングがPMOSトランジスタおよびNMOSトランジスタの他方のオン/オフタイミングで規定されるようにすることにある。図5の画素回路Pに対する変形例としての適用の場合には、移動

10

20

30

40

50

度補正期間は信号書込み期間と同一であり、サンプリング期間 & 移動度補正期間 K を P M O S トランジスタの立下りと N M O S トランジスタの立下りで決定するようする。

#### 【 0 1 8 8 】

先ず、図 9 に示すように、第 1 実施形態の有機 E L 表示装置 1 の画素回路 P は、P M O S トランジスタで構成されたサンプリングトランジスタ 1 2 5 p と N M O S トランジスタで構成されたサンプリングトランジスタ 1 2 5 n とが、トランスファーゲート（詳しくはトランスマッションゲート）を構成するように、映像信号線 1 0 6 H S と駆動トランジスタ 1 2 1 のゲート（ノード N D 1 2 2）との間に並列接続されている。

#### 【 0 1 8 9 】

因みに、後述する動作の理解を容易にするべく、ここでは、エンハンスメント型トランジスタ 1 2 5 n のドレイン端を映像信号線 1 0 6 H S に接続しソース端を駆動トランジスタ 1 2 1 のゲート端と保持容量 1 2 0 の一方の端子との接続点（ノード N D 1 2 2）に接続し、エンハンスメント型トランジスタ 1 2 5 p のソース端を映像信号線 1 0 6 H S に接続しドレイン端を駆動トランジスタ 1 2 1 のゲート端と保持容量 1 2 0 の一方の端子との接続点（ノード N D 1 2 2）に接続する場合で示す。

#### 【 0 1 9 0 】

制御部 1 0 9 の書込走査部 1 0 4 は、サンプリングトランジスタ 1 2 5 p とサンプリングトランジスタ 1 2 5 n の各オン / オフタイミングを独立に制御するための走査部として、サンプリングトランジスタ 1 2 5 p をオン / オフ制御する書込走査部 1 0 4 p と、サンプリングトランジスタ 1 2 5 n をオン / オフ制御する書込走査部 1 0 4 n を有する。

#### 【 0 1 9 1 】

各画素回路 P に対しては、書込走査部 1 0 4 p によってアクティブ L の書込駆動パルス pWS で駆動される n 行分の書込走査線 1 0 4 pWS\_1 ~ 1 0 4 pWS\_n および書込走査部 1 0 4 n によってアクティブ H の書込駆動パルス nWS で駆動される n 行分の書込走査線 1 0 4 nWS\_1 ~ 1 0 4 nWS\_n が画素行ごとに配線される。書込走査線 1 0 4 pWS\_1 ~ 1 0 4 pWS\_n はサンプリングトランジスタ 1 2 5 p のゲートに接続され、書込走査線 1 0 4 nWS\_1 ~ 1 0 4 nWS\_n はサンプリングトランジスタ 1 2 5 n のゲートに接続される。

#### 【 0 1 9 2 】

図 1 0 は、第 1 実施形態の有機 E L 表示装置 1 で使用される書込走査部 1 0 4 p と書込走査部 1 0 4 n の構成例と動作例を示す図である。ここで、図 1 0 は書込走査部 1 0 4 p と書込走査部 1 0 4 n が、それぞれ各別にシフトレジスタ部を有する構成例である。

#### 【 0 1 9 3 】

図 1 0 ( 1 ) , ( 2 ) に示すように、各別にシフトレジスタ部を有する構成例の場合、書込走査部 1 0 4 p と書込走査部 1 0 4 n が、それぞれ同じ回路構成を有する。たとえば、書込走査部 1 0 4 p , 1 0 4 n は、垂直方向の書込み開始パルスの一例であるシフトスタートパルス S P p W S , S P n W S を 1 H ごとに順次後段へ転送するシフトレジスタ ( S R ) 4 1 2 を具備するシフトレジスタ部 4 1 0 p , 4 1 0 n と、3 入力型の N A N D ゲート 4 2 2 ( 書込走査部 1 0 4 p のとき ) を具備する出力ゲート部 4 2 0 p ( 第 1 の出力ゲート部 ) あるいは 3 入力型の A N D ゲート 4 2 4 ( 書込走査部 1 0 4 n のとき ) を有する出力ゲート部 4 2 0 n ( 第 2 の出力ゲート部 ) を有する。シフトレジスタ 4 1 2 は、各行のサンプリングトランジスタを構成するサンプリングトランジスタ 1 2 5 p , 1 2 5 n を順番にオン / オフ制御するための基準となるシフト出力パルスを生成する。

#### 【 0 1 9 4 】

初段のシフトレジスタ 4 1 2 のシフトパルス入力端にはシフトスタートパルス S P p W S , S P n W S が入力され、シフト出力パルスが次段のシフトレジスタ 4 1 2 のシフトパルス入力端に入力される。以下同様にして、2 段目以降は、前段のシフトレジスタ 4 1 2 のシフト出力パルスが当該段のシフトレジスタ 4 1 2 のシフトパルス入力端に入力され、そのシフト出力パルスが次段のシフトレジスタ 4 1 2 のシフトパルス入力端に入力される。

#### 【 0 1 9 5 】

また、各段のシフトレジスタ 4 1 2 は、クロック入力端に垂直走査クロック C K p W S , C K

10

20

30

40

50

nWS が共通に入力され、垂直走査クロックCKpWS , CKnWS に同期して、前段のシフトレジスタ412からのシフト出力パルスを生成する。なお、本例では、奇数段では非反転クロック端子CKに、偶数段では反転クロック端子NCK に、垂直走査クロックCKpWS , CKnWS が入力される。これにより、各段のシフト出力パルスは、垂直走査クロックCKpWS , CKnWS に対して半クロックごとに位相がシフトした1周期幅のシフト出力パルスを順次出力していく(図10(3)を参照)。

#### 【0196】

図10(1)に示すように、書込走査部104p用の出力ゲート部420pのNANDゲート422は、第1入力端と第2入力端に隣接する2段分のシフトレジスタ412の各シフト出力パルスが入力され、オン/オフタイミングのズレ量を規定するサンプリングトランジスタ125p用の制御パルスであるイネーブルパルスpEN が第3入力端に入力され、NANDゲート422の出力がサンプリングトランジスタ125p用の書込駆動パルスpWS となる。一方、図10(2)に示すように、書込走査部104n用の出力ゲート部420nのANDゲート424は、第1入力端と第2入力端に隣接する2段分のシフトレジスタ412の各シフト出力パルスが入力され、オン/オフタイミングのズレ量を規定するサンプリングトランジスタ125n用の制御パルスであるイネーブルパルスnEN が第3入力端に入力され、ANDゲート424の出力がサンプリングトランジスタ125n用の書込駆動パルスnWS となる。

#### 【0197】

ここで、書込走査部104p用のイネーブルパルスpEN と書込走査部104n用のイネーブルパルスnEN は、各アクティブHの期間が同じである。そして、移動度補正期間以外では位相が同じでありNANDゲート422やANDゲート424の出力(書込駆動パルスpWS , nWS )では逆相とするが、移動度補正期間は、アクティブHの期間の位相を少しずらす。本例では、イネーブルパルスpEN の方がイネーブルパルスnEN よりも少し早く立ち上がり、イネーブルパルスpEN のH期間の中間付近でイネーブルパルスnEN が立ち上がるようにする。こうすることで、書込駆動パルスpWS の立下り(つまりサンプリングトランジスタ125pがオンする開始タイミング)が書込駆動パルスnWS の立上り(つまりサンプリングトランジスタ125nがオンする開始タイミング)よりも少し早まり、書込駆動パルスnWS の立上り(つまりサンプリングトランジスタ125nがオンの終了タイミング)が書込駆動パルスpWS の立下り(つまりサンプリングトランジスタ125pがオンの終了タイミング)よりも少し遅くなる。

#### 【0198】

図11は、図9に示した第1実施形態の構成における動作タイミングの一例を示す図である。サンプリング期間&移動度補正期間K以外については、基本的には、図5に示した第3比較例の画素回路Pに対する図6に示した駆動タイミングがそのまま適用され、前述のように、サンプリングトランジスタ125p用の書込駆動パルスpWS とサンプリングトランジスタ125n用の書込駆動パルスnWS とは、サンプリング期間&移動度補正期間K以外では、イネーブルパルスpEN とイネーブルパルスnEN に位相差がなく、それぞれ逆相のタイミングとなっている。なお、サンプリングトランジスタを構成するサンプリングトランジスタ125p, 125nの何れか一方がオン/オフ制御することで閾値補正動作は可能であるので、書込駆動パルスpWS , nWS の何れか一方は制御対象のサンプリングトランジスタ125p, 125nをオフさせたままであってもよい。

#### 【0199】

一方、サンプリング期間&移動度補正期間Kにおいては、イネーブルパルスpEN とイネーブルパルスnEN に所定量の位相差があり、その結果として、サンプリングトランジスタ125pとサンプリングトランジスタ125nの各オンのタイミングに所定量の位相差を持つようにする。こうすることで、たとえば、サンプリングトランジスタ125pがオンする開始タイミングの方が、サンプリングトランジスタ125nがオンする開始タイミングよりも少し早くできるし、また、サンプリングトランジスタ125nがオンの終了タイミングの方が、サンプリングトランジスタ125pがオンの終了タイミングよりも少し遅

10

20

30

40

50

くできる。これによって、サンプリング期間 & 移動度補正期間  $K$  が、サンプリングトランジスタ 125 p の立下りタイミング（オンの開始タイミング）で規定され、かつ、サンプリングトランジスタ 125 n の立下りタイミング（オンの終了タイミング）で規定されるようになる。以下、この点について、図 12 を参照して、詳細に説明する。

#### 【0200】

図 12 は、図 7 に対応するものであり、p 型トランジスタ 125 p のゲート容量を起因とする書込駆動パルス  $pWS$  の鈍りと映像信号線 106 HS の電位（映像信号線電位）との関係を説明する図である。ここで、実線は黒表示時の書込走査線 104 WS の電位状態を示し、点線は白表示時の書込走査線 104 WS の電位状態を示す。因みに、サンプリングトランジスタ 125 n のゲート容量を起因とする書込駆動パルス  $nWS$  の鈍りと映像信号線 106 HS の電位（映像信号線電位）との関係は、図 7 に示したものがそのまま適用される。

10

#### 【0201】

図 7 での説明と同様に、映像信号  $V_{sig}$  の黒表示電圧をオフセット電位  $V_{ofs}$ （ $= V_{BLK}$ ）とし、映像信号  $V_{sig}$  の白表示電圧を  $V_{WHT}$  とする。信号書込み時（つまりサンプリング期間 & 移動度補正期間  $K$ ）にサンプリングトランジスタ 125 p をオンする前は、書込み & 移動度補正準備期間  $J$  から分るように、映像信号線 106 HS の電位は階調に応じた信号電位（ $V_{ofs} + V_{in}$ ）となっているし、また、駆動トランジスタ 121 のゲート電位は、階調に依存せずオフセット電位  $V_{ofs}$  となっている。サンプリングトランジスタ 125 p の閾値電圧  $V_{th\_125p}$  は負の値であるとする。

#### 【0202】

20

サンプリング期間 & 移動度補正期間  $K$  に入るときには、サンプリングトランジスタ 125 p をオンさせるべく、この状態で、サンプリングトランジスタ 125 p の制御線である書込走査線 104  $pWS$  を高電圧から低電圧へと変化させる。

#### 【0203】

この書込駆動パルス  $pWS$  の立下り時に、先ず、黒表示においてサンプリングトランジスタ 125 p の制御電圧（= 書込駆動パルス  $pWS$  の電位）がサンプリングトランジスタ 125 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 121 のゲート電圧  $V_g$ （= オフセット電位  $V_{ofs}$ ）の和以上のときにはサンプリングトランジスタ 125 p はオフ状態であり、サンプリングトランジスタ 125 p のゲート容量は小さい。

#### 【0204】

30

この後、サンプリングトランジスタ 125 p の制御電圧がサンプリングトランジスタ 125 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 121 のゲート電圧  $V_g$ （= オフセット電位  $V_{ofs}$ ）の和を下回るようになるとサンプリングトランジスタ 125 p はオン状態へ遷移する。このとき、サンプリングトランジスタ 125 p は、ドレイン端およびソース端がともにオフセット電位  $V_{ofs}$  にあり、ドレイン・ソース間電圧  $V_{ds}$  が “0 V” であるので線形領域で動作し、サンプリングトランジスタ 125 p のゲート容量は大きくなる。よって、サンプリングトランジスタ 125 p の制御線（書込走査線 104  $pWS$ ）からは、サンプリングトランジスタ 125 p の大きなゲート容量が見える。したがって、サンプリングトランジスタ 125 p の書込走査線 104  $pWS$  は “ $V_{th\_125p} + V_{ofs}$ ” までは早く立ち下がり、以降は遅く立ち下がる。

40

#### 【0205】

逆に、書込駆動パルス  $pWS$  の立上り時に、黒表示においてサンプリングトランジスタ 125 p の制御電圧がサンプリングトランジスタ 125 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 121 のゲート電圧  $V_g$ （= オフセット電位  $V_{ofs}$ ）の和を下回るときは、サンプリングトランジスタ 125 p は線形領域で動作するので、サンプリングトランジスタ 125 p のゲート容量は大きい。よって、サンプリングトランジスタ 125 p の制御線（書込走査線 104  $pWS$ ）からは、サンプリングトランジスタ 125 p の大きなゲート容量が見える。

#### 【0206】

この後、サンプリングトランジスタ 125 p の制御電圧（= 書込駆動パルス  $pWS$  の電位

50

）がサンプリングトランジスタ 1 2 5 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 1 2 1 のゲート電圧  $V_g$ （＝オフセット電位  $V_{ofs}$ ）の和を超えるようになると、サンプリングトランジスタ 1 2 5 p はオフ状態となり、サンプリングトランジスタ 1 2 5 p のゲート容量は小さくなる。したがって、サンプリングトランジスタ 1 2 5 p の書込走査線 1 0 4 pWS は “  $V_{th\_125p} + V_{ofs}$  ” までは遅く立ち上がり、以降は早く立ち上がる。

#### 【 0 2 0 7 】

一方、書込駆動パルス pWS の立下り時に、白表示においてサンプリングトランジスタ 1 2 5 p の制御電圧（＝書込駆動パルス pWS の電位）がサンプリングトランジスタ 1 2 5 p の閾値電圧  $V_{th\_125p}$  と映像信号線 1 0 6 HS の電位（＝白表示電圧  $V_{\_WHT}$ ）の和以上のときにはサンプリングトランジスタ 1 2 5 p はオフ状態であり、サンプリングトランジスタ 1 2 5 p のゲート容量は小さい。

10

#### 【 0 2 0 8 】

この後、サンプリングトランジスタ 1 2 5 p の制御電圧がサンプリングトランジスタ 1 2 5 p の閾値電圧  $V_{th\_125p}$  と映像信号線 1 0 6 HS の電位（＝白表示電圧  $V_{\_WHT}$ ）の和を下回ると、サンプリングトランジスタ 1 2 5 p はオン状態に遷移するが、“  $V_{ofs} + V_{th\_125p}$  ” を上回るときは、サンプリングトランジスタ 1 2 5 p は、ドレイン・ソース間電圧  $V_{ds}$  が “  $V_{\_WHT} - V_{ofs}$  ” よりも小さくなり、ドレイン・ソース間電圧  $V_{ds}$  が  $V_{ds} > V_{gs} + V_{th\_125}$  となり飽和領域で動作する。サンプリングトランジスタ 1 2 5 p のゲート容量は、線形領域で動作するときよりも小さいため、サンプリングトランジスタ 1 2 5 p の制御線は、自身のオフ時よりは遅いが、黒表示時にオンするときよりも早く立ち下がる。

20

#### 【 0 2 0 9 】

さらに、サンプリングトランジスタ 1 2 5 p の制御電圧が、サンプリングトランジスタ 1 2 5 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 1 2 1 のゲート電圧（＝オフセット電位  $V_{ofs}$ ）の和を下回ると、サンプリングトランジスタ 1 2 5 p が完全にオン状態となり駆動トランジスタ 1 2 1 のゲート電圧  $V_g$  が白表示電圧  $V_{\_WHT}$  となる。サンプリングトランジスタ 1 2 5 p は、ドレイン端およびソース端がともに白表示電圧  $V_{\_WHT}$  となり、ドレイン・ソース間電圧  $V_{ds}$  が “  $V_{ds} = V_{gs} + V_{th\_125}$  ” を満たすので、線形領域で動作し、サンプリングトランジスタ 1 2 5 p のゲート容量は大きくなる。よって、サンプリングトランジスタ 1 2 5 p の制御線（書込走査線 1 0 4 pWS）からは、サンプリングトランジスタ 1 2 5 p の大きなゲート容量が見えるので、遅く立ち下がる。したがって、サンプリングトランジスタ 1 2 5 p の書込走査線 1 0 4 pWS は “  $V_{th\_125p} + V_{ofs}$  ” までは早く立ち下がり、以降は遅く立ち下がる。

30

#### 【 0 2 1 0 】

逆に、書込駆動パルス pWS の立上がり時に、白表示においてサンプリングトランジスタ 1 2 5 p の制御電圧がサンプリングトランジスタ 1 2 5 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 1 2 1 のゲート電圧  $V_g$ （＝白表示電圧  $V_{\_WHT}$ ）の和を下回るときは、サンプリングトランジスタ 1 2 5 p は線形領域で動作するので、サンプリングトランジスタ 1 2 5 p のゲート容量は大きく、遅く立ち上がる。

#### 【 0 2 1 1 】

この後、サンプリングトランジスタ 1 2 5 p の制御電圧（＝書込駆動パルス pWS の電位）がサンプリングトランジスタ 1 2 5 p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 1 2 1 のゲート電圧  $V_g$ （＝白表示電圧  $V_{\_WHT}$ ）の和を超えるようになると、サンプリングトランジスタ 1 2 5 p はオフ状態に遷移し、サンプリングトランジスタ 1 2 5 p のゲート容量は小さくなり、早く立ち上がる。したがって、サンプリングトランジスタ 1 2 5 p の書込走査線 1 0 4 pWS は “  $V_{th\_125p} + V_{\_WHT}$  ” までは遅く立ち上がり、以降は早く立ち上がる。

40

#### 【 0 2 1 2 】

図 1 3 は、n 型の駆動トランジスタ 1 2 1 を使用した場合における CMOS 化したサンプリングトランジスタ 1 2 5 p, 1 2 5 n の各動作点を説明する図であり、サンプリングトランジスタ 1 2 5 p についての図 1 2 の電位波形と、サンプリングトランジスタ 1 2 5

50



n に関する図 7 に相当する電位波形とを 1 つに纏めて示している。

【0213】

前述のように、サンプリング期間 & 移動度補正期間 K においては、サンプリングトランジスタ 125p がオンする開始タイミングの方が、サンプリングトランジスタ 125n がオンする開始タイミングよりも少し早く、また、サンプリングトランジスタ 125n がオンの終了タイミングの方が、サンプリングトランジスタ 125p がオンの終了タイミングよりも少し遅い。

【0214】

ここで、本実施形態の画素回路 P では、信号振幅  $V_{in}$  に対応する情報を保持容量 120 に書き込むサンプリングトランジスタを、サンプリングトランジスタ 125p とサンプリングトランジスタ 125n を並列接続して CMOS 化しており、サンプリングトランジスタ 125p, 125n の何れかがオンしていれば映像信号線 106HS と駆動トランジスタ 121 のゲート端が電氣的に接続され信号振幅  $V_{in}$  に対応する情報が保持容量 120 に書き込まれ、サンプリングトランジスタ 125p, 125n の双方がオフしたときに始めて映像信号線 106HS と駆動トランジスタ 121 のゲート端が電氣的に分離される。

【0215】

このため、サンプリング期間 & 移動度補正期間 K は、その開始タイミングがサンプリングトランジスタ 125p のオン開始タイミングで規定され、その終了タイミングがサンプリングトランジスタ 125n の終了タイミングで規定される。つまり、信号書き込みや移動度補正の始まりを PMOS トランジスタであるサンプリングトランジスタ 125p のオンで決定しており、信号書き込みや移動度補正の終了を NMOS トランジスタであるサンプリングトランジスタ 125n のオフで決定している。

【0216】

サンプリング期間 & 移動度補正期間 K をこのようなタイミング設定とすることで、図 8 におけるウィンドウ表示行の白表示部分と全白表示行の白表示部分でサンプリングトランジスタ (PMOS, NMOS の組合せによる 1 つの機能として見なす) のオンタイミングは変わらない状態にできる。具体的に説明すれば以下の通りである。

【0217】

ウィンドウ表示行は 1 行 (1 ライン) 中に黒表示部分が含まれるために書込走査線 104nWS, 104pWS の各電位波形は図 13 における全黒表示行に近くなっている。ここで、白表示時に着目したとき、サンプリングトランジスタ 125p 側は、サンプリングトランジスタ 125p の制御電圧 (書込駆動パルス pWS の電位波形) がサンプリングトランジスタ 125p の閾値電圧  $V_{th\_125p}$  と駆動トランジスタ 121 のゲート電圧  $V_g$  (= 白表示電圧  $V_{\_WHT}$ ) の和を下回る状態を維持して信号振幅  $V_{in}$  (ここでは白表示電圧  $V_{\_WHT}$ ) に対応する情報が保持容量 120 に書き込まれる。

【0218】

したがって、図 13 から分るように、ウィンドウ表示行の白表示画素では、全黒表示行に近い状態の書込駆動パルス pWS の電位波形において “ $V_{\_WHT} + V_{th\_125p}$ ” を下回る時点からこれを上回る時点までの期間がウィンドウ表示行のサンプリング期間  $t_{1p}$  であり、全白表示行の白表示画素では、全白表示行の書込駆動パルス pWS の電位波形において “ $V_{\_WHT} + V_{th\_125p}$ ” を下回る時点からこれを上回る時点までの期間がサンプリング期間  $t_{2p}$  であるので、全白表示行のサンプリング期間  $t_{2p}$ の方がウィンドウ表示行のサンプリング期間  $t_{1p}$ よりも長くなる。これは、開始タイミングにはズレがないが、終了タイミングは全白表示行の方がウィンドウ表示行よりも遅くなるからである。

【0219】

一方、サンプリングトランジスタ 125n 側は図 7 のときと同様であり、ウィンドウ表示行の白表示画素では、全黒表示行に近い状態の書込駆動パルス nWS の電位波形において “ $V_{\_WHT} + V_{th\_125n}$ ” を超える時点からこれを下回る時点までの期間がウィンドウ表示行のサンプリング期間  $t_{1n}$  であり、全白表示行の白表示画素では、全白表示行の書込駆動パルス nWS の電位波形において “ $V_{\_WHT} + V_{th\_125n}$ ” を超える時点からこれを下回る

時点までの期間がサンプリング期間  $t_{2n}$  であり、開始タイミングにはズレがないが、終了タイミングは全白表示行の方がウインドウ表示行よりも遅くなるため、全白表示行のサンプリング期間  $t_{2n}$  の方がウインドウ表示行のサンプリング期間  $t_{1n}$  よりも長くなる。

#### 【0220】

ここで、サンプリングトランジスタをCMOS化(トランSMissionゲート化)したときには、サンプリングトランジスタ  $125n$ ,  $125p$  の何れかがオンしていれば信号書込みは可能である。よって、結果的には、ウインドウ表示行および全白表示行の何れも、サンプリングトランジスタ  $125p$  による信号書込み開始から、サンプリングトランジスタ  $125n$  による信号書込み終了までの期間でサンプリング期間 & 移動度補正期間  $K$  が規定され、図13から分るように、ウインドウ表示行と全白表示行の各白表示部分では、サンプリングトランジスタ(PMOS, NMOSの組合せによる1つの機能として見なす)のオンタイミングは殆ど一致する。

10

#### 【0221】

これは、サンプリングトランジスタ  $125n$  において、全白表示行の方がウインドウ表示行よりも開始タイミングが早くなる問題は、それ以前にサンプリングトランジスタ  $125p$  がオンすることで解消されるし、サンプリングトランジスタ  $125p$  において、全白表示行の方がウインドウ表示行よりも終了タイミングが遅くなる問題は、それ以後にサンプリングトランジスタ  $125n$  がオフすることで解消されるからである。このため、書込走査線  $104WS$  の電位変化の鈍りによる信号振幅  $V_{in}$  に応じたサンプリング期間 & 移動度補正期間  $K$  の差をなくすことができ、横クロストークのない均一な画質を得ることができる。

20

#### 【0222】

<改善手法：第2実施形態>

図14および図15は、図7および図8で説明した問題点を解消する有機EL表示装置の第2実施形態を説明する図である。ここで、図14は、第2実施形態の有機EL表示装置1の構成を示す。図15は、第2実施形態の有機EL表示装置1で使用される書込走査部  $104p$  と書込走査部  $104n$  の構成例と動作例を示す図である。第2実施形態の有機EL表示装置1は、書込走査部  $104p$  と書込走査部  $104n$  が1つのシフトレジスタ部を共用する点に特徴がある。

30

#### 【0223】

すなわち、先ず画素回路  $P$  は、第1実施形態と同様に、1対のサンプリングトランジスタ  $125p$ ,  $125n$  を用いてサンプリングトランジスタをCMOS化(トランSMissionゲート化)している。制御部  $109$  は、サンプリングトランジスタ  $125p$  とサンプリングトランジスタ  $125n$  の各オン/オフタイミングを独立に制御するための走査部として、サンプリングトランジスタ  $125p$  をオン/オフ制御する書込走査部  $104p$  と、サンプリングトランジスタ  $125n$  をオン/オフ制御する書込走査部  $104n$  の両機能を備えた書込走査部  $104$  を有する。つまり、サンプリングトランジスタ  $125p$  を制御する書込走査線  $104pWS$  とサンプリングトランジスタ  $125n$  を制御する書込走査線  $104nWS$  を同一のスクアナまたはドライバから出力することを特徴としている。

40

#### 【0224】

ただし同一スクアナまたはドライバの同じバッファから書込駆動パルス  $pWS$ ,  $nWS$  が出力されるのではなく、シフトレジスタ部分を共用していることを特徴としている。つまり、書込走査部  $104p$  と書込走査部  $104n$  とは、シフトレジスタ部を共用化し、同一のシフトレジスタ部から順番に出力されるシフト出力パルスを共通に使用して、サンプリングトランジスタ  $125p$  用とサンプリングトランジスタ  $125n$  用に独立した書込駆動パルス  $pWS$  (第1の書込駆動パルス),  $nWS$  (第2の書込駆動パルス) を生成する構成を採る点に特徴を有する。

#### 【0225】

具体的には、書込走査部  $104p$  と書込走査部  $104n$  が1つのシフトレジスタ部を共

50

用する構成例の場合、図 15 に示すように、図 10 におけるシフトレジスタ部 410n とシフトレジスタ部 410p を 1 つのシフトレジスタ部 410 へと変形し、この 1 つのシフトレジスタ部 410 を、出力ゲート部 420n と出力ゲート部 420p とが共用するようにしている。

#### 【0226】

このように、同一のシフトレジスタ部 410 の各シフトレジスタ 412 から出力されたシフト出力パルスで、サンプリングトランジスタ 125n 用の書込駆動パルス nWS とサンプリングトランジスタ 125p 用の書込駆動パルス pWS を生成することで、書込走査部 104 の回路構成をコンパクトにできる。スキャナ（書込走査部 104p, 104n）やそれを構成するドライバの個数を削減することができ、サンプリングトランジスタ 125 を CMOS 化する場合においても、狭額縁化や低コスト化が可能である。

10

#### 【0227】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

#### 【0228】

また、上記の実施形態は、クレーム（請求項）に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

20

#### 【0229】

たとえば、前記実施形態では、移動度補正の動作期間がサンプリングトランジスタがオンしてからオフするまでの期間で規定される場合での適用事例であって、書込走査部 104 としては、移動度補正動作の開始において、サンプリングトランジスタ 125p のオンのタイミングの方がサンプリングトランジスタ 125n のオンのタイミングよりも早くし、かつ、移動度補正動作の終了において、サンプリングトランジスタ 125n のオフのタイミングの方がサンプリングトランジスタ 125p のオフのタイミングよりも遅くしていたが、サンプリングトランジスタのオンタイミングとオフタイミングの双方に関してこのように制御することは必須では無く、何れか一方のみを適用してもよい。もちろん、移動度補正の動作期間がサンプリングトランジスタがオンしてからオフするまでの期間で規定される場合には、オン側とオフ側の双方について、CMOS 化したサンプリングトランジスタ 125p、125n の移動度補正動作の開示時点と終了時点の各ズレ量に関する条件を満たすように制御するのが好ましいのは言うまでもない。

30

#### 【0230】

##### < 駆動タイミングの変形例 >

また、駆動タイミングの側面では、電源供給線 105 DSL の電位が第 2 電位 Vss から第 1 電位 Vcc に遷移するタイミングを映像信号 Vsig の非有効期間であるオフセット電位 Vofs の期間としつつ、様々な変形が可能である。

40

#### 【0231】

たとえば、電源供給のオフタイミング（第 2 電位 Vss 側への遷移タイミング）に変更を加えることができる。具体的には、当該行のオフタイミングとオンタイミングの双方を同じ水平期間にすることができる。この変形例の駆動タイミングでは、ともに映像信号 Vsig のオフセット電位 Vofs の期間に電源スイッチング動作をさせており、またこのときにはサンプリングトランジスタ 125 をオンさせて駆動トランジスタ 121 のゲート端をオフセット電位 Vofs に固定してローインピーダンス化しており電源パルス（電源駆動パルス DSL）に起因するカップリングノイズに対する耐性が向上する。

#### 【0232】

50

このような変形例の場合でも、サンプリング期間 & 移動度補正期間 K の動作には変更はなく、サンプリングトランジスタに関しては、前述の第 1 あるいは実施形態のように、N MOS と P MOS を並列接続して C MOS 化 (トランスミッションゲート化) し、その各サンプリングトランジスタを、移動度補正期間においては、同一行の各画素に供給される各信号電位に関して、各オンタイミングのズレ量の小さい方が先にオンするように制御する、あるいは各オフタイミングのズレ量の小さい方が後にオフするように制御することで、前記実施形態と同様の効果が得られる。

#### 【0233】

また、図示を割愛するが、図 6 に示した駆動タイミングに対して、サンプリング期間 & 移動度補正期間 K の設定方法を変形することができる。具体的には、先ず映像信号  $V_{sig}$  がオフセット電位  $V_{ofs}$  から信号電位 ( $V_{ofs} + V_{in}$ ) に遷移するタイミング  $t_{15V}$  を図 6 に示した駆動タイミングよりも 1 水平期間の後半側にシフトさせて、信号電位 ( $V_{ofs} + V_{in}$ ) の期間を狭くする。また、閾値補正動作の完了時 (閾値補正期間 I の完了時) には、先ず、書込駆動パルス WS をアクティブ H にしたままで、水平駆動部 106 により映像信号線 106 HS に信号電位 ( $V_{ofs} + V_{in}$ ) を供給して ( $t_{15}$ )、書込駆動パルス WS をインアクティブ L にするまで ( $t_{17}$ ) の間を、保持容量 120 への信号振幅  $V_{in}$  の情報の書き込み期間とする。この信号振幅  $V_{in}$  の情報は駆動トランジスタ 121 の閾値電圧  $V_{th}$  に足し込む形で保持される。この結果、駆動トランジスタ 121 の閾値電圧  $V_{th}$  の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正動作によって、保持容量 120 に保持されるゲート・ソース間電圧  $V_{gs}$  は “ $(1 - g) V_{in} + V_{th}$ ” となる。また、同時に、信号書込期間  $t_{15} \sim t_{17}$  で移動度補正を実行する。すなわち、タイミング  $t_{16} \sim t_{17}$  は、信号書込期間と移動度補正期間の双方を兼ねることとなる。

#### 【0234】

なお、移動度補正を実行する期間  $t_{15} \sim t_{17}$  では、有機 EL 素子 127 は実際には逆バイアス状態にあるので発光することはない。この移動度補正期間  $t_{15} \sim t_{17}$  では、駆動トランジスタ 121 のゲート端 G が映像信号  $V_{sig}$  のレベルに固定された状態で、駆動トランジスタ 121 に駆動電流  $I_{ds}$  が流れる。以下、図 6 に示した駆動タイミングと同様である。

#### 【0235】

各駆動部 (104, 105, 106) は、水平駆動部 106 が映像信号線 106 HS に供給する映像信号  $V_{sig}$  と書込走査部 104 が供給する書込駆動パルス WS との相対的な位相差を調整して、移動度補正期間を最適化することができる。ただし、この変形例の場合、書込み & 移動度補正準備期間 J が存在せずに、タイミング  $t_{15V3} \sim t_{17}$  がサンプリング期間 & 移動度補正期間 K となる。このため、書込走査線 104 WS や映像信号線 106 HS の配線抵抗や配線容量の距離依存の影響に起因する波形特性の相違がサンプリング期間 & 移動度補正期間 K に影響を与えてしまう可能性がある。画面の書込走査部 104 に近い側と遠い側 (すなわち画面の左右) でサンプリング電位や移動度補正時間が異なることになるので、画面の左右で輝度差が生じ、シェーディングとして視認される難点が懸念される。

#### 【0236】

また、サンプリング期間 & 移動度補正期間 K の開始タイミングはサンプリングトランジスタのオン開始時点ではなく映像信号  $V_{sig}$  が信号電位 ( $V_{ofs} + V_{in}$ ) に切り替える時点で規定され、サンプリング期間 & 移動度補正期間 K の終了タイミングはサンプリングトランジスタのオン終了時点で規定される。よって、前記実施形態のように、サンプリングトランジスタを C MOS 化して、移動度補正期間において各サンプリングトランジスタ 125 p、125 n のオン / オフタイミングに位相差を持たせることによる効果は、サンプリングトランジスタのオン開始時点にはあり得ず、サンプリングトランジスタのオン終了時点に適用の効果がある。よって、前例に則して言えば、書込走査部 104 としては、移動度補正動作の終了において、サンプリングトランジスタ 125 n のオフのタイミングの方

がサンプリグトランジスタ 1 2 5 p のオフのタイミングよりも遅くすればよい。

#### 【 0 2 3 7 】

< 画素回路の変形例 >

また、画素回路 P の側面からの変更も可能である。たとえば、回路理論上は「双対の理」が成立するので、画素回路 P に対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、図 9 および図 1 4 に示した画素回路 P が n 型の駆動トランジスタ 1 2 1 を用いて構成しているのに対し、p 型の駆動トランジスタ 1 2 1 を用いて画素回路 P を構成する。これに合わせて映像信号  $V_{sig}$  のオフセット電位  $V_{ofs}$  に対する信号振幅  $V_{in}$  の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

10

#### 【 0 2 3 8 】

たとえば「双対の理」に従った変形態様の画素回路 P では、p 型の駆動トランジスタ (以下 p 型駆動トランジスタ 1 2 1 p と称する) のゲート端とソース端と間に保持容量 1 2 0 を接続し、p 型駆動トランジスタ 1 2 1 p のソース端を直接に有機 EL 素子 1 2 7 のカソード端に接続する。有機 EL 素子 1 2 7 のアノード端は基準電位としてのアノード電位  $V_{anode}$  にする。このアノード電位  $V_{anode}$  は、基準電位を供給する全画素共通の基準電源 (高電位側) に接続する。

#### 【 0 2 3 9 】

サンプリグトランジスタは、前述のように、サンプリグトランジスタ 1 2 5 p とサンプリグトランジスタ 1 2 5 n でトランスマッションゲート構成で並列接続して C M O S 化する。p 型駆動トランジスタ 1 2 1 p は、そのドレイン端が低電圧側の第 1 電位  $V_{ss}$  に接続され、有機 EL 素子 1 2 7 を発光させる駆動電流  $I_{ds}$  を流す。

20

#### 【 0 2 4 0 】

このような双対の理を適用して駆動トランジスタ 1 2 1 を p 型にした変形例の有機 EL 表示装置においても、n 型の駆動トランジスタ 1 2 1 にした有機 EL 表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

#### 【 0 2 4 1 】

このような画素回路 P を駆動する際に、サンプリグトランジスタのゲート容量に起因する書込駆動パルスの鈍りと信号振幅  $V_{in}$  との関係で生じ得る横クロストークに関しては、前述の第 1 あるいは第 2 実施形態を適用して、サンプリグトランジスタ 1 2 5 n , 1 2 5 p で C M O S 化し、C M O S 化したサンプリグトランジスタ 1 2 5 p 、1 2 5 n の移動度補正動作の開示時点と終了時点の各ズレ量に関する条件を満たすように制御する仕組みを適用することで、書込走査線 1 0 4 pWS , nWS の電位変化の鈍りによる信号振幅  $V_{in}$  に応じた動度補正期間の差をなくすことができ、黒ウインドウ表示時の横クロストークなどの表示むらを防止できる。

30

#### 【 0 2 4 2 】

ただし、この場合、信号振幅の大きくなる方向は電圧が小さくなる方向であるので、C M O S 化したサンプリグトランジスタ 1 2 5 p , 1 2 5 n の動作状態は、図 7 や図 1 2 に示したオフセット電位  $V_{ofs}$  ( =  $V_{BLK}$  ) と白表示電圧  $V_{WHT}$  の位置が逆転する。よってこの場合、書込走査部 1 0 4 は、図 1 6 に示すように、移動度補正動作の開始においてサンプリグトランジスタ 1 2 5 n のオンのタイミングの方がサンプリグトランジスタ 1 2 5 p のオンのタイミングよりも早く、および / または、移動度補正動作の終了において、サンプリグトランジスタ 1 2 5 p のオフのタイミングの方がサンプリグトランジスタ 1 2 5 n のオフのタイミングよりも遅いように制御すればよい。

40

#### 【 0 2 4 3 】

なお、ここで説明した画素回路 P の変形例は、図 9 および図 1 4 に示した構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。閾値補正動作を実行するに当たり、書込走査部 1 0 4 での走査に合わせて各水平周期内でオフセット電位  $V_{ofs}$  と信号電位 (  $V_{ofs} + V_{in}$  ) で切り替わる映像信号  $V_{sig}$  が映像信号線 1 0 6 HS に伝達されるように駆動を行ない、閾値補正の初期化動作のた

50

めに駆動トランジスタ 121 のドレイン側（電源供給側）を第 1 電位と第 2 電位とでスイッチング駆動を行なうものである限り、2TR 構成であるか否かは不問でありトランジスタ数が 3 個以上であってもよく、それらの全てに、サンプリングトランジスタを CMOS 化する前述の本実施形態の各改善手法を適用できる。こうすることで、書込走査線 104 WS の電位変化の鈍りによる信号振幅  $V_{in}$  に応じた移動度補正期間の差をなくして黒ウインドウ表示時の横クロストークなどの表示むらを抑制するという本実施形態の思想を適用することができる。

【図面の簡単な説明】

【0244】

【図 1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

10

【図 2】本実施形態の画素回路に対する第 1 比較例を示す図である。

【図 3】本実施形態の画素回路に対する第 2 比較例を示す図である。

【図 4】有機 EL 素子や駆動トランジスタの動作点を説明する図である。

【図 4A】有機 EL 素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図 5】本実施形態の画素回路に対する第 3 比較例を示す図である。

【図 6】図 5 に示した本実施形態の画素回路に関する本実施形態の駆動タイミングの基本例を説明するタイミングチャートである。

【図 7】n 型トランジスタのゲート容量を起因とする書込駆動パルスの鈍りと映像信号線の電位との関係を説明する図である。

20

【図 8】サンプリングトランジスタをオン / オフ制御するとき、書込走査線の電位変化が映像信号電位の影響を受けることに起因した輝度むら（特に横クロストーク）の問題点を具体的に説明する図である。

【図 9】有機 EL 表示装置の第 1 実施形態を示す図である。

【図 10】第 1 実施形態の有機 EL 表示装置で使用される書込走査部の構成例と動作例を示す図である。

【図 11】第 1 実施形態の構成における動作タイミングの一例を示す図である。

【図 12】p 型トランジスタのゲート容量を起因とする書込駆動パルスの鈍りと映像信号線の電位との関係を説明する図である。

30

【図 13】n 型の駆動トランジスタを使用した場合における CMOS 化した各サンプリングトランジスタの動作点を説明する図である。

【図 14】有機 EL 表示装置の第 2 実施形態を示す図である。

【図 15】第 2 実施形態の有機 EL 表示装置で使用される書込走査部の構成例と動作例を示す図である。

【図 16】p 型の駆動トランジスタを使用した場合における CMOS 化した各サンプリングトランジスタの動作点を説明する図である。

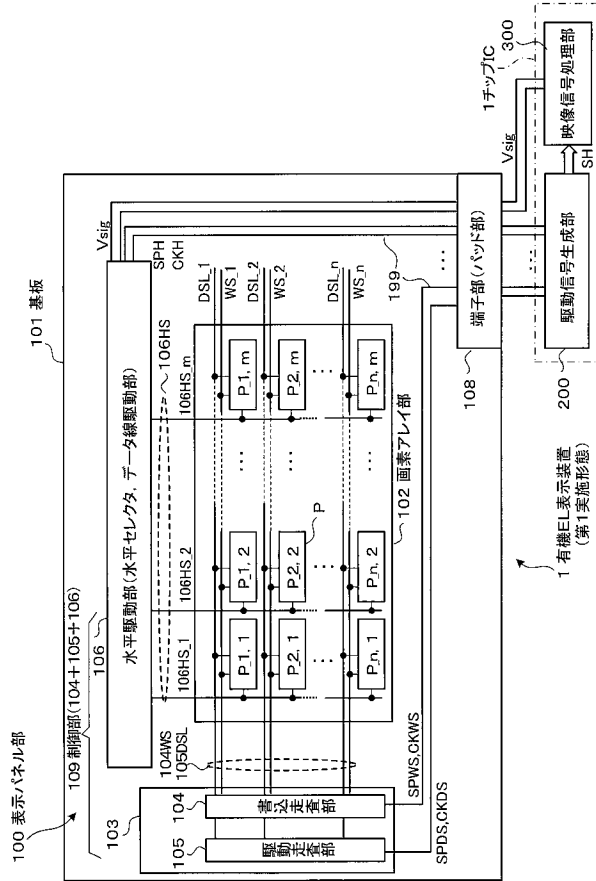
【符号の説明】

【0245】

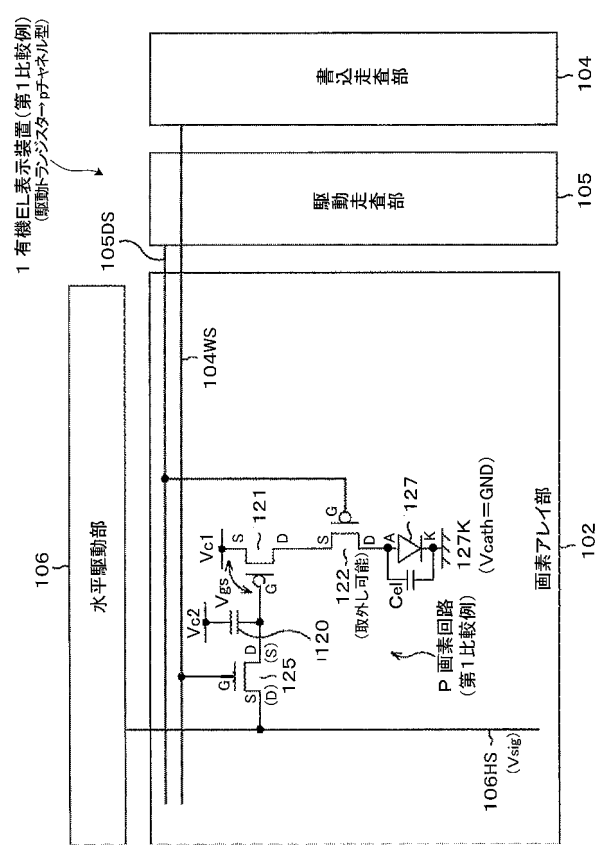
1 ... 有機 EL 表示装置、100 ... 表示パネル部、101 ... 基板、102 ... 画素アレイ部、103 ... 垂直駆動部、104 ... 書込走査部、105 ... 駆動走査部、106 ... 水平駆動部、109 ... 制御部、120 ... 保持容量、121 ... 駆動トランジスタ、122 ... 発光制御トランジスタ、125, 125p, 125n ... サンプリングトランジスタ、127 ... 有機 EL 素子（電気光学素子の一例）、200 ... 駆動信号生成部、300 ... 映像信号処理部、410, 410p, 410n ... シフトレジスタ部、412 ... シフトレジスタ、420p, 420n ... 出力ゲート部、422 ... NAND ゲート、424 ... AND ゲート、Cel ... 寄生容量、P ... 画素回路

40

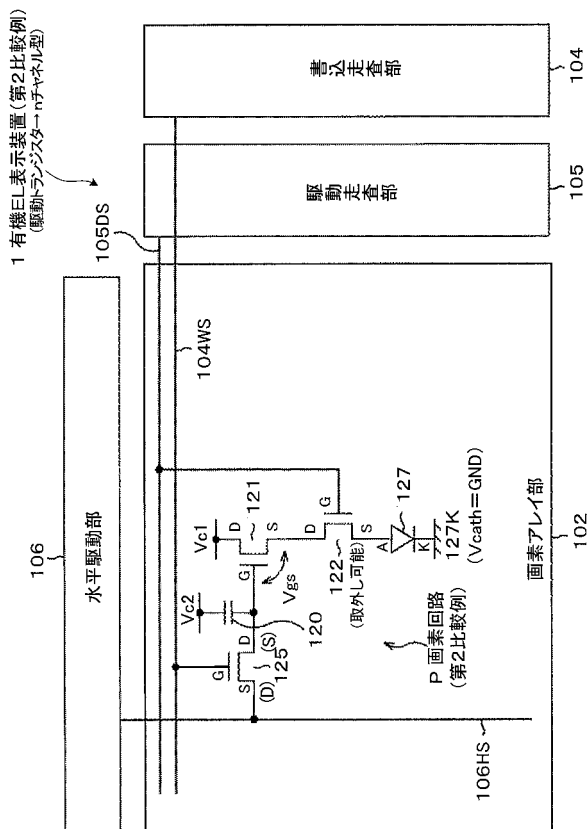
【 図 1 】



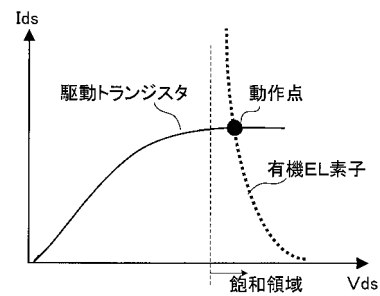
【 図 2 】



【 図 3 】

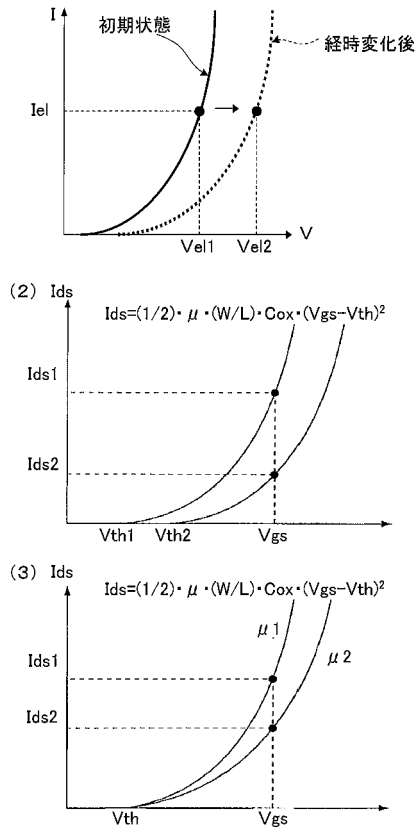


【 図 4 】

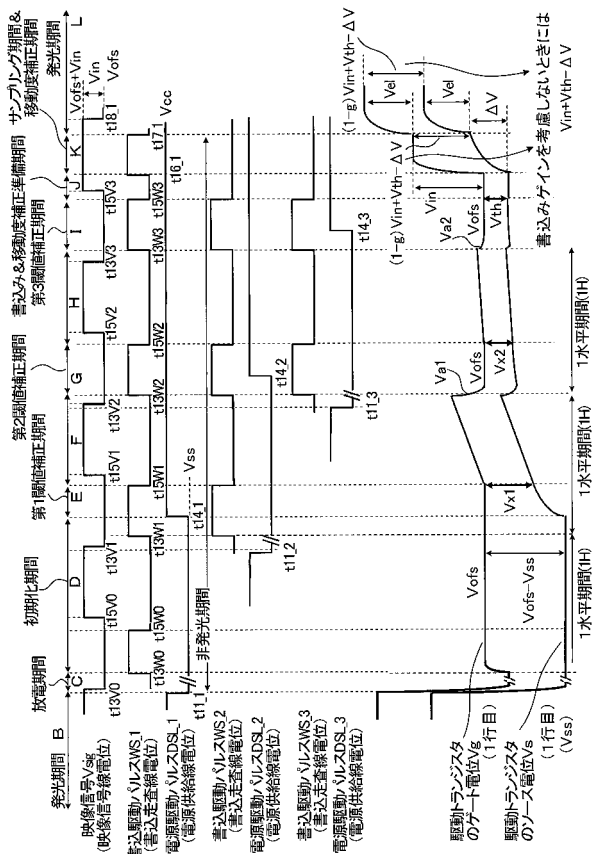


【 図 4 A 】

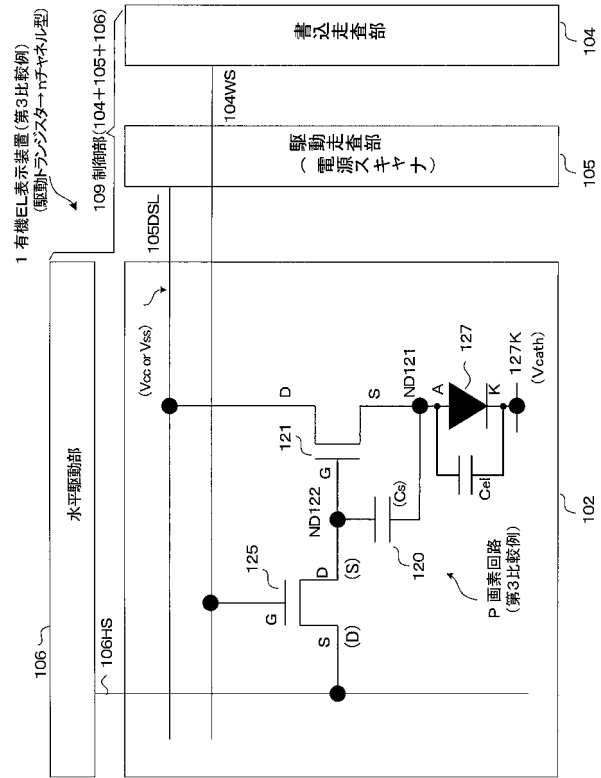
(1) <有機EL素子のV-I特性の経時変化>



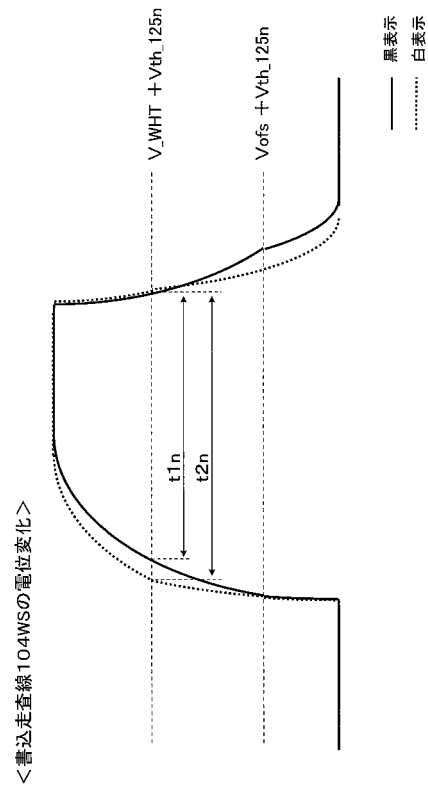
【 図 6 】



【 図 5 】



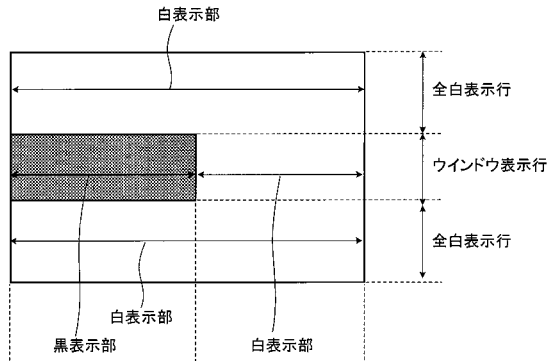
【 図 7 】



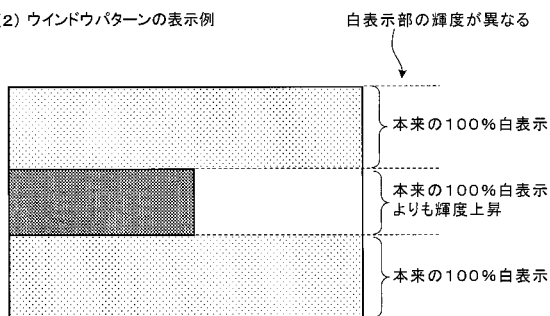


【図 8】

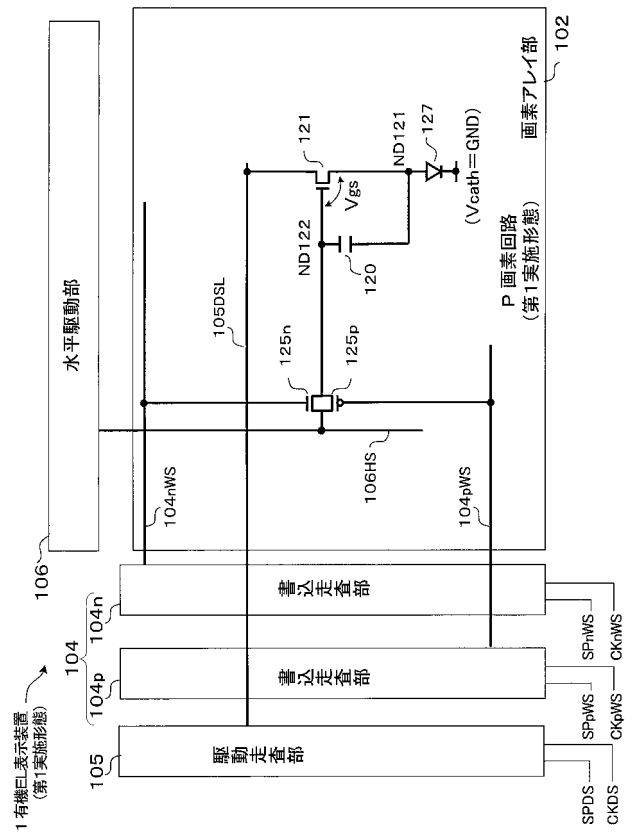
(1) ウィンドウパターン例



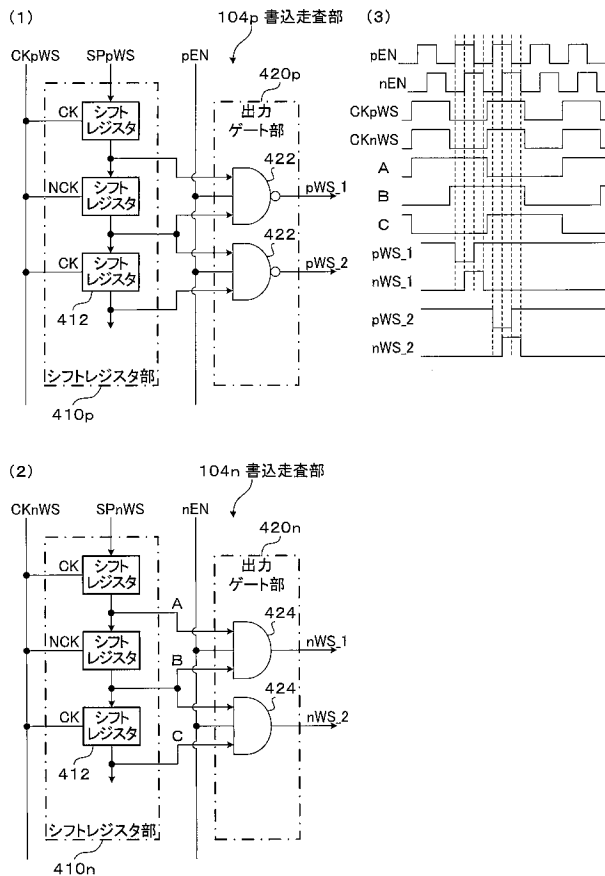
(2) ウィンドウパターンの表示例



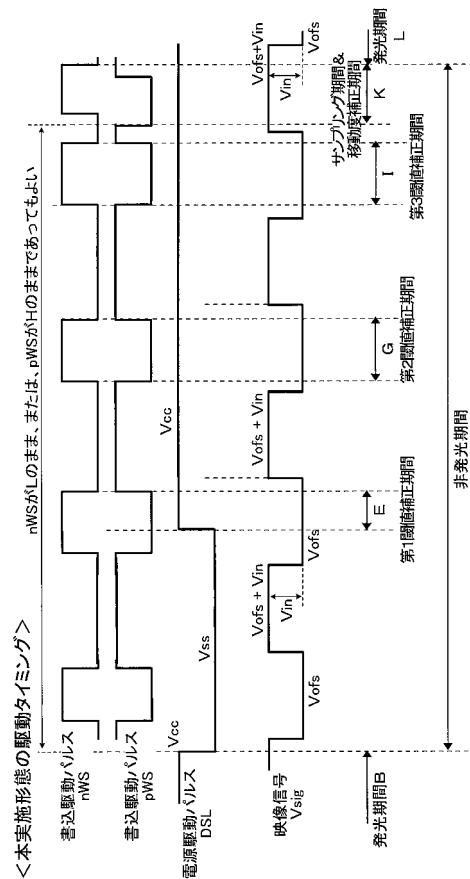
【図 9】



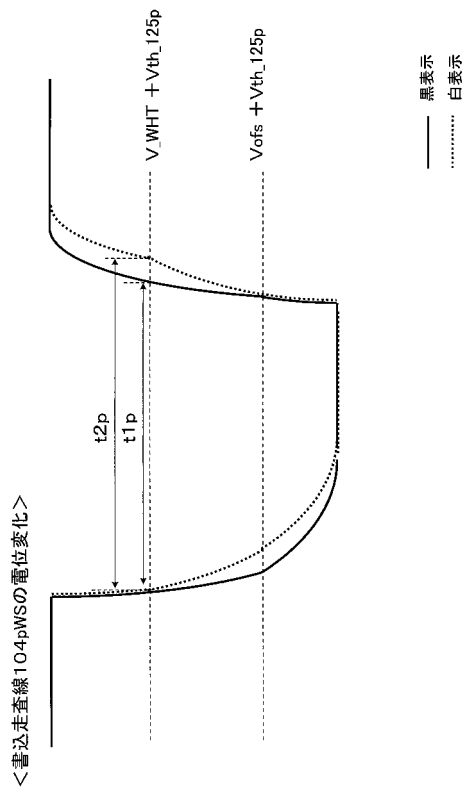
【図 10】



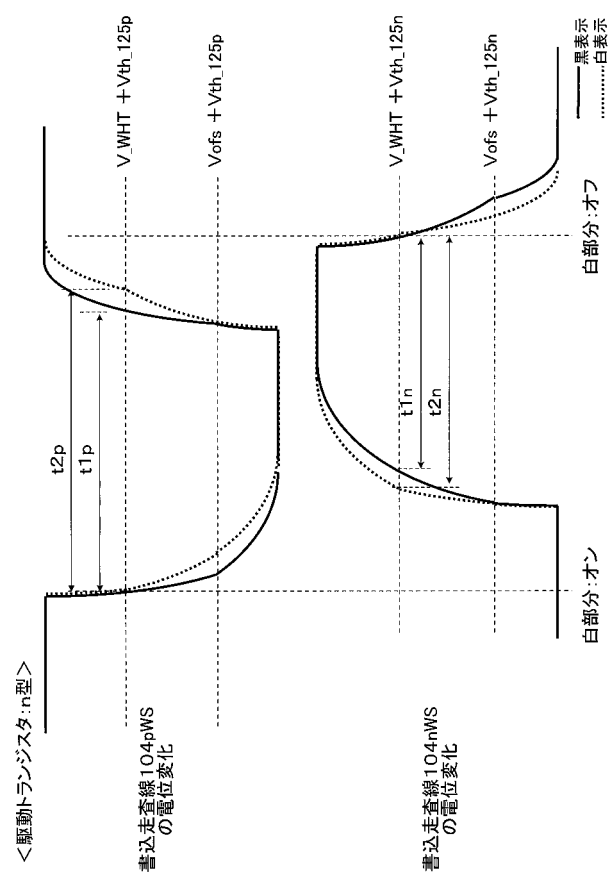
【図 11】



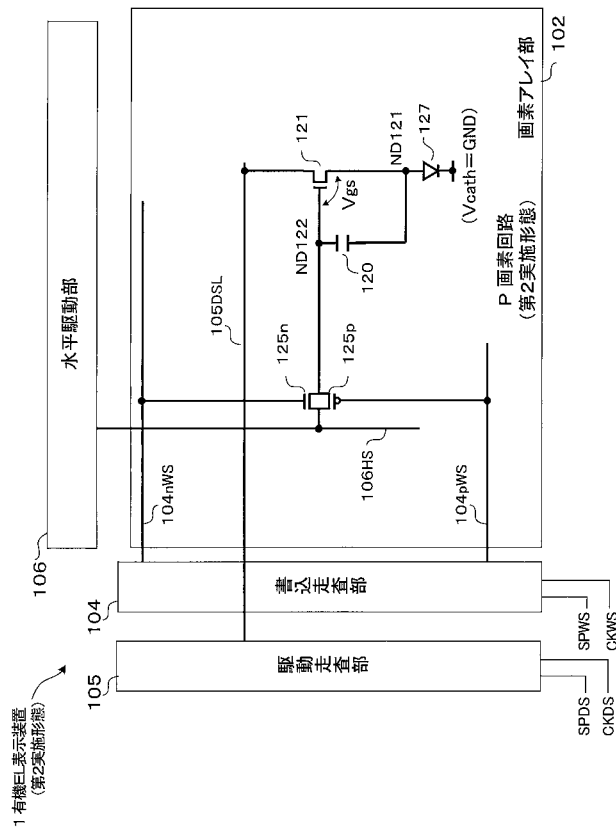
【図 1 2】



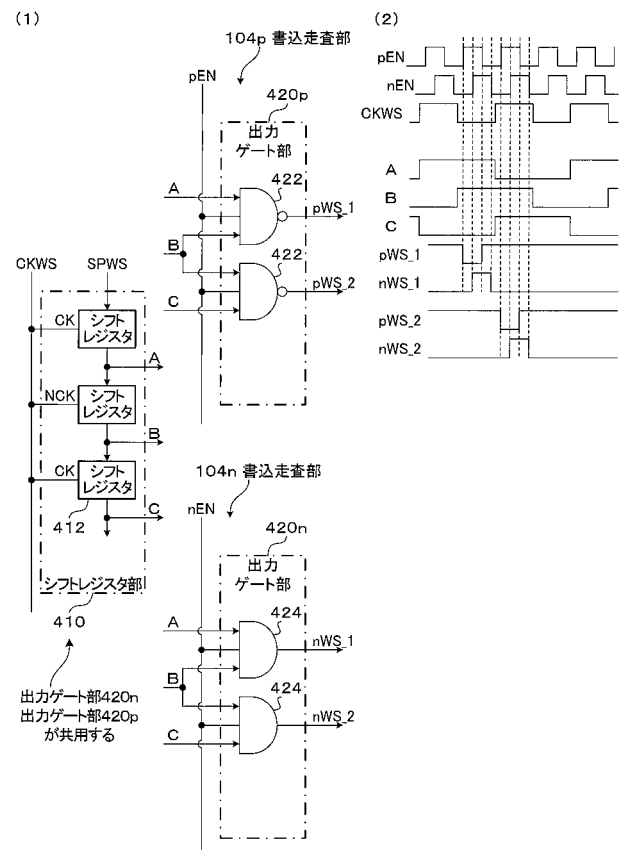
【図 1 3】



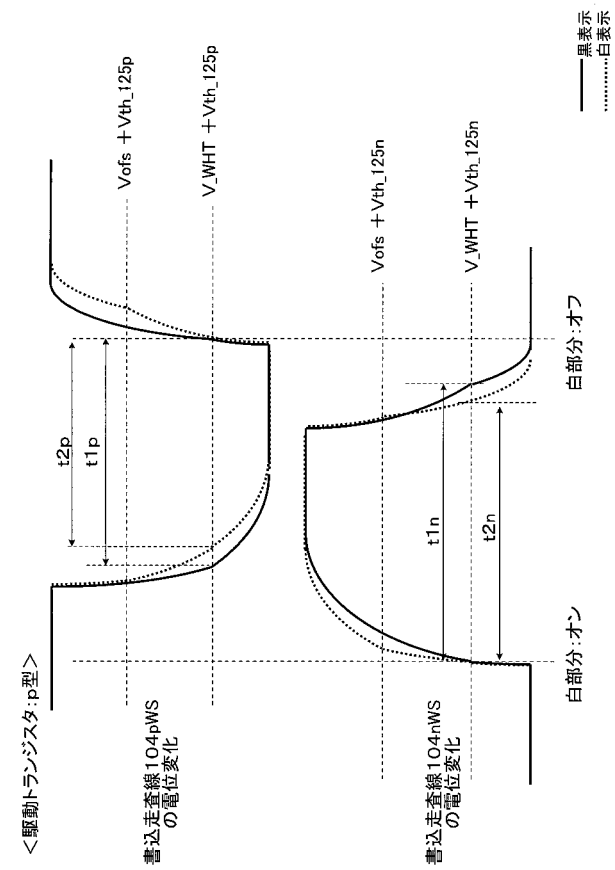
【図 1 4】



【図 1 5】



【図 16】



---

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 E
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 6 5 Z
	H 0 5 B 33/14	A

F ターム(参考) 5C080 AA06 BB05 DD05 DD07 DD10 DD22 EE29 FF07 FF11 HH09  
JJ02 JJ03 JJ04 JJ05  
5C094 AA03 AA05 AA21 AA53 BA03 BA27 DB04