(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H04N 7/24

(45) 공고일자 2003년08월21일
(11) 등록번호 10-0363986
(24) 등록일자 2002년11월26일

(21) 출원번호 10-1995-0072141
(22) 출원일자 1995년12월22일

(65) 공개번호 특1996-0028558
(43) 공개일자 1996년07월22일

(30) 우선권주장 361,929 1994년12월22일 미국(US)

(73) 특허권자 에이티 앤드 티 코포레이션
미국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카즈 32

(72) 발명자 리 얀
미국, 뉴저지, 홈델, 마베른 드라이브 12

배린 게오프리 하스켈
미국, 뉴저지, 틴톤 폴스, 글렌우드 드라이브 82

(74) 대리인 이병호

심사관 : 조광현

(54) 비트속도감소장치및그것에서사용하는동작벡터프로세싱장치

요약

개량된 비트 속도 감소 기술이 개시된다. DCT 계수 프로세서를 가진 기존의 비디오 프로세싱 시스템에 결합될 때, 본 명세서에 기술된 동작 벡터 프로세서는 종래 기술의 설계에 비해 향상된 계산 및 메모리 기억 효율을 제공한다. 동작 벡터 프로세서는 마이크로프로세서 및 관련된 동작 벡터 메모리를 포함한다. 동작 벡터 메모리가 사용되어 복수의 매크로 블럭을 포함하는 적어도 하나의 영상 프레임에 대응하는 복수의 동작 벡터를 기억한다. 각 동작 벡터는 X 값 및 Y 값에 의해 표시되고, X 값 및 Y 값은 주어진 매크로 블럭내에서 하나의 주어진 프레임으로부터 바로 앞의 프레임으로의 영상 변경을 나타낸다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본원에 개시된 양호한 실시예에 따른 비디오 전송속도 감소 장치의 하드웨어 블럭 다이어그램.
제 2 및 3 도는 비디오 정보를 표시하기 위한 예시적인 코딩포맷을 설명하는 데이타 구조 다이어그램.
제 4 도는 본원에 개시된 양호한 실시예에 따른 비디오 비트속도 매칭을 수행하는 절차를 설명하는 소프트웨어 흐름도.
제 5 도는 본원에 개시된 다양하고 양호한 실시예에 따른 비디오 전송속도 매칭 방법을 수행하기 위해 설치된 비디오 프로세서를 갖는 MCU 를 포함하는 멀티미디어 회의 시스템의 시스템 구조를 설명하는 하드웨어 블럭 다이어그램.

제 6 도는 제 5 도의 비디오 프로세서에 대한 예시적인 하드웨어 구성을 도시한 블럭 다이어그램.
제 7 도는 5 개의 단말장치를 사용하는 비트속도 매칭 시스템을 설명하는 하드웨어 블럭 다이어그램.
제 8 도는 DCT 도메인(domain)에서 기준 블럭의 그래픽 표시도.
* 도면의 주요부분에 대한 부호의 설명 *
101 : 입력포트 107 : DCT 계수 프로세서
113 : 속도 제어유니트 116 : 출력포트
120 : 역 양자화기 124 : 양자화기
132 : 예측 프레임 기억부 540 : 제어 프로세서
623, 624, 625 : 비트 스터핑 유니트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야
본 발명은 엔드 포인트 장치를 이용하는 멀티미디어 통신 시스템, 특히, 복수의 엔드 포인트 장치의 비디오 전송 속도를 매칭하는 기술에 관한 것이다.
종래 기술
비디오 전송 속도 매칭은 제 1 비디오 비트 스트림의 비트 속도를 제 2 비디오 비트 스트림의 비트 속도에 매칭시키기 위해 사용되어 온 기술이다. 상기 변환은 비트 속도감소 및/또는 비트 속도 증가를 요구할 수 있다. 상기 2 개의 변환 처리중에, 비트 속도 감소 처리가 비트 제거를 포함한다는 사실 때문에, 비트 속도 감소는 더 심각하다. 상기 비트가 비디오 정보를 표시하기 때문에, 감소된 비트 속도를 갖는 비디오 신호의 품질이 저하된다. 저하량은 비트 속도감소가 이루어지는 방법에 관련된다.
비트 속도 증가에 있어서, 정보는 비디오 비트 스트림으로부터 제거되지 않는다. 대신에, 그런 속도 증가는 비트 스트림에 부가적인 비트의 합체를 요구한다. 비디오 신호를 향상시키는 목적으로 비트를 비트 스트림에 가산시키는 것이 바람직하지만, 그런 향상은 종종 화소 도메인에서 이루어진다. 예를 들어, 들어오는 비디오 신호가 데이타 압축 처리를 받았다면, 압축 처리에서 버려진 정보가 기억되지 않는다. 정보는 손실되고, 비트 속도를 증가시키는 처리동안 복원되어 비트 스트림에 가산될 수 없다. 그러므로, 비트 속도증가가 '여분' 비트를 비트 스트림에 가산시킴으로써 수행되는데, 여기서 상기 '여분' 비트는 이전의 데이타 압축 단계동안에 제거되었던 동일한 비트가 아니다. 비트는 속도 증가된 비디오 신호의 추가적인 대역폭을 점유하기 위해 종래의 비트 스터핑(Stuffing) 패턴을 사용해서 가산된다.
비디오 전송 속도 매칭은 특히 멀티포인트 통신 토포로지 (topology)를 포함하는 환경에서 멀티미디어 통신 분야에서 다양한 응용에 적용되었다. 예를 들어, 멀티미디어 회의 응용에서, '브릿지(bridge)' 또는 '멀티포인트 제어 유니트'(MCU)가 통상적으로 사용된다. 상기 MCU 는 다수의 통신 포트를 포함하는 컴퓨터-제어된 장치이다. 상기 포트는 엔드 포인트 장치의 그룹간에 통신을 제공하기 위해 다양한 방법으로 선택적으로 상호 연결될 수 있다. MCU는 복수의 엔드 포인트 장치간에 멀티-파티(multi-party) 회의를 설정하고, 멀티-파티 회의 호출을 설정하기 위해 종종 사용된다. 종래의 MCU는 1993년 3월의 ITU 문서 H. 243 인 'procedures for establishing Communication Between Three or More Audiovisual Terminals Using Digital channels up to 2Mbps' 에서, 그리고 1993년 3월의 ITU 문서 H.231 인 'Multipoint Control Units for Audiovisual systems Using Digital channels up to 2Mbs'에서 기술되었다.
기존의 MCU 는 주어진 멀티미디어 회의에 참가하는 모든 엔드 포인트 장치가 동일한 비디오 전송 속도를 사용할 것을 요구한다. 통상적으로, 멀티미디어 회의의 초기 설정동안, 또는 부가적인 엔드 포인트 장치를 기존의 회의에 첨가하는 것이 요구될 때에, MCU 는 모든 엔드 포인트 장치가 수행하기 위해 설치되는(즉, 목표로 하는) 비디오 전송속도를 얻기 위해 모든 엔드 포인트 장치를 폴링(polling)(선택)한다. MCU 가 주어진 엔드 포인트 장치를 폴링할 때, 엔드 포인트 장치는 능력 코드(capability code)를 MCU에 다시 전송한다. 능력 코드는 주어진 엔드 포인트 장치의 비디오 비트 속도 전송 능력, 오디오 비트 속도 전송 능력 등을 지정하는 정보를 포함한다. 상기 능력 코드는 주어진 엔드 포인트 장치에 의해 사용된 압축 알고리즘을 또한 지정한다.
다양한 엔드 포인트 장치로부터 MCU 에 의해 수신된 능력 코드를 토대로 해서, MCU 는 멀티미디어 회의용 비디오 전달 속도로서 사용될 최소 비디오 비트 속도를 선택한다. MCU 는 상기 비디오 전달 속도의 사용을 지정하는 모든 엔드 포인트 장치에 비디오 속도 신호를 보낸다. 비디오 속도 신호를 수신할 때, 상기 엔드 포인트 장치는 모두 동일한 비디오 전달 속도를 사용해서 동작한다.
주어진 회의에 참가하는 모든 엔드 포인트 장치를 위해서 동일한 비디오 전달 속도를 사용하는 것은 심각한 단점을 준다. 예를 들어, 많은 경우에, 회의 참가자는 상대적으로 높은 비디오 전달 속도를 사용함으로써 고품질 비디오를 수신하기를 바라는 반면에, 다른 참가자들은 낮은 비디오 전달 속도를 제공하는 덜 값비싼 설비를 사용하길 원한다. 종래의 MCU 는 복수의 다른 비디오 전달 속도를 사용하는 멀티미디어 회의를 실행할 수 없다. 그러므로, 기존의 MCU 에 비디오 전송속도 매칭 장치를 설치하는 것이 바람직하다. 비디오 전송속도 매칭 기술의 사용을 통해, 엔드 포인트 장치가 다른 비디오 전송속도를 사용할 때조차도, 복수의 엔드 포인트 장치간의 비디오 통신이 제공될 것이다.

상기 기술에 숙련된 자에 공지된 하나의 비디오 전송속도 매칭 방법은 트랜스코딩(transcoding) 방법이라 한다. 트랜스코딩 방법에 따라, 제 1 비트 속도를 갖는 압축된 비디오 비트 스트림은 화소 도메인(pel domain)으로 공지된 비디오 공간(space)으로 완전히 디코딩 된다. 완전히 재구성된 비디오 시퀀스로서 개념화될 수 있는 상기 완전히 디코딩된 비트 스트림은 그후 제 2 비트 속도를 갖는 비디오 비트 스트림으로 인코딩된다.

기존의 트랜스코당 방법은 단점을 갖는다. 인코딩처리 뿐만 아니라 디코딩이 요구되기 때문에, 트랜스코딩은 많은 시간을 소비한다. 실제 문제로서, 시간 지연은 엔드 대 엔드(end-to-end) 인코딩 지연의 시간 지연의 적어도 2 배이다. 그러한 지연은 멀티미디어 회의와 같이 실시간 통신을 요구하는 응용에서는 허용될 수 없다. 비디오 비트 속도 매칭을 수행하는 빠른 방법이 필요하다.

발명의 요약

개량된 비트 속로 감소 기술이 개시된다. DCT 계수 프로세서를 가진 기존의 비디오 프로세싱 시스템에 결합될 때, 본 명세서에 기술된 동작 벡터 프로세서는 종래 기술의 설계에 비해 향상된 계산 및 메모리 기억 효율을 제공한다. 동작 벡터 프로세서는 마이크로프로세서 및 관련된 동작 벡터 메모리를 포함한다. 동작 벡터 메모리가 사용되어 복수의 매크로 블럭을 포함하는 적어도 하나의 영상 프레임에 대응하는 복수의 동작 벡터를 기억한다. 각 동작 벡터는 X 값 및 Y 값에 의해 표시되고, X 값 및 Y 값은 주어진 매크로 블럭내에서 하나의 주어진 프레임으로부터 바로 앞의 프레임으로의 영상 변경을 나타낸다.

발명의 상세한 설명

예시적 목적으로, 비디오 전송속도 매칭은 H.261 환경의 동작과 관련하여 설명된다. 그러나, 본 명세서에서 설명된 비디오 전송속도 매칭기술은 변환 및 양자화 처리를 사용하는 어떠한 비디오 압축 알고리즘에서도 일반적으로 응용될 수 있다. 예를 들어, 본 명세서에 개시된 기술은 CCITT 권고사항 COST 211 에 설명된 형태의 비디오 전화와 결부되어 사용될 수 있다. 그러나, 본 개시를 목적으로, 비디오 전송속도 매칭 시스템으로 또한 그로부터의 비디오 데이타는 H.261 형 포맷에서 압축된다.

'H.261 형' 포맷은 국제 전기통신 연합(ITU-T)에 의해 현재 확정된 코딩과 비슷한 코딩 포맷이다. 상기 포맷은 1992년 5 월의 ITU-T 문서 'Recommendation H.261, Video Codec for Audiovisual services at px64 kbits/s' 및 1989년 6월 9일의 ITU-T문서' Description of Reference Model 8'에서 설명되었다.

제 1 도는 H.261 형 포맷에서 압축된 비디오 신호용 전송속도 감소 시스템(100)을 도시하는 하드웨어 블럭 다이어그램이다. 전송속도 감소 시스템 (100)은 제 1 비트 전송 속도를 갖는 압축된 비디오 신호를 수신하는 입력 포트 (101)와 제 2 비트 전송 속도를 갖는 압축된 비디오 신호를 갖는 출력포트(116)를 포함한다. 압축된 비디오 신호는 H.261 표준에서 설명된 코딩 알고리즘과 사실상 비슷한 코딩 알고리즘에 의해 압축되고, 다음에는 H.261 표준에서 설명된 신택스 (syntax)와 사실상 비슷한 신택스에 따라 코딩된 비디오 신호의 2 진 표시로서 정의된다.

디지털 코딩된 비트 스트림 형태의 압축된 비디오 신호가 입력포트(101)에 주어진다. 상기 압축된 비디오 신호는 코딩된 디지탈 비디오 정보를 헤더와 함께 포함한다. 헤더는 H.261 표준에 지정된 정보형태, 및/또는 소스, 목적지, 내용, 및/또는 비디오 정보 구조와 같은 다른 형태의 정보를 포함할 수 있다.

입력포트(101)는 종래의 디지탈 버퍼인 수신 버퍼(102)에 연결된다. 상기 수신 버퍼(102)는 압축된 비디오 신호의 소스 및 제 1 도에 도시된 다수의 회로 소자간에 전기적 격리를 제공한다.

수신 버퍼(102)의 출력은 비디오 멀티플렉스 디코더(VMD) (104)에 결합된다. VMD(104)는 디코더 및 디멀티플렉서의 조합을 포함한다. 디멀티플렉서는 코딩된 비트 스트림을 디멀티플렉스하기 위해 장착된다. 디코더는 이미 언급된 코딩된 비트 스트림으로 코딩되었던 헤더 정보를 디코드한다. 디멀티플렉서 및 디코더는 코딩된 비트 스트림으로부터 압축된 비디오 데이타를 복원하는 기능을 수행한다.

VMD(104)는 제 1 출력 포트(105) 및 제 2 출력 포트 (106)를 포함한다. VMD(104)는 양자화 정보와 함께 양자화된 DCT 계수를 제 1 출력 포트(105)에 제공한다. 상기 DCT 계수의 특성은 H.261 표준에서 더욱 상세하게 설명된다. 제 2 출력 포트(106)에는 동작 벡터가 제공된다. 제 1 출력포트(105)는 역 양자화기(120)에 결합되고, 제 2 출력포트(106)는 비디오 멀티플렉스 인코더(VME)(109) 및 동작벡터 프로세서(135)에 결합된다. VME(109)의 동작 및 구조는 이하에서 상세하게 설명된다. 동작 추정이 본 예에서 사용되지 않기때문에, 동작 벡터는 VMD(104)로부터 VME(109) 및 동작 벡터 프로세서(135)로 직접 보내진다.

VMD(104)의 제 1 출력(105)으로부터 수신된 DCT 계수는 DCT 계수 프로세서 (107)에 보내진다. DCT 프로세서(107)의 출력 (108)이 VMD(104)의 제 1 출력(105)로부터 수신되었던 비트수보다 적은 비트를 인코드하도록 요구하는 신호로 되도록, DCT 계수 프로세서(107)는 DCT 계수를 처리한다. DCT 계수 프로세서 (107)는 결과적인 비디오 품질이 인간의 시각 처리에 의해 인지될 때 사실상 저하되지 않도록 비트수를 감소시킨다. 다시 말해서, 비디오 품질은 '완만하게(gracefully)' 저하된다. 계수를 DCT 계수 프로세서 (107)에서 처리함으로써 감소된 정보량은 속도 제어 유니트(113)에 의해 보내진 속도 제어 신호(114)에 의해 제어된다. 가장 자주 사용되는 종래기술은 이하에 상세하게 설명되는 역양자화 설계이다.

처리된 DCT 계수는 DCT 계수 프로세서(107)의 출력(108)에서 발생된다. VMD(104)의 제 2 출력에서 발생된 동작 벡터(106)와 함께 상기 처리된 DCT 계수는 비디오 멀티플렉싱 인코더(VME)(109)에 보내져서 H.261 표준에 사실상 따르는 새로운 비디오 비트 스트림을 형성한다.

제 2 및 3 도는 H.261 표준에 따라 비디오 정보를 표시하는 예시적인 코딩 포맷을 설명하는 데이타 구조 다이어그램이다.

제 2 도에서, 비디오 정보는 복수의 프레임(201, 203, 205, 207, 209, 211, 213, 215, 217, 219, 221)으로 구성된다. 각각의 상기 프레임은 화소 어레이 형태로 2 차원 비디오 영상의 표시를 포함한다. 주어진 프레임이 시간의 특정 순간에 비디오 영상을 나타내기 때문에, 복수의 프레임이 사용되어 이동 영상을 나타낸다. 각 프레임은 화상을 나타낸

다. 복수의 프레임은 코딩된 비디오 시퀀스를 나타낸다.
각 프레임은 인트라(intra) 프레임 코딩(I) 및 예측코딩 (P)으로 불리우는 2개의 압축 알고리즘 형태 중 어느 하나에 따라 압축된다. 예를 들어, 프레임(201 및 211)은 인트라 프레임 코딩(I)을 사용해서 압축되고. 프레임(203, 205, 207, 209, 213, 215, 217, 219 및 221)은 예측 코딩을 사용해서 압축된다. 제 2 도에 도시된 프레임 시퀀스는 2 차원 어레이로 배열된 복수의 레벨을 갖는 인코딩된 비디오 시퀀스 형태로 비디오 영상을 나타내는 데이타 구조를 설정하고, 여기서 각 레벨은 화소값을 나타낸다. 상기 인코딩된 비디오 시퀀스는 코딩된 비디오 비트 스트림으로 불리운다.
인트라 프레임 코딩(I)이 프레임(201)과 같은 주어진 프레임에 인가되려면, 프레임은 I 지정 프레임으로 불리우고, 예측코딩(P)이 프레임(205)과 같은 주어진 프레임에 인가되려면, 프레임은 P 지정 프레임으로 불리운다.
인트라 프레임 코딩(I) 압축 처리에 따라, I 지정 프레임 (201)은 복수의 화소 블럭으로 분할되고, 여기서 각 블럭은 8 × 8 화소 어레이로 구성된다. 다음, 이산 코사인 변환(이하에서는 DCT)은 상기 기술에 숙련된 자에 공지된 절차에 따라 8 × 8 화소 블럭의 각 화소상에서 수행되어 복수의 DCT 계수를 발생한다. 그후, 양자화는 공지된 양자화 절차에 따라 DCT 계수에 대하여 수행된다. 상기 양자화된 DCT 계수는 I 인코딩된 프레임(201)용 압축된 비디오 영상 정보를 구성한다.
예측코딩(P)이 다음의 단계(1) 내지 (8)에 의해 프레임 (205)과 같은 P 지정 프레임에 대해 실행된다.
즉, 단계(1)는 P 지정 프레임을 복수의 매크로(macro) 블럭으로 분할하는 것이다. 예를 들어, 프레임이 16 ×16 화소(제 2 도의 251, 252, 253, 254, 257, 258)를 각기 갖는 복수의 화소 어레이를 포함하면, 각 16 ×16 화소 어레이는 4 개의 인접한 블럭으로 분할되며, 여기서 각 블럭은 8 ×8 화소 어레이이며; 8 ×8 화소 블럭 (크로미넌스) 및 8 × 8 화소 블럭(크로미넌스)과 함께 16 ×16 화소 어레이(루미넌스)는 매크로 블럭(247)을 구성한다.
단계(2)는 단계(1)에서 만들어진 각각의 매크로 블럭(16 ×16 화소)에 대해 단계(1)에서 만들어진 매크로 블럭내의 영상 정보와 가장 비슷한 영상 정보를 포함하는 매크로 블록을 찾기 위해 가장 최근의 이전에 발생한 프레임(그것은 P 또는 I 지정 프레임중 하나일 수 있으나, 본예에서는 프레임(203)이다)을 탐색하는 것이다.
단계(3)는 단계(2)에서 앞의 I 또는 P 프레임에서 발견된 매크로 블록을 현재 압축되고 있는 P 프레임내의 비슷한 매크로 블럭의 위치로 공간적으로 이동시키기 위해서 동작 벡터를 발생시키는 것이다.
단계(4)는 동작 벡터를 사용해서 가장 최근의 이전에 발생한 프레임으로부터 예측된 프레임을 발생시키는 것이다.
단계(5)는 매크로 블럭을 단위로 해서 나머지 블럭을 발생시키기 위해 압축 되고 있는 P 프레임으로부터 상기 예측된 프레임을 감산하는 것이다.
단계(6)는 나머지 블럭상에서 DCT를 수행하는 것이다.
단계(7)은 변환된 나머지 블럭의 계수를 양자화하는 것이다.
단계(8)는 압축된 비디오 신호를 형성하기 위해 상기 양자화된 나머지 계수 및 동작 벡터를 연결하는 것이다.
인트라 프레임 코딩된(I) 화상에서, 모든 매크로 블럭은 인트라 코딩된다. 즉, 각 매크로 블럭은 이전의 I 또는 P 프레임내의 어떠한 매크로 블록도 참조하기 않고 코딩된다. 예측 코딩된(P) 화상에서, 매크로 블럭은 인트라 코딩되거나 인터 코딩된다.
전송을 위해 상기 코딩된 비디오 비트 스트림을 형성하기 위해, 압축된 영상 정보와 동작 벡터와 같은 다른 정보는 지정된 코드 워드를 사용해서 코딩된다. 그후 코드 워드는 계층화된 데이타 구조로 멀티플렉스되어 최종 비트 스트림을 형성한다. H.261 환경에서, 코딩된 비트 스트림은 계층적 포맷으로 조직되고, 그 구조는 제 3 도에 예시된다.
제 2 도에서, 프레임(201, 203, 205, 207, 209, 211)의 시퀀스는 코딩된 비디오 비트 스트림을 형성한다. 상기 비트 스트림은 이동 비디오 이미지(즉, 동화상)를 형성하기 위해서 처리될 수 있는 코딩된 프레임의 연속 표시로서 개념화될 수 있다. 통상적인 프레임 시퀀스는 IPPP..PIPPP이고, 여기서 I는 인트라 코딩된프레임을 표시하며, P 는 예측 코딩된 프레임을 지정한다. 각 프레임 (221)에 대해서, 프레임을 표시하는 코딩된 비트 스트림은 헤더(263) 및 코딩된 데이타(265)를 포함한다. 각 헤더(263)는 각 프레임 (즉, 화상)에 관련된 시작 코드 및 데이타를 포함한다. H.261 시스템 환경에서, 많은 헤더 정보가 동기 목적용으로 요구된다. 예를 들어, 프레임(221)용 프레임(화상) 층에서, 헤더(263)는 화상 시작 코드(PCS) 필드(267), 화상 번호(TR) 필드(269), 화상형(PTYPE) 필드(271), PEI 필드(273), PSPARE 필드(274)를 포함한다. PEI 필드(273) 및 PSPARE 필드(274)는 미래의 응용을 위해서 요구될 수 있는 여분의 정보를 수용하기 위해 사용된다.
화상 데이타는 블럭 그룹(GOB) (223, 225, 227, 229, 231, 233, 235, 237, 239, 241, 243 및 245)으로 세그먼트된다. GOB(예를 들어, GOB(229)는 코딩된 프레임(CIF)(221)의 1/12 을 포함한다. 그러므로, GOB(229)는 코딩된 화상 영역중 1/4 의 1/3 을 포함하는 것으로 개념화될 수 있다. 코딩된 화상의 1/4로 표시된 영역은 약어 QCIF 로 표시된다. 따라서, CIF 프레임(221)에 12 개의 GOB(223, 225, 227, 229, 231, 233, 235, 237, 239, 241, 243, 245) 및 QCIF 프레임에 3 개의 GOB가 존재한다. CIF/QCIF 화상내의 GOB의 배치는 제 2 및 3 도에 도시된다.
각 GOB(229)는 매크로 블럭 데이타 필드(298)에 의해 뒤따라지는 헤더 필드(291)를 포함한다. 헤더 필드(291)는 GOB 시작 코드(GBSC) 필드(292), 그룹 번호(GN) 필드(293), 그룹 형태(GTYPE) 필드(294), GOB 양자화기(GQUANT) 필드(295), GEI 필드(296) 및 GSPARE 필드(297) 형태의 여분의 정보 필드를 포함한다. 각각의 GOB(229)는 '매크로 블럭 24'(도면번호 247) 및 '매크로 블럭 25'(도면번호 249)와 같은 33 개의 매크로 블럭으로 구성된다. GOB 내의 매크로 블록의 배치는 제 2 도에 도시된다.
각각의 매크로 블럭은 블럭 데이타 필드(277)에 의해 뒤따라지는 헤더 필드(275)를 포함한다. 헤더 필드(275)는 매크로 블럭 어드레스(MBA) 필드(279), 블럭 형태 정보(MTYPE) 필드(281), 양자화기 형태(MQUANT) 필드(283), 동작 벡터(MVD)필드(285), 코딩된 블럭 패턴(CBP) 필드(287)를 포함한다. 각 매크로 블럭(247)의 블럭 데이타 필드(277)는 4 개의 루미넌스 블럭(Y1)(도면번호 251), Y2(도면번호 252), Y3(도면번호 253), Y4(도면번호 254), 하나의 크로미넌스 블럭(U)(도면번호 257), 하나의 크로미넌스 블럭(V)(도면번호 259)을 포함하는 6 개의 블럭으로 구성된

다. 크로미넌스 블럭(U)(도면번호 257) 내용의 예시적인 예는 제 2 도에서 설명된다. 상기 블럭은 8 ×8 화소 어레이를 포함하며 여기서 모든 화소는 흑(black)의 루미넌스 값을 가짐을 알 수 있다.
블럭은 화소 매트릭스(어레이), 즉, 8 ×8 을 나타내고, 그 위에 불연속 코사인 변환(DCT)이 실행된다. 화소 어레이는 화소 어레이 계수의 매트릭스에 의해 표시되고, DC 계수 및 복수의 AC 계수를 포함한다. 상기 변환된 계수(TCOEFF)(301) (제 3 도)는 상대적인 중요도 순서대로 각 화소 어레이 계수(AC)에 의해 뒤따라지며 처음 발생하는 DCT DC 계수로 구성된다. 예시적인 블럭 데이타 필드(277)(제 3 도)내의 DC 및 AC 계수의 배열이 제 4 도에 도시된다. 블럭 데이타 필드(277) (제 3 도)는 변환된 계수(TCOEFF)(301) 및 각기 연속으로 발생하는 데이타 블럭 끝에 첨부되는 블럭 코드 끝(EOB) (303)으로 구성된다. VME(109)는 처리된 DCT 계수 및 동작 벡터를 인코드하고, 이하에서 상세히 설명되는 제 3 도에 도시된 계층식 데이타 구조로 그들을 멀티플렉스한다. VME(109)의 출력(110)에서 발생된 새로이 코딩 된 비트 스트림이 전송 버퍼 (111)에 보내진다.
압축된 비디오 데이타 신호가 다수의 성분을 포함하는 것이 공지되고, 여기서 각 성분은 다른 비트수에 의해 표시되고, 전송 버퍼(111)는 압축된 비디오에 대해 가변 속도 대 일정 속도 변환을 실행한다. 전송 버퍼(111)는 전송 버퍼(111) 상태를 확정하고 표시하기 위한 회로를 포함하고, 전송 버퍼 상태는 전송 버퍼(111)내의 메모리 위치의 점유비(occupancy ratio)로서 정의된다. 점유비는 주어진 버퍼내의 점유된 메모리 위치의 수 및 상기 버퍼내의 메모리 위치의 총수간의 비율을 지칭한다. 버퍼 상태는 전송 버퍼(111)의 제 1 입력/출력(112)에서 발생된다. 상기 제 1 출력(112)은 속도 제어 회로(113)에 결합된다. 상기 속도 제어 회로(113)는 DCT 계수 프로세서(107)에 의해 제공된 평균 데이타 속도를 조정한다.
속도 제어 회로(113) 및 DCT 계수 프로세서(107)는 신호 라인(114)을 경유해 함께 결합된다. 속도 제어 회로(113)는 (예를 들어, 제어 프로세서로부터) 전송 버퍼(111)에 대해 소망의 출력 비트 속도를 지정하는 신호를 수신하기 위해 적응된 제 1 통신 라인(115)을 포함한다. 또한, 통신 라인(115)은 신호를 제어 프로세서 (540)(제 5 도)에 전송하기 위해 적응된다. 신호 라인(114)을 경유해 DCT 계수 프로세서(107)로 다운로드 (download)되는 속도 제어 출력 신호를 발생시키기 위해, 소망된 출력 속도 신호는 제 1 입력/출력(112)에서 수신된 버퍼 상태 신호와 관련해서 속도 제어 회로(113)에 의해 처리된다. 소망된 출력 속도 신호 및 버퍼 상태 신호를 토대로 해서, 속도 제어 회로(113)는 각 매크로 블럭에 대한 목표 비트뿐만 아니라 각 프레임에 대한 총 비트수를 계산한다. 매크로 블럭당 목표 비트 또는 프 레임당 비트는 적절한 제어 신호를 발생시키기 위해 기준으로서 사용되고, 적절한 제어 신호는 DCT 계수 프로세서(107)의 제 2 입력(114)에 인가된다. 제 2 입력 (114)의 기능은 DCT 계수 프로세서(107)로 하여금 각 매크로 블럭에 대해 발생된 비트가 가능한 한 매크로 블럭당 목표 비트에 근접하는 방법으로 동작되도록 한다. 제 2 입력(114)에 인가된 신호 형태는 사용되는 DCT 계수 프로세서(107)의 특정한 형태에 따른다.
DCT 계수 프로세서(107)는 VMD(104)로부터 복원된 DCT 계수가 소망된(즉, 목표) 출력 비디오 속도와 매칭하기 위해 더욱 처리되는 처리 유니트이다. DCT 계수 프로세서(107)는 역 양자화기(120), 양자화기(124), 또 다른 역 양자화기(125), 합산기 (122, 127, 130), 예측 프레임 기억부(132) 및 동작 벡터 프로세서(135)로 구성된다. VMD(104)의 제 1 출력(105)에서 출력 신호는 2 개의 성분을 포함하며, 상기 2 개의 성분은 양자화된 DCT 계수 및 양자화 파라미터이다. 상기 2 개의 성분은 역양자화기(120)로 보내진다. 120 에서, 역 양자화 동작은 다음과 같이 양자화 된 DCT 계수상에서 실행된다. 양자화된 DCT 계수를 { xi, i = 0, 1, 2,... 63}로 하고 재구성된 DCT 계수를 {yi, i = 0, 1,... 63}로 하며 Qp 는 양자화 파라미터를 나타내는 것으로 한다. 그런후, H.261 형 환경에 대해, I-코딩 모드에서, 재구성된 DC 계수(y0)는 다음의 관계를 사용해서 계산된다.

$$y0 = x0 * 8$$

나머지 계수는 다음의 공식을 사용해서 계산되며,

$$yi = [xi * 2 + \sin(xi)] * Qp$$

여기서, I 모드에서 {i = 1, 2,... 63}이고, P 모드에서 {i = 0, 1,...63}이며, sign(w) 함수는 다음의 식과 같이 정의된다.

$$\text{sign}(w) = \begin{cases} 1 & \text{if } w \geq 0 \\ -1 & \text{if } w < 0 \end{cases}$$

{yi, i = 0, 1, 2... 63}은 120 의 출력이고, 신호 (121)에 의해 표시된다. 합산기(112)에서, 재구성된 신호(121)와 신호(133)는 합해져서 양자화기(124)에 보내진다. 108 에서 DCT 계수 프로세서(107)(제 1 도)에 의해 발생된 데이타량을 제어하기 위해, 속도 제어 유니트는 매크로 블럭당 목표 비트를 토대로 해서 알맞은 양자화 파라미터(Qpnew)를 계산하고 그것을 DCT 계수 프로세서(107), 특히 양자화기(124)에 보내어 DCT 계수를 재양자화한다. 새로이 양자화된 DCT 계수를 {zi, i = 0, 1,... 63}로 하고, 그것은 신호(108)에 의해 표시된다. 속도 제어 회로(113)로부터 얻어진 새로운 양자화 파라미터를 Qpnew 로 한다. 그런후, 새로이 양자화된 DCT 계수는 다음식에 의해 결정되고,

$$z0 = (y0 + 4)/8$$

여기서, z0 는 I 코딩된 매크로 블럭의 DC 계수이다. 나머지 계수는 다음식에 의해 얻어지고,

$$zi = yi\ (2 * Qpnew)$$

여기서, {i = 1,... 63}는 인트라 코딩된 매크로 블록을 위한 것이고, {i = 0, 1,... 63}는 인터 코딩된 매크로 블록을 위한 것이다.
신호(133)는 피드백 신호 또는 보상 신호이다. 그 신호의 사용은 상기 재양자화 처리에 의해 발생된 미스매칭(mismatch)을 보상하기 위한 것이다. DCT 도메인 (domain)에서 수행된 처리가 정보 내용을 감소시키고, 상기 감소는 느린 속도로 상기 비디오 정보를 디코딩하는 다른 엔드 포인트 장치에 비해 상대적으로 빠른 속도로 비디오 정보를 전송하는 엔드 포인트 장치와 상기 다른 엔트 포인트 장치간에 미스매칭 또는 드리프트 에러(drift error)를 발생한다. 상기 '

드리프트 에러'는 출력 전송 버퍼에서 또한 속도 감소된 비트 스트림을 디코eld하는 엔트 포인트에서 볼 수 있다. 인트라 코딩된 프레임이 메모리를 리프레시하고 메모리에 축적된 에러를 버리기 위해 사용되지 않으면, 상기 미스매칭은 모든 인터 코딩된 프레임에 존재하고 시간에 따라 축적될 가능성이 있다. '드리프트 에러'는 디코더측에서 화상을 저하시키는 추가적인 잡음과 인위적 산물(artifacts)을 속도 감소된 비트스트림에 도입한다. '드리프트 에러'를 교정하기 위해, 피드백 루프는 재양자화 루프에 도입된다. 피드백 신호를 발생하기 위해, 재양자화된 DCT 계수(108)는 다른 역양자화기(125)에 보내진다. 역양자화기 (125)에서, 신호(108)는 신호(126)를 형성하기 위해 재구성된다. 신호(126)는 새로운 양자화 파라미터(Qpnew)를 토대로 한재구성된 DCT 계수를 나타낸다. 드리프트 에러는 합산기(127) 에서 신호(126)를 신호 (121)로부터 감산함으로써 얻어진 신호 (128)로서 표시된다. 모든 동작이 DCT 도메인에서 행해짐에 따라, 신호(128)는 사실상 드리프트 에러의 DCT 계수이다. DCT 계수 프로세서가 초기에 시동될 때, 120 및 125 의 출력간에는 드리프트 에러가 없 다. 신호(128)는 제로이다. 그러므로, 초기 시동시에, 역양자화기(125)는 재구성된 DCT 계수를 포함하는 출력 신호를 제공하고, 이 신호는 변화됨이 없이 제 1 합산기 (122)를 통해 양자화기(124)로 통과된다. 한편, 현재의 프레임에 의해 발생된 신호(126)는 변화됨이 없이 제 3 합산기 (130)를 통해 예측 프레임 기억부(132)로 통과된다. 통상적으로, 현재의 프레임이 I 프레임(인트라 프레임)이면, 신호(128)는 변화 없이 합산기(130)를 통해 예측 프레임 기억부 (132)로 통과된다. 현재의 프레임이 인터 프레임, (P-프레임) 이라면, 신호(128)는 신호(133)에 의해 가산되어 신호(131)를 형성하고, 신호(131)는 예측 프레임 기억부(132)에 보내진다. 신호(131)는 신호(133)의 한 프레임 지연된 버젼(version)을 신호(128)에 가산함으로써 얻어진다.

예측 프레임 기억부(132)는 신호(131) 및 처리된 동작 벡터(134)를 수신하고, 변위된(또는 동작 보상된) 드리프트 에러 (133)의 DCT표시를 발생한다. 상기 신호는 합산기(122)에서 재양자화 루프로 피드백 되어 재양자화 루프에서 미스매칭을 보상한다. 드리프트 에러 신호가 그 DCT 표시에 의해 표시됨에 따라, 동작 보상 및 예측은 DCT 도메인에서 직접적으로 행해진다.

DCT 도메인에서 변위된 드리프트 에러를 직접적으로 계산하기 위해, 다음의 작동이 예측 프레임 기억부(132)에서 실행된다. 제 8 를 참조하면. 동작 벡터가 임의의 수의 화소를 표시하고, 예측 프레임 기억부(132)에 저장된 기준 프레임의 DCT 표시는 블럭을 단위로한 포맷으로 그룹화 되기 때문에, 동작 보상된 최적의 기준블럭(801)은 DCT 블럭 구조에서 4 개의 인접하는 블럭(805, 807, 809, 811)과 겹쳐질 수 있다. 또한, 제 8 도는 현재의 블럭(803)의 위치를 도시한다. 4 개의 원래의 인접하는 블럭의 DCT 계수로부터 새로운 임의의 위치 영상 블럭의 DCT 계수를 직접 계산하기 위해 다음의 작동이 실행된다. D_1, D_2, D_3 및 D_4 는 기준 프레임에서 네개의 인접한 블럭이고, h_1 및 W_1 는 D_1 (블럭(805)내)에서 각기 겹침 높이 및 폭이고, h_2 및 W_2 는 D_2 (블럭(807)내)에서 각기 겹침 높이 및 폭이고, h_3 및 W_3 는 D_3 (블럭(809)내)에서 각각 겹침 높이 및 폭이고, h_4 및 W_4 는 D_4 (블럭(811)내)에서 각기 겹침 높이 및 폭이다. $D_{mc-error}$ 는 변위된 드리프트 에러 블럭의 DCT 표시이라고 하자.

그러면

$$D_{mc-error} = \sum_{k}^{4} G_{hk} D_k G_{wk}$$

여기서 G_{hk} 및 G_{wk} 는 형식:

$$H_{hk} = \begin{bmatrix} 0 & 0 \\ I_{hk} & 0 \end{bmatrix},$$

$$H_{wk} = \begin{bmatrix} 0 & I_{wk} \\ 0 & 0 \end{bmatrix}$$

및

$$G_{hk} = DCT(H_{hk})$$

$$G_{wk} = DCT(H_{wk})$$

의 특별한 스파스(sparse) 매트릭스의 DCT 표시이다.

예를 들어, $h_1 = h_2 = 2$, $h_3 = h_4 = 6$, $W_1 = W_3 = 3$, 및 $W_2 = W_4 = 5$이면,

$$H_{h1} = H_{h2} = \begin{bmatrix} 0 & & & & 0 \\ 0 & 0 & 0 & 0 & \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & \\ 0 & 1 & 0 & 0 & \end{bmatrix}$$

$$H_{h3} = H_{h4} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \end{bmatrix}$$

$$H_{w1} = H_{w3} = \begin{bmatrix} 0 & I_3 \\ 0 & 0 \end{bmatrix}$$

$$= \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$

$$H_{w2} = H_{w4} = \begin{bmatrix} 0 & I_5 \\ 0 & 0 \end{bmatrix}$$

$$= \begin{bmatrix} 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix}$$

G_{hk} 및 G_{wk} 는 예측 프레임 기억부에서 미리 계산되고 기억될 수 있다. 드리프트 에러 신호가 많은 제로를 포함하기 때문에, 요구된 계산은 현저히 감소된다. 또한, 동작 벡터가 제로이거나 블록 폭의 정수 배이면, 상기 블럭 조절절차는 피해질 수 있다.

동작 벡터 프로세서(135)는 VMD(104)로부터 얻어진 동작 벡터가 더욱 프로세스되는 유니트이다. 동작 벡터 프로세서(135) 에서, 신호(106) 에 의해 표시된 동작 벡터는 다음의 법칙에 따라 처리된다.

즉, MV-x 및 MV-y 를 신호(106)의 x 및 y 성분으로 한다. 그러면, MV-x 및 MV-y 는 H.261 표준에 따라 -15 내지 15 범위에 있다. 동작 벡터 처리 절차는 동작벡터를 가장 가까운 8의 배수로 라운드(rounds)(반올림)시킨다. MV_x' 및 MV_y' 를 처리된 동작 벡터로 한다. 그러면, MV_x' 및 MV_y' 는 다음 식에 의해 얻어진다.

-4<MV-x 또는 MV-y<4 이면, MV-x' 또는 MV-y'=0 ,

5<MV-x 또는 MV-y<12 이면, MV-x' 또는 MV-y'=8 ,

13<MV-x 또는 MV-y<15 이면, MV-x' 또는 MV-y'=16 ;

-12<MV-x 또는 MV-y<15 이면, MV-x' 또는 MV-y'=-8 ;

-15<MV-x 또는 MV-y<-13 이면, MV-x' 또는 MV-y'=-16 .

동작 벡터를 블럭 폭의 정수 배로 라운드 시킴으로써, DCT 도메인에서 블럭 조절 절차는 피해진다. 계산, 및 예측 프레임 기억부(132)에서 요구된 프레임 기억량이 현저히 감소된다.

역 양자화기(120, 125), 양자화기(124), 합산기(122, 13), 및 감산기(127)는 상기 기술에 숙련된 자에게 공지된 시스템 콤포넨트이다. 종래의 콤포넨트가 이러한 항목을 위해서 사용될 수 있다. 예측 프레임 기억부(132)에 대해, 상기 장치는 하나 이상의 비디오 프레임에 대응하는 정보를 저장하는 비디오 버퍼와, RAM 장치 와, 버퍼 및 RAM의 작동을 제어하는 마이크로프로세서를 포함한다. 마이크로프로세서는 예측 프레임 기억부 (132)와 관련해서 상기에서 설명된 단계를 수행하기 위해 적응된 소프트웨어 프로그램을 실행한다.

제 4 도는 본원에 개시된 양호한 실시예에 따라 비디오 비트 속도 매칭을 수행하는 절차를 설명하는 소프트웨어 흐름도이다. 흐름도에서 설명된 동작은 제 1 도와 관련하여 이미 설명된 하드웨어를 사용하여 수행되는데, 거기에서 속도 제어회로(113)의 기능이 기술된다. 제 4 도에 도시했듯이, 비디오 비트 속도 매칭 절차는 6 단계로 구성된다. 제 1 단계는 초기화(400)이고, 그 다음에 매크로 블럭프로세싱(401), 매크로 블럭 파라미터 갱신(402), 및 매크로 블럭 카운팅(403)이 뒤따른다. 블럭(403)에서, 테스트는 이미 처리되었던 매크로 블럭의 수가 최대의 다수의 매크로 블럭보다 큰지를 확정하기 위해 수행된다. 그렇치 않다면, 프로그램은 블록(401)으로 돌아간다. 그렇다면, 프로그램은 블럭(404)으로 진행하고, 거기에서 프레임 파라미터가 갱신된다. 다음에, 블럭(405)에서, 프레임이 카운트되고, 테스트는 수

행되어 고려할 부가적인 프레임이 있는지를 확정한다. 그렇다면, 프로그램은 블럭(401)으로 돌아간다. 그렇치 않다면, 프로그램은 끝난다.
블록(400)을 참조하면, 초기화 단계에서, 속도 제어 유니트(113) (제 1 도)는 다음의 일련의 작동을 수행한다, 즉,
1. 새로운(소망된 및/또는 목표) 비디오 출력 비트 속도를 얻는 것과;
2. 새로운 비디오 출력 비트 속도에 따라, 최대 출력 프레임 속도를 지정하는 것과;
3. 엔드 포인트로 하여금 비디오를 최대 프레임 속도로 인코드하도록 강요하기 위해 최대 프레임 속도를 통신 라인(115)을 경유해 (상기 정의된) 송신자-엔드 포인트 장치에 보내는 것과;
4. 새로운 비디오 비트 속도를 Rout 로 하고 최대 프레임 속도를 Fout 로 하면, average-bits-per-frame = $\frac{R_{out}}{F_{out}}$. 로 될때, 프레임당 평균 비트수를 average-bits-per-frame 으로서 계산하는 것과;
5. 전송 버퍼를 Bo 의 초기 버퍼 메모리 점유율 (채워진 정도)로 초기화하는 것과;
6. targeted-bits-per-frame = $K*\frac{R_{out}}{F_{out}}$ 이며
여기서, K 는 최대 프레임 속도 및 초기 버퍼의 채워진 정도(Bo)를 토대로 선택되는 상수이며, 그러면, targeted-bits-per-mblk 는
targeted-bits-per-mblk = $\frac{targeted\_bits\_per\_frame}{total\_number\_of\_mblk}$
인데, 제 1 프레임에 대해 targeted-bits-per-frame 을 지정하는 것과,
7. targeted-bits-per-mblk 에 따라, 새로운 양자화 파라미터(Qpnew)를 지정하는 것이다.
매크로 블럭 처리단계(블럭(401))에서, DCT 계수 프로세서(107)는 다음의 단계를 수행한다, 즉,
1. VMB(104)로부터 mblk 를 얻는 단계와,
2. Qp를 토대로 해서 역양자화를 수행하고 DCT 계수를 복원하는 단계와,
3. 피드백 신호(133)를 얻고, 피드백 신호를 복원된 DCT 계수에 가산하는 단계와,
4. 속도 제어 회로(113)로부터의 신호라인(114)상의 제어 신호를 얻는 단계와,
5. 신호라인(114)상의 제어 신호를 사용하여, DCT 계수를 재양자화하는 단계와,
6. 신호라인(114)상의 신호를 토대로 해서 역양자화를 수행하고, 현재의 프레임의 변위된 드리프트 에러를 계산하고, 그들을 예측 프레임 기억부(132)에 기억하는 단계이다.
하나의 매크로 블럭 처리가 끝난 후, 속도 제어회로 (113)는 새로운(현재의) 전송버퍼(111) 상태를 얻고 신호라인 (114)상의 제어신호(114)을 갱신한다. 속도 제어회로(113)에 의해 수행된 단계는, 다음의 단계를 포함한다. 즉,
1. 매크로 블럭에 대해 사용된 비트의 총수 bits-per-mblk를 얻는 단계와.
2. targeted-bits-per-mblk 및 actual bits-per- mblk 간의 차이, 즉, bits-difference = (targeted-bits-per-mblk)-(bits-per-mblk)를 계산하는 단계와,
3. 차이 > 0 이면, 양자화 파라미터 크기를 감소시키고; 차이 < 0 이면, 양자화 파라미터 크기를 증가시키고, 그밖에는 변화시키지 않는다는 것을 토대로 해서, 제어신호 (114)를 갱신하는 단계를 포함한다.
각 매크로 블럭의 처리의 끝에서, 프레임이 끝났는지를 확정하기 위해, 처리된 매크로 블럭수를 카운트하는 매크로 블럭 카운터는 매크로 블럭의 총수에 대해 확인된다. 프레임이 끝났으면, 속도 제어회로(113)는 프레임 파라미터를 갱신하기 시작한다. 블럭(404)에서, 속도 제어회로(113)는 다음의 단계를 실행한다. 즉,
1. 전송버퍼(111) 상태를 얻는 단계와,
2. 프레임에 의해 사용된 총 비트를 얻는 단계와,
3. 목표 버퍼의 채워진 정도(메모리 위치 점유율)에 따라, 다음 프레임용 목표 비트 및 각 매크로 블럭용 목표 비트를 계산하는 단계와,
4. 각 매크로 블럭용 목표 비트를 토대로 해서, 다음 프레임의 제 1 매크로 블럭에 대해 알맞은 제어 신호를 발생하는 단계이다.
프레임 파라미터 갱신 후에, 새로운 프레임이 확인된다. 더 이상의 비트가 없으며, 절차는 끝난다. 그렇지 않으면, 절차는 블럭(401)에서의 매크로 블럭 프로세싱 단계로 다시 되돌아간다.
제 1 도에 도시된 비디오 전송속도 감소 시스템이 예를 들어, 범용 마이크로 프로세서, 디지탈 신호 프로세서(ATamp;T DSP 3210 또는 ATamp;T DSP 1610 과 같은), 및/또는 프로그램가능한 비디오 처리 칩(상기 기술에 숙련된 자에게 ITT VCP 칩으로서 공지된 집적 회로와 같은)을 사용함으로써 수행될 수 있다.
본 발명의 비디오 처리를 사용하는 멀티미디어 시스템
멀티미디어 회의에 관련해서 본 발명의 다양한 응용을 예시하기 위해, 제 5 도는 본 명세서에 개시된 비트 스트림 속도 매칭 기술을 실시하는 비디오 프로세서 를 사용하는 멀티미디어 시스템을 도시한다. 제 5 도에서, 멀티미디어 회의 시스템(500)의 시스템 구조를 설명하는 블럭 다이어그램이 도시된다. 회의 시스템은 MCU(510), ISDN 망(504), 제 1 엔드 포인트 장치(501), 제 2 엔드 포인트 장치(502), 및 제 3 렌즈 포인트 장치(503)와 같은 다수의 엔드 포인트 장치를 포함한다.
엔드 포인트 장치(501, 502, 및 503)는 ISDN 망(504)을 경유해 MCU(510)에 결합된다. 상기 엔드 포인트 장치(501, 502, 및 503)는 하나 이상의 사용자 인터페이스 장치를 포함한다. 각 인터페이스 장치는 입력 수단, 출력 수단, 또는 출력 수단과 결합된 입력 수단을 포함한다. 출력 수단은 오디오, 비디오. 또는 데이타를 나타내는 멀티미디어 전자 신

호를 실제의 오디오, 비디오, 또는 데이타로 변환하기 위해 적응된다. 입력 수단은 오디오, 비디오, 및/또는 데이타 입력을 수신하고 상기 입력을 오디오, 비디오, 및/또는 데이타를 나타내는 전자 신호로 변환시키기 위해 적응된다. 사용자 인터페이스 장치의 예는 비디오 디스플레이, 키보드, 마이크로폰, 스피커 및 오디오 카메라 등을 포함한다.
엔드 포인트 장치(501, 502, 및 503)는 ISDN과 같은 멀티미디어 통신 프로토콜을 사용해서 통신하도록 적응된다. 엔드 포인트 장치 멀티미디어 통신 프로토콜은 미디어 스트림(오디오, 비디오, 및/또는 데이타 정보를 나타내는 전자 신호)을 엔드 포인트 장치 사용자에게 표시하는 것을 제어한다. 엔드 포인트 장치는 멀티 미디어 정보를 송신 및 수신하는 양방향으로 작용하거나, 또는, 엔드 포인트 장치는 멀티미디어 정보를 수신하지만 송신하지 않거나, 멀티미디어 정보를 송신하지만 수신하지 않는 단방향으로 작용할 수 있다.
알맞은 엔드 포인트 장치의 예는 ITU-T H. 320 시청각 터미널이지만, 디지탈 멀티미디어 스트림을 종결할 수 있고 그것을 사용자에 제공할 수 있는 어떠한 장치도 엔드 포인트 장치를 구성한다. H.320- 호환성 텐트 포인트의 특정한 제품 예는 ATamp;T-GIS 비스티움(Vistium) 이다.
MCU(510)는 엔드 포인트 장치(501, 502, 503)의 그룹 간에 통신을 제공하기 위해 다양한 방법으로 선택적으로 상호연결 될 수 있는 제 1 통신 포트(570) 및 제 2 통신 포트(572)와 같은 다수의 통신 포트를 포함하는 컴퓨터 제어된 장치이다. 제 5 도의 시스템이 2 개의 통신 포트를 도시하지만, 그것은 예시를 위한 것이며, 어떠한 편리한 수의 통신 포트도 사용될 수 있다. MCU(510)은 또한 제어 프로세서 (540), 오디오 프로세서(541), 비디오 프로세서(542), 데이타 프로세서(543) 및 공통 내부 스위치(519)를 포함한다. 각 통신 포트는 망 인터페이스, 디멀티플렉서, 및 멀티플렉서를 포함한다. 예를 들어, 제 1 통신 포트(570)는 망 인터페이스 (511), 디멀티플렉서(513), 및 멀티플렉서(522)를 포함한다.
MCU(510)가 예시의 목적을 위해 2 개의 통신 포트(570, 572)를 가진 것으로 도시되지만, MCU(510)는 사실상 어떠한 편리한 수의 통신 포트도 포함할 수 있다. N개의 포트를 갖는 MCU(510)에는, N개의 망 인터페이스, 하나의 제어 프로세서, 하나의 오디오 프로세서, 하나의 비디오 프로세서 및 하나의 데이타 프로세서가 있다. 각 프로세서에는, N개의 디멀티플렉서로부터 오는 N개의 입력 신호와, N개의 멀티플렉서로 가는 N개의 출력 신호가 있다. 그러므로, 단지 2개의 통신 포트(570, 572)만 도시되었지만, MCU(510)는 N-포트 MCU로서 개념화될 수 있다.
제 5 도에 도시되었듯이, 제 1 통신 포트(570)는 망 인터페이스(511), 디멀티플렉서(513), 및 멀티플렉서(512)를 포함한다. 망 인터페이스(511)는 ISDN 망 (504)에 의해 사용된 표준 라인 신호 코딩 및 MCU(510)에 의해 사용된 Px64 kbps H.221 신호간에 변환 기능을 제공하는 회로이다. 망 인터페이스 (511)는 H.221 신호 형태로 출력을 제공하기 위해 적응된 출력 포트(512)를 포함한다. H.221 신호는 사실상 여러 가지 다른 형태의 정보(오디오, 비디오, 데이타, 제어)의 멀티플렉스이고, 그러므로, 망 인터페이스(511)는 들어오는 MCU H. 221 신호를 멀티플렉서 (513)와 같은 디멀티플렉싱 장치에 보내야만 한다. 비슷하게, 망 인터페이스(511)는 멀티플렉서(522)로부터 H. 221 신호를 수신하기 위해 적응된 입력 포트(523)를 갖는다. 멀티플렉서(522)는 특정한 엔드 포인트 장치에 전송될 다수의 개별적으로 처리된 신호를 결합한다.
디멀티플렉서(513)는 망 인터페이스(511)로부터 수신된 들어오는 멀티미디어 신호 스트림을 4 개의 성분으로 분리하는데, 상기 4 개의 성분은 제어를 나타내는 전자 신호를 포함하는 제 1 성분(514)과, 오디오를 나타내는 전자 신호를 포함하는 제 2 성분(515)과, 비디오를 나타내는 전자 신호를 포함하는 제 3 성분(516)과, 데이타를 나타내는 제 4 성분(517) 이다. 제 1 내지 4 성분(514 내지 517)은 공통 내부 스위치(519)에 결합되는 디멀티플렉서(513)의 출력을 나타낸다.
멀티플렉서(522)는 공통 내부 스위치(519)로부터의 다수의 들어오는 멀티미디어 신호 성분을 수신하는데, 상기 멀티미디오 신호 성분은 제어를 나타내는 제 1 성분(518)과, 오디오를 나타내는 제 2 성분(591)과, 비디오를 나타내는 제 3 성분(520)과, 데이타를 나타내는 제 4 성분(521)이다. 멀티플렉서(522)는 제 1 내지 4 성분(518, 591, 520, 521)을 망 인터페이스(511)에 결합되는 단일 멀티미디어 신호 스트림으로 집적시킨다. 상기 단일 멀티미디어 신호 스트림은 멀티플렉서 (522) 출력으로서 개념화될 수 있다. 망 인터페이스(511)는 상기 멀티미디어 신호 스트림을 특정한 엔드 포인트 장치(501, 502, 503)로 루트(route)한다. 제 2 통신 포트(572)에서, 4 개의 출력 성분은 제어를 나타내는 제 1 성분(524)과, 오디오를 나타내는 제 2 성분(525)과, 비디오를 나타내는 제 3 성분(526)과, 데이타를 나타내는 제 4 성분(527)이다. 4 개의 입력 성분은 제어를 나타내는 제 1 성분(528)과, 오디오를 나타내는 제 2 성분(529)과, 비디오를 나타내는 제 3 성분(530)과, 데이타를 나타내는 제 4 성분(531)이다.
공통 내부 스위치(519)는 제어 프로세서(540)의 제어 하에 있는 다수의 전자 스위치, 버퍼, 및/또는 증폭기를 포함한다. 공통 내부 스위치(519)는 오디오 프로세서(541)에 결합되어 오디오를 나타내는 전자 신호를 합성하고 스위치하며, 공통 내부 스위치(519)는 비디오 프로세서(542) 및 데이타 프로세서(543)에 또한 결합되어 각각 비디오 및 데이타를 나타내는 전자 신호를 합성하고 스위치한다. 그러므로, 공통 내부 스위치(519)는 각 통신 포트(570, 572)로부터 4 개의 출력 성분을 효과적으로 수신하고 MCU(510)내의 각 프로세서(제어 프로세서(540), 오디오 프로세서(541), 비디오 프로세서(542), 및/또는 데이타 프로세서(543)) 중 선택된 것에 상기 출력 성분을 루트시킨다. 비슷하게, 공통 내부 스위치(519)는 MCU(510)내의 각 프로세서의 출력 성분을 수신하고 상기 출력을 각 통신 포트(예로서, 570)의 각 멀티플렉서(예로서, 522)에 루트시킨다.
공통 내부 스위치(519)는 제어 프로세서(540)로부터의 출력 제어 신호를 신호 라인(551)을 통해 수신하고, 입력 제어 신호를 신호 라인(550)을 통해 제어 프로세서(540)에 제공한다. 공통 내부 스위치(519)는 오디오 프로세서(541)로부터의 출력 오디오 신호를 신호 라인(553)을 통해 수신하고, 입력 오디오 신호를 신호 라인(552)을 통해 오디오 프로세서(541)에 제공한다. 공통 내부 스위치(519)는 비디오 프로세서(542)로부터의 출력 비디오 신호를 신호 라인(555)을 통해 수신하고, 입력 비디오 신호를 신호 라인(554)을 통해 비디오 프로세서 (542)에 제공한다. 공통 내부 스위치(519)는 데이타 프로세서 (543)로부터의 출력 데이타 신호를 신호 라인(557)을 통해 수신하고, 입력 데이타 신호를 신

호 라인(556)을 통해 데이타 프로세서(543)에 제공한다. 제어 프로세서(540)는 제어 신호를 신호 라인(544)을 통해 오디오 프로세서(541), 비디오 프로세서 (542), 및 데이타 프로세서(543)에 제공한다.
ISDN 망(504)은 신호 라인(505)을 통해 MCU(510)에 연결된다. MCU(510)내에서, 신호 라인(505)은 제 1 및 2 통신 포트(570, 572)에 병렬 연결된다. 예를 들어, 제 1 통신 포트(570)의 경우에, 신호 라인(505)은 망 인터페이스(511)에 연결된다. 망 인터페이스(511)는 신호 라인(512)을 통해 디멀티플렉서(513)에 결합되고, 상기 망 인터페이스(511)는 또한 신호 라인(523)을 통해 멀티플렉서(522)에 결합된다. 신호 라인(512)은 디멀티플렉서(513)의 입력 터미날에 결합되고, 신호 라 인(523)은 멀티플렉서(522)의 출력 터미날에 결합된다.
오디오 프로세서(541)는 오디오 신호를 처리하는 소프트웨어 및 하드웨어를 포함한다. 상기 처리는 오디오를 스위칭하고, 오디오를 합성하는 형태를 취한다. 오디오 합성의 경우에, 오디오 프로세서(541)에 대한 입력 신호는 MCU(510)의 통신포트(570, 572) 모두로부터의 각 오디오 출력 신호로 구성되는 집합 오디오 신호이다. N-포트 MCU(510)에서, 상기 신호는 각 통신 포트(570, 572)내의 디멀티플렉서로부터의 N개의 오디오 신호를 포함한다.
오디오를 합성하기 위해, 오디오 프로세서(541)는 각 오디오 입력을디코딩하고, 디코딩에 의해 얻어진 신호를 선형적으로 가산하고, 선형 합계를 다시 인코드한다. 각 엔드 포인트 장치에서, 상기 선형 합계는 부가적인 처리 단계로 들어가게 되어, 각 엔드 포인트 장치에 그 엔드 포인트 장치에 특정한 오디오 신호를 제공한다. 상기 부가적인 처리 단계는 예를 들어 다음중 어느 것을 포함하는데, 즉, 주어진 엔드 포인트 장치의 출력 합계는 그 엔드 포인트 장치의 입력을 배제하고; 합계는 입력의 현재 또는 최근의 과거값이 소정의 임계치를 초과하는 입력을 포함하고; 또는 합계는 '췌어(chair)'로 불리우는 사람에 의해 사용된 특별히 지정된 엔드 포인트 장치로부터 제어됨으로써, 췌어-제어로서 일반적으로 공지된 특징을 제공한다. 그러므로, 오디오 프로세서(541) 출력은 N 개의 처리된 오디오 신호 형태이다.
오디오 스위칭의 경우에, 오디오 프로세서(541)에 대한 입력 신호는 제어 프로세서(540)로부터 수신된 제어 신호에 따라 주어진 통신 포트(570 또는 572)로부터 선택된 단일 오디오 신호이다. 오디오 처리는 오디오 스위칭만을 포함하는 현재 의 예에서 수행되지 못한다. 오디오 입력은 자동 또는 수동 제어로 모든 다른 오디오 프로세서(541) 출력에 전달된다.
데이타 프로세서(543)는 '방송' 또는 'MLP'로서 상기 기술에 숙련된 자에 일반적으로 공지된 기능중 하나 또는 둘 다를 수행하는 하드웨어 및 소프트웨어 수단을 포함한다. 각 방송 데이타 형태에서, 데이타 입력은 어느 한 시간에 하나의 엔드 포인트 장치로부터만 수신된다. 그러므로, 데이타 프로세서(543)에 대한 입력 신호는 통신 포트(270, 272) 중 하나로부터의 데이타 출력이다. 상기 데이타 출력은 각 엔드 포인트 장치의 메모리 유니트(RAM 또는 ROM)에 저장된 능력 (capability) 코드에서 규정되었듯이 그러한 데이타를 수신하기 위한 특정한 엔드 포인트 장치의 능력에 따라 제어 프로세서 (540)에 의해 결정된 바와 같이 다른 엔드 포인트 장치에 방송된다.
제어 프로세서(540)는 멀티미디어 회의에 걸쳐 오디오, 비디오, 데이타 및 제어 신호의 올바른 루팅, 합성, 스위칭, 포맷 및 타이밍을 결정하는 책임을 진다. 제어 프로세서(540)는 각 엔드 포인트 장치로부터 하나 이상의 능력 코드를 검색한다. 엔드 포인트 장치(RAM 및/또는 ROM)에 기억된 능력 코드는 상기 엔드 포임트 장치을 위한 오디오, 비디오, 데이타, 및/또는 제어 능력을 지정한다. 제어 프로세서(540)는 멀티미디어 회의에서 참여하는 N 개의 엔드 포인트 장치 모두로부터 능력 코드를 검색한다. 제어 프로세서 (540)가 모든 엔드 포인트 장치에 대해 회의를 옳게 관리할 수 있도록, 상기 능력 코드는 MCU(510)의 메모리 유니트(RAM)에 기억된다. 상기 기억은 예를 들어, 제어 프로세서(540)와 관련된 RAM 장치에서 발생할 수 있다. 그러면, MCU(510)는 각각의 N 개의 통신 포트(570, 572)에 능력 코드를 보내어 각 엔드 포인트 장치(501, 502, 503)는 MCU(510)에 의해 결정되고 그 특정한 엔드 포인트 장치(501, 502, 503)에 적합한 비트 속도로 MCU(510)와 통신할 수 있다. 비디오 프로세싱 유니트에서 동작을 알맞게 제어하기 위해. MCU(510)는 다른 비디오 동작을 위해서는 다른 능력 코드를 다시 보낸다. 단말이 스위칭 동작을 위해서 다른 전송 속도를 갖는 통신 링크를 경유해 MCU(501)에 결합되면, 최소 전달 속도는 능력 코드에 적응된다. 새로운 코드는 회의에 참여하는 모든 엔드 포인트 장치에 보내져서 엔드 포인트 장치를 최소 전달 속도로 동작되도록 한다. 전송 속도 매칭 동작을 수행하기 위해서, 최소 전달 속도를 사용하는 대신에, 새로운 최대 프레임 속도가 모든 다른 전달 속도를 토대로 능력 코드에서 지정된다. 규정된 최대 프레임 속도를 포함하는 새로운 능력 코드는 모든 엔드 포인트 장치로 다시 보내진다. 상기 경우에, 엔드 포인트 장치에 의해 발생된 비디오 비트 스트림은 다른 전달 속도를 가지나 동일한 프레임 속도를 갖는다.
제어 프로세서(540)는 엔드 포인트 장치(501, 502, 503)의 사용자 인터페이스로 회의의 참석자에 의해 입력되는 입력을 수신한다. 상기 입력은 췌어 제어 명령, 및 H. 221 표준에 따르는 비트 스트림에 들어있는 명령의 형태이다. 엔드 포인트 장치로부터의 명령은 제어 프로세서(540)로 루트되어 오디오, 비디오, 및 데이타 프로세서(541, 542, 543) 각각에 대한 비트 스트림의 올바른 분배를 보장하고, 올바른 오디오 디코딩 알고리즘이 오디오 프로세서(541)내의 오디오 합성기에의 입력에 사용되는 것을 보장하고, 또한, 들어오는 데이타가 데이타 방송 유니트 또는 데이타 프로세서(543)내의 MLP 프로세서에 보내지는 것을 보장한다.
제어 프로세서(540)는 오디오, 비디오, 및 데이타 프로세서(541, 542, 543)로부터 각 멀티플렉서(예로서, 522)로의 비트 스트림의 스위칭을 지시하고, 오디오 프로세서(541)의 오디오 합성기에서 사용된 오디오 인코딩 알고리즘 및 오디오 합성기로부터의 각 출력에서 사용된 알고리즘을 지정한다. 비트 스트림은 제어 프로세서(540)의 제어 하에 있는 공통 내부 스위치(519)에 의해 다수의 프로세서(541, 542, 543)로 그리고 다수의 프로세서 (541, 542, 543)로부터 루트(route)된다.
비디오 프로세서(542)는 공통 내부 스위치(519)로부터 수신된 비디오 신호를 처리한다. 상기 처리는 비디오를 스위치하거나 비디오 비트 속도를 매칭하는 형태를 취한다. 비디오 스위칭에서, 비디오 프로세서(542)는 스위치(519)로부터 하나의 선택된 비디오 신호를 수신하고, 비디오 신호를 주어진 멀티미디어 회의에 참가하는 일부 또는 다른 엔드 포인트 장치에 전송한다. 비디오 선택은 자동 또는 수동 제어 하에 있을 수 있다. 예를 들어, 오디오 프로세서(541) 및

비디오 프로세서 (542)는 제어 프로세서(540)에 의해 자동 제어됨으로써, 현재 활성화된 오디오를 갖는 엔드 포인트 장치(즉, 오디오 신호를 설정된 오디오 진폭 임계 이상으로 MCU(510)에 제공하는 '현재의 대화자'에 의해 사용된 엔드 포인트 장치)가 활성화된 오디오를 전에 가졌던 엔드 포인트 장치(즉, '이전의 대화자'에 의해 사용된 엔드 포인트 장치)의 화상을 수신하는 반면에, 모든 다른 엔드 포인트 장치는 현재의 대화자의 화상을 수신한다.
시간 지연은 비디오 프로세서(542)에 의해 수행된 비디오 스위칭에 합체되어 의사 음성(spurious sounds)에 의해 야기된 지나치게 빈번한 비디오 영상 변화를 막는다. 오디오 스위칭의 경우와 같이, 비디오 스위칭은 '췌어(chair)'로 불리우는 사람에 의해 사용되는 특별 지정된 엔드 포인트 장치로부터 직접적으로 제어될 수 있다. 비디오 프로세서(542)의 지연 및 오디오 프로세서 (541)의 지연이 충분한(인간이 감지할 수 있는) 양만큼 다르다면, 보상 지연은 립 동기(lip synchronization)을 유지하기 위해서 알맞은 비트 스트림내에 삽입될 수 있다.
비디오 비트 속도를 매칭시키기 위해, 비디오 프로세서 (542)는 본 발명의 비디오 전송 속도 매칭 기술을 합체한다. 제 6 도를 참고로, 예시적 독립형 비디오 프로세서(542)의 하드웨어 구성이 도시된다. 상기 비디오 프로세서(542)는 제 5 도의 MCU(510)와 함께 사용되거나, 또는, 비디오 프로세서(542)는 독립형 유니트로서 존재할 수 있다. 그러한 독립형 유니트는 모든 디지탈 비디오 정보 형태를 위한 비트 속도를 매칭하기 위해 사용될 수 있다. 비디오 프로세서(542)는 비디오 전송 속도 감소 유니트(100), 비트 스터핑(stuffing) 유니트(200), 입력 스위치(605), 및 출력 스위치(606)로 구성된다. 필요하다면, 입력 스위치(605) 및 출력 스위치 (606)는 공통 내부 스위치(제 5 도)와 같은 단일 통합된 스위치 유니트로 결합될 수 있고, 따라서, 비디오 프로세서 (524)내에 합체되지 않는다. 입력 프로세서(542)에 대한 입력은 N 포트 MCU를 위한 것이고, N 디멀티플렉서로부터 얻어진 N-코딩된 비디오 비트 스트림이다. 시스템 출력은 다른 전달 속도를 갖도록 처리되는 N-코딩된 비디오 비트 스트림이다. 출력은 N개의 멀티플렉서에 대한 입력이다. 요구된 전송 속도 감소 유니트 및 비트 스 터핑 유니트의 수는 다수의 엔드 포인트 장치간의 전송 속도차에 비례한다. M 개의 다른 비디오 전달 속도가 회의에 관련된다면, 비디오 프로세서(542)는 (M-1)개의 비트 속도 감소 시스템 및 (M-1)개의 비트 속도 증가 유니트를 합체할 필요가 있다. 제 6 도의 구성에서, 예시를 목적으로 M=2이다.
비디오 프로세서(542)에 의해 발생된 신호는 입력 스위치(605), 출력 스위치(606), 전송 속도 감소 유니트(100) 및 비트 스터핑 유니트(200)를 제어하는 제어 신호를 이송하기 위해 사용되는 신호 라인(544)에 결합된다. 입력 스위치(605)는 N 대 1, N 대 2, 및 N 대 3 스위칭 능력을 제공한다. 비슷하게, 출력 스위치(606)는 1 대 N, 2 대 N 및 3 대 N 스위칭 능력을 제공한다. 상기 스위칭은 신호 라인(544) 상의 제어 신호에 의해 제어된다. 상기 제어 신호는 제어 프로세서(540)에 의해 발생된다. 제어 프로세서(540)는 복수의 엔드 포인트 장치간의 다른 전송 속도를 취급할 제어 능력을 갖는다.
모든 엔드 포인트 장치간의 전송 속도가 동일하다면, 신호 라인 (544)을 통해 제어 프로세서(540)에 의해 보내진 제어 신호가 비디오 프로세서(542)를 스위칭모드로 두게 하는 역할을 한다. 그 경우에, 비디오 프로세서(542)는 버퍼 및 스위치로서 작동함으로써, 입력 스위치는 N 대 1 스위치를 제공하고 출력 스위치는 1대 (N-1) 스위치를 제공한다. 입력 스위치(605) 및 출력 스위치(606)간에 직접적인 신호 경로가 사용되는 반면에, 비디오 전송 속도 감소 유니트(100) 및 비트 스터핑 유니트(200)가 사용되지 않는다.
엔드 포인트 장치간에 전송 속도가 다르고, 엔드 포인트간에 2 개 이상의 다 른 전송 속도가 있다면, 여분의 속도 감소 유니트 (100) 및 여분의 비트 스터핑 유니트(200)가 비디오 프로세서 (542)에서 필요하다. 예로써, 제 7 도는 5개의 지점 연결을 경유해서 ISDN 망(504)에 연결된 5 개의 엔드 포인트 장치를 사용하는 비디오 전송 비트 속도 매칭 시스템을 도시하는데, 여기에서 비디오 프로세서(542)의 스위칭 기능이 공통 내부 스위치(519)에 통합된다. ISDN 망(504)은 제 1 통신 포트(570) 및 추가적인 통신 포트(572) 를 포함하는 5-포트 MCU(510) 에 연결된다. 제 1 엔드 포인트 장치인 엔드 포인트 A(701)가 384kbit/s 통신 링크를 경유해 ISDN 망(504)에 연결된다. 제 2 엔드 포인트 장치인 엔드 포인트 B(702)는 256kbit/s 링크를 경유해 연결된다. 제 3 및 제 4 엔드 포인트 장치인 각각의 엔드 포인트 C(703) 및 엔드 포인트 D(704)는 128kbit/s 링크를 경유해 ISDN 망(504)에 각기 연결되고, 제 5 엔드 포인트 장치인 엔드 포인트 E(705)는 64kbit/s 링크를 경유해 연결된다. 그러므로, MCU(510)는 5 개의 입력 및 5 개의 출력을 갖는 비디오 프로세서 (542)를 사용해야만 한다. 3 개의 다른 전달 속도를 가진 5 개의 출력을 발생시키기 위해, 비디오 프로세서는 3 개의 속도 감소 유니트(620, 621, 622), 3 개의 비트 스터핑 유니트(623, 624, 625) 및 선택적 비디오 버퍼를 필요로 한다. 3 개의 속도 감소 유니트(620. 621, 622)는 384 대 256kbits/sec, 384 대 128kbits/sec, 384 대 64kbits/sec의 각각의 속도 감소를 제공한다. 3 개의 비트 스터핑 유니트(623, 624, 625)는 64 대 128kbits/sec, 64 대 256kbits/sec, 및 64 대 384kbits/sec의 각각의 비트 스터핑 변환을 제공한다.
입력 및 출력에 알맞은 스위칭을 제공하기 위해, 제어 프로세서(540)는 알맞 은 제어 신호를 제공해야만 한다. 엔드 포인트 A (701)가 현재의 회의 대화자에 의해 사용되고, 엔트 포인트 B (702)가 엔드 포인트 A(701)를 사용하는 대화자 직전에 대화한 회의 대화자에 의해 사용되면, 공통 내부 스위치(519)는 5 개의 입력이 4 개의 출력으로 스위치되는 입력 스위칭 기능을 제공하여, 엔드 포인트 A(701)로부터의 코딩된 비트 스트림이 384 대 256kbits/sec, 384 대128kbits/sec, 및 384 대 64kbits/sec의 각각의 비트 속도 감소를 제공하는 속도 감소 유니트(620, 621, 622) 중 어느 하나로 스위치된다. 이전의 대화자의 화상을 엔드 포인트 A(701)로 보내기 위해, 엔드 포인트 B (702)로부터의 코딩된 비트 스트림이 비트 스터핑 유니트(625)에 스위치되고, 그것은 256kbits/sec 속도로부터 384kbits/sec 속도로 비트 스터핑을 수행한다. 공통 내부 스위치(519)을 경유해, 384kbits/sec 로부터 256kbits/sec 로의 비트 속도 감소를 수행하는 속도 감소 유니트(620)의 출력이 엔 드 포인트 B(702)로 루트되고, 384kbits/sec 로부터 128kbits/sec 로의 속도 감소를 수행하는 속도 감소 유니트(621)의 출력이 엔드 포인트 C 및 D(703, 704)에 각각 루트되고, 384 로부터 64kbits/sec 로의 감소를 수행하는 속도 감소 유니트(622)의 출력이 엔드 포인트 E(705)에 루트된다. 비트 스터핑 유니트(625)(64 로부터 384kbist/sec 로)의 출력은 엔드 포인트 A(701)로 루트된다.

발명이 이루고자 하는 기술적 과제

발명의 구성 및 작용

(57) 청구의 범위

청구항 1.

비트 속도 감소 장치에 있어서,
(a) 입력 및 출력을 갖는 제 1 역 양자화기와;
(b) 입력 및 출력을 갖는 제 2 역 양자화기와;
(c) 예측 프레임 기억부와;
(d) 입력 및 출력을 갖는 양자화기와;
(e) X 값 및 Y 값으로 각각 표시되는 복수의 동작 벡터들에 대하여 계산들을 수행하는 프로세서 수단과;
(f) 복수의 동작 벡터들을 기억하는 동작 벡터 메모리 수단으로서, 상기 복수의 동작 벡터들은 적어도 하나의 비디오 영상 프레임에 대응되고, 상기 비디오 영상 프레임은 복수의 매크로 블록들을 포함하며, 각각의 매크로 블록은 동작 벡터와 관련되는, 상기 동작 벡터 메모리 수단과;
(g) 제 1 입력, 제 2 입력, 및 출력을 각각 갖는 제 1, 제 2, 및 제 3 합산 장치를 포함하며;
상기 제 1 역 양자화기는 양자화된 DCT 계수들 및 양자화 파라미터들을 포함하는 입력 신호를 수신하도록 적응되어, 재구성된 DCT 계수들의 출력신호가 발생되고,
상기 프로세서 수단은 동작 벡터들을 포함하는 입력신호를 수신하도록 적응되어, 처리된 동작 벡터들의 출력 신호가 동작 벡터들의 상기 입력 신호에 응답해 서 발생되며,
상기 출력 신호는 상기 예측 프레임 기억부에 결합되며,
상기 제 1 역양자화기 출력 신호는 상기 제 1 합산 장치의 상기 제 1 입력에 결합되며;
상기 예측 프레임 기억부는 동작 보상된 드리프트 (drift) 에러신호를 포함하는 출력 신호를 발생하며, 상기 동작 보상된 드리프트 에러 신호는 상기 제 1 합산 장치의 상기 제 2 입력에 결합되며;
상기 제 1 합산 장치의 출력이 상기 양자화기 입력에 결합되며,상기 양자화기 출력이 상기 제 2 역 양자화기 입력에 결합되며, 상기 제 2 역양자화기 출력은 역전되고 다음에는 상기 제 2 합산 장치의 상기 제 1 입력에 결합되며, 상기 제 1 역양자화기 출력은 상기 제 2 합산 장치의 상기 제 2 입력에 결합되며, 상기 제 2 합산장치의 출력이 상기 제 3 합산 장치의 상기 제 1 입력에 결합되며, 상기 제 3 합산 장치의 제 2 입력이 상기 예측 프레임 기억부의 상기 출력신호에 결합되며, 상기 제 3 합산 장치의 출력은 상기 예측 프레임 기억부에 결합되며, 상기 양자화기 출력은 재양자화된 DCT 계수들 및 새로운 양자화 파라미터들을 포함하는, 비트 속도 감소 장치.

청구항 2.

제1 전달 속도를 가진 제1 압축된 비디오 비트 스트림이 압축된 영역에서 상기 제1 전달 속도보다 늦은 제2 전달 속도를 가진 제2 압축된 비디오 비트 스트림으로 변환되는, 압축된 영역 비트 속도 감소 시스템에 있어서,
(a) 상기 제1 비디오 비트 스트림을 디멀티플렉싱하고 디코딩하여, (i) 상기 비디오 비트 스트림에 대하여 복수의 디지털화된 주파수 성분들을 나타내는 양자화된 DCT 계수 마이크로 블록들과, (ii) 각각의 마이크로 블록에 대해서 각각 수직 변위를 규정하는 제1 벡터와 수평 변위를 규정하는 제2 벡터를 포함하는 동작 벡터쌍과, (iii) 압축된 비디오 영상에 대한 시작점과, 압축된 비디오 영상 동기화 정보와, 상기 압축된 비디오 영상내의 주어진 마이크로 블록 또는 마이크로 블록들의 위치를 규정하는 헤더 정보를 발생하는 비디오 멀티플렉스 디코더와,
(b) 상기 비디오 멀티플렉스 디코더로부터 양자화된 DCT 계수 마이크로 블록을 수신하고, 속도 제어 프로세서로부터 양자화된 정보를 수신하여, 상기 비디오 멀티플렉스 디코더로부터 수신된 양자화된 DCT 계수 마이크로 블록들내의 계수의 수보다 적은 DCT 계수들을 포함하는 한 셋트의 처리된 DCT 계수 미이크로 블록들을 발생하는 DCT 계수 프로세서와,
(c) 상기 DCT 계수 프로세서로부터 얻은 재양자화된 DCT 계수 마이크로 블록들을 엔코딩하고, 상기 DCT 계수 프로세서로부터 얻은 동작 벡터를 엔코딩하고, 헤더 정보를 상기 엔코딩된 동작 벡터 및 엔코딩된 DCT 계수 마이크로 블록들과 멀티플렉싱하여, 상기 제2 압축된 비디오 비트 스트림을 발생하는 비디오 멀티플렉스 엔코더와,
(d) 상기 DCT 계수 프로세서를 위한 제어 정보를 제공하는 속도 제어 프로세서로서, 비디오 전달 버퍼내에 남아 있는 이용가능한 비트들의 수를 규정하는 전달 버퍼 상태 값에 따라서, 또한, 상기 제2 압축된 비디오 비트 스트림을 위한 원하는 비트 속도에 따라서 상기 DCT 계수 프로세서를 위한 새로운 양자화 정보를 발생하기 위한 프로세서를 포함하는 속도 제어 프로세서를 포함하며,
각각의 마이크로 블록은 마이크로 블록 경계에서 다른 마이크로 블록과 인접하며,
상기 DCT 계수 프로세서는,
(a) 상기 비디오 멀티플렉스 디코더로부터의 상기 양자화된 DCT 계수 마이크로 블록들과 상기 원래의 양자화 정보의 수신에 응답하여, 상기 양자화 정보에 따라서 재구성된 DCT 계수 마이크로 블록들의 형태로 출력을 발생하는 제1 역 양자화기와,
(b) 상기 재구성된 DCT 계수 마이크로 블록들과 DCT 피드백 신호를 수신하여, 상기 속도 제어 프로세서로부터 얻어

진 상기 새로운 양자화 정보에 따라서 재양자화된 DCT 계수 마이크로 블록들을 발생하는 양자화기와,
(c) 상기 재양자화된 DCT 계수 마이크로 블록들을 수신하고, 상기 새로운 양자화 정보에 기초하여 재구성된 DCT 계수들을 발생하는 제2 역양자화기와,
(d) 복수의 DCT 계수 마이크로 블록들을 각각 포함하는 적어도 하나의 프레임을 기억하고, 상기 프레임 기억 장치내에 기억된 상기 DCT 계수 마이크로 블록들에 기초하여 DCT 피드백 신호를 발생하는 예측 프레임 기억 장치와,
(e) 상기 비디오 멀티플렉스 디코더로부터 복수의 동작 벡터 쌍들을 수신하고, 각각의 처리된 동작 벡터 쌍들이 대응 DCT 계수 마이크로 블록 경계에 위치되도록 상기 동작 벡터 쌍들을 처리하는 동작 벡터 프로세서와,
(f) 상기 제1 역양자화기의 출력과, 상기 프레임 기억 장치의 출력과, 상기 양자화기의 입력에 결합되어, 상기 제1 역양자화기의 출력과 상기 프레임 기억 장치의 출력으로부터의 상기 DCT 피드백 신호를 합산하여 합을 발생하고, 상기와 같이 발생된 상기 합을 상기 양자화기의 입력에 인가하는 제1 합산 장치와,
(g) 상기 제1 역양자화기와 상기 제2 역양자화기에 결합되어, 상기 제1 역양자화기의 출력으로부터 상기 제2 역양자화기의 출력을 감산하여 DCT 에러 신호를 발생하며, 상기 DCT 에러 신호를 제3 합산 장치의 입력에 인가하는 제2 합산 장치와,
(h) 상기 제2 합산 장치와 프레임 기억 장치에 결합되어, 상기 DCT 에러 신호에 대하여 동작 보상을 수행하는 제3 합산 장치를 더욱 포함하는, 압축된 영역 비트 속도 감소 시스템.

청구항 3.

제2항에 있어서, 상기 제3 합산 장치는 상기 제2 합산 장치의 출력을 상기 프레임 기억 장치의 출력에 더하고, 그 합을 상기 프레임 기억 장치에 기억하는 압축된 영역 비트 속도 감소 시스템.

청구항 4.

제2항에 있어서, 상기 제2 합산 장치의 출력은 상기 프레임 기억 장치에 직접 결합되어 상기 제3 합산 장치를 바이패스하는, 압축된 영역 비트 속도 감소 시스템.

청구항 5.

제2항에 있어서, 압축된 비디오 영상의 현재 프레임을 위한 DCT 계수들을 규정하는 한 셋트의 인트라 코딩된 마이크로 블록들을 위하여, 상기 제2 합산장치의 출력으로부터의 상기 DCT 에러 신호가 상기 예측 프레임 기억 장치내에 기억되는, 압축된 영역 비트 속도 감소 시스템.

청구항 6.

제2항에 있어서, 압축된 비디오 영상의 주어진 프레임에 대응하는 한 셋트의 인터 코딩된 DCT 계수 마이크로 블록들을 위해서, 상기 제2 합산 장치로부터의 상기 DCT 에러 신호는 상기 처리된 동작 벡터 쌍에 기초하여 상기 코딩된 영역에서 동작 보상되어 한 셋트의 개량된 DCT 계수 마이크로 블록들을 발생하는, 압축된 영역 비트 속도 감소 시스템.

청구항 7.

제2항에 있어서, 인트라 코딩된 한 셋트의 DCT 계수 마이크로 블록들을 위해서, 상기 제1 역양자화기의 출력은 상기 양자화기의 입력에 결합되어 상기 제1 합산 장치를 바이패스하는, 압축된 영역 비트 속도 감소 시스템.

청구항 8.

제2항에 있어서, 인터 코딩된 한 셋트의 DCT 계수 마이크로 블록들을 위해서, 상기 제1 역양자화기의 출력은 상기 프레임 기억 장치의 출력에 더해지고 상기 합은 상기 양자화기의 입력에 인가되는, 압축된 영역 비트 속도 감소 시스템.

청구항 9.

제3항, 제4항, 제5항, 제7항 또는 제8항 중 어느 한 항에 있어서, 상기 DCT 계수 프로세서는,
(a) 상기 비디오 멀티플렉스 디코더로부터의 상기 양자화된 DCT 계수 마이크로 블록들과상기 양자화 정보의 수신에 응답하여, 상기 양자화 정보에 따라서 재구성된 DCT 계수 마이크로 블록들의 형태로 출력을 발생하는 제1 역양자화기와,
(b) 상기 재구성된 DCT 계수 마이크로 블록들과 DCT 피드백 신호를 수신하여, 상기 속도 제어 프로세서로부터 얻어진 상기 새로운 양자화 정보에 따라서 재양자화된 DCT 계수 마이크로 블록들을 발생하는 양자화기와,
(c) 상기 재양자화된 DCT 계수 마이크로 블록들을 수신하고, 상기 새로운 양자화 정보에 기초하여 재구성된 DCT 계수들을 발생하는 제2 역양자화기와,
(d) 복수의 DCT 계수 마이크로 블록들을 포함하는 프레임을 기억하고, 상기 프레임 기억 장치내에 기억된 상기 DCT 계수 마이크로 블록들에 기초하여 DCT 피드백 신호를 발생하는 예측 프레임 기억 장치와,
(e) 상기 제1 역양자화기의 출력과, 상기 프레임 기억 장치의 출력과, 상기 양자화기의 입력에 결합되어, 상기 제1 역양자화기의 출력과 상기 프레임 기억 장치의 출력으로부터의 상기 DCT 피드백 신호를 합산하여 합을 발생하고, 상기와 같이 발생된 상기 합을 상기 양자화기의 입력에 인가하는 제1 합산 장치와,
(f) 상기 제1 역양자화기와 상기 제2 역양자화기에 결합되어, 상기 제1 역양자화기의 출력으로부터 상기 제2 역양자화기의 출력을 감산하여 DCT 에러 신호를 발생하며, 상기 DCT 에러 신호를 제3 합산 장치의 입력에 인가하는 제2 합산 장치와,
(g) 상기 제2 합산 장치와 프레임 기억 장치에 결합되어, 상기 DCT 에러 신호에 대하여 동작 보상을 수행하는 제3 합산 장치를 더욱 포함하는, 압축된 영역 비트 속도 감소 시스템.

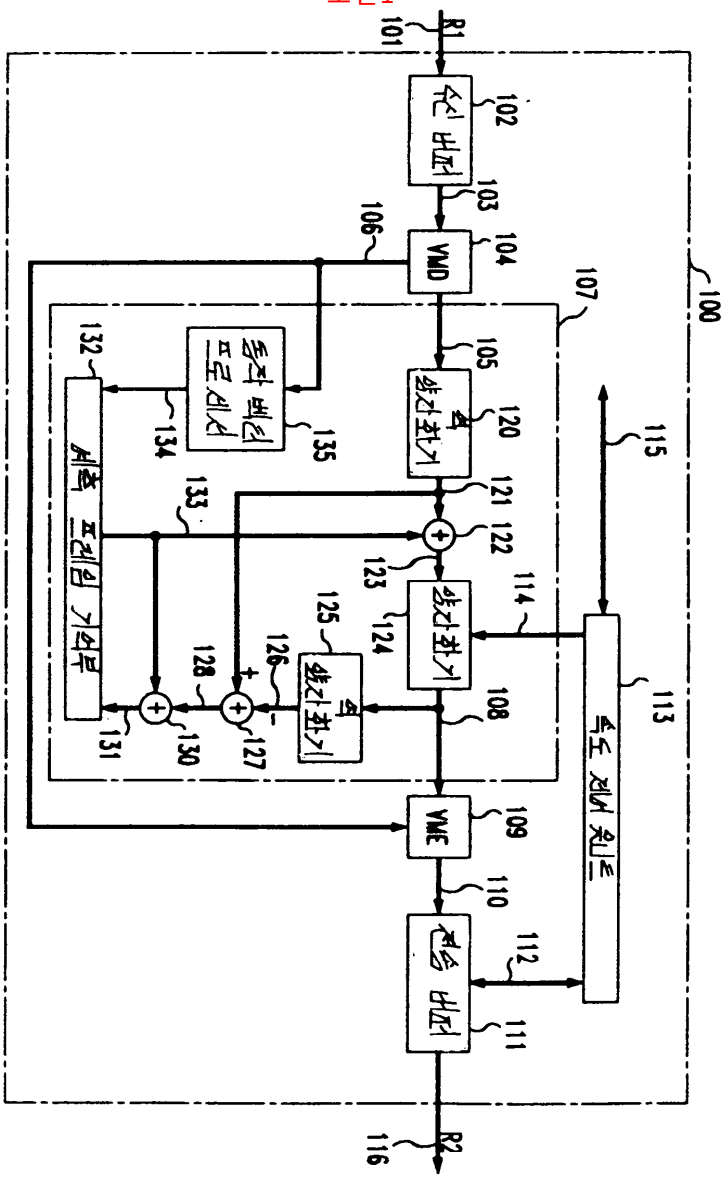
청구항 10.

제1 셋트의 양자화된 DCT 계수 마이크로 블록들은 압축된 영역에서 제2 셋트의 양자화된 DCT 계수 마이크로 블록들로 변환되고, 상기 제2 셋트의 양자화된 DCT 계수 마이크로 블록들은 상기 제1 셋트의 양자화된 DCT 계수 마이크

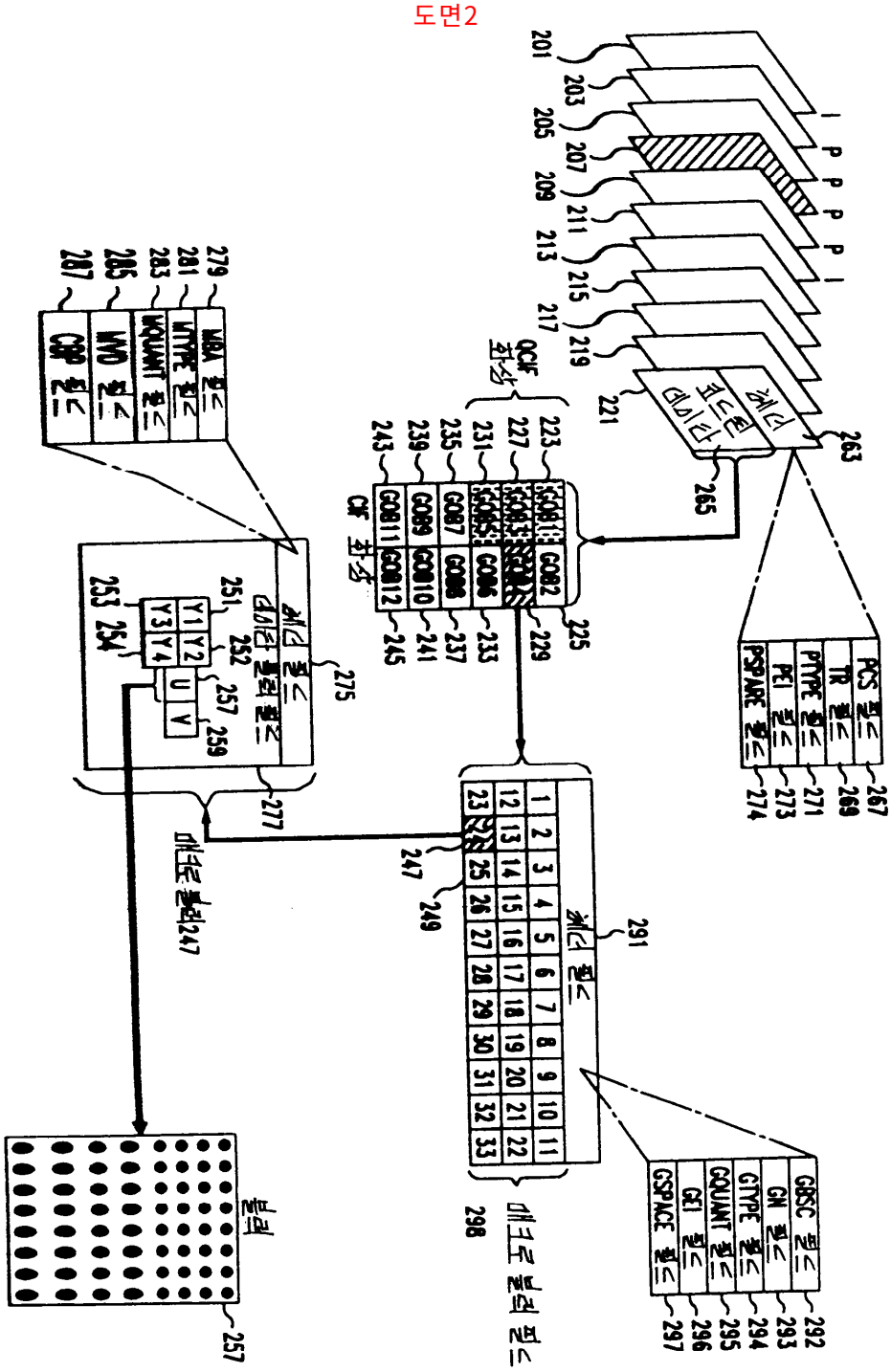
로 블록들보다 적은 DCT 계수들을 갖는, 압축된 영역 비트 속도 감소 시스템에 사용하기 위한 DCT 계수 프로세서에 있어서,
상기 DCT 계수 프로세서는 상기 제1 셋트의 양자화된 DCT 계수 마이크로 블록들과 양자화 정보를 수신하여 상기 제2 셋트의 양자화된 DCT 계수 마이크로 블록들을 발생하는 프로세싱 장치를 포함하며,
상기 DCT 계수 프로세서는,
(a) 상기 양자화된 DCT 계수 마이크로 블록들과 상기 양자화 정보의 수신에 응답하여, 상기 양자화 정보에 따라서 재구성된 DCT 계수 마이크로 블록들의 형태로 출력을 발생하는 제1 역양자화기와,
(b) 상기 재구성된 DCT 계수 마이크로 블록들과 DCT 피드백 신호를 수신하여, 상기 새로운 양자화 정보의 수신에 응답하여 재양자화된 DCT 계수 마이크로 블록들을 발생하는 양자화기와,
(c) 상기 재양자화된 DCT 계수 마이크로 블록들을 수신하고, 상기 새로운 양 자화 정보에 기초하여 재구성된 DCT 계수들을 발생하는 제2 역양자화기와,
(d) 복수의 DCT 계수 마이크로 블록들을 포함하는 프레임을 기억하고, 상기 예측 프레임 기억 장치내에 기억된 상기 DCT 계수 마이크로 블록들에 기초하여 DCT 피드백 신호를 발생하는 예측 프레임 기억 장치와,
(e) 복수의 동작 벡터 쌍들을 수신하고, 각각의 처리된 동작 벡터 쌍들이 대응 DCT 계수 마이크로 블록들 내에 위치되도록 상기 동작 벡터 쌍들을 처리하기 위해 장착되는 동작 벡터 프로세서와,
(f) 상기 제1 역양자화기의 출력과, 상기 프레임 기억 장치의 출력과 상기 양자화기의 입력에 결합되어, 상기 제1 역양자화기의 출력과 상기 프레임 기억 장치의 출력으로부터의 상기 DCT 피드백 신호를 합산하여 합을 발생하고, 상기와 같이 발생된 상기 합을 상기 양자화기의 입력에 인가하는 제1 합산 장치와,
(g) 상기 제1 역양자화기와 상기 제2 역양자화기에 결합되어, 상기 제1 역양자화기의 출력으로부터 상기 제2 역양자화기의 출력을 감산하여 DCT 에러 신호를 발생하며, 상기 DCT 에러 신호를 제3 합산 장치의 입력에 인가하는 제2 합산 장치와,
(h) 상기 제2 합산 장치와 프레임 기억 장치에 결합되어, 상기 DCT 에러 신호에 대하여 동작 보상을 수행하는 제3 합산 장치를 더욱 포함하는, 압축된 영역 비트 속도 감소 시스템에 사용하기 위한 DCT 계수 프로세서.

도면

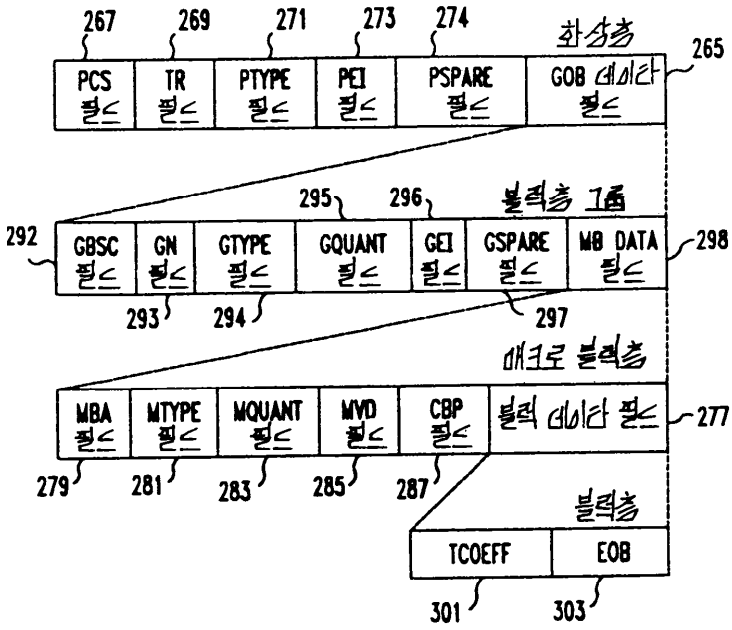
도면1


R1
수신 버퍼
VMD
움직 벡터 프로세서
예측 프레임 기억부
보간화기
보간화기
보간화기
속도 제어 회로
VME
전송 버퍼
R2
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
120
121
122
123
124
125
126
127
128
130
131
132
133
134
135

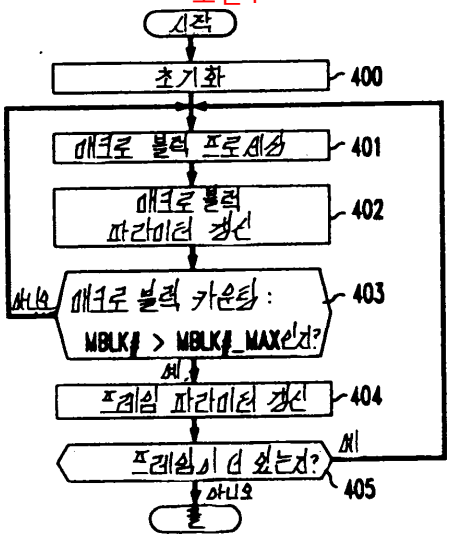
도면2


I
P
P
P
P
I
201
203
205
207
209
211
213
215
217
219
221
263
265
PCS 필드
TR 필드
PTYPE 필드
PEI 필드
PSPARE 필드
267
269
271
273
274
QCIF 화상
CIF 화상
223
227
231
235
239
243
225
229
233
237
241
245
GOB1
GOB2
GOB3
GOB4
GOB5
GOB6
GOB7
GOB8
GOB9
GOB10
GOB11
GOB12
279
281
283
285
287
MBA 필드
MTYPE 필드
MQUANT 필드
MVD 필드
CBP 필드
275
277
251
252
253
254
257
259
Y1
Y2
Y3
Y4
U
V
291
247
249
298
GBSC 필드
GN 필드
GTYPE 필드
GQUANT 필드
GEI 필드
GSPACE 필드
292
293
294
295
296
297
257

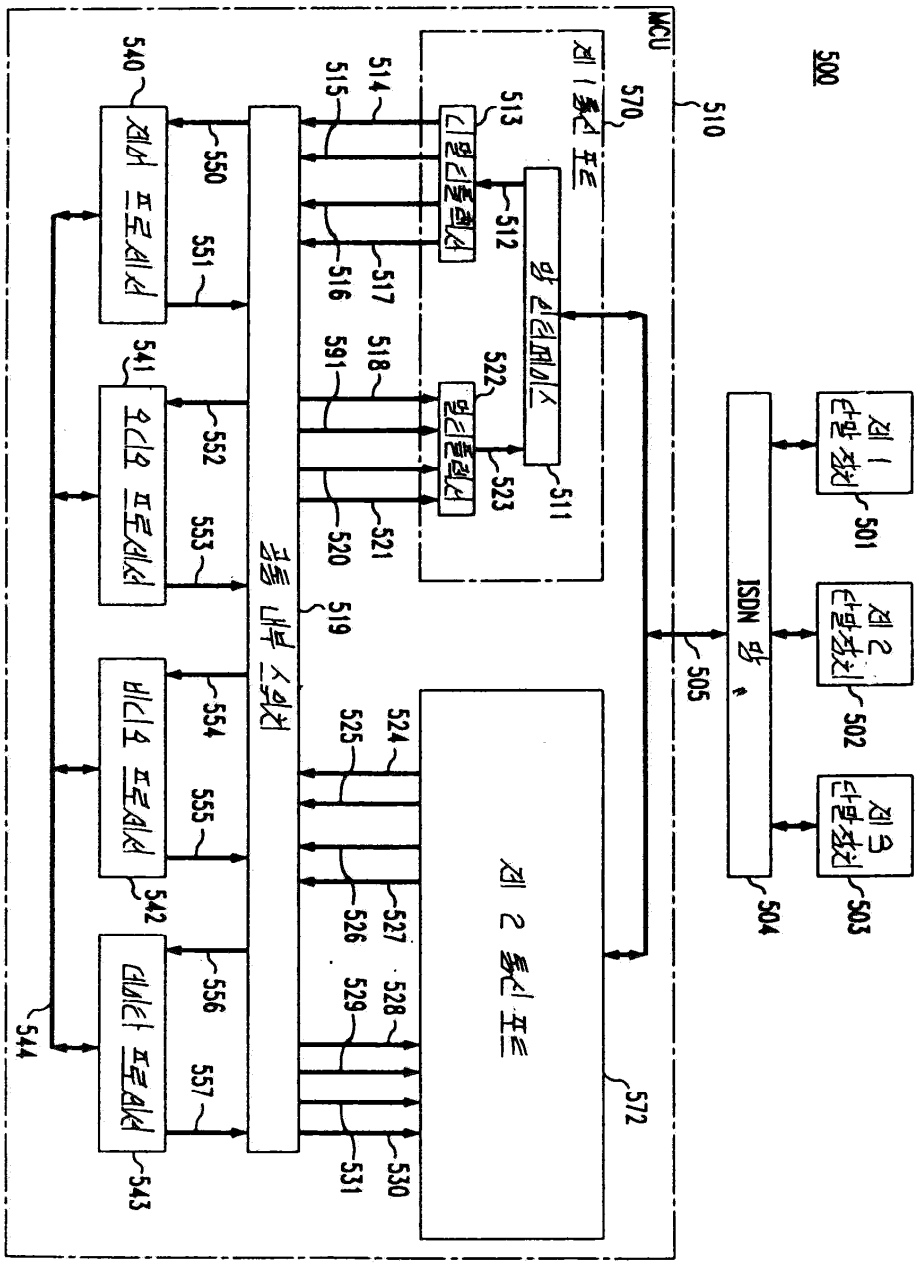
도면3


267
269
271
273
274
화상층
265
PCS 필드
TR 필드
PTYPE 필드
PEI 필드
PSPARE 필드
GOB 데이타 필드
295
296
블럭층 1개
292
GBSC 필드
GN 필드
GTYPE 필드
GQUANT 필드
GEI 필드
GSPARE 필드
MB DATA 필드
298
293
294
297
매크로 블럭층
MBA 필드
MTYPE 필드
MQUANT 필드
MVD 필드
CBP 필드
블럭 데이타 필드
277
279
281
283
285
287
블럭층
TCOEFF
EOB
301
303

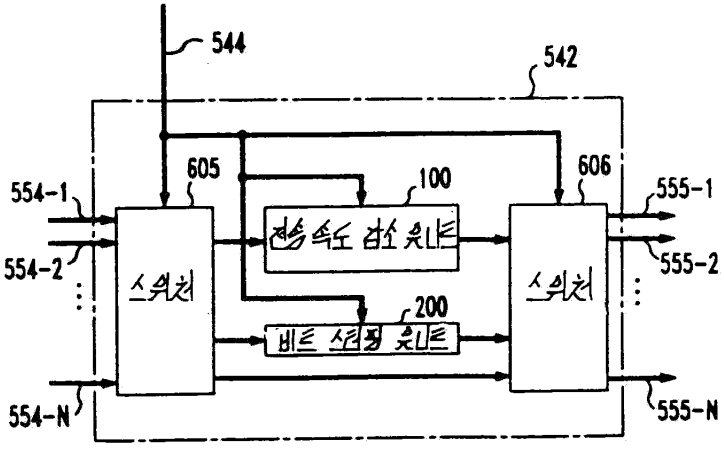
도면4


시작
초기화
400
매크로 블럭 프로세싱
401
매크로 블럭 파라미터 갱신
402
아니요
매크로 블럭 카운팅 :
MBLK# > MBLK#_MAX인가?
403
예
프레임 파라미터 갱신
404
프레임이 더 있는가?
예
405
아니요
끝

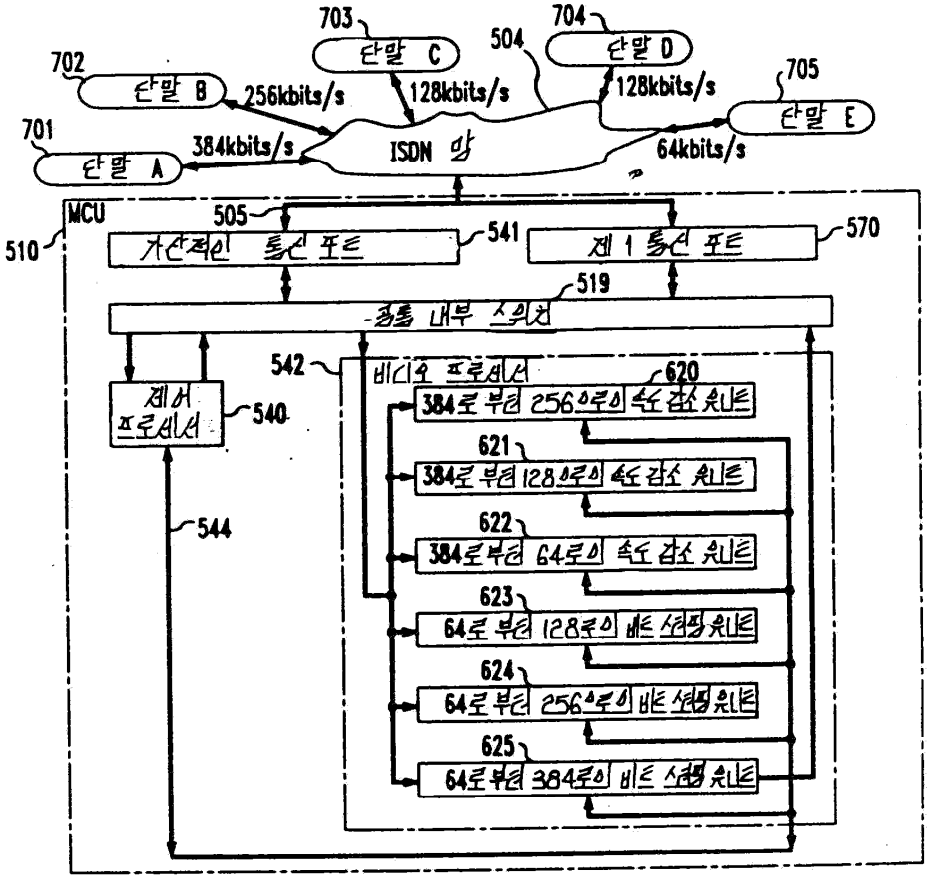
도면5


500
MCU
510
570
제 1 통신 포트
513
512
511
522
523
514
515
516
517
518
591
520
521
519
550
551
552
553
554
555
556
557
540
541
542
543
544
제어 프로세서
오디오 프로세서
비디오 프로세서
데이타 프로세서
공통 내부 스위치
제 2 통신 포트
572
524
525
526
527
528
529
530
531
505
ISDN 망
504
제 1 단말장치
501
제 2 단말장치
502
제 3 단말장치
503

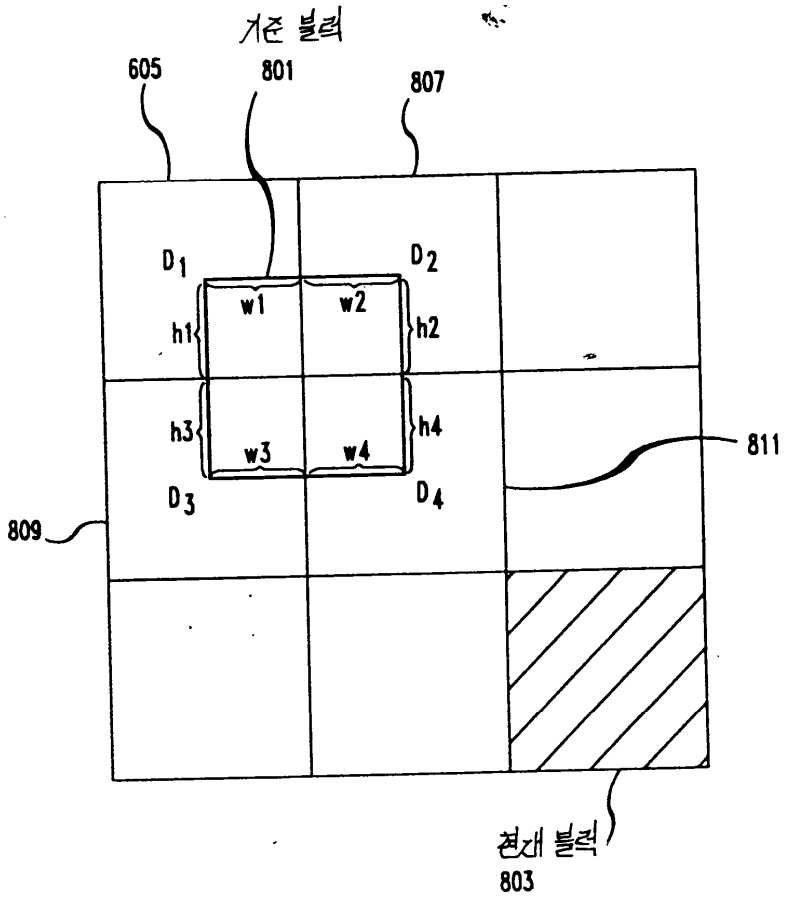
도면6


544
542
605
606
100
200
554-1
554-2
554-N
555-1
555-2
555-N
스위치
스위치
전송 속도 검소 유니트
비트 스터핑 유니트

도면7


703
단말 C
704
단말 D
504
702
단말 B
256kbits/s
128kbits/s
128kbits/s
705
단말 E
701
384kbits/s
ISDN 망
64kbits/s
단말 A
MCU
510
505
가산적인 통신 포트
541
제 1 통신 포트
570
519
공통 내부 스위치
542
비디오 프로세서
620
384로 부터 256으로의 속도 감소 유니트
621
384로 부터 128으로의 속도 감소 유니트
622
384로부터 64로의 속도 감소 유니트
623
64로 부터 128로의 비트 션팅 유니트
624
64로 부터 256으로의 비트 션팅 유니트
625
64로부터 384로의 비트 션팅 유니트
제어 프로세서
540
544

도면8


기준 블럭
605
801
807
D1
D2
w1
w2
h1
h2
h3
h4
w3
w4
D3
D4
809
811
현재 블럭
803