

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6358397号
(P6358397)

(45) 発行日 平成30年7月18日 (2018. 7. 18)

(24) 登録日 平成30年6月29日 (2018. 6. 29)

(51) Int. Cl.

F I

H02M 7/12 (2006.01)

H02M 7/12 Q

H02M 3/155 (2006.01)

H02M 3/155 W

H02M 3/155 C

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2017-528054 (P2017-528054)
 (86) (22) 出願日 平成27年7月14日 (2015. 7. 14)
 (86) 国際出願番号 PCT/JP2015/070155
 (87) 国際公開番号 WO2017/009950
 (87) 国際公開日 平成29年1月19日 (2017. 1. 19)
 審査請求日 平成29年6月13日 (2017. 6. 13)

(73) 特許権者 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100101247
 弁理士 高橋 俊一
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (74) 代理人 100098327
 弁理士 高松 俊雄
 (72) 発明者 照井 洋光
 埼玉県新座市北野3丁目6番3号 サンケ
 ン電気株式会社内

最終頁に続く

(54) 【発明の名称】 多相力率改善回路

(57) 【特許請求の範囲】

【請求項 1】

交流電源の交流電圧を整流する整流回路と、

前記整流回路の出力端子に複数相に対応した複数のコンバータが並列に接続され、前記
 複数のコンバータの各々がリアクトルと該リアクトルに直列に接続されたスイッチング素
 子とダイオードとを有する並列コンバータと、

前記並列コンバータの出力端子に接続される平滑コンデンサと、

前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記整流回路の出力電圧とに
 基づき前記複数相に対応した複数のパルス信号を生成し前記複数のパルス信号により前記
 複数のコンバータ内の前記スイッチング素子をオンオフさせる制御回路と、

前記複数のコンバータに対応して設けられ、前記スイッチング素子に流れる電流を検出
 する複数の電流検出器を備え、

前記制御回路は、前記複数の電流検出器で検出された電流に基づき力率を改善するとと
 もに前記スイッチング素子の保護を行い、

さらに、前記複数のコンバータに対応して設けられ、前記複数の電流検出器で検出され
 た電流に応じた電圧と、前記平滑コンデンサの出力電圧と前記整流回路の出力電圧との差
 に応じた電流とに基づき、前記リアクトルに流れる電流を再現する複数の電流再現回路を
 備える多相力率改善回路。

【請求項 2】

前記複数の電流再現回路は、前記平滑コンデンサの出力電圧と前記整流回路の出力電圧

10

20

との差に応じた電流を流す電流源と、

前記複数の電流検出器で検出された電流に応じた電圧が第 1 制御電極に印加されることでオンオフする第 1 トランジスタと、

前記第 1 トランジスタの出力電極に第 2 制御電極が接続され、前記第 1 トランジスタがオンしたときにオフし、前記第 1 トランジスタがオフしたときにオンする第 2 トランジスタと、

前記第 2 トランジスタの出力電極に一端が接続され、前記電流源に両端が接続されるコンデンサと、

を備える請求項 1 記載の多相力率改善回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、インターリーブコンバータ等の多相力率改善回路に関する。

【背景技術】

【0002】

従来の電流連続モード力率改善回路 (CCMPFC) は、特許文献 1 に記載されるように、入力電流を検出し、検出された入力電流に基づいて力率改善制御を行っていた。

【0003】

また、従来の CCMPFC は、特許文献 2 に記載されるように、スイッチに流れるスイッチ電流を検出し、スイッチ電流に基づいてスイッチの過電流保護を行っていた。

20

【0004】

また、単相の CCMPFC では、図 6 に示すように、電流センサ S3 により検出されるグラウンド電流は、CCMPFC 制御に必要な入力電流 (リアクトル L1 に流れる電流) に等しい。また、スイッチング素子 Q1 のオン時において、グラウンド電流は、スイッチング素子 Q1 の電流に等しい。このため、1 つの電流センサ S3 のみで、スイッチング素子 Q1 の過電流保護と CCMPFC 制御との両方を行うことができる。

【0005】

また、図 7 に示すように、リアクトル L1 とスイッチング素子 Q1 とダイオード D1 による第 1 コンバータと、リアクトル L2 とスイッチング素子 Q2 とダイオード D2 とによる第 2 コンバータとが並列に接続された並列コンバータにより、PFC を多相化したもの

30

も知られている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2013 - 192340 号公報

【特許文献 2】特開 2014 - 68424 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、PFC を多相化すると、グラウンド電流は、入力電流に等しいが、スイッチング素子 Q1 の電流、スイッチング素子 Q2 の電流とは異なる。このため、スイッチング素子 Q1 及びスイッチング素子 Q2 の過電流保護のため、電流センサ S1, S2 により各相の電流を検出し、CCMPFC 制御のため、電流センサ S3 により電流を検出していた。従って、3 つの電流センサ S1 ~ S3 が必要であった。また、電流不連続モード力率改善回路 (DCMPFC) や、電流臨界モード力率改善回路 (CRMPFC) においても、それぞれの PFC 制御のため、入力電流の検出が必要な場合があった。そのため、多相力率改善回路は、その構成が複雑になり、高コストになってしまうという懸念があった。

40

【0008】

本発明の課題は、簡易な構成によりスイッチング素子の保護と PFC 制御を実現することができる多相力率改善回路を提供することである。

50

【課題を解決するための手段】

【0009】

前記課題を解決するために、本発明の多相力率改善回路は、交流電源の交流電圧を整流する整流回路と、前記整流回路の出力端子に複数相に対応した複数のコンバータが並列に接続され、前記複数のコンバータの各々がリアクトルと該リアクトルに直列に接続されたスイッチング素子とダイオードとを有する並列コンバータと、前記並列コンバータの出力端子に接続される平滑コンデンサと、前記平滑コンデンサの出力電圧と基準電圧との誤差電圧と前記整流回路の出力電圧とに基づき前記複数相に対応した複数のパルス信号を生成し前記複数のパルス信号により前記複数のコンバータ内の前記スイッチング素子をオンオフさせる制御回路と、前記複数のコンバータに対応して設けられ、前記スイッチング素子に流れる電流を検出する複数の電流検出器を備え、前記制御回路は、前記複数の電流検出器で検出された電流に基づき力率を改善するとともに前記スイッチング素子の保護を行い、さらに、前記複数のコンバータに対応して設けられ、前記複数の電流検出器で検出された電流に応じた電圧と、前記平滑コンデンサの出力電圧と前記整流回路の出力電圧との差に応じた電流とに基づき、前記リアクトルに流れる電流を再現する複数の電流再現回路を備える。

10

【発明の効果】

【0010】

本発明によれば、制御回路は、スイッチング素子に流れる電流に基づき力率を改善するとともに各スイッチング素子の保護を行うので、電流検出器を削減することができ、簡易な構成によりスイッチング素子の保護とPFC制御を実現することができる。

20

【図面の簡単な説明】

【0011】

【図1】図1は実施例1の電流連続モード多相力率改善回路の回路構成図である。

【図2】図2は実施例1の電流連続モード多相力率改善回路の制御部に設けられた電流再現回路内の第1電流再現回路の構成を示す図である。

【図3】図3は実施例1の電流連続モード多相力率改善回路の制御部に設けられた電流再現回路内の第2電流再現回路の構成を示す図である。

【図4】図4は実施例1の電流連続モード多相力率改善回路の電流再現回路の動作を説明するためのタイミングチャートである。

30

【図5】図5は実施例2の電流連続モード多相力率改善回路の回路構成図である。

【図6】図6は従来の電流連続モード単相力率改善回路の回路構成図である。

【図7】図7は従来の電流連続モード多相力率改善回路の回路構成図である。

【発明を実施するための形態】

【0012】

以下、本発明の多相力率改善回路の実施例を図面を参照しながら説明する。

【0013】

(実施例1)

図1は実施例1の電流連続モード多相力率改善回路の回路構成図である。図1では、電流連続モード多相力率改善回路として、電流連続モード2相力率改善回路、即ち、電流連続モードインターリーブ力率改善回路を例示して説明する。

40

【0014】

なお、本発明は、電流連続モード多相力率改善回路として、電流連続モードで3相以上の複数相の力率改善回路にも適用可能であり、電流不連続モードまたは電流臨界モードの力率改善回路にも適用可能であるのは勿論である。

【0015】

電流連続モード2相力率改善回路は、2つのコンバータを並列に接続し、各コンバータの位相をそれぞれずらすことでコンバータに入力される電流及び電流のリプルを軽減させる電力変換装置である。

【0016】

50

図 1 において、全波整流器 2 は、本発明の整流回路に対応し、交流電源 1 から交流電圧を入力し入力された交流電圧を全波整流して整流電圧をコンデンサ C_i に出力する。

【0017】

全波整流器 2 の出力端には、コンデンサ C_i が並列に接続されるとともに、昇圧リアクトル L_1 とトランス T_1 の一次巻線 P_1 と MOSFET からなるスイッチング素子 Q_1 との第 1 直列回路が接続されている。昇圧リアクトル L_1 とトランス T_1 の一次巻線 P_1 との接続点にはダイオード D_1 のアノードが接続され、ダイオード D_1 のカソードは平滑コンデンサ C_o を介して接地されている。

【0018】

全波整流器 2 の出力端には、リアクトル L_2 とトランス T_2 の一次巻線 P_2 と MOSFET からなるスイッチング素子 Q_2 との第 2 直列回路が接続されている。昇圧リアクトル L_2 とトランス T_2 の一次巻線 P_2 との接続点にはダイオード D_2 のアノードが接続され、ダイオード D_2 のカソードは平滑コンデンサ C_o を介して接地されている。

【0019】

昇圧リアクトル L_1 とスイッチング素子 Q_1 とダイオード D_1 とは、第 1 コンバータを構成している。昇圧リアクトル L_2 とスイッチング素子 Q_2 とダイオード D_2 とは、第 2 コンバータを構成している。第 1 コンバータと第 2 コンバータの入力端と出力端のそれぞれは、互いに接続され、並列コンバータを構成している。

【0020】

全波整流器 2 の出力端には、分圧抵抗として抵抗 R_1 と抵抗 R_2 との直列回路が接続され、平滑コンデンサ C_o の両端には、分圧抵抗として抵抗 R_3 と抵抗 R_4 との直列回路が接続されている。

【0021】

制御回路 3 は、抵抗 R_1 と抵抗 R_2 との分圧比に基づく入力電圧 V_{AC} と抵抗 R_3 と抵抗 R_4 との分圧比に基づくフィードバック電圧 V_{FB} とを入力し、入力電圧 V_{AC} とフィードバック電圧 V_{FB} とに基づき駆動信号を生成して、MOSFET からなるスイッチング素子 Q_1 、 Q_2 のゲートに駆動信号を出力する。入力電圧 V_{AC} とフィードバック電圧 V_{FB} とを得るための分圧比は、互いに等しく設定されることが好ましい。

【0022】

トランス T_1 は、一次巻線 P_1 と二次巻線 S_1 とを有し、一次巻線 P_1 と二次巻線 S_1 との巻数比は、 $1:N$ である。一次巻線 P_1 の両端には、ダイオード D_3 と抵抗 R_5 との直列回路が接続され、ダイオード D_3 と抵抗 R_5 との接続点における電圧 C_{S1} は制御回路 3 の第 1 制御部 31 に入力される。トランス T_1 とダイオード D_3 と抵抗 R_5 とは、第 1 電流検出器を構成し、スイッチング素子 Q_1 の電流を検出し、検出した電流に比例した電圧 C_{S1} を出力する。

【0023】

トランス T_2 は、一次巻線 P_2 と二次巻線 S_2 とを有し、一次巻線 P_2 と二次巻線 S_2 との巻数比は、 $1:N$ である。一次巻線 P_2 の両端には、ダイオード D_4 と抵抗 R_6 との直列回路が接続され、ダイオード D_4 と抵抗 R_6 との接続点における電圧 C_{S2} は制御回路 3 の第 2 制御部 32 に入力される。トランス T_2 とダイオード D_4 と抵抗 R_6 とは、第 2 電流検出器を構成し、スイッチング素子 Q_2 の電流を検出し、検出した電流に比例した電圧 C_{S2} を出力する。第 1 電流検出器及び第 2 電流検出器は、本発明の複数の電流検出器に対応する。

【0024】

制御回路 3 は、誤差増幅器 Amp 、第 1 制御部 31、第 2 制御部 32、演算器 33、 V/I 変換回路 34、カレントミラー回路 35 を備える。

【0025】

誤差増幅器 Amp は、フィードバック電圧 V_{FB} と基準電圧 V_{ref1} との誤差を増幅して誤差増幅信号を出力する。演算器 33 は、入力電圧 V_{AC} と誤差増幅器 Amp からの誤差増幅信号とを演算して、スイッチング素子 Q_1 、 Q_2 に流れる電流の目標値を V/I

10

20

30

40

50

変換回路 34 に出力する。

【0026】

V/I 変換回路 34 は、演算器 33 からの電流目標値に基づく電圧を電流 IREF1, IREF2 に変換する。カレントミラー回路 35 は、V/I 変換回路 34 で変換された電流 IREF1 を第 1 制御部 31 に出力し、電流 IREF2 を第 2 制御部 32 に出力する。

【0027】

第 1 制御部 31 は、加算部 36、コンパレータ CMP3、電流再現回路 37、V/I 変換回路 38、コンパレータ CMP2、ロジック回路 39、バッファ BF を備えている。なお、第 2 制御部 32 も、第 1 制御部 31 の構成と同一構成であるので、ここでは、第 1 制御部 31 の各部の構成の詳細のみを説明する。

10

【0028】

電流再現回路 37 は、トランス T1 の二次巻線 S1 に発生した電圧を整流した電圧 CS1 と、入力電圧 VAC とフィードバック電圧 VFB との差電圧に比例した電流 Ia とに基づきリアクトル L1 に流れる電流を再現する。電流再現回路 37 は、再現した電流に応じた電圧 VIL を V/I 変換回路 38 に出力する。なお、電流再現回路 37 の詳細な回路構成については、後述する。

【0029】

V/I 変換回路 38 は、電圧 VIL を電流 I に変換する。加算部 36 は、カレントミラー回路 35 からの電流 IREF1 と V/I 変換回路 38 で変換された電流 I を減算し、得られた電流をコンパレータ CMP2 の反転入力端子に出力する。

20

【0030】

コンパレータ CMP2 は、加算部 36 からの電流と三角波信号とを比較することにより、パルス信号 PWM1 を生成してロジック回路 39 に出力する。第 2 制御部 32 は、パルス信号 PWM2 を生成するが、パルス信号 PWM2 のオンオフデューティ比は、パルス列信号 PWM1 のオンオフデューティ比と同じであり、パルス信号 PWM2 とパルス信号 PWM1 との位相は、180°、即ち半周期ずれている。

【0031】

コンパレータ CMP3 は、電圧 CS1 と基準電圧 Vref2 とを比較し、電圧 CS1 が基準電圧 Vref2 未満のときには、L レベルをロジック回路 39 に出力し、電圧 CS1 が基準電圧 Vref2 以上になったときに H レベル、即ち過電流保護信号をロジック回路 39 に出力する。

30

【0032】

ロジック回路 39 は、コンパレータ CMP3 から L レベルが入力されたときには、コンパレータ CMP2 からのパルス信号 PWM1 をバッファ BF に出力する。バッファ BF は、コンパレータ CMP2 からのパルス信号 PWM1 をスイッチング素子 Q1 のゲートに印加することによりスイッチング素子 Q1 をオンオフさせる。

【0033】

ロジック回路 39 は、コンパレータ CMP3 から H レベルが入力されたときには、コンパレータ CMP2 からのパルス信号 PWM1 をバッファ BF に出力させない。即ち、スイッチング素子 Q1 をオフさせることでスイッチング素子 Q1 の過電流保護を図ることができる。

40

【0034】

次に、電流再現回路 37 の詳細な回路構成を図 2、図 3 に示す。電流再現回路 37 は、図 2 に示す第 1 電流再現回路 37a と図 3 に示す第 2 電流再現回路 37b とからなる。第 1 電流再現回路 37a は、入力電圧 VAC とフィードバック電圧 VFB との差電圧に比例した電流 Ia を生成するもので、バッファ 40a, 40b、抵抗 R7~R9、オペアンプ 41, 42、MOSFET Q5、カレントミラー回路 43, 44 を備えている。

【0035】

バッファ 40a は、フィードバック電圧 VFB を抵抗 R7 を介してオペアンプ 41 の非反転端子に出力する。バッファ 40b は、入力電圧 VAC を抵抗 R8 を介してオペアンプ

50

4 1 の反転端子に出力する。

【 0 0 3 6 】

オペアンプ 4 1 の非反転端子には抵抗 R 7 の一端と抵抗 R 1 0 の一端とが接続され、抵抗 R 1 0 の他端は、接地される。オペアンプ 4 1 の反転端子には抵抗 R 8 の一端と抵抗 R 9 の一端とが接続され、抵抗 R 9 の他端は、オペアンプ 4 1 の出力端子に接続される。オペアンプ 4 1 は、フィードバック電圧 V_{FB} と入力電圧 V_{AC} との差電圧を出力する。

【 0 0 3 7 】

オペアンプ 4 2 の非反転端子には抵抗 R 9 の他端とオペアンプ 4 1 の出力端子とが接続され、オペアンプ 4 2 の反転端子には MOSFET Q 5 のソースと抵抗 R の一端とが接続される。抵抗 R の他端は、接地されている。

10

【 0 0 3 8 】

オペアンプ 4 2 の出力端子には MOSFET Q 5 のゲートが接続され、MOSFET Q 5 のドレインはカレントミラー回路 4 3 に接続されている。オペアンプ 4 2 及び MOSFET Q 5 は、オペアンプ 4 1 からのフィードバック電圧 V_{FB} と入力電圧 V_{AC} との差電圧を、フィードバック電圧 V_{FB} と入力電圧 V_{AC} との差電圧に応じた電流 I_1 に変換し、変換された電流 I_1 を MOSFET Q 5 と抵抗 R に流す。

【 0 0 3 9 】

カレントミラー回路 4 3 は、MOSFET Q 5 と抵抗 R に電流 I_1 を流すことにより、この電流 I_1 に比例した電流 I_2 をカレントミラー回路 4 4 に流す。カレントミラー回路 4 4 は、カレントミラー回路 4 3 からの電流 I_2 に比例した電流 I_a を流す。このため、電流 I_a は、フィードバック電圧 V_{FB} と入力電圧 V_{AC} との差電圧に比例した電流となる。また、電流 I_a は、スイッチング素子 Q 1 , Q 2 がオフ時のリアクトル L 1 , L 2 に流れる電流の傾きに応じた電流からなる。電流 I_a は、第 2 電流再現回路 3 7 b に設けられた電流源 I_a に流れる電流である。

20

【 0 0 4 0 】

次に、第 2 電流再現回路 3 7 b の構成について説明する。第 2 電流再現回路 3 7 b は、PNP 型のバイポーラトランジスタ Q 3 、抵抗 R 1 0 、NPN 型のバイポーラトランジスタ Q 4 、コンデンサ C 、電流源 I_a を備えている。

【 0 0 4 1 】

抵抗 R 1 0 の一端は、電源 V_{cc} に接続され、抵抗 R 1 0 の他端は、バイポーラトランジスタ Q 3 のエミッタに接続される。バイポーラトランジスタ Q 3 のベースには電圧 C_S が印加され、バイポーラトランジスタ Q 3 のコレクタは、接地されている。バイポーラトランジスタ Q 4 のコレクタは、電源 V_{cc} に接続されている。即ち、バイポーラトランジスタ Q 3 , Q 4 は、エミッタフォロアで構成されている。

30

【 0 0 4 2 】

バイポーラトランジスタ Q 4 のベースは、バイポーラトランジスタ Q 3 のエミッタ及び抵抗 R 1 0 の他端に接続されている。バイポーラトランジスタ Q 4 のエミッタは、コンデンサ C の一端と電流源 I_a の一端とバッファ 4 5 の入力端子に接続されている。コンデンサ C の他端と電流源 I_a の他端とは、接地されている。

【 0 0 4 3 】

次にこのように構成された第 2 電流再現回路 3 7 b の動作を図 3 及び図 4 を参照しながら説明する。図 4 は実施例 1 の電流連続モード多相力率改善回路の電流再現回路 3 7 の動作を説明するためのタイミングチャートである。図 4 (a) は電流 I_a が比較的大きい場合であり、図 4 (b) は電流 I_a が比較的小さい場合である。

40

【 0 0 4 4 】

図 4 において、 C_S はバイポーラトランジスタ Q 3 のベースに入力される電圧 C_S であり、 V_1 はバイポーラトランジスタ Q 4 のベース電圧である。Q 4 はバイポーラトランジスタ Q 4 であり、 V_c はコンデンサ C の電圧である。

【 0 0 4 5 】

なお、ここでは、スイッチング素子 Q 1 のオンオフ時の動作について説明する。スイッ

50

チング素子 Q 2 のオンオフ動作は、スイッチング素子 Q 1 のオンオフ動作と半周期ずれて行われる。

【 0 0 4 6 】

まず、スイッチング素子 Q 1 がオンすると、図 4 (a) に示す時刻 $t_1 \sim t_2$ において、トランス T 1 で検出されたスイッチング素子 Q 1 のスイッチ電流を変換した電圧 C S は、直線的に増加し、トランジスタ Q 3 のベースに印加される。すると、ベース電圧 V 1 が上昇し、トランジスタ Q 4 はオンする。このとき、トランジスタ Q 4 のベース電圧 V 1 は、電圧 C S よりもトランジスタ Q 3 のエミッタ - ベース間の順電圧 V F だけ高くなる。このため、コンデンサ C の電圧 V c は、ベース電圧 V 1 よりもトランジスタ Q 4 のベース - エミッタ間の順電圧 V F だけ低くなるので、電圧 C S と同じになる。

10

【 0 0 4 7 】

時刻 $t_1 \sim t_2$ においては、電源 V c c から抵抗 R 1 0 とバイポーラトランジスタ Q 4 を介して電力がコンデンサ C に供給されるので、コンデンサ C は、充電され、電圧 V c は、直線的に増加する。電圧 V c は、バッファ 4 5 を介して電圧 V I L として V / I 変換回路 3 8 に送られる。

【 0 0 4 8 】

次に、時刻 $t_2 \sim t_3$ において、スイッチング素子 Q 1 がオフすると、電圧 C S は、ゼロになる。電圧 C S がゼロの場合、電圧 V 1 から電圧 V c を引いた電圧は、順電圧 V F よりも小さいため、トランジスタ Q 4 はオフする。このため、コンデンサ C は電流源 I a により電荷を引き抜かれて放電するので、コンデンサ C の電圧 V c は減少していく。このとき、コンデンサ C の電圧 V c は、 $I a / C$ の傾きの電圧波形となる。

20

【 0 0 4 9 】

図 4 (a) では、電流 I a が大きいので、スイッチング素子 Q 1 がオフ時の電圧 V c の傾きが比較的大きいが、図 4 (b) では、電流 I a が小さいので、スイッチング素子 Q 1 がオフ時の電圧 V c の傾きが比較的小さくなっている。

【 0 0 5 0 】

$I a / C$ の傾きは、リアクトル L 1 の電流に対応している。この理由を以下に説明する。

【 0 0 5 1 】

スイッチング素子 Q 1 がオフ時のリアクトル L 1 の電流の傾きは、図 1 に示す入力電圧 V I N、出力電圧 V O U T に対して、式 (1) で表される。 I_L はリアクトル L 1 に流れる電流である。

30

$$d I_L / d T_{OFF} = (V_{OUT} - V_{IN}) / L \quad \dots (1)$$

【 0 0 5 2 】

スイッチング素子 Q 1 がオン時の電流は、実施例 1 の電流検出器の場合、式 (2) で表される。N は一次巻線 P 1 と二次巻線 S 1 との比である。

$$C S = R_5 \cdot I_L / N \quad \dots (2)$$

【 0 0 5 3 】

コンデンサ C の電圧傾きは、式 (3) で表される。L はリアクトル L 1 のインダクタンス値である。

40

$$I a / C = d V_c / d t = R_5 (V_{OUT} - V_{IN}) / N \cdot L \quad \dots (3)$$

【 0 0 5 4 】

図 1 及び図 2 より式 (4) が得られる。

$$I a = (R_1 + R_2) (V_{OUT} - V_{IN}) / (R_2 \cdot R) \quad \dots (4)$$

【 0 0 5 5 】

式 (3)、式 (4) より、第 1 電流再現回路 3 7 a の抵抗 R を、式 (5) で表される値に設定する。

$$R = (R_2 \cdot N \cdot L) / \{ (R_1 + R_2) \cdot R_5 \cdot C \} \quad \dots (5)$$

【 0 0 5 6 】

これにより、リアクトル L 1 に流れる電流に相当する信号をコンデンサ C に再現するこ

50

とができる。従って、第1電流検出器でスイッチング素子Q1の電流を検出し、検出された電流に応じた電圧Vcにより、リアクトルL1に流れる電流を検出したことになる。また、第2電流検出器でスイッチング素子Q2の電流を検出し、検出された電流に応じた電圧VcによりリアクトルL2に流れる電流を検出したことになる。このとき、入力電圧VACとフィードバック電圧VFBとを得るための分圧比は、互いに等しいので、各リアクトルに流れる電流を上記の式を用いて精度よく求めることができる。

【0057】

即ち、電流検出器毎に、電流検出器がスイッチング素子に流れる電流を検出すると、制御回路3は、各電流検出器で検出された電流に基づき力率を改善するとともに各スイッチング素子Q1、Q2の保護を行うので、各相1箇所ずつの電流検出によりスイッチング素子Q1、Q2の保護とCCMPFC制御を実現することができる。

10

【0058】

また、2つの電流検出器で、スイッチング素子Q1、Q2の保護とCCMPFC制御を実現することができ、図7に示す従来の構成に対して、電流検出器を1つ削減することができる。

【0059】

(実施例2)

図5は実施例2の電流連続モード多相力率改善回路の回路構成図である。図5に示す実施例2は、図1に示す実施例1のトランスT1、T2、ダイオードD3、D4、抵抗R5、R6に代えて、抵抗Rcs1(Rcs2)をスイッチング素子Q1(Q2)のソースに直列に接続している。

20

【0060】

抵抗Rcs1、Rcs2は、本発明の複数の電流検出器に対応する。抵抗Rcs1は、スイッチング素子Q1に流れる電流を検出し、検出された電流に応じた電圧を電圧CS1として第1制御部31に出力する。抵抗Rcs2は、スイッチング素子Q2に流れる電流を検出し、検出された電流に応じた電圧を電圧CS2として第2制御部32に出力する。

【0061】

図5に示す第1制御部31、第2制御部32の動作は、図1に示す第1制御部31、第2制御部32の動作と同様であるので、その説明は、省略する。

【0062】

30

このように実施例2の電流連続モード多相力率改善回路においても、実施例1の電流連続モード多相力率改善回路の効果と同様な効果が得られる。また、抵抗Rcs1、Rcs2を用いているので、回路を簡素化することができる。

【0063】

また、電流不連続モードまたは電流臨界モードの力率改善回路においても、従来設けていた電流検出器を削除することができるので、実施例1の電流連続モード多相力率改善回路の効果と同様な効果が得られる。

【産業上の利用可能性】

【0064】

本発明は、インターリーブ方式の力率改善回路に適用可能である。

40

【符号の説明】

【0065】

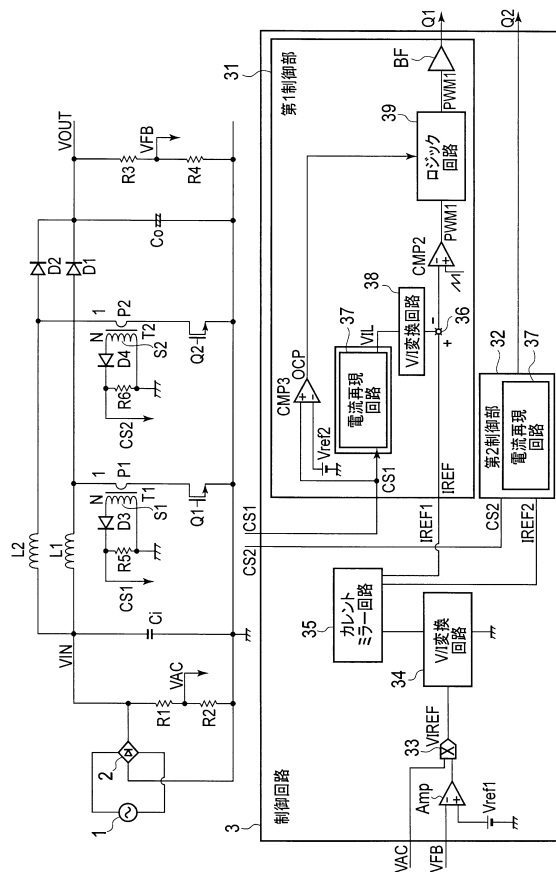
- 1 交流電源
- 2 全波整流器
- 3 制御回路
- 31 第1制御部
- 32 第2制御部
- 33 演算器
- 34, 38 V/I変換回路
- 35, 43, 44 カレントミラー回路

50

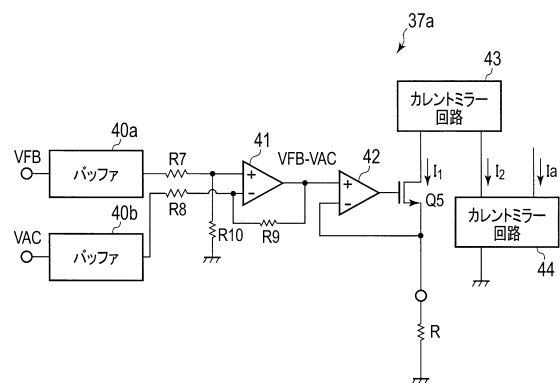
3 6 加算部
 3 7 電流再現回路
 3 9 ロジック回路
 L 1 , L 2 リアクトル
 T 1 , T 2 トランス
 D 1 ~ D 4 ダイオード
 Q 1 , Q 2 スwitchング素子
 Q 3 , Q 4 トランジスタ
 R 1 ~ R 4 抵抗
 C i , C o , C コンデンサ
 A m p 誤差増幅器
 I a 電流源

10

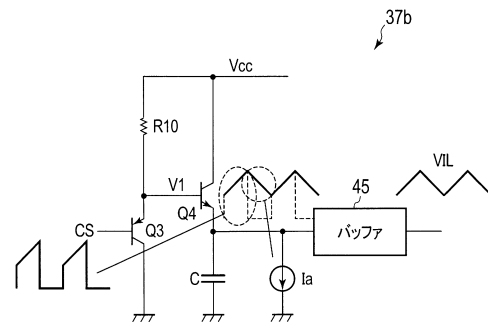
【図 1】



【図 2】



【図 3】



フロントページの続き

審査官 佐藤 匡

(56)参考文献 特開 2 0 1 4 - 1 1 0 7 1 1 (J P , A)
国際公開第 2 0 1 2 / 1 0 1 6 9 8 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 7 / 1 2
H 0 2 M 3 / 1 5 5