

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國； 2001,10,17； 09/981,583
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明 (發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)**【發明所屬之技術領域】****發明領域**

本發明概括有關於半導體技術，特定是有關於半導體元件及其製造。

5 【先前技術】**發明背景**

在一種習知的垂直MOSFET(金屬氧化物半導體場效電晶體)元件中，希望盡量降低元件之汲極至源極的電阻或 $R_{DS(on)}$ 。當MOSFET元件處於接通時， $R_{DS(on)}$ 與耗電量成正比，所以降低 $R_{DS(on)}$ 將可減少MOSFET元件的耗電量。可藉由增高元件的漂移區中之摻質(或載體)濃度來降低 $R_{DS(on)}$ 。但因為增高摻質濃度將降低元件的崩潰電壓，所以可能不希望增高摻質濃度。相反地，無法在不使 $R_{DS(on)}$ 亦不良地增高的情形下，將MOSFET元件的漂移區中的載體濃度降低以增高崩潰電壓。

美國專利5,216,275號描述具有增高的崩潰電壓及改良的接通電阻性質之半導體元件，此專利案所描述類型的元件係稱為“超接面(superjunction)”元件，所描述的超接面元件各包含一複合緩衝層，複合緩衝層具有電荷平衡之交錯摻質式P與N區。根據技術文件，超接面電晶體元件係呈現出比習知高電壓MOSFET元件更低5至100倍的特定接通電阻($R_{ON,SP}$)。

此等超接面電晶體元件雖然呈現高的崩潰電壓及低的接通電阻但難以製造，對於可適當運作的超接面元件，複

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

合緩衝層中的交錯P與N摻質區必須摻有等量的電荷材料以達成完美的電荷平衡，但實際卻難以產生此作用，譬如請見薛諾(Shenoy)等人的“超接面MOSFET的靜態及動態特徵之電荷不平衡的分析與效應”，Proc. Of the ISPSD 5 '99, pp.95-98, 1999。此外，因為極難以精密地平衡超接面電晶體元件的複合緩衝層中之摻質，在複合緩衝層中可達成的實際最大電場係限於約 2×10^5 伏特/公分，超接面電晶體元件所達成的實際最大電場係限制其崩潰電壓。

需要提供一種經改良的半導體元件，其比上述超接面
10 元件更容易製造且具有更高的崩潰電壓及更低的接通電阻。

【發明內容】

發明概要

本發明的實施例係有關於半導體元件及製造半導體元
15 件之方法。

本發明的一項實施例係有關於一種半導體元件，其包含：a)一半導體基材；b)半導體基材中之第一導電性類型的第一區；c)半導體基材中之第二導電性類型的第一第二區；d)複數個電荷控制電極，其中複數個電荷控制電極中各
20 電荷控制電極係適可與複數個電荷控制電極中其他電荷控制電極產生不同的偏壓；及e)配置於各個堆疊狀電荷控制電極周圍之一介電物質。

本發明另一項實施例係有關於一種場效電晶體，其包含：a)第一導電性類型的一半導體基材，其具有一主表面

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

、一漂移區及一汲極區；b)形成於半導體基材中之第二導電性類型的一井區；c)形成於井區中之第一導電性類型的一源區；d)與源區相鄰形成之一閘電極；e)埋設於漂移區內之複數個堆疊狀電荷控制電極，其中複數個堆疊狀電荷控制電極的各電荷控制電極係適可與複數個電荷控制電極中的另一電荷控制電極產生不同的偏壓，其中複數個堆疊狀電荷控制電極係適可調整半導體基材的漂移區內的一電場輪廓；及f)配置於各堆疊狀電荷控制電極周圍之介電物質。

本發明另一項實施例係有關於一種形成半導體元件之方法，此方法包含：a)提供一具有第一導電性類型的第一區之半導體基材；b)在半導體基材中形成一第二導電性類型的區；c)形成一第一電荷控制電極；及d)形成一第二電荷控制電極，其中第一電荷控制電極係適可產生與第一電荷控制電極不同的偏壓。

本發明另一項實施例係有關於一種場效電晶體，包含：a)一第一導電性類型的半導體基材，其具有一主表面、一漂移區及一汲極區；b)形成於半導體基材中之一第二導電性類型的井區；c)形成於井區中之一第一導電性類型的源區；d)耦合至源區之一源接觸層；e)與源區相鄰形成之一閘電極；f)埋設於漂移區內之一電荷控制電極，其中電荷控制電極係適可以與閘電極或源接觸層不同的一電位受到偏壓並適可控制漂移區中的電場；及g)配置於電荷控制電極周圍之一介電物質。

本發明另一項實施例係有關於一種形成場效電晶體之

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

方法，此方法包含：a)提供一第一導電性類型的半導體基
材，其具有一主表面、一漂移區及一汲極區；b)在半導體
基材中形成一第二導電性類型的井區；c)在井區中形成一
第一導電性類型的源區；d)在源區上形成一源接觸層；e)與
5 源區相鄰形成一閘電極；f)在漂移區內形成一電荷控制電極
，其中電荷控制電極係適可以與閘電極或源接觸層不同的
一電位受到偏壓並適可控制漂移區中的電場；及g)在電荷
控制電極周圍形成一介電物質。

參照下列圖式及詳細描述來說明本發明的上述及其他
10 實施例。

圖式簡單說明

第1圖顯示根據本發明一項實施例之一垂直溝道
MOSFET元件的剖視圖；

第2(a)圖顯示根據本發明一項實施例之一垂直溝道
15 MOSFET元件中的電場及崩潰電壓vs.距離(微米)的圖；

第2(b)圖顯示根據一種不具有電荷控制電極的習知垂直
溝道MOSFET元件之一垂直溝道MOSFET元件中的電場及崩
潰電壓vs.距離(微米)的圖；

第3圖顯示根據本發明一項實施例之一垂直平面性
20 MOSFET元件的剖視圖；

第4圖顯示根據本發明一項實施例之一功率二極體元件
的剖視圖；

第5圖顯示根據本發明一項實施例之一種雙載子電晶體
的剖視圖；

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

第6圖顯示根據本發明一項實施例之一側向MOSFET的剖視圖；

第7(a)-7(i)圖顯示內部形成有堆疊狀電極之半導體基材的剖視圖。

5 下文詳細描述本發明的上述及其他實施例。

【實施方式】

較佳實施例之詳細說明

本發明的實施例係有關於半導體元件，半導體元件較佳為功率半導體元件，諸如半導體元件等範例係包括垂直
10 MOSFET(例如平面性閘式或溝道閘式垂直MOSFET)、側向MOSFET、雙載子電晶體、功率二極體等。

半導體元件包含一諸如矽或砷化鎵基材等半導體基材，半導體基材係包含第一導電性類型的一區(例如N型區)並可具有一主表面，第二導電性類型的一區(例如P型區)亦形
15 成於半導體基材內。

本發明的實施例中，半導體元件包括一或多個電荷控制電極，電荷控制電極可能以與閘極、源極及汲極不同的一電位受到偏壓藉以控制半導體材料內的電場。部份實施例中，這些電荷控制電極可能稱為“場板(field plates)”，電
20 荷控制電極的間隔與配置可裝設成各種條帶或格室式設計。部份實施例中，各電荷控制電極的側壁可能大致平行。

在較佳的垂直半導體元件實施例中，電荷控制電極係堆疊及埋設在半導體基材內，電荷控制電極的堆疊係相對於半導體基材的主表面大致呈垂直定向，一介電物質配置

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

於各堆疊狀電荷控制電極的周圍以在半導體基材中使各電荷控制電極與半導體材料分隔。在垂直半導體晶圓的實施例中，電荷控制電極可側向配置於半導體基材上或中且未必呈堆疊狀。在垂直及水平式實施例中，複數個電荷控制電極的定向係可大致平行於漂移區中的電流方向。

本發明的部份實施例中，可能具有第一、第二、第三等複數個電荷控制電極，各複數個電荷控制電極可嵌設在一分離的介電物質結構中，這些不同複數個電荷控制電極可定位在半導體元件中的任何適當位置。譬如，在一垂直MOSFET元件中，不同的複數個堆疊狀電荷控制電極可配置於元件的一閘極底下、及/或閘極側邊。不同複數個電荷控制電極可彼此獨立運作或共同運作以變更半導體基材內的電場。

複數個電荷控制電極中的各電荷控制電極係適可與同組複數個電荷控制電極中的其他電荷控制電極產生不同之偏壓，可利用不同偏壓的電荷控制電極來調整半導體基材內的電場。譬如，當一垂直MOSFET元件處於阻擋狀態時，複數個電荷控制電極中的電荷控制電極係可具有不同的偏壓以在半導體基材的漂移區內維持一大致均勻且高的電場。藉由在漂移區內維持一大致均勻的電場來增高垂直MOSFET元件的崩潰電壓，漂移區可受到高度摻質以降低半導體元件的接通電阻而不犧牲元件的崩潰電壓性質。因此，本發明的實施例中，可產生具有高崩潰電壓及/或低接通電阻性質之半導體元件。

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

本發明的實施例係具有優於習知半導體元件(例如垂直 MOSFET 元件)之數項優點，譬如在本發明的實施例中採用可將電荷分散在半導體基材中之電荷控制電極，利用可精密設定的電荷控制電極的偏壓來控制元件的漂移區中之電荷分散，因此，半導體基材中的最大電場可遠大於約 2×10^5 伏特/公分，亦即超接面元件可達成的最大實際電場。本發明的實施例中，半導體基材中可生成的最大電場係只受限於圍繞電荷控制電極之介電物質其支撐電荷控制電極的電壓之能力，本發明的實施例中可達成之最大電場可輕易超過 3.5×10^5 伏特/公分，亦即為比超接面元件中可達成的電場更大之數值。所提出結構之另一項優點為：較容易在半導體基材中製作狹窄的電荷分佈區，藉此可改良半導體基材的使用與效率。並且，根據本發明的實施例之半導體元件不需使用具有相反導電性類型的精密摻質區之一複合緩衝層。因此，降低或消除了製造相反導電性類型的精密摻質區之相關問題。並且，本發明的實施例中，半導體元件可具有低電壓到中電壓範圍的崩潰額定值，同時呈現低的接通電阻。譬如，對於 150 伏特 N-通路式功率 MOSFET，本發明實施例中每單位面積的接通電阻經由模擬係比習知的 150 伏特 N-通路式功率 MOSFET 之 1 每單位面積的接通電阻更小 50%。雖然超接面元件具有低的接通電阻性質，因為超接面元件的精密摻質需求已經避免使其產生低到中電壓範圍(例如 <200 伏特)的崩潰電壓額定值。經擴散 P/N 柱的使用電壓愈低，則需要愈小的間距。熱加工將因為不可避免的摻

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

質間擴散問題而難以形成此等小間距結構。本發明的實施例不具有這些限制。

第1圖顯示根據本發明一項實施例之一溝道MOSFET元件200的剖視圖，MOSFET元件200包括一半導體基材250，
5 半導體基材250具有一主表面252，半導體基材250為第一導電性類型。此範例中，第一導電性類型為N-型且半導體基材250包括一 N^- 漂移區240及一 N^+ 汲極區218，漂移區240可對應於一垂直MOSFET元件中的“磊晶”或“epi”層，一汲電極226鄰近於汲極區218並可能對於溝道MOSFET元件200作
10 為一汲極端子。

溝道MOSFET元件200包括第二導電性類型的一井區230、及形成於井區230中之一源區232，此範例中，第二導電性類型為P-型且源區232具有 N^+ 摻質，一 P^+ 重體區246亦可形成於半導體基材250中。

15 一閘結構236形成於一溝道210(b)中因而可視為溝道式閘結構，閘結構236可包含包括摻質或未摻質的多晶矽或金屬(例如耐火金屬)等任何適當的導電材料。此範例中，閘結構236係充填在溝道210(b)中的一介電物質206(b)中之一U形槽。其他實施例中，閘結構可充填一介電物質中之一V形槽
20 圍繞閘結構236之介電物質206(b)係可能包含譬如二氧化矽、氮化矽、玻璃等其中一或多者。

一介電蓋結構208覆蓋住閘結構236以使閘結構236與源區232隔離，介電蓋結構208可譬如包括硼矽酸鹽玻璃，一源接觸層202可接觸 N^+ 源區232。源接觸層202可包含一種諸

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

如鎢等材料或複晶矽-金屬矽化物(polycide)，一源金屬層242可包含一種諸如鋁等金屬並可覆蓋住源接觸層202及介電蓋結構208。

5 複數個溝道210(a)-210(c)形成於半導體基材250中，各溝道210(a)-210(c)從主表面252延伸並進入漂移區240內，溝道210(a)-210(c)的底部位於汲極區218上方但可延伸入汲極區218內。

不同複數個電荷控制電極係位於MOSFET元件中，各電荷控制電極可由任何適當的材料形成，譬如，電荷控制10 電極可由經摻質或未摻質的多晶矽或金屬構成。

在第1圖所示的範例中，第一複數個電荷控制電極212(a)-212(b)、第二複數個電荷控制電極214(a)-214(b)、第三複數個電荷控制電極216(a)-216(b)係分別配置於第一、第二、第三溝道210(a)-210(c)中。位於一共同溝道內的電荷控制15 電極顯示一種堆疊狀關係，藉由各溝道210(a)-210(c)內的介電物質206(a)-206(c)使電荷控制電極彼此分隔且與N-漂移區240分隔，位於不同複數個電荷控制電極內的電荷控制電極可對於主表面252具有大約相同的垂直距離，譬如，電荷電極212(a)、214(a)、216(a)可位於半導體基材252內的相同20 垂直位置。

此範例中，各溝道內的各複數個電荷控制電極係由兩個電荷控制電極所組成，雖然第1圖所示的實施例中在各溝道210(a)-210(c)中顯示兩個電荷控制電極，已知在本發明的實施例中各溝道中可出現任何適當數量的電荷控制電極。

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

譬如，本發明的部份實施例中，各溝道中可能具有三個、四個、五個等垂直堆疊狀的電荷控制電極，一般而言，若每堆疊的電荷控制電極具有較多個電荷控制電極，則可在漂移區240中生成較均勻的電場。

- 5 其他實施例(例如場效電晶體實施例)中，(譬如每個溝道)可有一個電荷控制電極埋設在一元件的漂移區中。此一電荷控制電極可直接配置於一閘電極底下或可配置在一閘電極的一側。在一場效電晶體中，一或多個電荷控制電極較佳以與源接觸金屬、閘電極及/或汲電極不同的一電位受
- 10 到偏壓。

- 在包括一閘電極的MOSFET元件實施例中，一或多個電荷控制電極可位於任何適當的區域，譬如，電荷控制電極可例如配置於(i)閘電極的一或兩側而非直接在閘電極底下，(ii)只直接在閘電極底下而非閘電極側邊，或(iii)直接
- 15 在閘電極底下及閘電極側邊。如上述，閘電極可能為溝道狀或平面性。

- 各電荷控制電極212(a)-212(b)、214(a)-214(b)、216(a)-216(b)可藉由可形成於半導體基材250中或上之偏壓元件(未圖示)個別地偏壓，偏壓元件可以與源接觸金屬202、閘電極236及/或汲電極226不同的電位使電荷控制電極212(a)-212(b)、214(a)-214(b)、216(a)-216(b)偏壓。可利用任何適當的偏壓元件令電荷控制電極偏壓，譬如，偏壓元件可為在一分壓器中具有不同電阻值的電阻器。或者，偏壓元件可為具有不同電壓額定值之一系列的二極體，適當二極體
- 20

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

的範例請見以引用方式整體併入本文中之美國專利
5,079,608號。部份實施例中，偏壓元件可耦合至電荷控制
電極，譬如，源電極242可附有偏壓元件以對於電荷控制電
極212(a)-212(b)、214(a)-214(b)、216(a)-216(b)提供適當的
5 偏壓電壓。偏壓元件亦可耦合至閘電極216或汲電極226。

可利用各溝道210(a)-210(c)中經偏壓的電荷控制電極
212(a)-212(b)、214(a)-214(b)、216(a)-216(b)來變更半導體
基材250的漂移區240內之電場。當元件200處於阻擋狀態時
，經偏壓的電荷控制電極212(a)-212(b)、214(a)-214(b)、
10 216(a)-216(b)係變更漂移區240內的電場，所以漂移區218中
若不出現電荷控制裝置，則漂移區240中將產生較高且較均
勻的電場輪廓。經偏壓的電荷控制電極212(a)-212(b)、
214(a)-214(b)、216(a)-216(b)較佳係變更漂移區240內的電
場，所以在漂移區218的一整個顯著部份、或至少在電流從
15 源區232至汲極區218流經漂移區240的區域中具有高且大致
均勻的電場。

可由下式決定漂移區中的電場，其中E為電場， V_s 為半
導體基材中的一點之電壓， V_{CCE} 為電荷控制電極中的電壓
，d為半導體基材中的點與電荷控制電極之間的介電物質的
20 厚度：

$$E=(V_s-V_{CCE})/d$$

一項示範性實施例中，參照第1圖，利用電荷控制電極
214(a)-214(b)、216(a)-216(b)可在漂移區240中產生大約
3.0x10⁵伏特/公分之大致固定的電場。溝道210(b)、210(c)

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

中的介電物質206(b)、206(c)厚度 t 可能約為1微米，在漂移區240中的點A處半導體可約有40伏特的電位，在漂移區240中的點B處的電位可約為60伏特，。為了在漂移區240中保持固定且呈水平定向的約 3.0×10^5 伏特/公分電場，各別溝道

5 210(b)、210(c)中的第一電荷控制電極214(a)、216(a)可偏壓至10伏特，而第二電荷控制電極214(b)、216(b)可偏壓至30伏特。如此範例所顯示，施加至不同的各別電荷控制電極之偏壓電壓係可從P體部/N⁻漂移接面往汲極區增高。如此範例所顯示，部份實施例中，一半導體基材中位於相同垂直位置但處於不同複數個電荷控制電極內之電荷控制電極

10 係可以大約相同電壓受到偏壓，譬如在第1圖的MOSFET200中，下電荷控制電極212(b)、214(b)、216(b)可受到相似的偏壓，但在部份實施例中，施加至下電荷控制電極212(b)、214(b)、216(b)的偏壓電壓將不同於施加至上

15 電荷控制電極212(a)、214(a)、216(a)的偏壓電壓。

利用在一半導體元件的漂移區中具有不同偏壓的電荷控制電極係可“撫平”跨過漂移區的電場輪廓(相較於若無電荷控制電極時出現在一漂移區中之電場輪廓)。若不出現電荷控制電極，跨過漂移區時將呈現三角形的電場輪廓。在

20 一習知元件中，電場係在體/漂移或井/漂移PN接面具有一最大值、並在汲極區具有一最小值，電場輪廓隨後自PN接面往汲極區線性減小。本發明人已判定：跨過一半導體元件的漂移區之一較平及較高的電場輪廓將會導致增高的崩潰電壓，可利用電荷控制電極在漂移區中產生較平及較高

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

的電場，一般而言，在漂移區中使用較不同偏壓的電荷控制電極將可在漂移區中導致更均勻的電場。

舉例來說，第2(a)圖顯示具有兩個堆疊狀電荷控制電極之垂直溝道功率MOSFET元件中的電場與崩潰電壓 vs. 垂直距離(微米)的圖，此圖為電腦模擬的結果，x軸(亦即Y(微米))的較低值係代表半導體基材中緊鄰MOSFET元件的源區之點，較高值則代表緊鄰汲極區之點，圖中x軸的值代表半導體基材中之一特定的垂直位置。

第2(a)圖具有兩條線，電場(E_m)的第一線12係為距離之函數，第二線14顯示崩潰電位為距離之函數。第一線12包括與半導體基材(例如一P井/N漂移二極體)中一PN接面的電場相對應之一峰值16(a)，峰值16(b)可與由於一第一電荷控制電極(例如第1圖的電荷控制電極216(a))所導致之局部最大電場相對應，第一電荷控制電極譬如可偏壓至25伏特，峰值16(b)可與由於一第二電荷控制電極(例如第1圖所示的電荷控制電極216(b))所導致之局部最大電場相對應，第二電荷控制電極譬如可偏壓至64伏特。如第2(a)圖所示，第一線12大致呈梯形且其在出現電荷控制電極及一PN接面處具有局部最大值並且亦在局部最大值之間下沉，若使用較多個電荷控制電極，梯形頂部將變得更平且具有較少下沉。第二線14顯示崩潰電位在靠近PN接面處為較小、且在較接近半導體元件的漂移區時則較大，如第二線14所示，崩潰電位通過漂移區時緩慢升高。

比較言之，第2(b)圖顯示由電腦模擬產生之一習知垂直

☑續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

MOSFET元件(不具有電荷控制電極)之電場與崩潰電位vs.垂直距離的圖，此圖包括第一線22及第二線24，第一線22係為電場vs.距離之函數，第二線24為崩潰電壓vs.距離之函數。如第一線22所示，一最大值26電場出現在MOSFET元件中的PN接面且電場往汲極區減小，第一線22顯示通過半導體元件厚度的電場輪廓為“三角形”而非如第2(a)圖般地概呈平坦，第二線24顯示崩潰電壓經過漂移區時快速升高。

對於崩潰電位vs.距離之函數的比較圖係顯示：習知的MOSFET元件中朝向汲極區之崩潰電位係比根據本發明一項實施例的MOSFET元件中更快速升高，譬如比較第2(a)圖的線14與第2(b)圖的線26，電腦模擬顯示本發明的實施例將具有比無電荷控制電極的MOSFET元件更高之崩潰電壓，譬如，電腦模擬已顯示：對於相同的漂移區載體濃度而言，習知的MOSFET元件的崩潰電壓約為80伏特，具有電荷控制電極之MOSFET元件的崩潰電壓則約為138伏特。

可參照第3至6圖描述具有電荷控制電極之各種其他元件實施例。

第3圖顯示根據本發明另一項實施例之一種垂直MOSFET100，垂直MOSFET100亦包括一半導體基材150，半導體基材150係具有一 P^+ 井區130、以及在其中形成之一 N^+ 源區132。一 P^+ 體區146亦緊鄰 N^+ 源區132，一汲極區118及一漂移區140亦出現在半導體基材150中，一汲電極126係接觸 N^+ 汲極區118，而一汲極金屬102接觸 N^+ 源區132。此圖中，垂直MOSFET100具有受到一閘氧化物122圍繞之一平

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

面性閘結構120。並且，此範例中，在平面性閘結構120後方不具有電荷控制電極。

兩個溝道110(a)-110(b)配置於閘結構120的相對側，各溝道110(a)-110(b)包括堆疊狀電荷控制電極112(a)-112(b)、114(a)-114(b)，藉由一介電物質106(a)、106(b)將堆疊狀電荷控制電極112(a)-112(b)、114(a)-114(b)彼此加以隔離且在漂移區140中與半導體材料隔離。如上述，此範例中雖然在每個溝道或每複數個電荷控制電極出現兩個電荷控制電極112(a)-112(b)、114(a)-114(b)，其他實施例中在每個溝道或每複數個電荷控制電極亦可能出現三個、四個、五個等或更多個電荷控制電極112(a)-112(b)、114(a)-114(b)。

電荷控制電極112(a)-112(b)、114(a)-114(b)可適當地偏壓以在垂直MOSFET元件100的漂移區140內形成一大致均勻的電場，可利用諸如二極體或分壓器等偏壓元件(未圖示)將電荷控制電極112(a)-112(b)、114(a)-114(b)適當地偏壓，偏壓元件可耦合至垂直MOSFET元件100的源極、閘極或汲極。

第4圖顯示根據本發明一項實施例之一功率二極體80，功率二極體80包括一半導體基材85，半導體基材85係具有第一導電性類型的第一區86及第二導電性類型的第一區82。此範例中，第一區86具有N摻質且第二區82具有P⁺摻質，半導體基材85亦包括第一導電性類型的一接觸區84(亦即一N⁺區)。

複數個溝道98(a)-98(d)係形成於半導體基材85中，各

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

溝道98(a)-98(d)可從半導體基材85的一主表面延伸一預定距離進入半導體基材85中。

各溝道98(a)-98(d)包含複數個堆疊狀電荷控制電極90(a)-90(b)、92(a)-92(b)、94(a)-94(b)、96(a)-96(b)。如同
5 前述的實施例，電荷控制電極可利用偏壓元件(未圖示)受到不同的偏壓，一介電物質88(a)-88(d)(例如二氧化矽)可位於各溝道98(a)-98(d)中以隔離電荷控制電極90(a)-90(b)、92(a)-92(b)、94(a)-94(b)、96(a)-96(b)與第一導電性類型的第一區86中之半導體材料。

10 不同偏壓的電荷控制電極90(a)-90(b)、92(a)-92(b)、94(a)-94(b)、96(a)-96(b)可在整個第一導電性類型的第一區86中形成一均勻的電場，以增高功率二極體80的崩潰電壓。如同先前的實施例，第一導電性類型的第一區86可有較重的摻質以降低功率二極體的正向偏壓狀態中之電阻，同
15 時增高功率二極體的逆向偏壓狀態中之阻擋電壓。

第5圖顯示根據本發明一項實施例之一種雙載子電晶體300的剖視圖，雙載子電晶體300包括一半導體基材350，半導體基材350具有一 N^- 漂移區(或 N^- 磊晶區)340及一 N^+ 區318。

20 半導體基材350亦包括形成於一P基極區330內之一N射極區332，一基極金屬342耦合至P基極區330且一射極金屬302耦合至射極區332，一N集極區316及一集極金屬326係與射極金屬302及N射極區332分隔。

一層間介電層306係隔離基極金屬342及射極金屬302，

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

層間介電層306亦包封住經偏壓的電荷控制電極314(a)、314(b)，偏壓元件(未圖示)可能適於以不同電位使電荷控制電極314(a)、314(b)偏壓，偏壓元件可耦合至基極金屬342、射極金屬302或集極金屬326。當電荷控制電極314(a)、314(b)適當偏壓時，其可控制位於P-基330與N集極區316之間的漂移區340區域內之電場。

替代性實施例中，電荷控制電極314(a)、314(b)可埋設在雙載子電晶體300的漂移區340中，一介電物質可覆蓋住埋設的電荷控制電極。

第6圖顯示根據本發明一項實施例之一側向MOSFET元件400，側向MOSFET400包括一半導體基材450，半導體基材450係具有一N⁻漂移區440及一N⁺區418。一P⁻井區430形成於半導體基材450中，一P⁺體區430及一N⁺源區432形成於P⁻井區430內，一N⁺汲極區426藉由漂移區440與P⁻井區430分隔，一源金屬442及一汲極金屬426分別耦合至N⁺源區432及N⁺汲極區428。

一平面性閘結構416介於N⁺源區432及N⁺汲極區428之間，經偏壓的電極414(a)、414(b)與半導體基材450的主表面分隔，經偏壓的電極414(a)、414(b)及平面性閘結構係由一層間介電層406所覆蓋，可使用偏壓元件(未圖示)令電極414(a)、414(b)偏壓。

替代性實施例中，電荷控制電極414(a)、414(b)可埋設在MOSFET元件400的漂移區440中，一介電物質可覆蓋住埋設的電荷控制電極。

☑續次頁(發明說明頁不敷使用時，請註記並使用續頁)

本發明的其他實施例係有關於使半導體晶圓形成有電荷控制電極之方法，譬如在部份實施例中，獲得一種具有第一導電性類型的第一區之半導體基材，第二導電性類型的第一第二區係形成於半導體基材中。在形成第二導電性類型的第二區之前或之後，形成一第一電荷控制電極及一第二電荷控制電極，第一及第二電荷控制電極可能彼此相鄰且可能形成於半導體基材中或半導體基材上，第一電荷控制電極適可與第二電荷控制電極產生不同的偏壓。

可參照第7(a)至7(i)圖描述用於在半導體基材中的一溝道內形成堆疊狀電荷控制電極之示範性方法實施例。

參照第7(a)圖，可首先獲得一半導體基材500，並可在半導體基材500中蝕刻一溝道502。可利用一異向性蝕刻程序來形成溝道502，形成溝道502之後，第一氧化物層504形成於溝道502壁上及半導體基材500的主表面上，第一氧化物層502可譬如由一種諸如化學氣相沉積(CVD)等氧化程序或沉積程序形成。

參照第7(b)圖，形成氧化物層504之後，一個多晶矽層510可形成於半導體基材500上，使得溝道502充填有多晶矽，可利用充填在溝道502的多晶矽形成一第一電荷控制電極(未圖示)。

參照第7(c)圖，形成多晶矽層510之後，可進行一種多晶矽凹部蝕刻來形成一第一電荷控制電極508。一般藉由一種乾RIE(反應性離子蝕刻)蝕刻程序來蝕刻多晶矽層510。如第7(c)圖所示，所產生的電荷控制電極508係妥善配置於

□續次頁(發明說明頁不敷使用時，請註記並使用續頁)

玖、發明說明

半導體基材500的主表面530底下且亦埋設於半導體基材500內。

參照第7(d)圖，形成第一電荷控制電極508之後，一介電層514可配置於半導體基材500上以充填溝道502的空餘空間，介電層514譬如可包含諸如BPSG(硼磷矽酸鹽玻璃)或BSG(硼矽酸鹽玻璃)等玻璃。若使用玻璃，可譬如利用一種具有一後續回流步驟的氣相沉積程序來沉積玻璃，在回流步驟中，整體結構受到加熱使玻璃流動而充填溝道502的空餘空間。或者，可在介電層514中使用一種諸如二氧化矽或氮化矽等介電物質。

參照第7(e)圖，沉積介電層514之後，在另一凹部蝕刻程序中以一種適當蝕刻劑進行蝕刻，介電層514受到蝕刻藉以使一介電結構516位於第一電荷控制電極508上，介電結構516可在第一電荷控制電極508與一後續形成的第二電荷控制電極(未圖示)之間作為障壁。

參照第7(f)圖，形成介電結構516之後，一第二氧化物層518可形成於半導體基材500上。如同前述的第一氧化物層，可利用一氧化程序或氣相沉積程序(例如CVD)形成第二氧化物層518。

參照第7(g)圖，形成第二氧化物層518之後，另一多晶矽層520可形成於半導體基材500上，可以與前述多晶矽層相同或不同的方式形成另一多晶矽層520。

參照第7(h)圖，形成多晶矽層520之後，進行另一凹部蝕刻程序以形成一第二電荷控制電極522，此範例中，第二

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

電荷控制電極522配置於半導體基材500的主表面530底下，藉由一介電物質使第一及第二電荷控制電極508、522彼此分隔且在半導體基材500中與半導體材料分隔。

如第7(i)圖所示，形成第二電荷控制電極522之後，可
5 移除一部份的第二氧化物層518，使得其餘部份位於半導體基材500的主表面底下，顯然可使用本文描述的一般加工順序在第二電荷控制電極522頂上或側邊形成額外的電荷控制電極。

形成第一及第二電荷控制電極508、522之後，可在第
10 7(i)圖所示的結構上進行用於形成MOSFET元件(例如，井成形、體成形、源成形等)之各種熟知的加工步驟。或者，可在形成第一及/或第二電荷控制電極508、522之前進行諸如井成形、體成形、源成形等一或多個MOSFET元件加工步驟。

15 關於形成井區、閘結構、源區及重體之額外細節請見Brian Sze-Ki Mo、Duc Chau、Steven Sapp、Izak Bencuya及Dean Edward Probst的名稱為“場效電晶體及其製造方法”的美國專利申請08/970,221號，此申請案係讓渡予本申請案的相同受讓人且以引用方式整體併入本文中。

20 亦可使用參照第7(a)至7(i)圖描述的加工順序來形成一具有一閘結構的溝道以及溝道中之一電荷控制電極。譬如，第7(h)圖所示的電荷控制電極522可形成為一閘結構而非電荷控制電極，此情形中在所形成的閘結構底下將有一個電荷控制電極508。

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

部份實施例中，可藉由提供第一導電性類型的一半導體基材來形成場效電晶體，此半導體基材具有一主表面、一漂移區及一汲極區。第二導電性類型的一井區係形成於半導體基材中，且第一導電性類型的一源區係形成於井區中。形成源區之後，一源接觸層係形成於源區上。在這些步驟之前或之後，一閘電極與源區相鄰形成。形成源區及/或閘電極之前或之後，一或多個電荷控制電極形成及埋設於漂移區內。各電荷控制電極適可以與閘電極或源接觸層不同的一電位受到偏壓，且各電荷控制電極適可控制漂移區中的電場，一介電物質在一或多項步驟中形成於電荷控制電極周圍，第7(a)至7(i)圖顯示電荷控制電極及一種覆蓋住電荷控制電極之介電物質的形成。

上文雖然顯示及描述數項特定實施例，本發明的實施例並不侷限於此，譬如已知可以逆轉所顯示及描述的結構之摻質極性及/或可以變更各種元件的摻質濃度而不脫離本發明。

上文雖然針對本發明的特定較佳實施例，本發明可具有其他及進一步實施例而不脫離本發明之基本範圍，此等替代性實施例預定包括在本發明的範圍內。並且，本發明的一或多項實施例之特性可與本發明的其他實施例的一或多項特性合併而不脫離本發明之範圍，譬如，第1圖所示的垂直元件雖未顯示電荷控制電極位於閘底下，但本發明其他實施例中電荷控制電極可以位於閘底下。

【圖式簡單說明】

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

第1圖顯示根據本發明一項實施例之一垂直溝道MOSFET元件的剖視圖；

第2(a)圖顯示根據本發明一項實施例之一垂直溝道MOSFET元件中的電場及崩潰電壓vs.距離(微米)的圖；

5 第2(b)圖顯示根據一種不具有電荷控制電極的習知垂直溝道MOSFET元件之一垂直溝道MOSFET元件中的電場及崩潰電壓vs.距離(微米)的圖；

第3圖顯示根據本發明一項實施例之一垂直平面性MOSFET元件的剖視圖；

10 第4圖顯示根據本發明一項實施例之一功率二極體元件的剖視圖；

第5圖顯示根據本發明一項實施例之一種雙載子電晶體的剖視圖；

15 第6圖顯示根據本發明一項實施例之一側向MOSFET的剖視圖；

第7(a)-7(i)圖顯示內部形成有堆疊狀電極之半導體基材的剖視圖。

玖、發明說明

【圖式之主要元件代表符號表】

12,22… 第一線	130… P+井區
14,24… 第二線	132,232,432… N+源區
16(a),16(b)… 峰值	140,240,340,440… 漂移區
26… 最大值	146… P+體區
80… 功率二極體	200… 溝道MOSFET元件
82… 第二區	202… 源接觸金屬
84… 接觸區	208… 介電蓋結構
85,150,250,350,450,500… 半導體基材	210(a)-210(c)… 第一、第二、第三溝道
86… 第一區	212(a),214(a),216(a)… 上電荷控制電極
88(a)-88(d),106(a),106(b),206(a)-206(c)… 介電物質	212(b),214(b),216(b)… 下電荷控制電極
90(a)-90(b),92(a)-92(b),94(a)-94(b),96(a)-96(b),314(a),314(b)… 電荷控制電極	230… 井區
98(a)-98(d),110(a)-110(b),210(a)-210(c),502… 溝道	232… 源區
100… 垂直MOSFET	236… 閘結構
102… 汲極金屬	242… 源金屬層
118,218,426,428… N+汲極區	246… P+重體區
120,416… 平面性閘結構	252,530… 主表面
122… 閘氧化物	300… 雙載子電晶體
126,226… 汲電極	302… 射極金屬
	306,406… 層間介電層
	316… N集極區

☑續次頁（發明說明頁不敷使用時，請註記並使用續頁）

玖、發明說明

發明說明末頁

- | | |
|---------------------|-----------------|
| 318,418... N+區 | 442... 源金屬 |
| 326... 集極金屬 | 504... 氧化物層 |
| 330... P基極區 | 508... 第一電荷控制電極 |
| 332... N射極區 | 510,520... 多晶矽層 |
| 342... 基極金屬 | 514... 介電層 |
| 400... 側向MOSFET元件 | 516... 介電結構 |
| 414(a),414(b)... 電極 | 518... 第二氧化物層 |
| 430... P-井區 | 522... 第二電荷控制電極 |

肆、中文發明摘要

揭露一種半導體元件，此半導體元件包括一或多個電荷控制電極，此一或多個電荷控制電極係可控制一半導體元件的漂移區內之電場。

伍、英文發明摘要

A semiconductor device is disclosed. The semiconductor device includes one or more charge control electrodes a plurality of charge control electrodes. The one or more charge control electrodes may control the electric field within the drift region of a semiconductor device.

陸、(一)、本案指定代表圖爲：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

200...溝道 MOSFET 元件	232...源區
202...源接觸金屬	236...閘結構
206(a)-206(c)...介電物質	240...漂移區
208...介電蓋結構	242...源金屬層
210(a)-210(c)...第一、第二、第三溝道	246...P+重體區
212(a),214(a),216(a)...上電荷控制電極	250...半導體基材
212(b),214(b),216(b)...下電荷控制電極	
218...N+汲極區	
226...汲電極	
230...井區	

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種半導體元件，其包含：
 - a)一半導體基材；
 - b)該半導體基材中之第一導電性類型的第一區；
 - 5 c)該半導體基材中之第二導電性類型的第一區；
 - d)複數個電荷控制電極，其中該等複數個電荷控制電極中之各個電荷控制電極係適可與該等複數個電荷控制電極中之其他電荷控制電極產生不同的偏壓；
 - 10 及
 - e)一介電物質，其配置於各個該等堆疊狀的電荷控制電極周圍。
2. 如申請專利範圍第1項之半導體元件，其中該半導體元件為一功率二極體。
- 15 3. 如申請專利範圍第1項之半導體元件，其中該半導體元件為一雙載子電晶體。
4. 如申請專利範圍第1項之半導體元件，其中該半導體基材包含一溝道，且其中該等複數個電荷控制電極中之電荷控制電極係堆疊在該溝道內。
- 20 5. 如申請專利範圍第1項之半導體元件，其中該等複數個電荷控制電極係為第一複數個電荷控制電極，且其中該半導體元件包括第二複數個電荷控制電極。
6. 如申請專利範圍第1項之半導體元件，其中該第一導電性類型為n-型，且該第二導電性類型為p-型。

☐續次頁（申請專利範圍頁不敷使用時，請註記並使用續頁）

拾、申請專利範圍

7. 如申請專利範圍第1項之半導體元件，其中各個該等複數個電荷控制電極包含多晶矽。
8. 如申請專利範圍第1項之半導體元件，其中該等複數個電荷控制電極受到偏壓而在該第一區中產生一大致均勻的電場。
9. 一種場效電晶體，其包含：
 - a)第一導電性類型的一半導體基材，其具有一主表面、一漂移區及一汲極區；
 - b)第二導電性類型的一井區，其形成於該半導體
 - 10 基材中；
 - c)該第一導電性類型的一源區，其形成於該井區中；
 - d)一閘電極，其與該源區相鄰形成；
 - e)複數個堆疊的電荷控制電極，其埋設在該漂移
 - 15 區內，其中該等複數個堆疊狀的電荷控制電極之各個電荷控制電極係適可與該等複數個電荷控制電極中之其他電荷控制電極產生不同的偏壓；及 f)一介電物質，其配置於各個該等堆疊狀的電荷控制電極周圍。
- 10.如申請專利範圍第9項之場效電晶體，其中該等複數個堆疊狀的電荷控制電極直接位於該閘電極下。
- 20 11.如申請專利範圍第9項之場效電晶體，其中該閘電極為一溝道式閘電極。
- 12.如申請專利範圍第9項之場效電晶體，其進一步包含能夠分別將該等複數個控制電極內的控制電極加以偏壓

拾、申請專利範圍

之複數個偏壓元件。

13. 如申請專利範圍第9項之場效電晶體，其中該等複數個堆疊狀的控制電極係配置於該閘電極的一側。
14. 如申請專利範圍第9項之場效電晶體，其中該等複數個堆疊狀的控制電極係為第一複數個堆疊狀控制電極，且其中該場效電晶體進一步包括第二複數個堆疊狀控制電極。
15. 如申請專利範圍第9項之場效電晶體，其中該等複數個堆疊狀的電荷控制電極係適可調整該半導體基材的漂移區內之一電場輪廓，使得整個該漂移區內的電場量值大致均勻且超過 2×10^5 伏特/公分。
16. 如申請專利範圍第9項之場效電晶體，其進一步包含一溝道，其中該等複數個堆疊狀的控制電極內之電荷控制電極係配置於該溝道內。
17. 如申請專利範圍第9項之場效電晶體，其中該場效電晶體係為一功率金屬氧化物半導體場效電晶體(MOSFET)。
18. 一種用於形成半導體元件之方法，此方法包含：
 - a) 提供一半導體基材，其具有第一導電性類型的第一區；
 - b) 在該半導體基材中形成第二導電性類型的一區；
 - c) 形成一第一電荷控制電極；及
 - d) 形成一第二電荷控制電極，其中該第一電荷控

☑續次頁（申請專利範圍頁不敷使用時，請註記並使用續頁）

拾、申請專利範圍

制電極適可產生與該第一電荷控制電極不同的偏壓。

19. 如申請專利範圍第18項之方法，其進一步包含在該半導體基材中形成一溝道，且其中形成該第一電荷控制電極係包含將一導電材料沉積在該溝道中然後蝕刻該沉積的導電材料。
20. 如申請專利範圍第19之方法，其中該導電材料為一第一導電材料，且其中形成該第二電荷控制電極係包含將一第二導電材料沉積在該溝道中然後蝕刻該沉積的第二導電材料。
21. 如申請專利範圍第18項之方法，其進一步包含：在該半導體基材中形成一溝道式閘結構。
22. 如申請專利範圍第18項之方法，其中該等第一及第二電荷控制電極包含多晶矽。
23. 如申請專利範圍第18項之方法，其中該方法進一步包含在該半導體基材上或中形成複數個偏壓元件，其中該等偏壓元件適可以不同電壓來偏壓該等第一及第二電荷控制電極。
24. 如申請專利範圍第18項之方法，其中該半導體元件為一功率MOSFET。
25. 一種場效電晶體，其包含：
 - a) 第一導電性類型的一半導體基材，其具有一主表面、一漂移區及一汲極區；
 - b) 第二導電性類型的一井區，其形成於該半導體基材中；

☒續次頁（申請專利範圍頁不敷使用時，請註記並使用續頁）

拾、申請專利範圍

- c)該第一導電性類型的一源區，其形成於該井區中；
- d)一源接觸層，其耦合至該源區；
- e)一閘電極，其與該源區相鄰形成；
- 5 f)一電荷控制電極，其埋設在該漂移區內，其中該電荷控制電極係適可以與該閘電極或該源接觸層不同的一電位受到偏壓、並適可控制該漂移區中的電場；及
- g)一介電物質，其配置於該電荷控制電極周圍。
- 10 26. 如申請專利範圍第25項之場效電晶體，其進一步包含一偏壓元件，該偏壓元件係適可以不同電位來偏壓該電荷控制電極。
27. 如申請專利範圍第25項之場效電晶體，其中該閘電極為一溝道式閘電極。
- 15 28. 如申請專利範圍第25項之場效電晶體，其中該電荷控制電極直接位於該閘電極底下。
29. 如申請專利範圍第25項之場效電晶體，其中該電荷控制電極直接位於該閘電極下，且其中該閘電極為一溝道式閘電極。
- 20 30. 一種用於形成場效電晶體之方法，包含：
- a)提供第一導電性類型的一半導體基材，其具有一主表面、一漂移區及一汲極區；
- b)在該半導體基材中形成第二導電性類型的一井區；

拾、申請專利範圍

- c)在該井區中形成該第一導電性類型之一源區；
 - d)在該源區上形成一源接觸層；
 - e)與該源區相鄰形成一閘電極；
 - f)在該漂移區中形成一電荷控制電極，其中該電荷
- 5 控制電極係適可以與該閘電極或該源接觸層不同的一
電位受到偏壓、並適可控制該漂移區中的電場；及
- g)在該電荷控制電極周圍形成一介電物質。
31. 如申請專利範圍第30項之方法，其中該閘電極為一溝
道式閘電極。
- 10 32. 如申請專利範圍第30項之方法，進一步包含：
- 形成一偏壓元件，其中該偏壓元件係適可偏壓該
電荷控制電極。

第 91123836 號
專利申請案

發明專利說明書

修正頁
93.03.16

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 91123836 ※IPC 分類： H01L27/10 587328

※ 申請日期： 91. 10. 16

壹、發明名稱

(中文) 半導體元件、場效電晶體以及其等之形成方法

(英文) SEMICONDUCTOR DEVICE, FIELD EFFECT TRANSISTOR, AND METHOD FOR FORMING THE SAME

貳、發明人(共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 科肯 克里斯多福 B.

(英文) KOCON, Christopher, Boguslaw

住居所地址：(中文) 美國賓州普勒斯·葛拉斯道 16 號

(英文) 16 Grace Drive, Plains, PA 18705, USA

國籍：(中文) 美國 (英文) U.S.A.

參、申請人(共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商·快捷半導體公司

(英文) Fairchild Semiconductor Corporation

住居所或營業所地址：(中文) 美國緬因州南波特蘭市賽跑山路 82 號

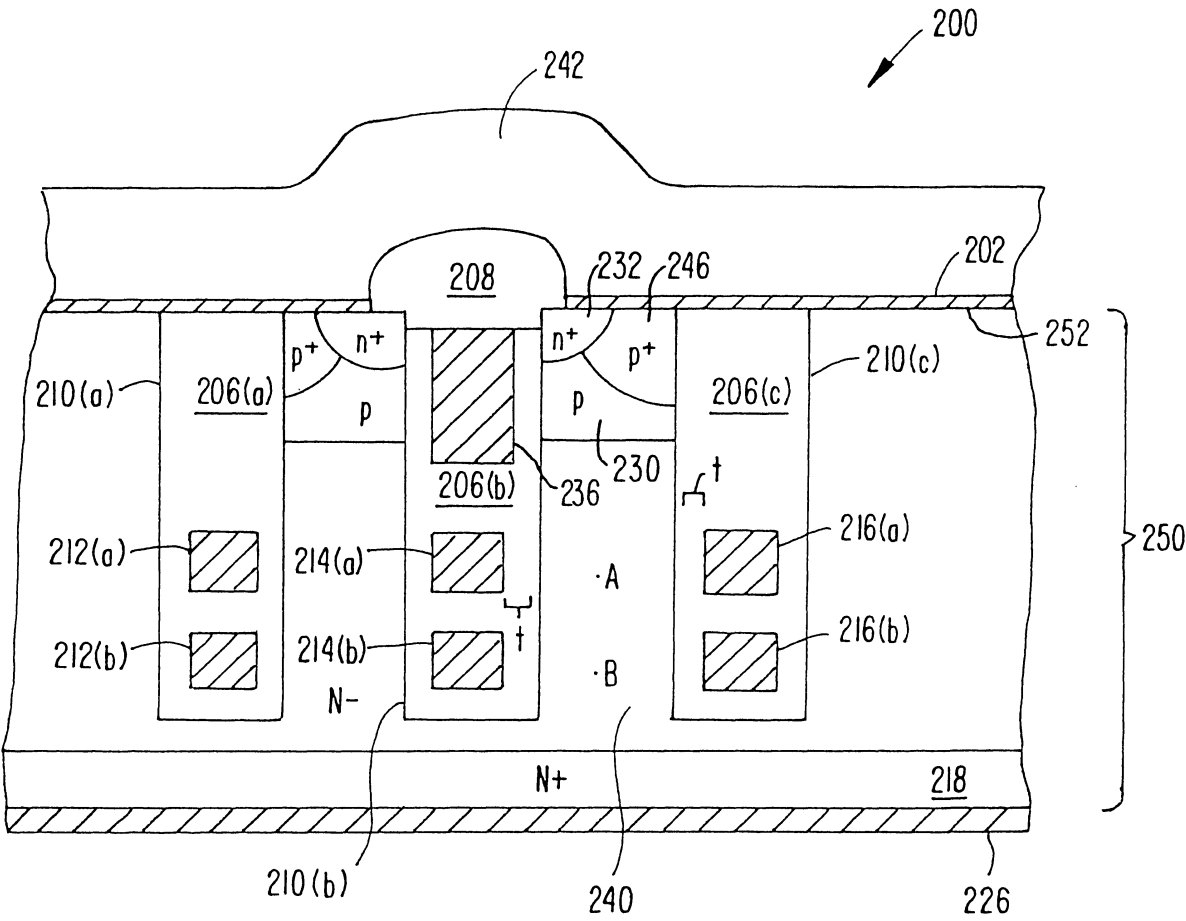
(英文) 82 Running Hill Road, South Portland, Maine, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

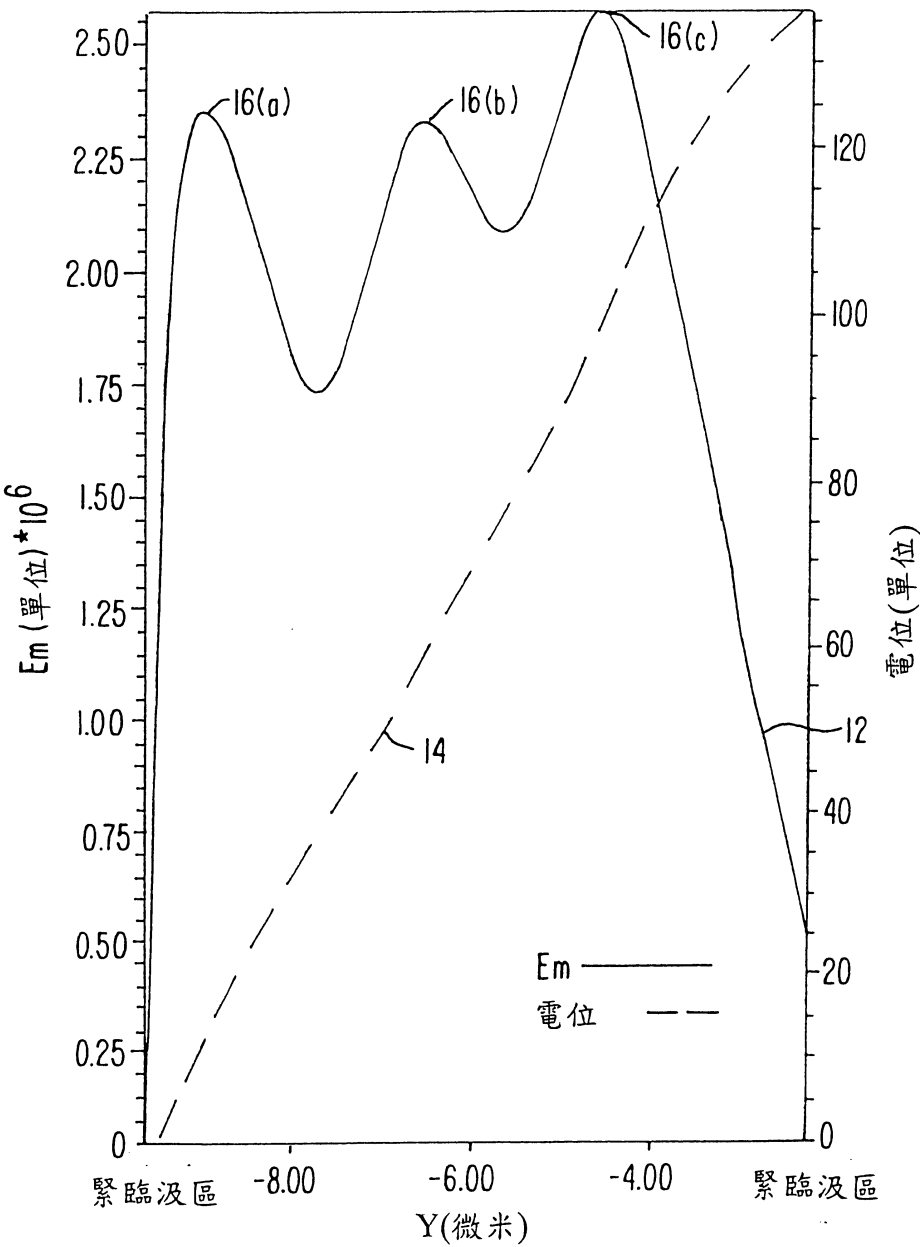
代表人：(中文) 達瓦 保羅 D.

(英文) DELVA, PAUL D.

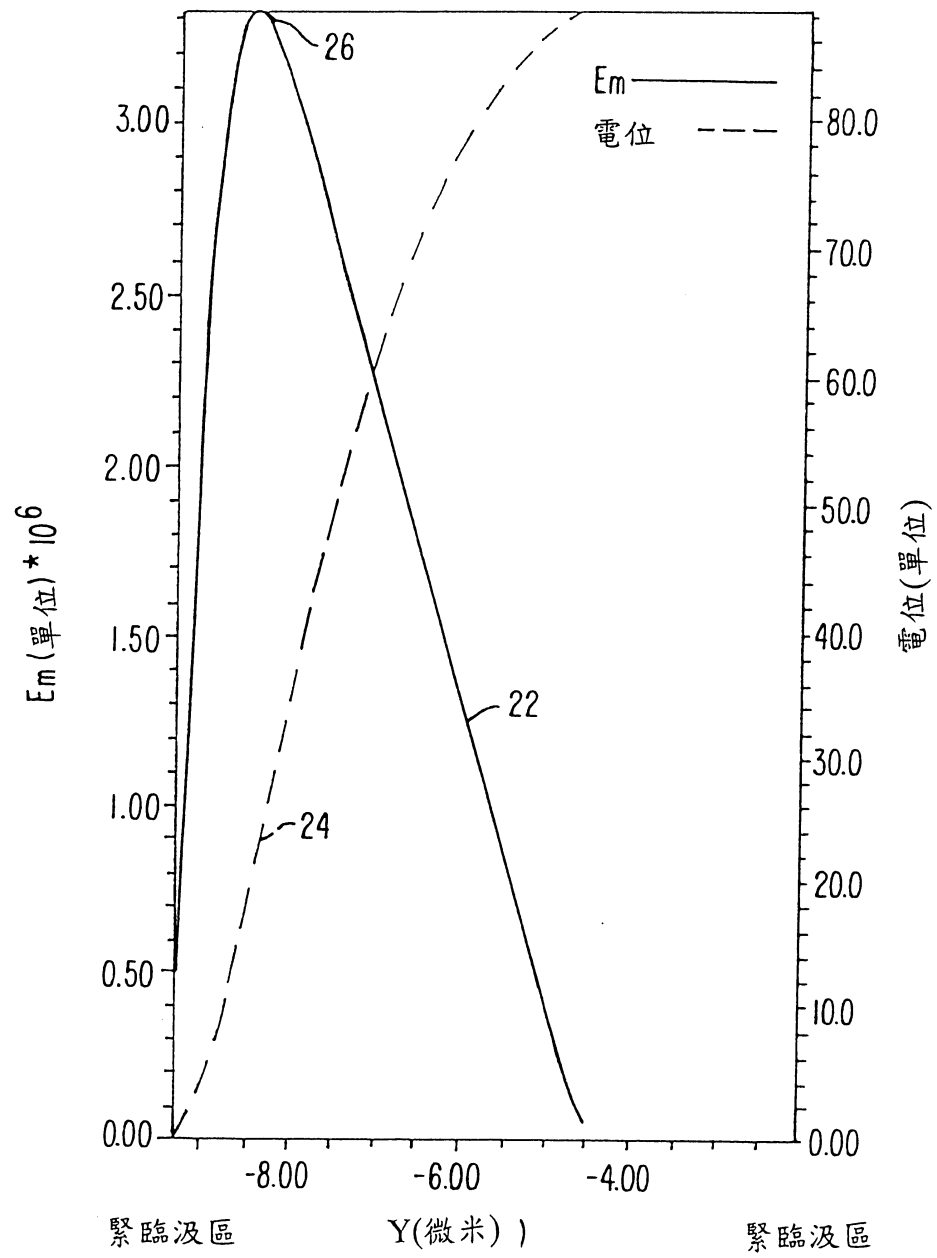
☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)



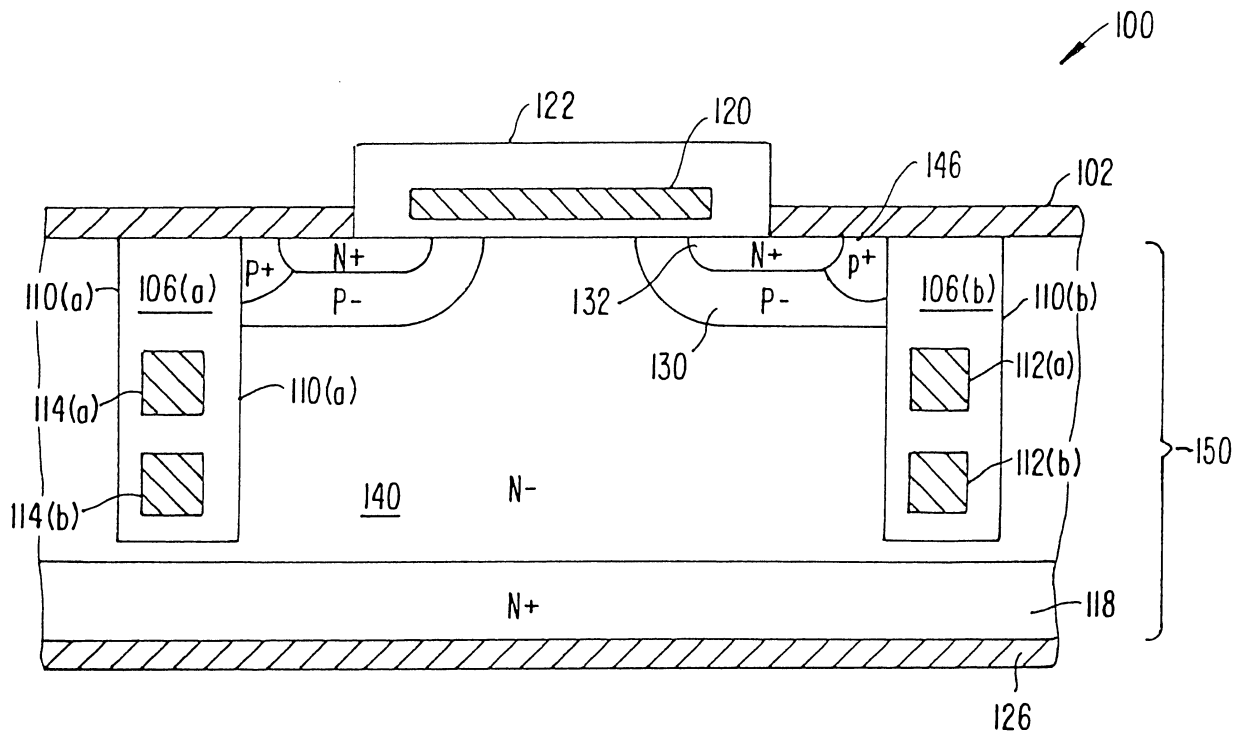
第 1 圖



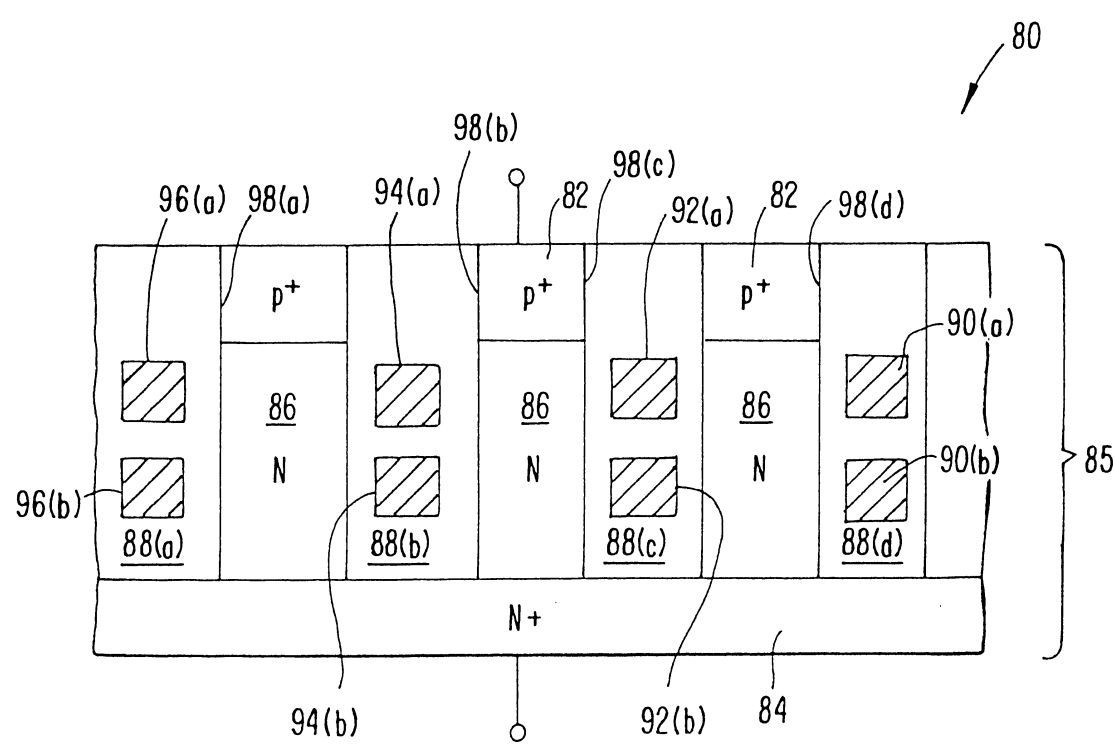
第 2A. 圖



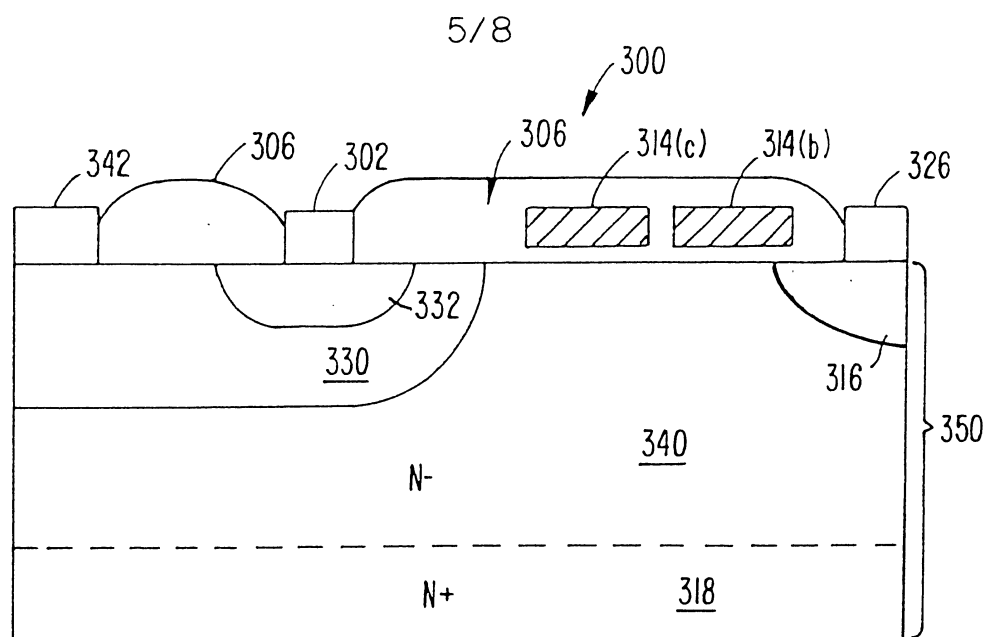
第 2B. 圖



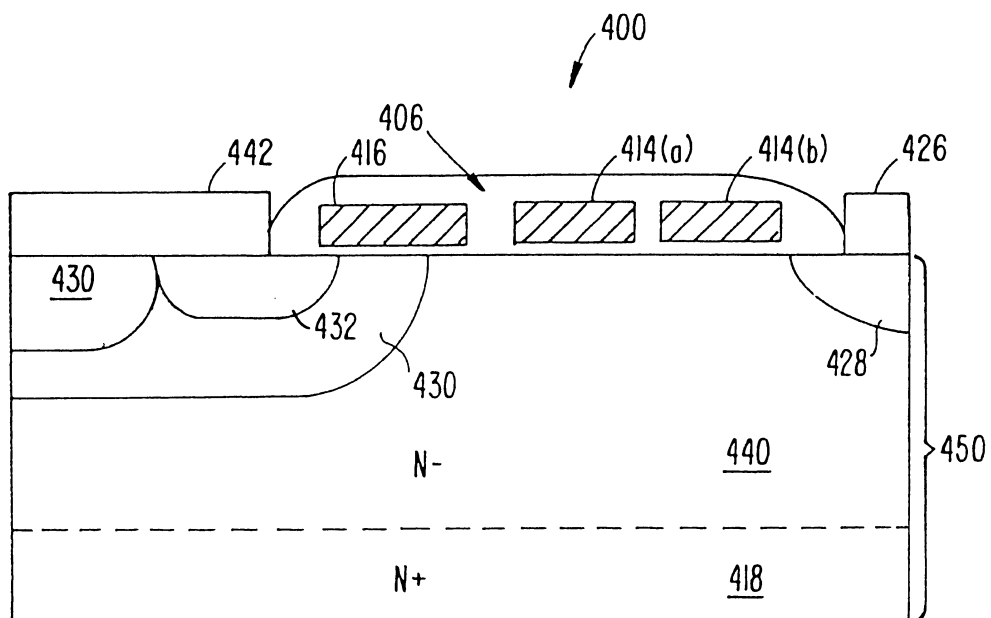
第 3. 圖



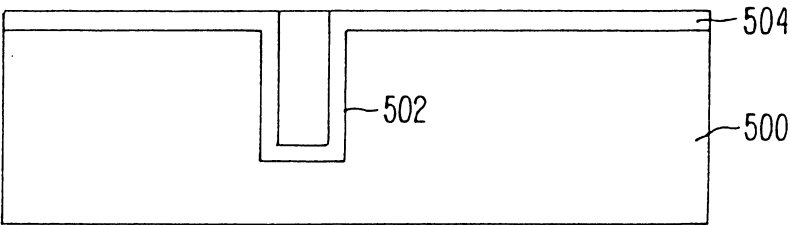
第 4. 圖



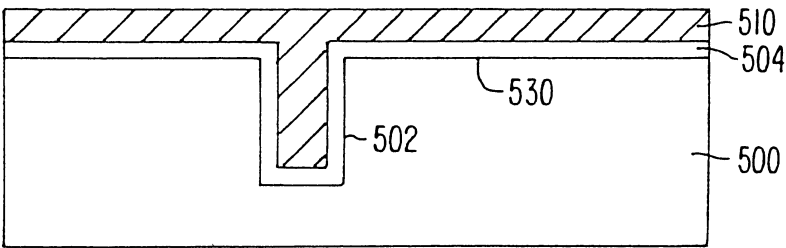
第 5. 圖



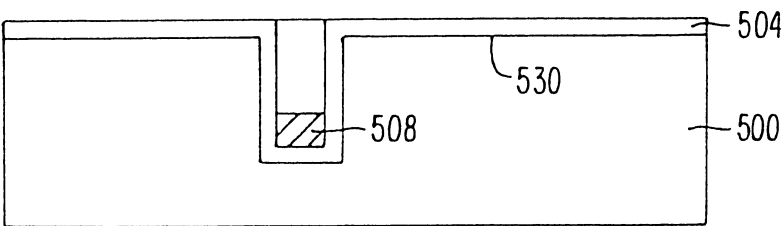
第 6. 圖



第 7A. 圖

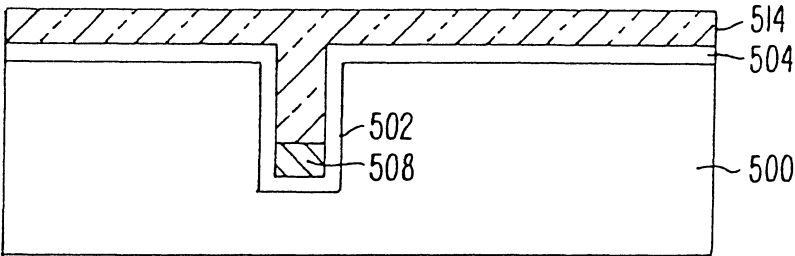


第 7B. 圖

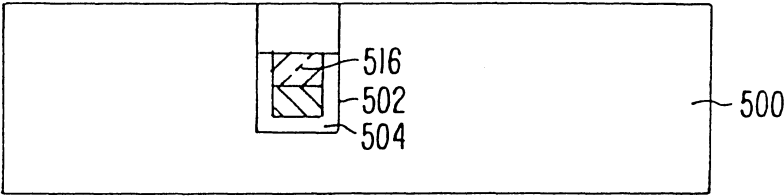


第 7C. 圖

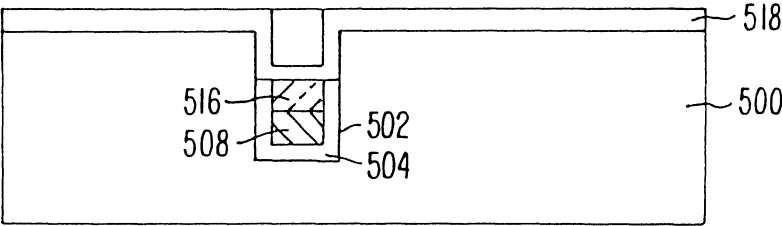
7/8



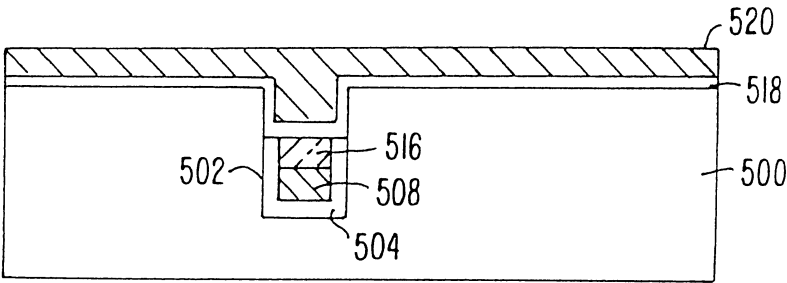
第 7D. 圖



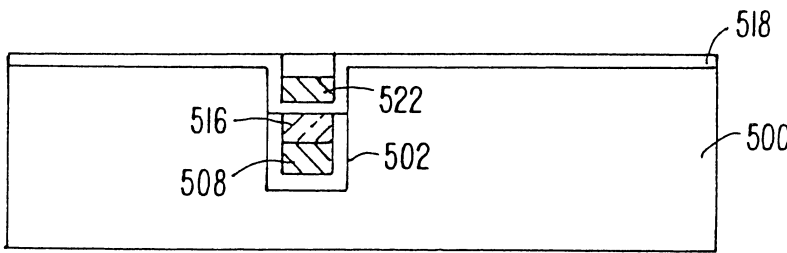
第 7E. 圖



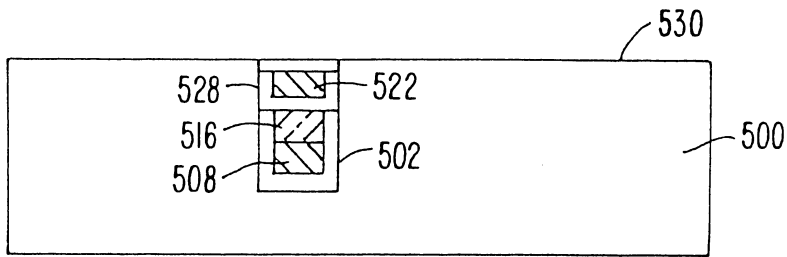
第 7F. 圖



第 7G. 圖



第 7H. 圖



第 7I. 圖