

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4741991号  
(P4741991)

(45) 発行日 平成23年8月10日 (2011. 8. 10)

(24) 登録日 平成23年5月13日 (2011. 5. 13)

(51) Int. Cl.		F I	
<b>HO4B</b>	<b>3/10</b>	<b>(2006.01)</b>	HO4B 3/10 Z
<b>HO4B</b>	<b>3/04</b>	<b>(2006.01)</b>	HO4B 3/04 C
<b>HO4B</b>	<b>3/18</b>	<b>(2006.01)</b>	HO4B 3/18
<b>HO4L</b>	<b>25/03</b>	<b>(2006.01)</b>	HO4L 25/03 Z

請求項の数 12 (全 13 頁)

(21) 出願番号	特願2006-193548 (P2006-193548)	(73) 特許権者	000005108
(22) 出願日	平成18年7月14日 (2006. 7. 14)		株式会社日立製作所
(65) 公開番号	特開2008-22392 (P2008-22392A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成20年1月31日 (2008. 1. 31)	(73) 特許権者	504411166
審査請求日	平成21年3月24日 (2009. 3. 24)		アラクサラネットワークス株式会社
			神奈川県川崎市幸区鹿島田890
		(74) 代理人	100100310
			弁理士 井上 学
		(72) 発明者	武藤 隆
			東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

最終頁に続く

(54) 【発明の名称】 シリアライザ/デシリアライザ方式の転送装置

(57) 【特許請求の範囲】

【請求項1】

第1回路と、  
第2回路と、  
差動伝送線路とを有し、  
前記第1回路は、パラレル信号をシリアル信号へ変換するシリアライザと、第1の選択器を介して前記シリアライザに接続され、所定のアルゴリズムに従い擬似ランダムパターンを発生する擬似乱数発生器と、前記シリアル信号を入力信号として前記差動伝送線路へ選択出力する出力バッファとを有するものであって、  
前記第2回路は、シリアル信号をパラレル信号へ変換するデシリアライザと、前記差動伝送線路から入力される信号を第1の差動アンプで増幅し前記デシリアライザへ出力する入力バッファと、第2の選択器を介して前記デシリアライザと接続されている比較器とを有するものであって、  
前記比較器は、前記差動伝送線路を介し出力された前記擬似ランダムパターンと、前記アルゴリズムにより発生させたパターンとを比較し比較結果を出力するものであって、前記出力バッファのプリエンファシス量と前記第1の差動アンプのオフセット量とをスキャンして、前記出力バッファのプリエンファシス量と前記第1の差動アンプのオフセット量との組合せ毎に前記比較器の出力を得て、前記出力に基づいて、前記出力バッファのプリエンファシス量と前記第1の差動アンプのオフセット量とを決定する転送装置。

【請求項2】

請求項 1 に記載の転送装置において、  
 前記出力バッファは、複数の増幅器と、加算器とを有するものであって、  
 前記増幅器は、前記入力信号を増幅するものであって、  
 前記増幅器は、増幅率は可変であって、  
 前記加算器は、前記増幅器からの出力を加算し前記差動伝送線路へ出力するものであって、  
 前記増幅率を変更することにより、前記プリアンファシス量を調節する転送装置。

【請求項 3】

請求項 1 に記載の転送装置であって、  
 前記出力バッファは、複数の第 2 の差動アンプを有し、  
 前記第 2 の差動アンプは、前記入力信号を増幅するものであって、  
 前記第 2 の差動アンプの並列数を変更することにより、前記プリアンファシス量を調節する転送装置。

10

【請求項 4】

第 1 回路と、  
 第 2 回路と、  
 差動伝送線路とを有し、  
 前記第 1 回路は、パラレル信号をシリアル信号へ変換するシリアライザと、第 1 の選択器を介して前記シリアライザに接続され、所定のアルゴリズムに従い擬似ランダムパターンを発生する擬似乱数発生器と、前記シリアル信号を入力信号として前記差動伝送線路へ選択出力する出力バッファとを有するものであって、  
 前記第 2 回路は、シリアル信号をパラレル信号へ変換するデシリアライザと、前記差動伝送線路から入力される信号を増幅し前記デシリアライザへ出力する入力バッファと、第 2 の選択器を介して前記デシリアライザと接続されている比較器とを有するものであって、  
 前記入力バッファは、前記差動伝送線路から入力される信号を増幅する差動アンプを有するものであって、  
 前記比較器は、前記差動伝送線路を介し出力された前記擬似ランダムパターンと、前記アルゴリズムにより発生させたパターンとを比較し比較結果を出力するものであって、  
前記出力バッファのプリアンファシス量と前記差動アンプのオフセット量とをスキャンして、前記出力バッファのプリアンファシス量と前記差動アンプのオフセット量との組合せ毎に前記比較器の出力を得て、前記出力に基づいて、前記出力バッファのプリアンファシス量と前記差動アンプのオフセット量とを決定する転送装置。

20

30

【請求項 5】

請求項 4 に記載の転送装置において、  
 前記入力バッファは、M O S トランジスタに並列接続された複数の M O S F E T を有するものであって、  
 前記複数の M O S F E T のオン・オフにより前記差動アンプのオフセットを調節する転送装置。

【請求項 6】

請求項 4 に記載の転送装置において、  
ネットワーク網へ接続される入出力ポートであるネットワークインターフェース内に前記第 1 回路がある転送装置。

40

【請求項 7】

請求項 4 に記載の転送装置において、  
転送機能・検索機能・フィルタリングなどを掌る基本スイッチングユニット内に前記第 2 回路がある転送装置。

【請求項 8】

請求項 4 に記載の転送装置において、  
前記第 1 回路、前記第 2 回路はそれぞれ異なるプリント回路基板へ実装されているものである転送装置。

50

## 【請求項 9】

請求項 1 に記載の転送装置において、  
前記出力に基づく前記出力バッファのプリエンファシス量と前記第 1 の差動アンプのオフセット量の決定では、  
前記出力から得られる、前記差動伝送線路を介し出力された前記擬似ランダムパターンと、前記アルゴリズムにより発生させたパターンとの一致・不一致の空間に基づいて、前記出力バッファのプリエンファシス量と前記第 1 の差動アンプのオフセット量とを決定する転送装置。

## 【請求項 10】

請求項 9 に記載の転送装置において、  
前記空間に基づく前記出力バッファのプリエンファシス量と前記第 1 の差動アンプのオフセット量の決定では、  
前記空間の中央値を、前記出力バッファのプリエンファシス量と前記第 1 の差動アンプのオフセット量とする転送装置。

10

## 【請求項 11】

請求項 4 に記載の転送装置において、  
前記出力に基づく前記出力バッファのプリエンファシス量と前記差動アンプのオフセット量の決定では、  
前記出力から得られる、前記差動伝送線路を介し出力された前記擬似ランダムパターンと、前記アルゴリズムにより発生させたパターンとの一致・不一致の空間に基づいて、前記出力バッファのプリエンファシス量と前記差動アンプのオフセット量とを決定する転送装置。

20

## 【請求項 12】

請求項 11 に記載の転送装置において、  
前記空間に基づく前記出力バッファのプリエンファシス量と前記差動アンプのオフセット量の決定では、  
前記空間の中央値を、前記出力バッファのプリエンファシス量と前記差動アンプのオフセット量とする転送装置。

## 【発明の詳細な説明】

## 【技術分野】

30

## 【0001】

本発明は、ネットワーク装置のLSI間データ転送システムにおいて、入力差動信号のオフセットや差動アンプのオフセットの補正や出力プリエンファシス回路の等化量の補正に適用して有効な技術に関し、たとえばネットワーク装置とそれに使用されるLSI(半導体集積回路)に利用して有効な技術に関する。

## 【背景技術】

## 【0002】

従来、ネットワーク装置のLSI間転送データシステムにおいては、特許文献 1、特許文献 2 に開示する技術などを用いて、DCオフセットをキャンセルしていた。

## 【0003】

40

しかし、近年、LSI間信号伝送において、高いスループットが要求される部位には、バスをシリアル化して高速で信号伝送するシリアライザ/デシリアライザ方式を用いることが多くなりつつある。これは、従来のパラレル伝送では動作周波数が上がるにつれデータ周期が短くなり、各ビット間のタイミングばらつきが相対的に大きく見え、タイミングマージンが小さくなり、スループットの向上が難しくなっていることが主な理由である。

## 【0004】

尚、シリアライザ/デシリアライザ方式とは、超高速にデータ転送するためのトランシーバ方式である。シリアライザは低速のパラレルデータを高速のシリアルデータに変換する回路で、シリアル化されたデータは出力バッファより送出する。デシリアライザは組

50

み込まれたクロックデータリカバリ回路により、入力バッファで受信した高速のシリアルデータを元のパラレルデータに復元する。これらの回路によるトランシーバ方式がシリアライザ/デシリアライザ方式である。尚、以下の説明では、シリアライザ/デシリアライザをSerDesと称する場合がある。

【0005】

【特許文献1】特開2005-20119号公報

【特許文献2】特開平8-116340号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ここで、LSI間信号伝送においてシリアライザ/デシリアライザ方式を適用するに当たり、本発明者が検討したところ、以下のような問題があることが明らかとなった。

【0007】

シリアライザ/デシリアライザ方式で信号周波数が非常に高速かつ伝送距離が長く信号減衰が大きくなると、受信側のデータの信号振幅が非常に小さくなり、たとえば-30dBの減衰特性の伝送特性の系では、600mV出力側の振幅が、入力バッファでは20mVの信号振幅となる。しかし、伝送チャンネル毎の受信バッファの差動アンプのオフセット、伝送線路のクロストークなどの伝送線路の特性差に起因する差動信号間のオフセットは通常では10mV以上ある。これらのオフセットのために実効的な入力振幅はさらに小さくなるため、伝送マージンに大きな影響を与える問題がでてきた。

【0008】

さらに、高速かつ伝送距離が長い信号伝送では、符号間干渉(ISI)により送信データの前後のデータの影響を受けて信号波形の歪も顕著に表れるようになってきた。この符号間干渉を補正するため、送信データの前後のデータで出力振幅を補正する波形等化技術である、出力プリエンファシスを用いて波形歪を補正する。従来はシミュレーションやプロトタイプの評価による最適設定値設定を行っていたが、チャンネル毎のプロセスばらつき、温度バラツキ、電圧バラツキ等により出力プリエンファシス量にバラツキが生じ波形歪を十分に補正することが出来ず、伝送マージンに大きな影響を与える問題が出てきた。また、符号間干渉による波形歪は送信データパターンに大きく依存するため、実際の使用条件に近いデータ、たとえばPRBSパターンを用いて最適設定値を求める必要がある。

【0009】

以上のような問題を解決すべく、本発明では、高速かつ伝送距離が長く、信号減衰の大きな差動信号伝送系において、差動チャンネル毎の差動アンプや差動信号のオフセットについての補正値の最適設定値や、出力プリエンファシス回路の最適設定値を求める技術を提供することも目的とする。

【0010】

加えて、クロック源が同期しているシリアライザ/デシリアライザ方式の伝送系において、入力差動信号のオフセット電圧や差動アンプのオフセット電圧に比べて十分な信号振幅がある場合には、これらの影響は無視できる。従い、一般的な等化技術により、等化量を求め設定することにことにより、所望の信号伝送が可能である。尚、LSI内のトランジスタや抵抗素子のばらつきや、温度・電圧のばらつきなどにより、最適値は微妙に異なる。

【0011】

しかし、従来の最適値設定のトレーニング方法例として、受信側の入力データ信号を送信側LSIのクロック源を基準として時間方向にスキャンして、データが正しく受信できる時間的なマージンが最大となるように出力回路のプリエンファシス量を最適化する方式が用いられているが、クロック源が非同期(送信側LSIのクロック源と受信側LSIのクロック源が異なるような仕様のネットワーク装置)のシリアライザ/デシリアライザ方式の伝送系においては、送信側LSIと受信側LSIのクロック周波数のわずかな違いのため時間軸方向のスキャンで時間的なマージンが最大となる最適設定値を求めることが困難であること

10

20

30

40

50

がわかった。

【 0 0 1 2 】

以上のような問題を解決すべく、本発明は、クロック源が非同期のシリアライザ/デシリアライザ方式の信号伝送系における出力プリアンファシス回路のプリアンファシス量の最適設定値の設定や出力振幅などのパラメータの最適設定値を求める技術を提供することを目的とする。

【 0 0 1 3 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【 課題を解決するための手段 】

【 0 0 1 4 】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、ネットワーク装置のようなシリアライザ/デシリアライザ方式を用いて高速かつ長距離の差動の信号伝送を行うシステムにおいて、受信信号を増幅する差動アンプのオフセットや差動伝送線路の特性に起因するオフセットの補正、および出力プリアンファシス回路のプリアンファシス量（信号の強調度）を、装置立ち上げ時や電源電圧等の環境条件の変動時に通常動作時の伝送データに近いPRBS(Pseudo-Random Bit Sequence 擬似ランダムパターン)を各伝送チャンネルに伝送して、各チャンネルに差動アンプのオフセット量や出力プリアンファシス回路のプリアンファシス量等のパラメータを振り、PASS/FAILの結果を集計して、チャンネル毎の最適条件を選択するトレーニングを含んだ転送方式である。

【 発明の効果 】

【 0 0 1 5 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 1 6 】

チャンネル毎に差動アンプのオフセットや伝送系オフセット、出力プリアンファシス回路のプリアンファシス量の最適設定値を選択することが出来るため、高速かつ長距離の信号伝送マージンを拡大することが出来る。また、非同期の信号伝送系においても差動アンプのオフセットや差動信号のオフセット補正、出力プリアンファシス回路のプリアンファシス量の最適設定値の検出も行うことが出来る。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、添付図面を参照しながら、本発明の実施例を説明する。

【 0 0 1 8 】

A . システムの全体構成

図 1 は、本発明を適用したネットワーク装置の一構成例をブロック図で示したものである。システムは基本制御ユニット 1 0 0、基本スイッチングユニット 2 0 0、ネットワークインタフェース 3 0 0 の 3 つの主要ユニットより構成される。図 1 では、基本制御ユニット 1 0 0 が 1 + 1 の冗長構成、基本スイッチングユニット 2 0 0 が 2 + 1 の冗長構成されている例を示している。基本制御ユニット 1 0 0 は、装置管理、各ユニット間のインタフェース制御などを行うユニットであり、CPU 1 1 0、メインメモリ 1 2 0、バスブリッジ 1 3 0 より構成される。バスブリッジ 1 3 0 は、各ユニットに搭載され、CPU 1 1 0 とのアクセスはバスブリッジ 1 3 0 を介して行われる。基本スイッチングユニット 2 0 0 は、転送機能・検索機能・フィルタリングなどを掌るユニットであり、転送エンジン 2 1 0、検索エンジン 2 4 0 が実装される。転送エンジン 2 1 0 には、パケットバッファ 2 2 0、ヘッダバッファ 2 3 0 が接続される。検索エンジン 2 4 0 には、経路・フィルタ・QoS テーブル用 CAM 2 5 0、各種テーブルメモリ 2 6 0 が接続される。ネットワークインタフェース 3 0 0 は、ネットワーク網に接続される入出力ポートであり、入出力モジュール 3 1

10

20

30

40

50

0、PHY320、多重化エンジン330より構成される。図1で示したネットワーク装置では、基本制御ユニット100、基本スイッチングユニット200、ネットワークインタフェース300の3ユニットは、それぞれ独立したプリント回路基板に実装され、バックプレーン基板またはケーブルにて相互接続される。

#### 【0019】

次に、装置内での処理の流れを簡単に説明する。ネットワーク網からパケットが入出力モジュール310に到着すると、物理層の信号変換処理を行うPHY320によりデジタル信号に変換され、多重化エンジン330により集線処理されて転送エンジン210に送られる。転送エンジン210は、パケット内に含まれるデータ情報をパケットバッファ220に、ヘッダ情報をヘッダバッファ230に格納する。例えば、IP(Internet Protocol)パケットのヘッダ部には、受信先及び送信元アドレス、データ長などの情報が含まれる。検索エンジン240は、転送エンジン210からヘッダ情報を受け取り、各種テーブルを参照してパケット転送の制御に必要な情報を取得する。検索エンジン240が参照するテーブルとしては、経路テーブル、フィルタ・QoSテーブルがある。経路テーブルは、経路検索処理を行うためのテーブルであり、フィルタ・QoSテーブルは、パケットのフィルタリング条件・廃棄条件、装置内の転送処理優先度などの情報である。これらは経路・フィルタ・QoSテーブル用CAM250のエントリを検索した結果を用いて参照される。これらの結果から得られた制御情報は、検索エンジン240から転送エンジン210へ返送される。転送エンジン210は、パケットが転送されるべき経路を指定し、指定された経路の多重化エンジン330、PHY320、入出力モジュール310を通り、パケットがネットワーク網へ送出される。

#### 【0020】

##### B. 信号伝送方式

図2は、本発明の技術を用いた信号伝送方式の一構成例で、転送エンジン210と多重化エンジン330を差動伝送線路430で相互接続したものを示したものである。転送エンジン210は#0~#iのチャンネルにより構成され、各チャンネルの出力バッファ410はSerDesシリアライザ401が接続される。このSerDesシリアライザ401にはトレーニング用PRBS発生器からのデータまたは通常データがモードセレクト用レジスタ540で選択され、印加される。また、出力バッファ410はプリエンファシス量設定レジスタ500に設定されたプリエンファシス量とプリエンファシス量補正用レジスタに設定された伝送距離毎の補正值が加算されプリエンファシス量が設定される。多重化エンジン330は#0~#iのチャンネルにより構成され、各チャンネルの入力バッファ420はSerDesデシリアライザ402が接続される。このSerDesデシリアライザ402の出力はトレーニング用PRBS比較器または通常論理モードセレクト用レジスタ540で選択され出力される。入力バッファ420はオフセット量設定レジスタ510によりオフセット量が、イコライザon/off設定レジスタ450によりイコライザのon/offが設定され、トレーニング用PRBS比較器570に接続される。トレーニング用PRBS比較器570の出力は、タイマ590が接続されたトレーニング制御回路580に接続され、結果集計回路600で結果が集計される。

#### 【0021】

出力バッファ410と入力バッファ420には差動バッファを、伝送線路には差動伝送線路430を用いる。ここで、高速(高周波)且つ長距離の信号伝送を行った場合には、符号間干渉や伝送系の伝送損失により入力バッファ420が受信する差動信号は歪、差動信号振幅は非常に小さくなってしまい、入力バッファが受信する差動信号間(正極と負極との間)のオフセットの影響が無視できなくなる。従い、高速化や長距離伝送が妨げられる問題がある。

#### 【0022】

ここで、オフセットは、入力バッファ内差動アンプ回路の対になる素子の製造ばらつきによるオフセット特性差と、差動伝送線路430の正極側と負極側との間の特性差に起因し、生ずる。そこで、本発明では、それぞれを出力バッファ410のプリエンファシス量

10

20

30

40

50

の補正、入力バッファ420内差動アンプのオフセットの補正により吸収する。

【0023】

C. 出力バッファ

図3は、図2のプリエンファシス量調整回路を含んだ出力バッファ410のブロック図、図4は図2の出力バッファ410の具体的な回路例である。Dnより入力された信号は930の増幅器によりa1倍に、Dnの1ビット前のデータDn-1は940の増幅器によりa2倍に、Dnの2ビット前のデータDn-2は950の増幅器によりa3倍に増幅され、それぞれ、910、920の加算器により加算され、出力される。a1,a2,a3を外部より制御することでプリエンファシス量を制御することが可能である。プリエンファシスにより、伝送系の伝送損失の周波数特性に応じて出力バッファ410の出力電圧レベルを強調し、入力バッファ420が受信する信号を均一にすることができる。

10

【0024】

図4の具体的な回路例では930の増幅器はMOSFET1011,1012と定電流源1021より構成される回路をout\_p/out\_nにそれぞれ32個並列に接続する。940の増幅器はMOSFET1013,1014と定電流源1022より構成される回路をout\_p/out\_nにそれぞれ16個並列に接続する。1013/1014のMOSFETのゲートには4bitのa2制御信号を1041の4:16デコードしたデコード信号により16個並列の増幅回路の動作数を制御し、エンファシス量が決定される。950の増幅器はMOSFET1015,1016と定電流源1023より構成される回路をout\_p/out\_nにそれぞれ8個並列に接続する。1015/1016のMOSFETのゲートには3bitのa3制御信号を1042の3:8デコードしたデコード信号により8個並列の増幅回路の動作数を制御し、エンファシス量が決定される。1011,1012,1013,1014,1015,1016のMOSFETは同一特性の回路により構成される。また、1021,1022,1023の定電流源も同一特性の回路より構成される。これによりa2,a3の制御信号により940,950の並列数を制御することによりプリエンファシス量を任意に制御することが可能となる。具体例として940の増幅器を16個並列、950の増幅器を8個並列の場合、a1:32倍、a2:16倍、a3:8倍つまり、1:0.5:0.25倍のプリエンファシスを設定することが可能である。図2のプリエンファシス量設定レジスタの値とプリエンファシス量補正レジスタの値の加算値は図3、図4のa2,a3に接続され制御される。a2,a3の極性を反転する場合は図4極性切替信号レジスタ1031を切り替えることにより制御する。

20

【0025】

D. 入力バッファ

図5は、図2の入力バッファ420のブロック図、図6は図2の入力バッファ420の具体的な回路例である。in\_p/in\_nより入力された差動信号は710の差動アンプによりバッファされ、720の差動アンプに接続される。710の差動出力はオフセット補正值発生回路より生成される補正值を加算器730、740の加算器により加算されオフセットが補正される。図5の具体的な回路例ではMOSFET832~835に接続されたオフセット補正值制御線(p極側)とMOSFET842~845に接続されたオフセット補正值制御線(n極側)をON/OFFすることにより入力アンプ420のp1,n1のノードから電流を引き抜くことによりオフセットの補正を行う。これにより、製造ばらつきによる入力バッファ内差動アンプのオフセット特性差を吸収することができる。

30

40

【0026】

図7は、図5の入力バッファ420へ、イコライザ770を加えたものである。イコライザ770は、伝送系の伝送損失の周波数特性に応じて特定周波数帯のみの利得を高くし、入力バッファ420が受信する信号振幅を均一にする。イコライザon/off制御信号をON/OFFすることにより、受信側の等化をすることができる。

【0027】

図2のオフセット量設定レジスタの値は図5、図6のオフセット補正制御線(p極側、n極側)にそれぞれ接続され制御される。

【0028】

E. トレーニングの流れ図

50

図8に、装置内でのトレーニングの流れ図を用いてトレーニングの流れを説明する。装置の立ち上げ時、プリエンファシス量初期設定レジスタ500 / オフセット量設定レジスタ510に初期値を設定する。次に、プリエンファシス量補正用設定レジスタ520に伝送距離毎の補正值(例えば、短距離と長距離との設定差)を加算した値を設定する。その後、モードセレクト用レジスタ540をトレーニングモードに設定し、PRBS発生器用レジスタ550に起動をかけ、トレーニング用PRBS発生器560からPRBSパターンを発生させてトレーニングを開始する。PRBSパターンは、出力バッファ410、差動伝送線路430、入力バッファ420を通り、トレーニング用PRBS比較器570へ送られる。トレーニング制御回路580は、トレーニング用PRBS比較器570のエラーをクリアし、タイマ590に指定した時間だけパターン比較チェックを行う。トレーニング用PRBS発生器560とトレーニング用PRBS比較器570は同一のアルゴリズムによりパターンを発生させる。これにより、トレーニング用PRBS発生器560内で発生され送られてきたパターンと、トレーニング用PRBS比較器570内で発生されたパターンとの一致・不一致を判断することができる。パターン比較チェックによるPASS/FAILの結果は、結果集計回路600によって集計され、バスブリッジ130を介して基本制御ユニット内のCPU110へ送られ、メインメモリ120へ書込まれる。ここまでが一通りのトレーニング動作であり、トレーニング制御回路580がオフセット量設定レジスタ510の値を更新し、パターン比較チェック / 結果集計 / メモリ書込みを繰返し行う。オフセット量が最大設定値まで振られると、次はCPU110からバスブリッジ130を介してプリエンファシス量補正用設定レジスタ520の値が更新され、パターン比較チェック / 結果集計 / メモリ書込みを繰返し行い、プリエンファシス量が最大設定値まで振られるとトレーニングが終了する。これらの一連のトレーニング動作により得られたPASS/FAILの結果は、メインメモリ120にPASS/FAIL空間情報として保存されていることになる。この空間情報を元に、CPU110(ソフトウェア)が最適値判定を行う。この一連のトレーニングをチャンネル毎に行い全てのチャンネルの最適値設定を行う。

#### 【0029】

図9にPASS/FAIL空間の最適値をイメージした図を示す。最適値判定では、PASS " " または " " / FAIL " x " 空間の中央値である " " のプリエンファシス量設定値 / オフセット量設定値が選択される。トレーニングが終了すると、モードセレクト用レジスタ540を通常モードに設定し、プリエンファシス量補正用設定レジスタ520とオフセット量設定レジスタ510の値を最適値に更新して通常動作を開始する。

#### 【0030】

以上のように本願発明によれば、事前のシミュレーションやプロトタイプ評価によってプリエンファシス量、及び、イコライザON/OFF設定の最適設定値を求めない。代わりに、装置立ち上げ時に伝送データに近いPRBS(擬似ランダムパターン)を各伝送チャンネルに伝送して、入力バッファ420のオフセット量や出力バッファ410のプリエンファシス量等の伝送条件パラメータを振り、PASS/FAILの結果を集計して、最適な伝送条件パラメータを求める。従い、差動伝送経路430の製造ばらつきに対しても対応でき、超高速伝送が可能になる。加えて、差動伝送経路430の温度や電圧などの使用環境変動に対しても対応でき、超高速伝送が可能になる。

#### 【0031】

また、本願発明によれば、従来のトレーニングのように時間軸方向のPASS / FAIL情報からの最適設定値決定ではなく、出力バッファ410のプリエンファシス量、入力バッファ420のオフセット量をパラメータとしてこれらを最適化するため、非同期(送信側LSIのクロック源と受信側LSIのクロック源が異なり、時間的なずれがあるような仕様のネットワーク装置)のSerDesにおいても超高速転送が可能となる。

#### 【0032】

以上、添付の図1から図9を参照しながら本発明の実施例を説明した。本発明の技術は、ネットワーク装置のみならず、SerDesなどの差動伝送を行う回路及びこれを用いた装置全てに適用できる。更に、本発明はこれらの実施例に限定されず、趣旨を逸脱しない範囲

10

20

30

40

50



で様々な実施形態を取り得る。

【図面の簡単な説明】

【 0 0 3 3 】

【図 1】本発明の実施例に係るネットワーク装置のブロック図である。

【図 2】本発明の技術を用いた信号伝送方式のブロック図である。

【図 3】プリエンファシス量調整回路を含んだ出力バッファのブロック図である。

【図 4】図 3 の具体的な実施回路例である。

【図 5】オフセット補正回路を含んだ差動入力バッファのブロック図である。

【図 6】図 5 の具体的な実施回路例である。

【図 7】オフセット補正回路、イコライズON/OFF回路を含んだ差動入力バッファのブロック図である。 10

【図 8】装置内でのトレーニングの流れ図である。

【図 9】PASS/FAIL空間の最適値をイメージした図である。

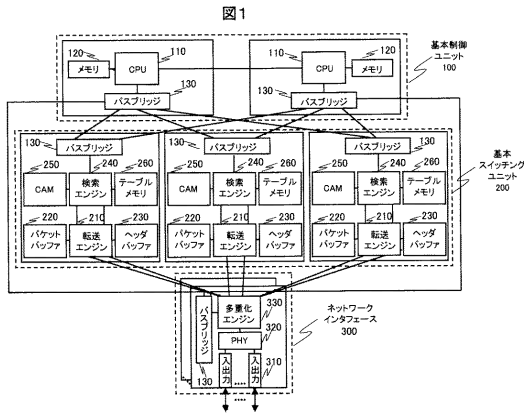
【符号の説明】

【 0 0 3 4 】

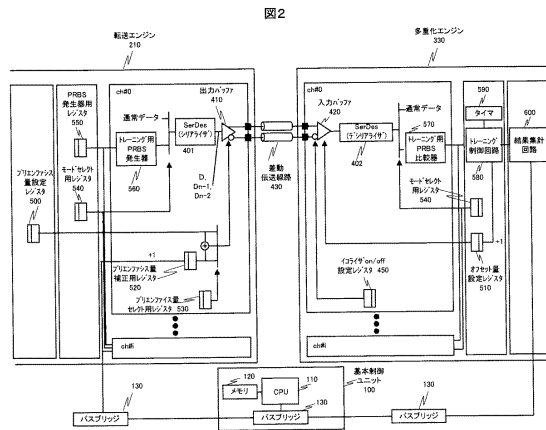
1 0 0 . . .	基本制御ユニット、	
1 1 0 . . .	CPU、	
1 2 0 . . .	メインメモリ、	
1 3 0 . . .	バスブリッジ、	
2 0 0 . . .	基本スイッチングユニット、	20
2 1 0 . . .	転送エンジン、	
2 2 0 . . .	パケットバッファ、	
2 3 0 . . .	ヘッダバッファ、	
2 4 0 . . .	検索エンジン、	
2 5 0 . . .	CAM、	
2 6 0 . . .	テーブルメモリ、	
3 0 0 . . .	ネットワークインタフェース、	
3 1 0 . . .	入出力モジュール、	
3 2 0 . . .	PHY、	
3 3 0 . . .	多重化エンジン、	30
4 0 1 . . .	SerDes ( シリアライザ )、	
4 0 2 . . .	SerDes ( デシリアライザ )、	
4 1 0 . . .	出力バッファ、	
4 2 0 . . .	入力バッファ	
4 3 0 . . .	差動伝送線路、	
5 0 0 . . .	プリエンファシス量設定レジスタ、	
5 1 0 . . .	オフセット量設定レジスタ、	
5 2 0 . . .	プリエンファシス量補正用設定レジスタ、	
5 3 0 . . .	プリエンファシス量セレクト用レジスタ、	
5 4 0 . . .	モードセレクト用レジスタ、	40
5 5 0 . . .	PRBS発生器用レジスタ、	
5 6 0 . . .	トレーニング用PRBS発生器、	
5 7 0 . . .	トレーニング用PRBS比較器、	
5 8 0 . . .	トレーニング制御回路、	
5 9 0 . . .	タイマ、	
6 0 0 . . .	結果集計回路、	
7 1 0 , 7 2 0 . . .	差動アンプ、	
7 3 0 , 7 4 0 . . .	加算器、	
7 5 0 , 7 6 0 . . .	オフセット補正值発生回路、	
8 0 1 ~ 8 0 8 . . .	抵抗、	50

- 8 1 1 ~ 8 1 8 . . . MOSFET、
- 8 2 1 ~ 8 2 4 . . . MOSFET、
- 8 3 1 ~ 8 3 5 . . . MOSFET、
- 8 4 1 ~ 8 4 5 . . . MOSFET、
- 9 1 0 , 9 2 0 . . . 加算器、
- 9 3 0 , 9 4 0 , 9 5 0 . . . 増幅器、
- 1 0 0 1 , 1 0 0 2 . . . 抵抗、
- 1 0 1 1 ~ 1 0 1 6 . . . MOSFET、
- 1 0 2 1 ~ 1 0 2 3 . . . 定電流源、
- 1 0 3 1 , 1 0 3 2 . . . 極性切替セレクタ、
- 1 0 4 1 . . . 4 : 1 6 デコーダ、
- 1 0 4 2 . . . 3 : 8 デコーダ、
- 4 2 0 B . . . イコライザ内蔵入力バッファ。

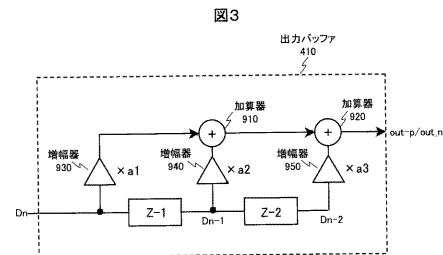
【 図 1 】



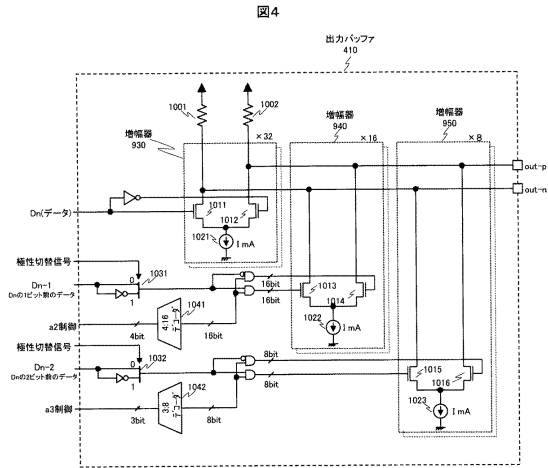
【 図 2 】



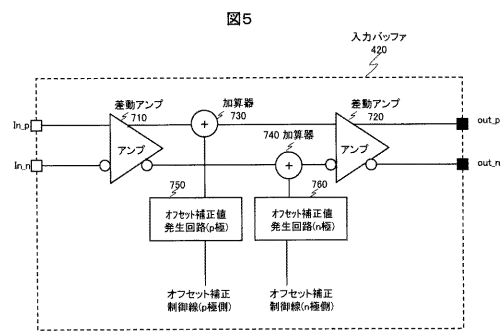
【 図 3 】



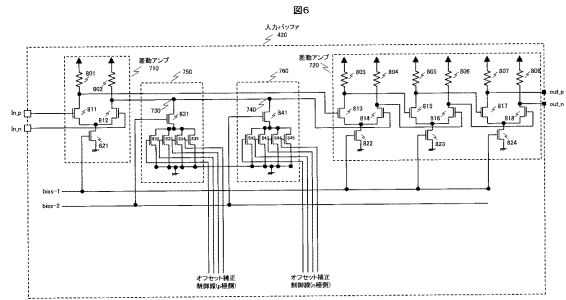
【図4】



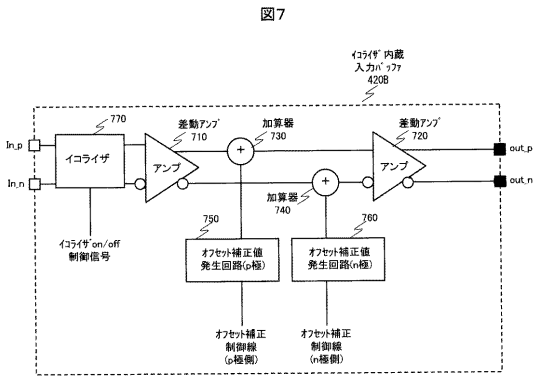
【図5】



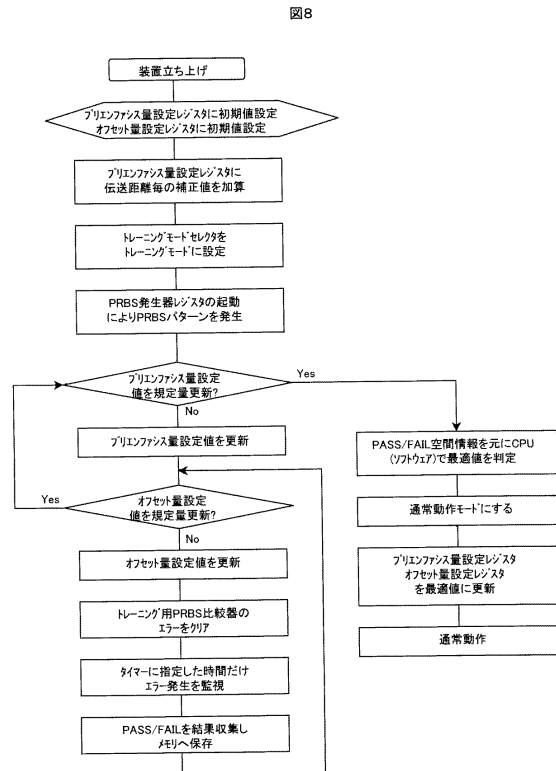
【図6】



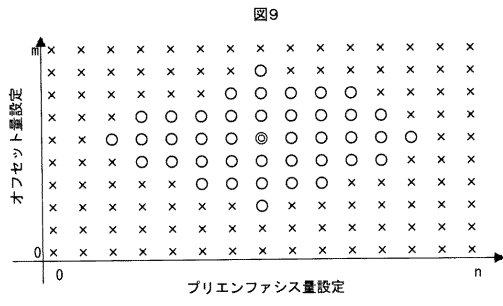
【図7】



【図8】



【 図 9 】



## フロントページの続き

- (72)発明者 藤村 康弘  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内
- (72)発明者 日下田 恵一  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内
- (72)発明者 馬場 淳志  
神奈川県川崎市幸区鹿島田890 アラクサラネットワークス株式会社内
- (72)発明者 村中 孝行  
神奈川県川崎市幸区鹿島田890 アラクサラネットワークス株式会社内
- (72)発明者 木村 功  
神奈川県川崎市幸区鹿島田890 アラクサラネットワークス株式会社内

審査官 東 昌秋

- (56)参考文献 特開2006-60808(JP,A)  
特表2005-504446(JP,A)  
国際公開第2006/009677(WO,A2)  
特開2004-15622(JP,A)  
特開2006-115488(JP,A)  
特開昭64-8750(JP,A)  
特開2006-157448(JP,A)  
特開2002-9674(JP,A)  
国際公開第2005/091582(WO,A1)  
国際公開第2005/060193(WO,A2)  
米国特許出願公開第2006/0034358(US,A1)

(58)調査した分野(Int.Cl., DB名)

H04B 3/04 - 3/18  
H04L 25/00 - 25/66