

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/409 (2006.01)

G11C 7/00 (2006.01)

G11C 7/10 (2006.01)

H01L 23/66 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200510071910.X

[43] 公开日 2006年5月10日

[11] 公开号 CN 1770322A

[22] 申请日 2005.5.23

[21] 申请号 200510071910.X

[30] 优先权

[32] 2004.11.1 [33] KR [31] 10-2004-0087875

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 金溶美

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 杨红梅

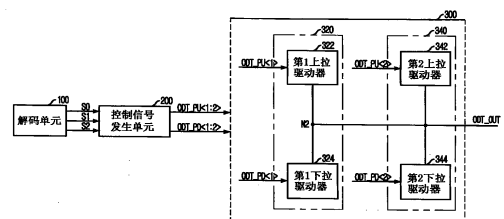
权利要求书 4 页 说明书 10 页 附图 7 页

## [54] 发明名称

具有芯片内建终结电路的半导体存储装置

## [57] 摘要

本发明涉及一种具有稳定有效的终结电阻值及稳定化阻抗失配的片内终结电路。该片内终结电路包括：用来解码扩展模式寄存器组 (EMRS) 设定值的解码单元；包括多个并联连接于用来输出输出信号的输出节点并被分配以不同电阻值的输出驱动器单元的 ODT (片内终结器) 输出驱动器单元；以及用来生成多个用来响应所述解码装置的输出信号以导通/断开多个输出驱动器单元的上拉及下拉控制信号的控制信号发生单元。



1. 一种片内终结器(ODT)电路, 包括:

解码装置, 其用来解码扩展模式寄存器组(EMRS)的设定值;

ODT 输出驱动器单元, 其包括多个并联连接于用来输出输出信号的输出节点并被分配以不同电阻值的输出驱动器单元; 以及

控制信号发生装置, 其用来生成多个用来响应所述解码装置的输出信号以导通/断开多个输出驱动器单元的上拉及下拉控制信号。

2. 如权利要求 1 的 ODT 电路, 其中每个所述输出驱动器单元包括:

下拉驱动器单元, 其用来响应所述下拉控制信号之一以驱动输出节点成为下拉模式; 和

上拉驱动器单元, 其用来响应所述上拉控制信号之一以驱动输出节点成为上拉模式。

3. 如权利要求 2 的 ODT 电路, 其中所述上拉驱动器和所述下拉驱动器包括不同类型的 P-通道金属氧化物半导体(PMOS)晶体管和 N-通道金属氧化物半导体(NMOS)晶体管。

4. 如权利要求 3 的 ODT 电路, 其中所述上拉驱动器包括:

第 1—第 3 PMOS 晶体管, 各具有输入上拉控制信号之一的栅极和连接到第 1 电源电压的源极;

上拉电阻器, 其配置在第 1—第 3 PMOS 晶体管共同连接的漏极节点和输出节点之间; 以及

第 1 NMOS 晶体管, 其具有输入下拉控制信号之一的栅极、连接到第 1 电源电压的漏极和连接到第 1—第 3 PMOS 晶体管共同连接的漏极节点的源极。

5. 如权利要求 4 的 ODT 电路, 其中所述下拉驱动器包括:

第 2—第 4 NMOS 晶体管, 各具有输入上拉控制信号之一的栅极和连接到第 1 电源电压的源极;

下拉电阻器, 其配置在第 2—第 4 NMOS 晶体管共同连接的漏极节点和输出节点之间; 以及

第 4 PMOS 晶体管, 其具有输入上拉控制信号之一的栅极、连接到第 2 电源电压的漏极和连接到第 2—第 4 NMOS 晶体管共同连接的漏极节点的源极。

6. 如权利要求 5 的 ODT 电路, 其中所述控制信号发生单元包括:

第 1 控制信号发生单元, 其用来在所述解码装置的第 1 输出信号和第 3 输出信号之一被激活时, 激活第 1 上拉控制信号及第 1 下拉控制信号; 和

第 2 控制信号发生单元, 其用来在所述解码装置的第 2 输出信号和第 3 输出信号之一被激活时, 激活第 2 上拉控制信号及第 2 下拉控制信号。

7. 如权利要求 6 的 ODT 电路, 其中所述第 1 控制信号发生单元包括:

第 1 反相器, 其用来反转第 1 输出信号;

第 1 NAND 门, 其供输入第 1 反相器的输出信号和第 1 输出信号;

第 2 反相器, 其用来反转第 3 输出信号;

第 2 NAND 门, 其供输入第 1 NAND 门与第 2 反相器所输出的信号;

第 3 反相器, 其用来反转第 2 NAND 门的输出信号以输出第 1 上拉控制信号; 以及

第 1 反相器链, 其用来延迟第 2 NAND 门的输出信号以输出第 1 下拉控制信号。

8. 如权利要求 7 的 ODT 电路, 其中所述第 2 控制信号发生单元包括:

第 1 NOR 门, 其输入第 2 和第 3 输出信号;

第 4 反相器, 其用来反转第 1 NOR 门的输出信号;

第 5 反相器, 其用来反转第 4 反相器的输出信号以输出第 2 上拉控制信号; 以及

第 2 反相器链, 其用来延迟第 4 反相器的输出信号以输出第 2 下拉控制信号。

9. 一种半导体存储装置, 包括:

解码装置, 其用来解码扩展模式寄存器组(EMRS)的设定值;

片内终结器(ODT)输出驱动器单元, 其包括多个输出驱动器单元, 每个所述输出驱动器单元包括:

具有不同型式的金属氧化物半导体(MOS)晶体管并且响应上拉和下拉控制信号以驱动输出节点为上拉模式的上拉驱动器;

具有不同型式的金属氧化物半导体(MOS)晶体管并且响应上拉和下拉控制信号以驱动输出节点为下拉模式的下拉驱动器; 和

控制信号发生单元, 其用来生成响应所述解码装置的输出信号以导通/断开所述输出驱动器单元的上拉及下拉控制信号。

10. 如权利要求 9 的半导体存储装置, 其中所述上拉驱动器和所述下拉驱动器包括不

同型式的 PMOS 晶体管和 NMOS 晶体管。

11. 如权利要求 10 的半导体存储装置，其中所述上拉驱动器包括：

第 1—第 3 PMOS 晶体管，各具有输入上拉控制信号之一的栅极和连接到第 1 电源电压的源极；

上拉电阻器，其配置在第 1—第 3 PMOS 晶体管共同连接的漏极节点和输出节点之间；以及

第 1 NMOS 晶体管，其具有输入下拉控制信号之一的栅极、连接到第 1 电源电压的漏极和连接到第 1—第 3 PMOS 晶体管共同连接的漏极节点的源极。

12. 如权利要求 11 的半导体存储装置，其中所述下拉驱动器包括：

第 2—第 4 NMOS 晶体管，各具有输入上拉控制信号之一的栅极和连接到第 1 电源电压的源极；

下拉电阻器，其配置在第 2—第 4 NMOS 晶体管共同连接的漏极节点和输出节点之间；以及

第 4 PMOS 晶体管，其具有输入上拉控制信号之一的栅极、连接到第 2 电源电压的漏极和连接到第 2—第 4 NMOS 晶体管共同连接的漏极节点的源极。

13. 如权利要求 12 的半导体存储装置，其中所述控制信号发生单元包括：

第 1 控制信号发生单元，其用来在所述解码装置的第 1 输出信号和第 3 输出信号之一被激活时，激活第 1 上拉控制信号及第 1 下拉控制信号；和

第 2 控制信号发生单元，其用来在所述解码装置的第 2 输出信号和第 3 输出信号之一被激活时，激活第 2 上拉控制信号及第 2 下拉控制信号。

14. 如权利要求 13 的半导体存储装置，其中所述第 1 控制信号发生单元包括：

第 1 反相器，其用来反转第 1 输出信号；

第 1 NAND 门，其供输入第 1 反相器的输出信号和第 1 输出信号；

第 2 反相器，其用来反转第 3 输出信号；

第 2 NAND 门，其供输入第 1 NAND 门与第 2 反相器所输出的信号；

第 3 反相器，其用来反转第 2 NAND 门的输出信号以输出第 1 上拉控制信号；以及

第 1 反相器链，其用来延迟第 2 NAND 门的输出信号以输出第 1 下拉控制信号。

15. 如权利要求 14 的半导体存储装置，其中所述第 2 控制信号发生单元包括：

---

第 1 NOR 门，其输入第 2 和第 3 输出信号；

第 4 反相器，其用来反转第 1 NOR 门的输出信号；

第 5 反相器，其用来反转第 4 反相器的输出信号以输出第 2 上拉控制信号；以及  
第 2 反相器链，其用来延迟第 4 反相器的输出信号以输出第 2 下拉控制信号。

## 具有芯片内建终结电路的半导体存储装置

### 技术领域

- 5 本发明涉及半导体存储装置，尤其涉及具有片内终结电路的半导体存储装置，该片内终结电路可获得终结电阻的预期电平而与工艺、电压及温度的变化无关。

### 背景技术

- 10 例如中央处理单元(CPU)、存储器、门阵列(gate array)等的各种半导体装置被制成集成芯片而引入例如个人计算机、服务器、工作站等电子产品中。一般来说，半导体装置包括用来通过输入引脚接收来自外部电路的各种信号的接收电路和用来将内部信号通过输出引脚提供到外部电路的输出电路。

- 15 同时，由于电子产品的操作速度越来越快，所以半导体装置之间的连系信号的漂移宽度 (swing width) 已被逐渐缩短以使信号传输的延迟时间最小。然而，因为信号的漂移宽度已被缩短，所以信号愈加倾向于由外部装置所产生的噪声，且由于接口端的阻抗失配，信号反射严重。由于外部噪声和电压、温度与工艺的各种改变而导致阻抗失配。阻抗失配使得难以高速传送数据，并导致由输出端输出的数据失真。因此，当配置于接收电路中的半导体装置接收失真的信号时，常常会导致建立/保持 (set-up/hold)失效和输入电位无法检测的问题。

- 20 因此，需要高操作速度的接收电路中的半导体装置采用邻近集成芯片的引脚的阻抗匹配电路。此时，该阻抗匹配电路被称为芯片内终结电路或片内终结电路。通常，在片内终结电路的规划上，通过输出电路在传输侧发生源终结(source termination)，同时，通过并联连接的终结电路在接收侧发生对于连接输入引脚的输入电路的并联终结。

- 25 图 1 为传统半导体存储装置的片内终结器(ODT)电路的方块图。

如图所示，传统片内终结电路包括解码单元 10、控制信号发生单元 20 和 ODT 输出驱动器单元 30。解码单元 10 对扩展模式寄存器组 (EMRS) 的设定值进行解码。控制信号发生单元 20 生成控制信号，即第 1—第 3 上拉控制信号 ODT\_PU<1:3>和

第 1—第 3 下拉控制信号 ODT\_PD<1:3>, 用以响应来自解码单元 10 的第 1—第 3 控制信号 S0、S1、S2 而导通或断开第 1—第 3 输出驱动器单元 32、34、36。ODT 输出驱动器单元 30 响应第 1—第 3 上拉控制信号 ODT\_PU<1:3>和第 1—第 3 下拉控制信号 ODT\_PD<1:3>来调节终结电阻值。ODT 输出驱动器单元 30 和输出节点 N1 并联连接, 其目的在于调节终结电阻值, 并且包括具有相同电阻值的第 1—第 3 输出驱动器单元 32、34、36。

每个第 1—第 3 输出驱动器单元 32、34、36 均包括一个上拉驱动器和一个下拉驱动器。标记符号 32A、32B、34A、34B、36A、36B 分别表示第 1 上拉驱动器、第 1 下拉驱动器、第 2 上拉驱动器、第 2 下拉驱动器、第 3 上拉驱动器、第 3 下拉驱动器。第 1—第 3 上拉驱动器 32A、34A、36A 包括一种金属氧化物半导体(MOS)晶体管, 亦即, P-通道金属半导体 (PMOS)晶体管或 N-通道金属半导体 (NMOS)晶体管, 其功能为响应第 1—第 3 上拉控制信号 ODT\_PU<1:3>而将输出节点 N1 驱动成上拉模式。同样地, 第 1—第 3 下拉驱动器 32B、34B、36B 包括一种 MOS 晶体管, 其功能为响应第 1—第 3 下拉控制信号 ODT\_PD<1:3>而将输出节点 N1 驱动成下拉模式。

在此, 第 1—第 3 输出驱动器单元 32、34、36 具有相同的电路结构, 因而, 以第 1 输出驱动器单元 32 作为示例结构加以说明。

图 2 为图 1 所示第 1 输出驱动器单元的内部电路图, 以图 1 所用的相同组件的附图标记表示相同构造的组件。

如图 2 所示, 第 1 输出驱动器单元 32 的第 1 上拉驱动器 32A 包括多个晶体管, 即第 1—第 4 PMOS 晶体管 PM1—PM4 和上拉电阻器 R1。此时, 第 1 上拉控制信号 ODT\_PU<1>被输入到第 1—第 4 PMOS 晶体管 PM1—PM4 的各栅极, 且第 1—第 4 PMOS 晶体管的各源极被连接到第 1 电源电压 VDDQ。而且, 上拉电阻器 R1 被配置在输出节点 N1 和第 1—第 4 PMOS 晶体管 PM1—PM4 共同连接的漏极节点之间。

第 1 下拉驱动器 32B 包括多个 NMOS 晶体管, 亦即第 1—第 4 NMOS 晶体管 NM1—NM4 和下拉电阻器 R2。此时, 第 1 下拉控制信号 ODT\_PD<1>被输入到第 1—第 4 NMOS 晶体管 NM1—NM4 的各栅极, 且第 1—第 4 NMOS 晶体管 NM1—NM4 的各源极被连接到第 2 电源电压 VSSQ。而且, 下拉电阻器 R2 被配置在输出节点 N1 和第 1—第 4 NMOS 晶体管 NM1—NM4 共同连接的漏极节点之间。

如上所述, ODT 输出驱动器单元 30 的第 1—第 3 输出驱动器单元 32、34、36 具

有共享的输出节点 N1，亦即，第 1—第 3 输出驱动器单元 32、34、36 与输出节点 N1 并联连接。

因此，当响应第 1—第 3 上拉控制信号 ODT\_PU<1:3>而导通的输出驱动器单元的数量及第 1—第 3 下拉控制信号 ODT\_PD<1:3>增加时，并联连接的电阻器数量亦成比例的增加，结果，终结电阻值变得较小。反之，当导通的输出驱动器单元的数量减少时，终结电阻值则变得较大。

用户可通过利用 EMRS 的设定值来设定终结电阻值为 50 $\Omega$ 、75 $\Omega$  及 150 $\Omega$  等三者中之一。下文中，将在考虑第 1—第 3 输出驱动器单元 32、34、36 的导通电阻值的区块下详细描述所述终结电阻值。

10 假设第 1—第 3 输出驱动器单元 32、34、36 的各导通电阻值为 150 $\Omega$ ，且当第 1—第 3 输出驱动器单元 32、34、36 均导通时，则其等效于并联连接 3 个 150 $\Omega$  电阻值的之电阻器。因此，终结电阻值为 50 $\Omega$ 。而且，依相同假设，当第 1—第 3 输出驱动器单元 32、34、36 中的两个被导通时，其等效于并联连接 2 个 150 $\Omega$  电阻值的电阻器，因而，终结电阻值为 75 $\Omega$ 。当第 1—第 3 输出驱动器单元 32、34、36 中仅有一个导通时，其终结电阻值为 150 $\Omega$ 。

图 3 为图 1 所示的控制信号发生单元 20 的内部电路图。控制信号发生单元 20 包括第 1—第 3 控制信号发生单元 22、24、26，其用来生成各自对应于各解码单元 10 之输出信号的控制信号。第 1—第 3 控制信号发生单元 22、24、26 具有相同的电路构造，因而将以第 1 控制信号发生单元 22 为例来说明。

20 如图 3 所示，第 1 控制信号发生单元 22 包括：反相器 I1，用来反转来自解码单元 10 的第 1 输出信号 S0；第 5 PMOS 晶体管 PM5，其具有输入来自反相器 I1 所输出之输出信号的栅极，并具有形成在第 1 电源电压 VDDQ 和用来输出第 1 上拉控制信号 ODT\_PU<1>的输出节点之间的源极-漏极路径；第 5 NMOS 晶体管 NM5，其具有输入来自反相器 I1 所输出之输出信号的栅极，并具有形成在第 2 电源电压 VDDQ 和输出节点之间的源极-漏极路径；第 6 PMOS 晶体管 PM6，其具有输入来自解码单元 10 所输出的第 1 输出信号的栅极，并具有形成在第 1 电源电压 VDDQ 和用来输出第 1 下拉控制信号 ODT\_PD<1>的输出节点之间的源极-漏极路径；以及第 6 NMOS 晶体管 NM6，其具有输入输入第 1 输出信号 S0 的栅极，并具有形成在第 2 电源电压 VDDQ 和所述另一输出节点之间的源极-漏极路径。



下表 1 示出由 JEDEC 规范所限定的 EMRS 值及终结电阻值。

表 1

A6	A2	Rtt (标称)
0	0	ODT 无效
0	1	75 欧姆
1	0	150 欧姆
1	1	50 欧姆

如表 1 所示，以下将解释根据用户所输入的 EMRS 值来设定半导体存储装置的  
5 终结电阻值的程序。

首先，当 EMRS 的 A6 及 A2 信号以"L"逻辑电平而非活(inactivated)时，基于 EMRS  
值，解码单元 10 使输出信号非活，亦即使第 1 输出信号 S0、第 2 输出信号 S1 及第 3  
输出信号 S2 具有"H"逻辑电平。因此，控制信号发生单元 20 非活第 1—第 3 上拉控  
制信号 ODT\_PU<1:3>为"H"逻辑电平并且非活第 1—第 3 下拉控制信号  
10 ODT\_PD<1:3>为"L"逻辑电平。作为非活的结果，第 1—第 3 输出驱动器单元 32、34  
、36 被断开，导致终结电阻值为 0Ω。

另外，当 EMRS 的 A6 及 A2 信号分别为"L"及"H"逻辑电平时，解码单元 10 激活  
第 1 和第 2 输出控制信号 S0、S1 为"L"逻辑电平。控制信号发生单元 20 响应于第 1  
及第 2 输出控制信号 S0 及 S1 而激活对应的第 1—第 3 上拉控制信号 ODT\_PU<1:3>  
15 和第 1—第 3 下拉控制信号 ODT\_PD<1:3>中的上拉及下拉控制信号，亦即，第 1—第  
2 上拉控制信号 ODT\_PU<1:2>和第 1—第 2 下拉控制信号 ODT\_PD<1:2>。激活的结  
果是使第 1 和第 2 输出驱动器单元 32、34 导通，导致终结电阻值为 75Ω。

另外，当 EMRS 的 A6 及 A2 信号分别为"H"及"L"逻辑电平时，解码单元 10 激活  
第 2 输出信号 S1 为"L"逻辑电平。因此，控制信号发生单元 20 激活第 2 上拉控制信  
20 号 ODT\_PU<2>和第 2 下拉控制信号 ODT\_PD<2>。该激活导致第 2 输出驱动器单元  
34 导通，因而使得终结电阻值为 150Ω。

最后，当 EMRS 的 A6 及 A2 信号为"H"逻辑电平时，解码单元 10 激活第 1—第  
3 输出信号 S0—S2，以使控制信号发生单元 20 激活第 1—第 3 上拉控制信号  
ODT\_PU<1:3>和第 1—第 3 下拉控制信号 ODT\_PD<1:3>。因而，第 1—第 3 输出驱

动器单元 32、34 及 36 被导通，结果，终结电阻值成为  $50\ \Omega$ 。

如上所述，用户可以通过 A2 和 A6 信号的激活和非活组合来设定终结电阻值为  $150\ \Omega$  或  $75\ \Omega$  或  $50\ \Omega$ 。

同时，JEDEC 规范除了界定有效终结电阻值中的错误范围外，还限定了 Rtt 阻抗失配，即 PMOS 晶体管的电阻值与上拉电阻器、及 NMOS 晶体管的另一电阻值与下拉电阻器之间的失真。

然而，一组用来驱动片内终结电路中输出驱动器单元的输出节点的上拉驱动器被构建成一种型式的 MOS 晶体管，同时，另一组用来驱动输出驱动器单元的输出节点的下拉驱动器则形成为另一型式的 MOS 晶体管。因而，当工艺、电压及温度有改变时，PMOS 晶体管和 NMOS 晶体管就表现出不同的物理特性。结果，难以如预期那样来控制终结电阻值。

因为 PMOS 及 NMOS 晶体管的物理性质不同，因此上拉驱动器的电阻值与上拉电阻器、以及下拉驱动器的电阻值与下拉电阻器之间的阻抗失配变得严重。因此，由于无法满足 JEDEC 规范，将引起半导体装置失效的问题。

## 15 发明内容

因此，本发明的一个目的是提供一种片内终结电路，从而可获得稳定有效的终结电阻并可稳定上拉驱动器的电阻值与第 1 电阻器、以及下拉驱动器的另一电阻值与第 2 电阻器之间的阻抗失配而与工艺、电压及温度变化无关。

根据本发明的一个方面，所提供的片内终结器(ODT)电路包括：解码单元，用来解码扩展模式寄存器组(EMRS)的设定值； ODT 驱动器单元，包括多个并联连接到用来输出输出信号的输出节点上的输出驱动器单元，并赋予其不同的电阻值；以及控制信号发生单元，其用来生成多个上拉及下拉控制信号，以响应解码单元的输出信号而导通/断开多个输出驱动器单元。

根据本发明的另一方面，所提供的半导体存储装置包括：解码单元，用来解码扩展模式寄存器组(EMRS)的设定值；片内终结器(ODT)输出驱动器单元，包括多个输出驱动器单元，每个输出驱动器单元包括：上拉驱动器，其具有不同型式的金属氧化物半导体(MOS)晶体管，并用来响应上拉及下拉控制信号而驱动输出节点成为上拉模式；和下拉驱动器，其具有不同型式的 MOS 晶体管，并用来响应上拉及下拉控制信号而驱动输出节点成为下拉模式；以及控制信号发生单元，其用来生成上拉及下拉控制

信号，以响应解码单元的输出信号而导通/断开输出驱动器单元。

### 附图说明

参照以下优选实施方案说明及其附图将更好地理解本发明的上述及其它目的和特征；其中：

- 5 图 1 为传统半导体存储装置中的片内终结电路的方块图。  
图 2 为图 1 所示的第 1 输出驱动器单元的内部电路图。  
图 3 为图 1 所示的控制信号发生单元的内部电路图。  
图 4 为根据本发明一个实施方案的半导体存储装置中的片内终结电路的方块图。  
图 5 为图 4 所示的第 1 输出驱动器单元的内部电路图。  
10 图 6 为图 4 所示的解码单元的内部电路图。  
图 7 为图 4 所示的控制信号发生单元的内部电路图。

### 具体实施方式

将参照附图详细说明根据本发明的优选实施方案的具有片内终结电路的半导体存储装置。

- 15 图 4 为根据本发明一个实施方案的半导体存储装置中的片内终结电路的方块图。  
如图所示，片内终结器(ODT)电路包括：解码单元 100；控制信号发生单元 200；和 ODT 输出驱动器单元 300。解码单元 100 解码扩展模式寄存器(EMRS)的设定值。ODT 输出驱动器单元 300 包括第 1 和第 2 输出驱动器单元 320 和 340，其各自连同不同电阻值并联连接到输出节点 N2。控制信号发生单元 200 生成第 1 与第 2 上拉控制信号 ODT\_PU<1:2>和第 1 与第 2 下拉控制信号 ODT\_PD<1:2>，来响应解码单元 100 的第 1—第 3 输出信号 S0、S1、S2 来导通/断开所述多个输出驱动器单元 320 和 340。  
20

- 第 1 和第 2 输出驱动器单元 320 和 340 包括：第 1 与第 2 上拉驱动器 322、342；和第 1 与第 2 下拉驱动器 324、344。更具体地，第 1 与第 2 上拉驱动器 322、342 包括不同型式的 P-通道金属氧化物半导体(PMOS)晶体管及 N-通道金属氧化物半导体(NMOS)晶体管并且起到响应第 1 与第 2 上拉控制信号 ODT\_PU<1:2>来驱动输出节点 N2 成为上拉模式的作用。另外，第 1 与第 2 下拉驱动器 324、344 包括不同型式的 PMOS 晶体管及 NMOS 晶体管起到响应第 1 与第 2 下拉控制信号 ODT\_PD<1:2>来驱  
25

动输出节点 N2 成为下拉模式的作用。

图 5 为图 4 所示的第 1 输出驱动器单元的内部电路图。

如图所示，第 1 输出驱动器单元 320 的第 1 上拉驱动器 322 包括：多个 PMOS 晶体管，亦即，第 1—第 3 PMOS 晶体管 PM7—PM9；上拉电阻器 R1；和第 1 NMOS 晶体管 NM7。此时，第 1 上拉控制信号 ODT\_PU<1>被输入至第 1—第 3 PMOS 晶体管 PM7—PM9 的各栅极，并且第 1—第 3 PMOS 晶体管 PM7—PM9 的各源极被连接到第 1 电源电压 VDDQ。而且，上拉电阻器 R3 被配置在输出节点 N2 和第 1—第 3 PMOS 晶体管 PM7—PM9 共同连接的漏极节点之间。另外，第 1 NMOS 晶体管 NM7 包括：栅极，供输入第 1 上拉控制信号 ODT\_PU<1>；漏极，其连接第 1 电源电压 VDDQ；以及源极，其连接到第 1—第 3 PMOS 晶体管 PM7—PM9 共同连接的漏极节点。

第 1 输出驱动器单元 320 的第 1 下拉驱动器 324 包括：多个 NMOS 晶体管，亦即，第 2—第 4 NMOS 晶体管 NM8—NM10；下拉电阻器 R4；和第 4 PMOS 晶体管 PM10。此时，第 1 下拉控制信号 ODT\_PD<1>被输入第 2—第 4 NMOS 晶体管 NM8—NM10 的各个栅极，且第 2—第 4 NMOS 晶体管 NM8—NM10 的各个源极被连接到第 2 电源电压 VSSQ。而且，下拉电阻器 R4 被配置在输出节点 N2 与第 2—第 4 NMOS 晶体管 NM8—NM10 共同连接的漏极节点之间。第 4 PMOS 晶体管 PM1 包括：栅极，供输入第 1 下拉控制信号 ODT\_PD<1>；漏极，连接到第 2 电源电压；以及源极，连接到第 2—第 4 NMOS 晶体管 NM8—NM10 共同连接的漏极节点。亦即，第 1 上拉驱动器 322 和第 1 下拉驱动器 324 的每一个均包括不同型式的 MOS 晶体管。

同时，第 1 输出驱动器单元 320 的导通电阻值约为  $75\ \Omega$ ，而第 2 输出驱动器单元 340 的导通电阻值约为  $150\ \Omega$ 。因此，当第 1 输出驱动器单元 340 单独导通时，终结电阻值变成约  $75\ \Omega$ ，且当第 2 输出驱动器单元 340 单独导通时，终结电阻值变为约  $150\ \Omega$ 。当第 1 与第 2 驱动器 320、340 均导通时，终结电阻值即变成约  $50\ \Omega$ 。

如上所述，半导体存储装置通过使用 PMOS 晶体管及 NMOS 晶体管两者而由第 1 与第 2 上拉驱动器 322、342 和第 1 与第 2 下拉驱动器 324、344 所构成。因此，即使是因为工艺、操作电压及温度(PVT)等的改变使 PMOS 晶体管的驱动速度慢于 NMOS 晶体管，但上拉驱动器或下拉驱动器的 NMOS 晶体管仍可补偿该变慢的驱动速度。结果，终结电阻值的改变极小。再者，在上拉路径的电阻值及下拉路径的电阻

值两者间并无偏差，故可令 Rtt 阻抗失配在允许的 Rtt 阻抗失配范围内。

因根据本发明优选实施方案的具有片内终结电路的半导体存储装置对于 PVT 的改变是稳定的，故可改善芯片的可靠性并可使得芯片尺寸缩小。

图 6 为图 4 所示的解码单元的内部电路图。

5 如图所示，解码单元 100 包括多个反相器及 NAND 门。更具体地，解码单元 100 包括：第 1 反相器 I2，其用来反转 EMRS 的 A2 信号；第 2 反相器 I3，其用来反转第 1 反相器 I2 所输出的信号；第 3 反相器 I4，其用来反转 EMRS 的 A6 信号；第 4 反相器 I5，其用来反转第 3 反相器 I4 所输出的信号；第 1 NAND 门 ND1，供输入第 2 及第 3 反相器 I3、I4 的输出信号；第 5 反相器 I6，其用来反转第 1 NAND 门 ND1 的输  
10 出信号以输出第 1 输出信号 S0；第 2 NAND 门 ND2，供输入第 1 及第 4 反相器 I2、I5 的输出信号；第 6 反相器 I7，其用来反转第 2 NAND 门 ND2 的输出信号以输出第 2 输出信号 S1；第 3 NAND 门 ND3，供输入第 2 及第 4 反相器 I3、I5 的输出信号；以及第 7 反相器 I8，其用来反转第 3 NAND 门 ND3 的输出信号以输出第 3 输出信号 S2。

15 图 7 为图 4 所示的控制信号发生单元的内部电路图。

如图所示，控制信号发生单元 200 包括：第 1 控制信号发生单元 220，其用来在解码单元 100 的第 1 输出信号 S0 或第 3 输出信号 S2 被激活时，激活第 1 上拉控制信号 ODT\_PU<1>及第 1 下拉控制信号 ODT\_PD<1>；和第 2 控制信号发生单元 240，其用来在解码单元 100 的第 2 输出信号 S1 或第 3 输出信号 S2 被激活时，激活第 2  
20 上拉控制信号 ODT\_PU<2>及第 2 下拉控制信号 ODT\_PD<2>。

第 1 控制信号发生单元 220 包括：第 8 反相器 I9，其用来反转解码单元 100 的第 2 输出信号 S1；第 4 NAND 门 ND4，供输入第 8 反相器 I9 的输入信号及第 1 输出信号 S0；第 9 反相器 I10，其用来反转解码单元 100 的第 3 输出信号 S2；第 5 NAND 门 ND5，供输入第 4 NAND 门 ND4 及第 9 反相器 I10 的输出信号；第 10 反相器 I11  
25 ，其用来反转第 5 NAND 门 ND5 的输出信号以输出第 1 上拉控制信号 ODT\_PU<1>；以及第 11 和第 12 反相器 I12、I13 的反相器链，其用来延迟第 5 NAND 门 ND5 的输出信号以输出第 1 下拉控制信号 ODT\_PD<1>。

第 2 控制信号发生单元 240 包括：NOR 门 NR1，供输入第 2 及第 3 输出信号 S1、S2；第 13 反相器 I14，其用来反转 NOR 门 NR1 的输出信号；第 14 反相器 I15

，其用来反转第 13 反相器 I14 的输出信号以输出第 2 上拉控制信号 ODT\_PU<2>；以及第 15 和第 16 反相器 I16、I17 的反相器链，其用来延迟第 13 反相器 I14 的输出信号以输出第 2 下拉控制信号 ODT\_PD<2>。

5 以下，就由用户基于 EMRS 设定值对半导体存储装置的终结电阻值进行设定的过程加以说明。

首先，当用户设定 EMRS 的预定值时，解码单元 100 即根据该 EMRS 设定值激活第 1—第 3 输出信号 S0—S2。

10 详细来说，当 EMRS 的 A6 及 A2 信号为逻辑电平"L"而非活时，解码单元 100 即使第 1—第 3 输出信号 S0—S2 非活为逻辑电平"L"。而当 A6 及 A2 信号分别为逻辑电平"L"和"H"时，则激活第 1 输出信号。当 A6 及 A2 信号分别为逻辑电平"H"及"L"时，则激活第 2 输出信号 S1。而且，当 A6 及 A2 两个信号均被激活时，则激活第 3 输出信号 S2。

15 其次，控制信号发生单元 200 响应解码单元 100 的第 1—第 3 输出信号 S0—S2 而激活诸项控制信号、即第 1—第 2 上拉控制信号 ODT\_PU<1:2>及第 1—第 2 下拉控制信号 ODT\_PD<1:2>。此种激活的结果是调整拟予导通的输出驱动器单元的数量从而确定终结电阻值。

亦即，当解码单元 100 的第 1 输出信号被激活时，控制信号发生单元 200 激活第 1 上拉控制信号 ODT\_PU<1>及第 1 下拉控制信号 ODT\_PD<1>。结果，第 1 输出驱动器单元 320 被导通，此时，终结电阻值被设定为约 75 Ω。

20 再者，当解码单元 100 的第 2 输出信号 S1 被激活时，控制信号发生单元 200 激活第 2 上拉控制信号 ODT\_PU<2>及第 2 下拉控制信号 ODT\_PD<2>。结果，第 2 输出驱动器单元 340 被导通，且在此时，终结电阻值被设定为约 150 Ω。

25 最后，当解码单元 100 的第 3 输出信号 S2 被激活时，控制信号发生单元 200 激活第 1 与第 2 上拉控制信号 ODT\_PU<1:2>和第 1 与第 2 下拉控制信号 ODT\_PD<1:2>。结果，第 1 及第 2 输出驱动器单元 320、340 均被导通，而在此时，终结电阻值被设定为约 50 Ω。

因为根据本发明的具有片内终结电路的半导体存储装置是由使用不同型式 MOS 晶体管的多个输出驱动器单元构成，故可补足由于 PVT 改变所致不同型式 MOS 晶体管在性能上的差异。因此，也减少了因 PVT 改变所造成的终结电阻值的误差变化，

并可减少上拉路径与上拉电阻器间的电阻值、以及下拉路径与下拉电阻器间的电阻值之间的偏差。因此，可易于满足 JEPEC 规范并提高芯片的可靠性。同时，由于减少了驱动器单元的数量，故亦可减小芯片的尺寸。

本申请所包含的主题与 2004 年 11 月 1 日所递交的韩国专利申请 No. KR 5 2004-0087875 有关，在此通过引用并入其全部内容。

虽然本发明采用特定优选实施方案进行说明，但是本领域技术人员可以在不违背所附权利要求书所限定的本发明的实质和范围的情况下作出各种修改及变更。

图1  
(现有技术)

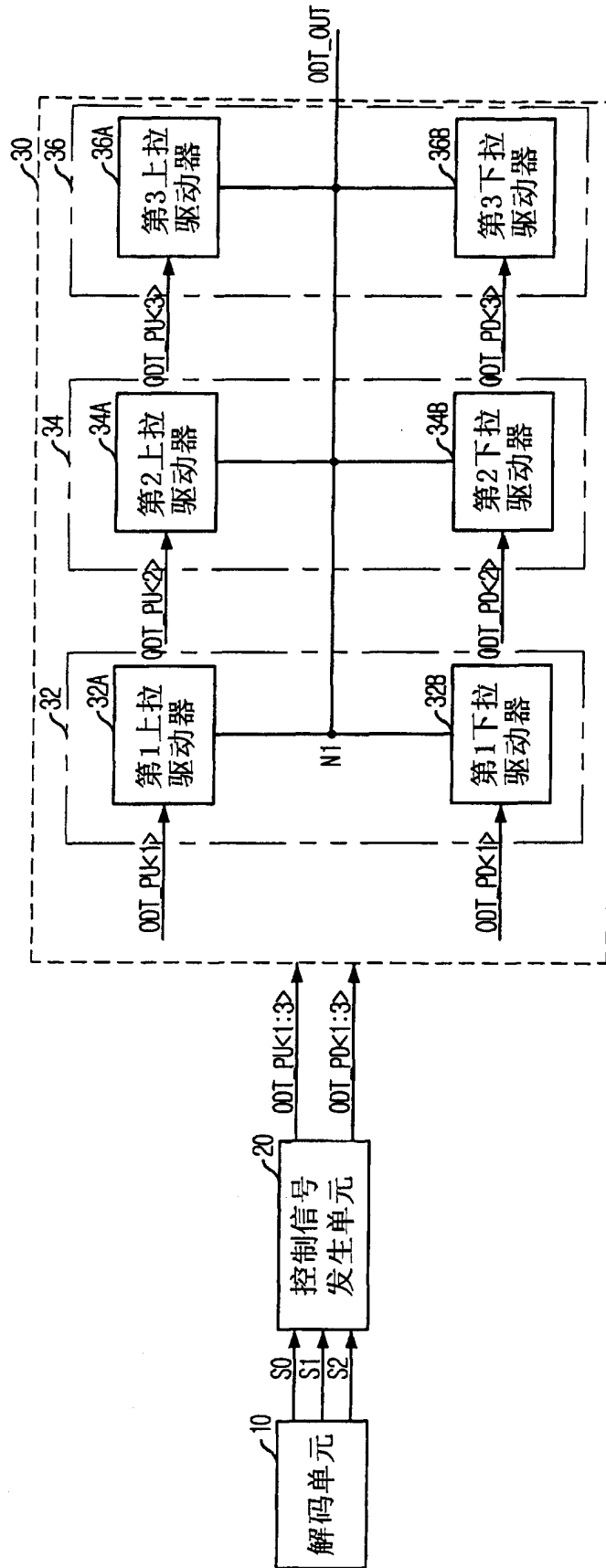




图2  
(现有技术)

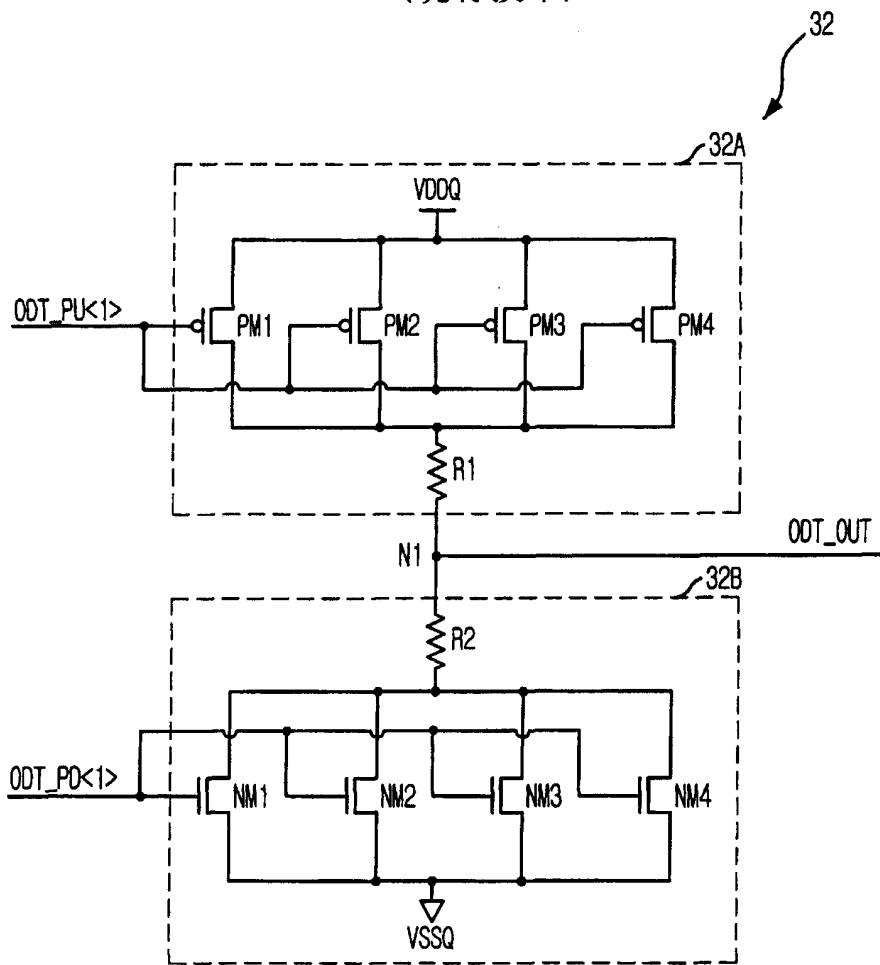
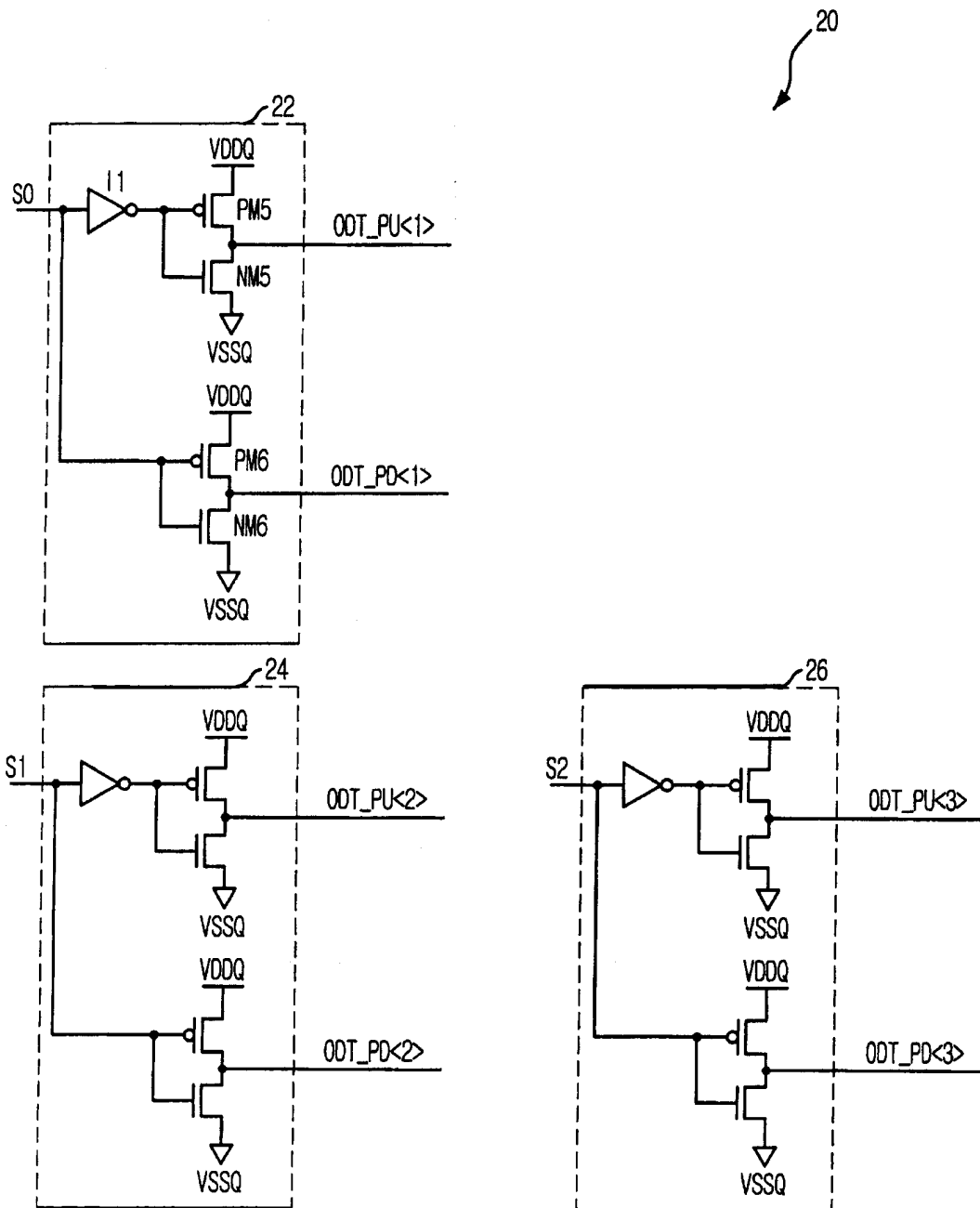


图3  
(现有技术)



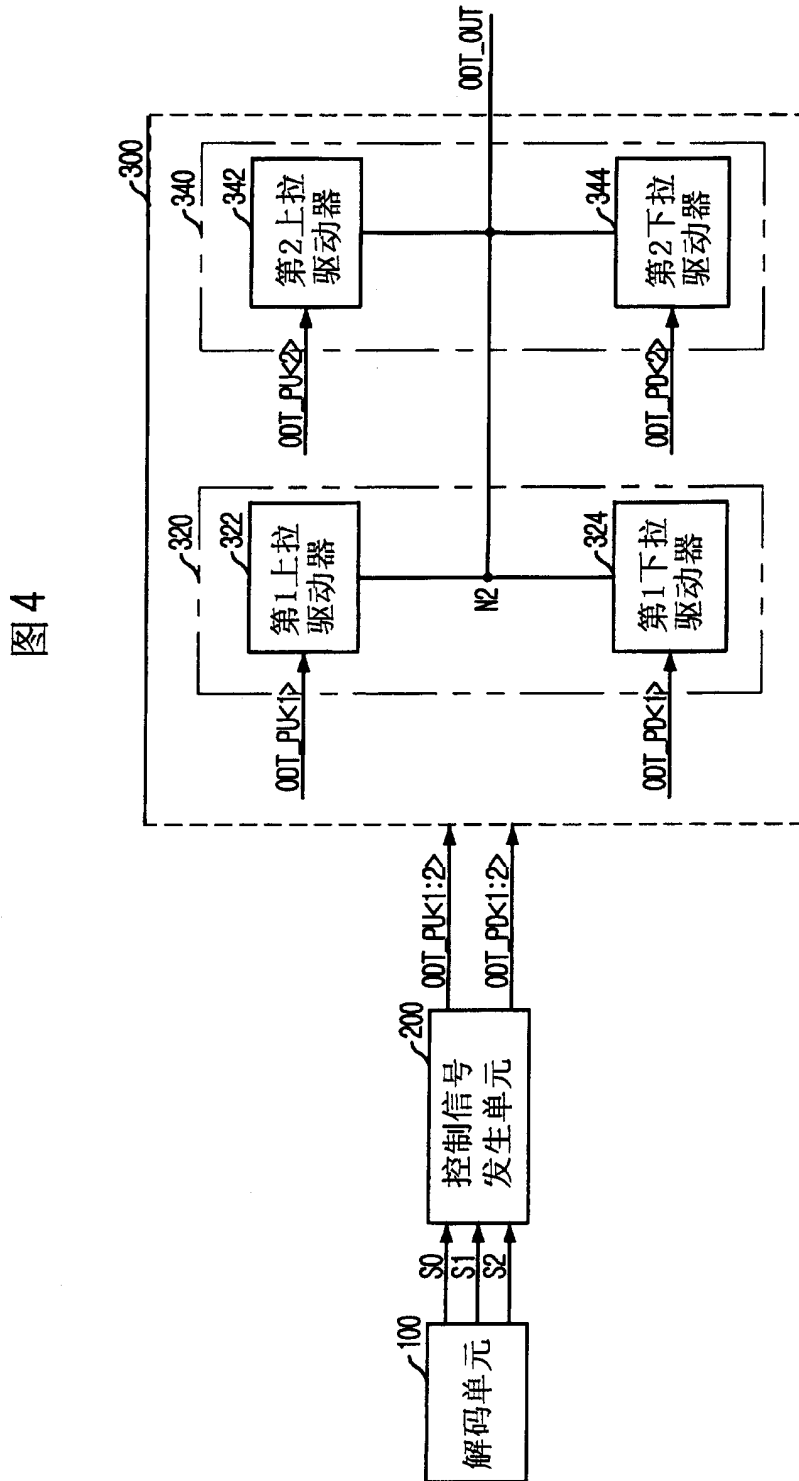


图5

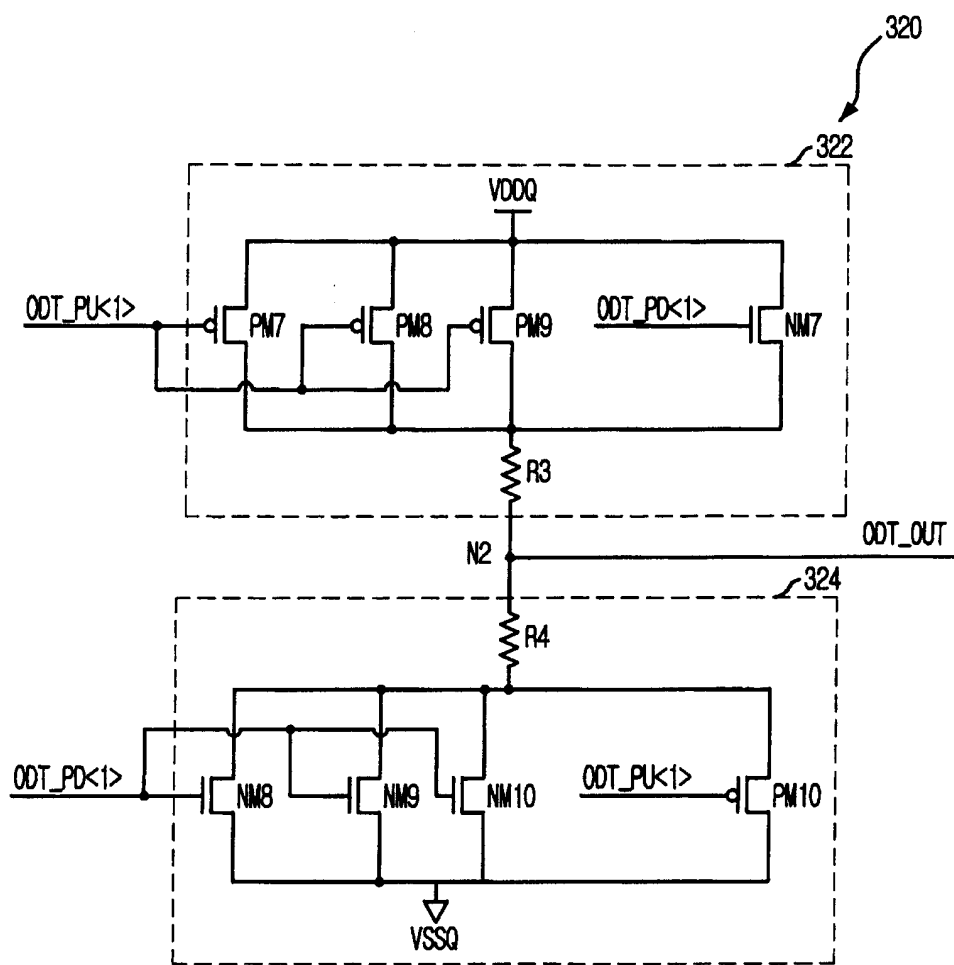


图6

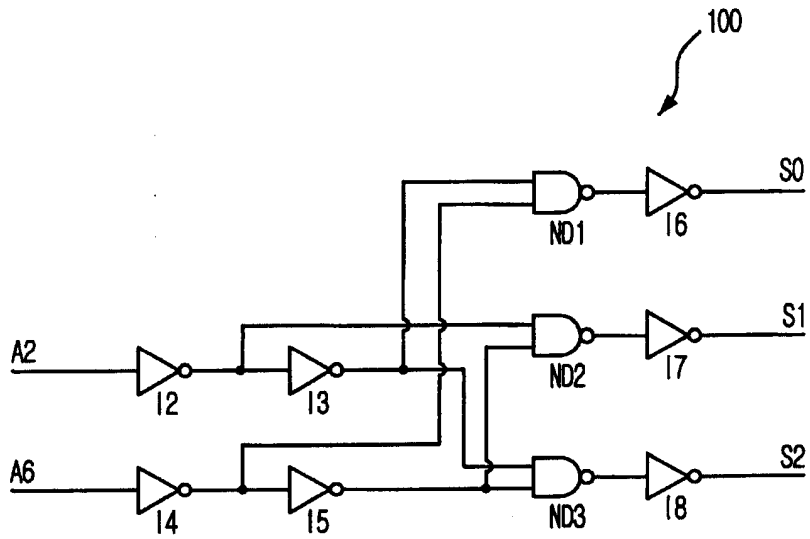


图7

