

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6697105号  
(P6697105)

(45) 発行日 令和2年5月20日(2020.5.20)

(24) 登録日 令和2年4月27日(2020.4.27)

(51) Int.Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T
HO 1 L 27/04 (2006.01)	GO 1 R 33/06
GO 1 R 33/06 (2006.01)	GO 1 R 33/07
GO 1 R 33/07 (2006.01)	GO 1 R 33/09
GO 1 R 33/09 (2006.01)	GO 1 R 35/00 M
請求項の数 28 (全 27 頁) 最終頁に続く	

(21) 出願番号	特願2019-50870 (P2019-50870)	(73) 特許権者	501105602
(22) 出願日	平成31年3月19日(2019.3.19)		アレグロ・マイクロシステムズ・エルエルシー
(62) 分割の表示	特願2016-543184 (P2016-543184)の分割		アメリカ合衆国ニューハンプシャー州03103-3353, マンチェスター, ペリメーター・ロード955番
原出願日	平成26年12月22日(2014.12.22)	(74) 代理人	100140109
(65) 公開番号	特開2019-149552 (P2019-149552A)		弁理士 小野 新次郎
(43) 公開日	令和1年9月5日(2019.9.5)	(74) 代理人	100118902
審査請求日	平成31年3月19日(2019.3.19)		弁理士 山本 修
(31) 優先権主張番号	61/920,827	(74) 代理人	100106208
(32) 優先日	平成25年12月26日(2013.12.26)		弁理士 宮前 徹
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100120112
			弁理士 中西 基晴
		最終頁に続く	

(54) 【発明の名称】 センサ診断のための方法および装置

(57) 【特許請求の範囲】

【請求項1】

集積回路であって、  
磁気感知素子と、  
前記磁気感知素子に結合された障害検出モジュールであって、障害状態を検出し、かつ、前記障害状態を検出するための回路機構の自己試験動作のための、該回路機構を含む、障害検出モジュールと、

前記障害状態を示すための障害ピンであって、所与の時間の間、前記障害ピンを所与の電圧レベルに引っ張ることで、前記自己試験動作を開始する自己試験要求を提供するように、入力/出力ピンを含む、障害ピンと  
を備え、

前記障害検出モジュールは、既知の電圧及び接地信号との接続を介して輪回し、前記障害状態を検出するための前記回路機構の前記自己試験動作のために、前記障害ピン上の予期される障害信号及び非障害信号を検証する、少なくとも1つのスイッチを含む、集積回路。

【請求項2】

前記障害検出モジュールが、前記障害状態と関連付けられた少なくとも1つの閾値を有する窓コンパレータを含む、請求項1に記載の集積回路。

【請求項3】

前記少なくとも1つの閾値が短絡回路に対応する、請求項2に記載の集積回路。

## 【請求項 4】

前記短絡回路が、前記窓コンパレータから前記磁気感知素子まで延在している信号経路に存在する、請求項 3 に記載の集積回路。

## 【請求項 5】

前記少なくとも 1 つの閾値によって障害が検出されると、所与の状態に対して前記障害ピンが起動される、請求項 2 に記載の集積回路。

## 【請求項 6】

前記自己試験動作の自己試験信号が継続期間内でプログラム可能である、請求項 1 に記載の集積回路。

## 【請求項 7】

磁気感知素子を集積回路内の障害検出モジュールに結合するステップと、  
障害状態を検出し、かつ、前記障害状態を検出するための回路機構の自己試験動作のための、該回路機構を含むように、前記障害検出モジュールを提供するステップと、  
自己試験信号を提供するステップと、  
前記障害状態を示すための障害ピンを提供するステップと  
を含み、

前記障害ピンは、所与の時間の間、前記障害ピンを所与の電圧レベルに引っ張ることで、前記自己試験動作を開始する自己試験要求を提供するように、入力/出力ピンを含み、  
前記障害検出モジュールは、既知の電圧及び接地信号との接続を介して輪回し、前記障害状態を検出するための前記回路機構の前記自己試験動作のために、前記障害ピン上の予  
期される障害信号及び非障害信号を検証する、少なくとも 1 つのスイッチを含む、方法。

## 【請求項 8】

前記障害検出モジュールが、前記障害状態と関連付けられた少なくとも 1 つの閾値を有する窓コンパレータを含む、請求項 7 に記載の方法。

## 【請求項 9】

前記少なくとも 1 つの閾値が短絡回路状態に対応する、請求項 8 に記載の方法。

## 【請求項 10】

前記短絡回路状態が、前記窓コンパレータから前記磁気感知素子まで延在している信号経路に存在する、請求項 9 に記載の方法。

## 【請求項 11】

前記少なくとも 1 つの閾値によって障害が検出されると、所与の状態に対して前記障害ピンが起動される、請求項 8 に記載の方法。

## 【請求項 12】

前記障害状態が閾値より高い電流レベルを含む、請求項 8 に記載の方法。

## 【請求項 13】

前記自己試験要求の前記所与の時間がプログラム可能である、請求項 8 に記載の方法。

## 【請求項 14】

前記自己試験要求の前記所与の時間が自己試験要求のパワーアップ開始に対応する、請求項 8 に記載の方法。

## 【請求項 15】

印加された磁界が磁界閾値未満である場合にのみ前記自己試験動作に入る、請求項 8 に記載の方法。

## 【請求項 16】

前記自己試験動作に入ったことを示す肯定応答信号を提供するために前記障害ピン上の電圧を制御するステップをさらに含む、請求項 8 に記載の方法。

## 【請求項 17】

前記肯定応答信号がアクティブである時間の長さがプログラム可能である、請求項 16 に記載の方法。

## 【請求項 18】

前記自己試験動作の結果を提供するために前記障害ピン上の電圧レベルを制御するステ

10

20

30

40

50

ップをさらに含む、請求項 16 に記載の方法。

【請求項 19】

前記自己試験動作の合格または不合格を示すために前記障害ピン上の電圧レベルを計時するステップをさらに含む、請求項 18 に記載の方法。

【請求項 20】

第 1 の時間における電圧レベルの変化が合格を示し、第 2 の時間における電圧レベルの変化がセンサ試験不合格を示し、第 3 の時間における電圧レベルの変化が障害故障を示す、請求項 19 に記載の方法。

【請求項 21】

前記第 1、第 2 および第 3 の時間がプログラム可能である、請求項 20 に記載の方法。

10

【請求項 22】

温度が温度閾値より高い温度に変化すると前記自己試験動作を開始するステップをさらに含む、請求項 7 に記載の方法。

【請求項 23】

前記集積回路が厳密に 4 ピンのパッケージを備える、請求項 7 に記載の方法。

【請求項 24】

リードフレームによって支持されたダイを使用するステップであって、前記リードフレームが、前記リードフレームから切り取られた領域を有し、渦電流を小さくするために前記磁気感知素子の位置と前記領域が整列されるステップをさらに含む、請求項 7 に記載の方法。

20

【請求項 25】

磁束閾値を超える磁界が検出されると前記自己試験動作が終了される、請求項 7 に記載の方法。

【請求項 26】

前記集積回路が線形電流センサを備える、請求項 7 に記載の方法。

【請求項 27】

継続期間の間、前記自己試験動作の自己試験信号がプログラム可能である、請求項 7 に記載の方法。

【請求項 28】

磁気感知素子と、

30

前記磁気感知素子に結合された障害検出モジュールであって、障害状態を検出し、かつ、前記障害状態を検出するための回路機構の自己試験動作のための、該回路機構を含み、前記障害状態と関連付けられた少なくとも 1 つの閾値を有する窓コンパレータを含む、障害検出モジュールと、

前記障害状態を示すための障害ピンとを備え、

前記障害ピンは、所与の時間の間、前記障害ピンを所与の電圧レベルに引っ張ることで、前記自己試験動作を開始する自己試験要求を提供するように、入力/出力ピンを含み、

前記障害検出モジュールは、既知の電圧及び接地信号との接続を介して輪回し、前記障害状態を検出するための前記回路機構の前記自己試験動作のために、前記障害ピン上の予期される障害信号及び非障害信号を検証する、少なくとも 1 つのスイッチを含む、集積回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、センサ診断のための方法および装置に関する。

【背景技術】

【0002】

当分野で知られているように、磁気センサ集積回路 (IC: Integrated Circuit) のための多くの安全最重視アプリケーションが存在している。機能的安全

50

性の改善、およびより高い総合品質レベルおよびより低い現場故障率の達成を対象とした様々な仕様が存在している。例えばICの主要な機能パラメータのための試験モードは、例えば印刷回路基板上への挿入に先立つ、顧客による機能性の試験の実施を可能にしている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

しかしながら自動車などのシステムまたはサブシステムへの設置後は、構成要素が適切に動作していることを保証するための試験の機会が限られている。

【課題を解決するための手段】

【0004】

本発明の一態様では、集積回路は、差動第1の出力および第2の出力、ならびに電流を受け取るための入力を有する磁気感知素子と、差動第1の出力および第2の出力の各々に結合された第1のスイッチおよび第2のスイッチと、第1のスイッチと第2のスイッチの間に結合された第1の電圧源であって、第1のスイッチおよび第2のスイッチが、第1の電圧源が差動第1の出力と第2の出力の両端間に結合される第1の状態を有する第1の電圧源と、電圧を出力するためのIC出力であって、電圧が、第1のスイッチおよび第2のスイッチが磁気感知素子からIC出力までの信号経路の動作を監視するための第1の状態にある場合、第1の電圧源に対応するIC出力とを備える。

【0005】

集積回路は、差動第1の出力および第2の出力の各々に結合された第3のスイッチおよび第4のスイッチと、第3のスイッチと第4のスイッチの間に結合された第2の電圧源であって、第3のスイッチおよび第4のスイッチが、第1の電圧源が差動第1の出力および第2の出力の両端間に結合される第2の状態を有し、IC出力が、第3のスイッチおよび第4のスイッチが磁気感知素子からIC出力までの信号経路の動作を監視するための第2の状態にある場合、第2の電圧源に対応する電圧を出力し、第1の電圧源および第2の電圧源が異なる極性を有する第2の電圧源と、磁気感知素子の第2の差動出力と第1のスイッチの間に結合された第5のスイッチと、磁気感知素子の第1の差動出力と第2のスイッチの間に結合された第6のスイッチであって、信号経路の利得を検証するべく、第1、第2、第3および第4のスイッチのそれぞれの状態を制御することができ、磁気感知素子がホール素子を備え、磁気感知素子が磁気抵抗素子を備える第6のスイッチと、磁気感知素子の第1の差動出力および第2の差動出力に結合されたそれぞれの入力を有する増幅器であって、集積回路が線形磁気センサを備える増幅器と、リードフレームによって支持されたダイであって、リードフレームがリードフレームから切り取られた領域を有し、渦電流を小さくするために磁気感知素子の位置と領域が整列され、リードフレームが、それぞれのダイ取付け部分を有する対応するリード線を有し、ダイがリード線のダイ取付け部分の両端間に置かれるダイと、磁気感知素子の入力に電流を提供するための電圧源および/または電流源と、および/またはプロセッサと、プロセッサのための命令を記憶するための不揮発性メモリ、のうちの1つまたは複数の特徴をさらに含むことができる。

【0006】

本発明の別の態様では、方法は、差動第1の出力および第2の出力、ならびに電流を受け取るための入力を有する磁気感知素子を使用するステップと、第1のスイッチおよび第2のスイッチを差動第1の出力および第2の出力の各々に結合するステップと、第1の電圧源を第1のスイッチと第2のスイッチの間に結合するステップであって、第1のスイッチおよび第2のスイッチが、第1の電圧源が差動第1の出力と第2の出力の両端間に結合される第1の状態を有するステップと、電圧を出力するためのIC出力を使用するステップであって、電圧が、第1のスイッチおよび第2のスイッチが磁気感知素子からIC出力までの信号経路の動作を監視するための第1の状態にある場合、第1の電圧源に対応するステップとを含む。

【0007】

方法は、第3のスイッチおよび第4のスイッチを差動第1の出力および第2の出力の各々に結合するステップと、第2の電圧源を第3のスイッチと第4のスイッチの間に結合するステップであって、第3のスイッチおよび第4のスイッチが、第1の電圧源が差動第1の出力と第2の出力の両端間に結合される第2の状態を有し、第3のスイッチおよび第4のスイッチが磁気感知素子からIC出力までの信号経路の動作を監視するための第2の状態にある場合、IC出力が第2の電圧源に対応する電圧を出力し、第1の電圧源および第2の電圧源が異なる極性を有するステップと、第5のスイッチを磁界感知素子の第2の差動出力と第1のスイッチの間に結合するステップと、第6のスイッチを磁界感知素子の第1の差動出力と第2のスイッチの間に結合するステップであって、信号経路の利得を検証するべく、第1、第2、第3および第4のスイッチのそれぞれの状態を制御することができ、磁気感知素子がホール素子を備え、磁気感知素子が磁気抵抗素子を備えるステップと、磁気感知素子の第1の差動出力および第2の差動出力に結合されたそれぞれの入力を有する増幅器を使用するステップであって、集積回路が線形磁気センサを備えるステップと、リードフレームによって支持されたダイを使用するステップであって、リードフレームが、リードフレームから切り取られた領域を有し、渦電流を小さくするために磁気感知素子の位置と領域が整列され、リードフレームが、それぞれのダイ取付け部分を有する対応するリード線を有し、ダイがリード線のダイ取付け部分の両端間に置かれるステップと、磁気感知素子の入力に電流を提供するために電圧源および/または電流源を使用するステップと、および/またはプロセッサおよびプロセッサのための命令を記憶するための不揮発性メモリを使用するステップ、のうちの1つまたは複数の特徴をさらに含むことができる。

10

20

## 【0008】

本発明の他の態様では、集積回路は、差動第1の出力および第2の出力、ならびに電流を受け取るための入力を有する磁気感知素子と、差動第1の出力および第2の出力の各々に結合するための第1のスイッチ手段および第2のスイッチ手段と、第1のスイッチと第2のスイッチの間に結合された第1の電圧源手段であって、第1のスイッチおよび第2のスイッチが、第1の電圧源が差動第1の出力と第2の出力の両端間に結合される第1の状態を有する第1の電圧源手段と、電圧を出力するためのIC出力であって、電圧が、第1のスイッチ手段および第2のスイッチ手段が磁気感知素子からIC出力までの信号経路の動作を監視するための第1の状態にある場合、第1の電圧源手段に対応するIC出力とを備える。

30

## 【0009】

集積回路は、差動第1の出力および第2の出力の各々に結合された第3のスイッチおよび第4のスイッチと、第3のスイッチと第4のスイッチの間に結合された第2の電圧源であって、第3のスイッチおよび第4のスイッチが、第1の電圧源が差動第1の出力および第2の出力の両端間に結合される第2の状態を有し、IC出力が、第3のスイッチおよび第4のスイッチが磁気感知素子からIC出力までの信号経路の動作を監視するための第2の状態にある場合、第2の電圧源に対応する電圧を出力し、第1の電圧源および第2の電圧源が異なる極性を有する第2の電圧源と、磁界感知素子の第2の差動出力と第1のスイッチの間に結合された第5のスイッチと、磁界感知素子の第1の差動出力と第2のスイッチの間に結合された第6のスイッチであって、信号経路の利得を検証するべく、第1、第2、第3および第4のスイッチのそれぞれの状態を制御することができ、磁気感知素子がホール素子を備え、磁気感知素子が磁気抵抗素子を備える第6のスイッチと、磁気感知素子の第1の差動出力および第2の差動出力に結合されたそれぞれの入力を有する増幅器であって、集積回路が線形磁気センサを備える増幅器と、リードフレームによって支持されたダイであって、リードフレームがリードフレームから切り取られた領域を有し、渦電流を小さくするために磁気感知素子の位置と領域が整列され、リードフレームが、それぞれのダイ取付け部分を有する対応するリード線を有し、ダイがリード線のダイ取付け部分の両端間に置かれるダイと、磁気感知素子の入力に電流を提供するための電圧源および/または電流源と、および/またはプロセッサと、プロセッサのための命令を記憶するための

40

50

不揮発性メモリ、のうちの1つまたは複数の特徴をさらに含むことができる。

【0010】

本発明の別の態様では、集積回路は、駆動電流源と、駆動電流源に結合された磁気感知素子であって、第1の差動出力および第2の差動出力を有する磁気感知素子と、駆動電流源に関連してそれぞれの電流を提供するための第1の電流素子および第2の電流素子であって、第1の電流素子が第1の差動出力に結合され、第2の電流素子が第2の差動出力に結合される第1の電流素子および第2の電流素子と、第1の電流素子および第2の電流素子の電流に対応する電圧を出力するためのIC出力とを備える。

【0011】

集積回路は、第1の電流素子が電流複製器を備える、第1の電流素子および第2の電流素子がそれぞれの電流複製器を備える、第1の電流素子および第2の電流素子が駆動電流源に比例するそれぞれの電流を提供する、磁気感知素子がホール素子を備える、磁気感知素子が磁気抵抗素子を備える、集積回路が、第1の抵抗素子、第2の抵抗素子および第3の抵抗素子を有する分圧器を含む信号経路を含み、第2の抵抗素子が磁気感知素子を備える、および/または集積回路が、印加される磁界に比例する出力電圧をIC出力上に提供する、のうちの1つまたは複数の特徴をさらに含むことができる。

10

【0012】

本発明の別の態様では、方法は、駆動電流源を使用するステップと、磁気感知素子を駆動電流源に結合するステップであって、磁気感知素子が第1の差動出力および第2の差動出力を有するステップと、駆動電流源に関連してそれぞれの電流を提供するために第1の電流素子および第2の電流素子を使用するステップであって、第1の電流素子が第1の差動出力に結合され、第2の電流素子が第2の差動出力に結合されるステップと、第1の電流素子および第2の電流素子の電流に対応する電圧を出力するためのIC出力を提供するステップとを含む。

20

【0013】

方法は、第1の電流素子が電流複製器を備える、第1の電流素子および第2の電流素子がそれぞれの電流複製器を備える、第1の電流素子および第2の電流素子が駆動電流源に比例するそれぞれの電流を提供する、磁気感知素子がホール素子を備える、磁気感知素子が磁気抵抗素子を備える、集積回路が、第1の抵抗素子、第2の抵抗素子および第3の抵抗素子を有する分圧器を含む信号経路を含み、第2の抵抗素子が磁気感知素子を備える、および/または集積回路が、印加される磁界に比例する出力電圧をIC出力上に提供する、のうちの1つまたは複数の特徴をさらに含むことができる。

30

【0014】

本発明の別の態様では、集積回路は、磁気感知素子と、磁気感知素子の近傍に配置されたコイルと、コイルの端部に結合された、磁気感知素子からIC出力までを含むアナログ信号経路を練習するための自己試験モジュールとを備える。

【0015】

集積回路は、IC出力が、印加される磁界に比例する電圧を出力する、磁気感知素子が、集積回路と共通のシリコン基板上に配置されたホール素子を備える、磁気感知素子が、集積回路と共通のシリコン基板上に配置された磁気抵抗素子を備える、磁気感知素子がホール素子を備える、自己試験モジュールが、コイルの一方に結合された第1の電流源、およびコイルのもう一方の端部に結合された第2の電流源を含む、集積回路が線形電流センサを備える、集積回路がスイッチを備える、集積回路が、リードフレームによって支持されたダイを備え、リードフレームが、リードフレームから切り取られた領域を有し、渦電流を小さくするために磁気感知素子の位置と領域が整列される、および/または磁気感知素子がホール素子を備える、のうちの1つまたは複数の特徴をさらに含むことができる。

40

【0016】

本発明の他の態様では、方法は、集積回路の一部を形成している磁気感知素子の近傍にコイルを配置するステップと、磁気感知素子からIC出力までを含むアナログ信号経路を練習するために、自己試験モジュールをコイルの端部に結合するステップと、磁気感知素

50

子からIC出力までのアナログ信号経路を練習するステップとを含む。

【0017】

方法は、自己試験モジュールの第1の電流源をコイルの一方の端部に結合し、かつ、自己試験モジュールの第2の電流源をコイルのもう一方の端部に結合するステップと、コンパレータスイッチポイントを含む集積回路の動作を検証するために第1の電流源および第2の電流源の制御を適用するステップと、コイルの電流に比例するIC出力の偏りを含む集積回路の動作を検証するために第1の電流源および第2の電流源を制御するステップと、コイルに一定の電流を印加し、かつ、アナログ信号経路の利得に比例するIC出力に対する偏りを検証するステップと、IC出力の零磁界動作を検証するステップと、および/またはリードフレームによって支持されたダイを使用するステップであって、リードフレームが、リードフレームから切り取られた領域を有し、渦電流を小さくするために磁気感知素子の位置と領域が整列されるステップのうちの1つまたは複数の特徴をさらに含むことができる。

10

【0018】

本発明の他の態様では、集積回路は、磁気感知素子と、感知素子に結合された障害検出モジュールであって、障害状態を検出し、かつ、障害状態を検出するための回路機構の自己試験動作のための回路機構を含む障害検出モジュールと、障害状態を示すための障害ピンとを備える。

【0019】

集積回路は、障害検出モジュールが、障害状態と関連付けられた少なくとも1つの閾値を有する窓コンパレータであって、少なくとも1つの閾値が短絡状態に対応し、短絡状態が窓コンパレータから磁気感知素子まで延在している信号経路に存在する窓コンパレータを含む、少なくとも1つの閾値によって障害が検出されると、所与の状態に対して障害ピンが起動される、および/または自己試験動作の自己試験信号が継続期間内でプログラム可能である、のうちの1つまたは複数の特徴をさらに含むことができる。

20

【0020】

本発明の別の態様では、方法は、磁気感知素子を集積回路内の障害検出モジュールに結合するステップと、障害状態を検出し、かつ、障害状態を検出するための回路機構の自己試験動作のための回路機構を含むように障害検出モジュールを提供するステップと、自己試験信号を提供するステップと、障害状態を示すための障害ピンを提供するステップとを含む。

30

【0021】

方法は、障害検出モジュールが、障害状態と関連付けられた少なくとも1つの閾値を有する窓コンパレータであって、少なくとも1つの閾値が短絡状態に対応し、短絡状態が窓コンパレータから磁気感知素子まで延在している信号経路に存在する窓コンパレータを含む、少なくとも1つの閾値によって障害が検出されると、所与の状態に対して障害ピンが起動される、障害状態が閾値より高い電流レベルを含む、障害ピンが入力/出力ピンであって、所与の時間の間、障害ピンを所与の電圧レベルに引っ張ることにより、自己試験動作を開始する自己試験要求を提供し、自己試験要求の所与の時間がプログラム可能であり、自己試験要求の所与の時間が自己試験要求のパワーアップ開始に対応し、印加された磁界が磁界閾値未満である場合にのみ自己試験動作に入る入力/出力ピンである、方法が、自己試験動作に入ったことを示す肯定応答信号を提供するために障害ピン上の電圧を制御するステップを含む、肯定応答信号がアクティブである時間の長さがプログラム可能である、方法が、自己試験動作の結果を提供するために障害ピン上の電圧レベルを制御するステップを含む、方法が、自己試験動作の合格または不合格を示すために障害ピン上の電圧レベルを計時するステップを含む、第1の時間における電圧レベルの変化が合格を示し、第2の時間における電圧レベルの変化がセンサ試験不合格を示し、また、第3の時間における電圧レベルの変化が障害故障(fault failure)を示す、第1、第2および第3の時間がプログラム可能である、方法が、温度が温度閾値より高い温度に変化すると自己試験動作を開始するステップを含む、集積回路が厳密に4ピンのパッケージを備

40

50

える、方法が、リードフレームによって支持されたダイを使用するステップであって、リードフレームが、リードフレームから切り取られた領域を有し、渦電流を小さくするために磁気感知素子の位置と領域が整列されるステップを含む、磁束閾値を超える磁界が検出されると自己試験が終了される、集積回路が線形電流センサを備える、および/または継続期間の間、自己試験動作の自己試験信号がプログラム可能である、のうちの1つまたは複数の特徴を含むことができる。

【0022】

本発明の以上の特徴ならびに本発明自体は、以下の図面の説明からより完全に理解されよう。

【図面の簡単な説明】

10

【0023】

【図1】本発明の例示的实施形態による信号経路診断を有するセンサを示す略図である。

【図2】図2は感知素子に電圧が印加されたセンサの一部を示す略図である。図2Aは感知素子に電圧が印加されたセンサの一部を示す略図である。

【図3】自己試験機能性を有するセンサを示す略図である。

【図3A】診断機能性を有するスイッチを示す略図である。

【図3B】コイルを通る電流に対応する出力信号を示すグラフである。

【図4】感知素子の両端間に電流が印加されたセンサの一部を示す略図である。

【図4A】例示的試験回路の回路図である。

【図4B】ホール素子を含んだ直列の抵抗の両端間に印加された基準電圧を示す略図である。

20

【図5】試験モード信号を生成するための例示的回路の回路図である。

【図6】障害検出を有する例示的センサを示す略図である。

【図6A】例示的コンパレータ回路の回路図である。

【図7】時間による障害信号電圧および出力電圧を示すタイミング図である。

【図8】自己試験開始信号を検出するための例示的回路の回路図である。

【図9】例示的障害検出および自己試験モジュールの回路図である。

【図10】代替自己試験回路の回路図である。

【図11】自己試験信号タイミングを示すグラフである。

【図11A】自己試験信号タイミングのさらに詳細を示すグラフである。

30

【図12A】KTパッケージ内のセンサの上面図である。

【図12B】LEパッケージ内のセンサの上面図である。

【図12C】例示的端子リストを示す表である。

【図12D】ICの一部を形成することができるリードフレームを示す略図である。

【図12E】スプリットパドルを形成するための、ダイがリード線のダイ取付け部分の両端間に置かれる部分にICの部分形成することができるリードフレームを示す略図である。

【図13】本明細書において説明される処理の少なくとも一部を実施することができる例示的コンピュータを示す略図である。

【発明を実施するための形態】

40

【0024】

図1は、本発明の例示的实施形態による信号経路診断モジュール102を有する線形磁気センサIC100の例示的实施形態を示したものである。一実施形態では、センサIC100は、例えば120kHz帯域幅を有する電流センサ線形デバイスを備えている。センサICは、印加される磁界に比例するアナログ出力電圧VOUTを有している。一実施形態では、センサは、 $V_{cc}/2$ で始まって、印加される磁界の極性に依じて正および負の方向にスイングする線形出力を有している。

【0025】

センサICは、当分野でよく知られている方法で電流を感知する。一般に、ホール素子104などの磁界感知素子は、印加される磁界に依って電圧を生成する。動的オフセッ

50

ト相殺モジュール106は信号を「チョップ」し、また、信号回復モジュール108は出力信号を提供する。感度制御110およびオフセット制御112は、例えば、参照により本明細書に組み込まれている米国特許第7923996号および米国特許公開第US2011/0018533号に示され、かつ、記載されているように信号を調整するために使用され得る。特定のアプリケーションのニーズに合致するべく、他の技法も使用され得ることを理解されたい。

#### 【0026】

この実施形態および他の実施形態における磁界感知素子104は、それらに限定されないが、ホール効果素子、磁気抵抗効果素子または磁気抵抗であってもよい。知られているように、異なるタイプのホール効果素子、例えば平面ホール素子、垂直ホール素子および円形垂直ホール(CVH)素子が存在している。知られているように、異なるタイプのホール効果素子、例えば平面ホール素子、垂直ホール素子および円形垂直ホール(CVH)素子が存在している。同じく知られているように、異なるタイプの磁気抵抗効果素子、例えばアンチモン化インジウム(InSb)などの半導体磁気抵抗効果素子、巨大磁気抵抗効果(GMR: Giant Magnetoresistance)素子、異方性磁気抵抗効果(AMR: Anisotropic Magnetoresistance)素子、トンネル磁気抵抗効果(TMR: Tunneling Magnetoresistance)素子、磁気トンネル接合(MTJ)、スピンバルブ、等々が存在している。感知素子104は、単一の素子を含むことができ、または別法としては、様々な構成、例えば半ブリッジまたは全(ホイートストン)ブリッジで配置された2つまたはそれ以上の素子を含むことも可能である。デバイスタイプおよび他のアプリケーション要求事項に応じて、感知素子104は、ケイ素(Si)またはゲルマニウム(Ge)などのタイプIV半導体材料、またはヒ化ガリウム(GaAs)またはインジウム化合物、例えばアンチモン化インジウム(InSb)のようなタイプIII-V半導体材料でできたデバイスであってもよい。

#### 【0027】

知られているように、上で説明した磁界感知素子のいくつかには、磁界感知素子を支持している基板に平行の最大感度の軸を有する傾向があり、また、上で説明した磁界感知素子のその他のいくつかには、磁界感知素子を支持している基板に対して直角の最大感度の軸を有する傾向がある。詳細には、平面ホール素子には、基板に対して直角の感度の軸を有する傾向があり、一方、金属をベースとする、つまり金属磁気抵抗効果素子(例えばGMR、TMR、AMR)および垂直ホール素子には、基板に平行の感度の軸を有する傾向がある。

#### 【0028】

本明細書において使用されているように、「磁界センサ」という用語は、磁界感知素子を使用している、一般的には他の回路と組み合わせた回路を記述するべく使用されている。磁界センサは、それらに限定されないが、磁界の方向の角度を感知する角度センサ、電流運搬導体によって運搬される電流によって生成される磁界を感知する電流センサ、強磁性体の近接を感知する磁気スイッチ、強磁性物品、例えば輪形磁石の磁気領域の通過を感知する回転検出器、および磁界の磁界密度を感知する磁界センサを始めとする様々なアプリケーションで使用されている。

#### 【0029】

本発明の例示的实施形態は、感知素子の範囲を有する様々な感知アプリケーションに適用することができる。例示的センサには、磁界センサ、加速度計、温度センサ、ジャイロスコープ、圧力センサ、化学センサ、生物学的センサ、ひずみセンサ、圧電センサ、等々がある。本発明の例示的实施形態は、移動している磁石または流れている電流によって生成される磁界を感知することが望ましい広範囲にわたるアプリケーションに適用することができる。例えば本発明の例示的实施形態は、120KHzの動作帯域幅を有しており、インバータ相電流を感知するためにセンサを磁心のギャップ中で使用することができるため、HEV(ハイブリッド電気車両)インバータアプリケーションに有用である。

10

20

30

40

50

## 【 0 0 3 0 】

本発明の例示的实施形態は、従来の磁界センサと比較して強化された安全度水準（S I L : S a f e t y I n t e g r i t y L e v e l）を提供する。以下でより完全に説明されるように、診断は、感知素子の両端間の電流を駆動することによって信号経路内の障害を識別することができる。ホール素子が参照されているが、上で言及したように任意の実際的なタイプの感知素子が使用され得ることを理解されたい。例示的实施形態は、自動車安全度水準（A S I L : A u t o m o t i v e S a f e t y I n t e g r i t y L e v e l）試験に関連して示され、かつ、説明されているが、本発明の範囲はA S I Lに何ら限定されないことを理解されたい。

## 【 0 0 3 1 】

図2は、ホール素子として示されている差動感知素子202に電圧が印加された例示的磁界センサ200の一部を示したものである。電流源204は、素子に電流を印加し、例えばホール素子をバイアスするために感知素子202に結合されている。第1の電圧源206は、ホール素子202の差動出力208aと208bとの間に結合されている。一実施形態では、第1のスイッチおよび第2のスイッチ210a、bは、第1の電圧源206がホール素子の差動出力208a、bのうちの一方または両方に結合されるかどうかを選択的に制御する。任意選択の第2の電圧源212は、第3のスイッチおよび第4のスイッチ214a、bを介して差動ホール出力の間に結合され得る。一実施形態では、第1の電圧源および第2の電圧源206、212は、反対の極性を有している。

## 【 0 0 3 2 】

第1のスイッチおよび第2のスイッチ210a、bが閉にされると、DC1として示されている正の電圧が信号経路に印加され、増幅器216の出力に負の電圧が出現する。第1のスイッチおよび第2のスイッチが開にされ、かつ、第3のスイッチおよび第4のスイッチ214a、bが閉にされると、DC2として示されている負の電圧がホール素子出力208に印加され、増幅器216出力に正の電圧を起こす。出力電圧は、入力刺激電圧DC1およびDC2に比例するため、第1の電圧源および第2の電圧源206、212の電圧の大きさが良好に制御される場合、信号経路の利得が検証され得る。

## 【 0 0 3 3 】

別法としては、DC1および/またはDC2の入力刺激電圧が特定の閾値電圧より高い場合、増幅器216出力は飽和する。飽和した出力により、ユーザは、信号経路利得に関する情報を提供されることなく、信号経路の接続性および基本機能性を検証することができることを理解されたい。

## 【 0 0 3 4 】

図2Aは、例えば印加される刺激電圧と、ホール素子の両端間に展開されるあらゆる電圧との間のあらゆる干渉を最小にするために、A S I L試験の間、ホールプレートを信号経路から隔離するための、図2のセンサへの第5のスイッチおよび第6のスイッチ218a、bの追加を示したものである。一実施形態では、DC1は電源電圧に対応し、また、DC2はGNDに対応している。

## 【 0 0 3 5 】

本発明の別の態様では、磁気感知素子を有するセンサは、感知素子への信号注入を含む。磁気感知素子を練習するための励起コイルの存在にかかわる1つの考慮事項は、コイルを励起する際に引き出される電流である。例えばシリコンホール集積回路の金属層の上に生成され得るコイルは、所与の電流から生成され得る磁界の大きさを決定する。一実施形態では、生成される磁界は約20ガウスに制限されており、それが出力の偏りを制限している。

## 【 0 0 3 6 】

図3は、図1のセンサ100と共通性を有するセンサ300を示したものである。センサ300は、印加される磁界に比例するアナログ出力電圧を有している。一実施形態では、線形出力VOUTは、Vcc/2で始まって、印加される磁界の極性に応じて正および負の方向にスイングする。自己試験制御モジュール303は、自己試験機能性を提供する

10

20

30

40

50

ために感知素子104に結合されている。例えば安全最重視アプリケーションでは、エンドユーザは、センサの安全度水準(SIL)の改善に関心を持っている。自己試験診断は、追加完全性を達成する。以下で説明されるように、本発明の例示的实施形態は、自己試験診断を提供するためにアナログ信号経路の刺激を提供する。診断結果はエンドユーザに通信され得る。

**【0037】**

自己試験診断機能性の事象のシーケンスに対して、エンドユーザに障害を肯定応答するため、または自己診断の結果を提示するための時間は、プログラム可能でなければならないことに留意されたい。プログラミングにより、自己試験事象を開始し、肯定応答し、かつ、報告するための異なる遅延時間を必要とすることがある多重操作プラットフォームが可能になる。

10

**【0038】**

上で言及したように、試験は多くの方法でアナログ信号経路を刺激する。一実施形態では、コイル105は、例えばシリコン基板上のホール素子(すなわち磁界感知素子)の周囲または近傍に置かれ、図3に示されているようにコイルを通過する電流を制御する。ホール変換器104は、アナログ信号経路を試験するために磁界を生成することによって電流がコイル105を流れて流れると、前端部で刺激される。一実施形態では、図3Aに示されているスイッチなどの診断スイッチの機能性を試験するためにコイルが使用される。電流は、コイル内でスイッチオンおよびオフされ、自己試験中、デバイス出力が出力上で50% PWM信号を有するようにコンパレータのスイッチポイントが調整される。デバイスが診断試験に失敗すると、試験期間中、出力がハイまたはローの状態維持される。

20

**【0039】**

もう一度図3を参照すると、例示的实施形態では、自己診断試験は、電流がどちらかの方向に流れて、正および負のどちらかの試験磁界を感知素子104の中に生成することができるよう、電流源をコイル105の両方の端部に結合するステップを含む。自己試験中、コイル105は、図3Bに示されているように、コイル105を流れる電流に比例するアナログ信号の出力を偏らせることができる磁界を生成する。刺激は、アナログ信号経路全体を流れて出力VOUTへ直接通過する。

**【0040】**

この構造は多くの利点を提供する。アナログ信号経路のプログラムされた感度は、エンドユーザによって検査され得る。コイルを通して一定の電流を印加することにより、コイルによって生成される磁界が固定される。この固定された磁界により、アナログ信号経路の利得に比例するアナログ出力が出力上で偏る。デバイスの利得はプログラム可能であり、また、コイルの設計はよく理解されているため、いずれもよく知られている量であり、エンドユーザによるアナログ信号経路の正確な測定のための基本を提供することができる。

30

**【0041】**

さらに、試験中に修正されるアナログ信号経路はない。図3Aの診断スイッチでは、診断のためのスイッチポイントと正規動作のためのスイッチポイントは異なっている。正規動作中、センサの利得またはコンパレータ閾値がその機能を損なっていたとすると、特定の条件の下では、デバイス自己診断が適切にトリガすることができたはずであるが、正規動作モードは、仕様外の磁気スイッチポイントを有することができたはずである。センサの設計における配慮を最小にすることは可能であるが、誤った断定的な試験の原因になり得る窓を取り除くことは恐らく不可能である。

40

**【0042】**

さらに、デバイスのオフセットも同じく試験され得る。ゼロガウス磁界アナログ出力電圧が同じくプログラムされるため、ゼロ磁界出力信号ならびに信号経路利得が比較的高水準の精度で自己試験され得る。何らかの理由で変動していた場合、自己試験中に識別され得たはずである。

**【0043】**

50

試験結果の報告は、いくつかの方法で達成され得る。一実施形態では、アナログ信号の偏りはユーザによって監視される。別の実施形態では、PWMを使用してPWM出力信号が生成される。試験結果は、個別のピン上で、または別のピン上での何らかの電圧変調、あるいは電流変調を通して報告され得る。二線式センサでは、電流変調を使用してデータが通信され得る。

【0044】

図4は、電気信号が印加されるホール素子として示されている磁気感知素子402を有するセンサ400の一部を示したものである。ホールプレートの応答は検証され得ないが、センサ出力までの残りの信号経路は試験され得る。

【0045】

電流源404は、バイアス電流を提供するためにホール素子402に結合され、また、第1および第2の電流複製器406a、bに結合されている。第1の電流複製器406aは、ホール素子402の第1の差動出力408aに電流を提供し、また、第2の電流複製器406bは、ホール素子の第2の差動出力408bから電流を受け取る。ホール素子の差動出力408a、bは、増幅器410に結合されている。例示的实施形態では、第1および第2の電流複製器406は、電流源404によって生成される、定数Kによって決定される電流に比例する電流を提供する。

【0046】

ホールプレートは抵抗素子であるため、ホール素子402に電流を印加することにより、ホールプレート出力の両端間に電圧が生成される。電流は、差動ホール素子出力408の両端間に差動出力信号を確立する。

【0047】

代替実施形態では、独立した電流源がホールプレート出力端子に結合される。他の実施形態では、電圧信号がホール素子に印加される。

図4Aは、ホールプレート出力ポート408a、b(図4)に印加され得る差動基準信号Out+、Out-を生成する試験回路450の例示的实施形態を示したものである。図解されている実施形態では、分圧器R1、R2は、分圧器に結合された電圧に比例する電流を提供する。電流は、分圧器に結合された電源電圧に比例する。代替実施形態では、差動電流基準回路は、値が絶対である電流を生成することができる。電源電圧に対してレシオ-メトリックになるようにセンサが設計される場合、電源電圧は外部信号として使用され得る。回路出力がレシオ-メトリックではなく、絶対である場合、絶対差動電流回路が使用されなければならない。抵抗分圧器R1/R2をバンドギャップ電圧基準に置き換えると、この回路が比例出力から絶対出力に変わることを理解されたい。

【0048】

一実施形態では、試験回路450は、図4の電流複製器回路406a、bに置き換えることができる。ホール駆動電流源の機能を検証するために追加機構が追加され得る。例えば、ホールプレートの入力端子の両端間の電圧が測定され、かつ、期待されるレベルと比較され得る。適切な入力電流がホールプレートに印加されていることを検証する回路からの指示信号を使用して、試験電流生成回路、例えば試験回路450がイネーブルされる。この方法によれば、たとえホールプレートが不適切に駆動されても、試験回路は、ホールプレートに試験刺激信号を提供することはなく、したがって出力は、試験中の正規レベルからの不適切な出力偏りを介して回路故障を反映することになる。出力信号Out+、Out-は、動的相殺ブロック(図1)に見出されるスイッチなどのスイッチに結合され得ることを理解されたい。

【0049】

図4Bは、直列の第1、第2および第3の抵抗 $R_{DIV1}$ 、 $R_{HALL}$ 、 $R_{DIV2}$ からなる分圧器の両端間に基準電圧を印加する例示的回路480を示したもので、これらの3つの抵抗の中央(第2の抵抗)は、ホールプレート自体である。第1および第2の信号 $V+$ 、 $V-$ は、一方が第1の抵抗 $R_{DIV1}$ の自由端に印加され、もう一方が第3の抵抗の自由端に印加され、第2の抵抗(ホールプレート)は、第1の抵抗 $R_{DIV1}$

10

20

30

40

50

と第3の抵抗  $R_{DIV2}$  の残りの端部の間に接続されている。

【0050】

2つの抵抗の間のホールプレートは、粗い信号レベル調整を可能にするために、抵抗ストリング中への様々な（対称）タップポイントを使用して、抵抗の2つの直列ストリングの間にホールプレートを配置することによって拡張され得る。 $V+$ （デルタ $V$ ）および $V-$ （デルタ $V$ ）をホール素子により近いタップポイントに印加することにより、より大きい信号をホール素子の両端間に提供する。

【0051】

図解されている実施形態では、ホール $Out+$ とホール $Out-$ の間のホールプレートの両端間に出現する電圧は、式、

【0052】

【数1】

$$(V_{HALL\ OUT+} - V_{HALL\ OUT-}) = \Delta V \cdot \frac{R_{HALL}}{R_{HALL} + 2 \cdot R_{DIV}}$$

【0053】

で与えられる。

ホール駆動回路が適切に機能していることを保証するために補足回路が使用され得る。この場合、補足回路の出力を使用して、2つの試験抵抗を信号 $V+$ 、 $V-$ および $V+$ 、 $V-$ に接続するために使用されるスイッチが制御され得る。この方法によれば、ホールプレート駆動回路が適切に機能していないことが決定されたとしても、試験信号はホールプレートに印加されず、また、信号経路の出力に偏りが観察されることもない。

【0054】

図5は、ホール検出デバイスの信号経路への入力に試験モード信号を生成するための例示的回路500を示したものである。回路500は、固定値である出力信号 $OUT$ を生成する。一実施形態では、この値は双方向性であり、したがっていずれかの極性で生成される入力磁界のための回路を試験することができる。第1の回路ブロック501は、試験モードの間、第1および第2のスイッチ $S1$ 、 $S2$ を介してノードAとBの間のホールデバイス実効抵抗の両端間で短絡される抵抗 $R1$ を含む。回路ブロック502～505内で生成される電流は、試験モードの間、ノード $VASILP$ および $VASILN$ で第1の抵抗 $R1$ に印加される。したがってノードAとBの両端間に生成される電圧は、信号処理ブロック506への入力として提供される。出力 $OUT$ は一定の大きさであり、極性は、極性スイッチの選択を介した信号 $TM\_POS$ によって決定される。

【0055】

回路ブロック502では、増幅器A1は、2つの並列抵抗 $R2$ および $R3$ の両端間の電圧 $VR$ を強制する。これらの抵抗は、 $R1$ およびノードAとBの間の実効抵抗ホールデバイス抵抗のスケール化されたバージョンである。これは、全面的なプロセス変動および動作温度に対する第一次修正をもたらす。増幅器A1への入力 $VR$ は、回路ブロック405内の信号経路中の $Fine$ 利得設定の変動を補償した $Fine$ の値、および電流生成回路（ブロック502～505）におけるデバイス一致などのより多くの局所処理誤りの何らかのトリミングを許容する $Trim$ の値、ならびに並列短絡抵抗 $R1$ によって決定される。

【0056】

回路ブロック501内のスイッチ $S1$ および $S2$ における抵抗による誤りは、回路ブロック503内で補償される。回路ブロック502内で生成された電流 $I1$ は、 $Q1$ および抵抗 $R4$ を通して流れる。デバイス $Q1$ のベース（ノードC）の電圧は、 $V_C = I1 \cdot R4 + V_{be1}$ である。したがって、 $R5$ およびスイッチ $S3$ を通る、 $Q2$ によって供給される電流は、 $I_{R5} = (I1 \cdot R4 + V_{be1}) / R5$ である。 $Q3$ のベースノード（ノードD）の電圧は、 $V_D = I_{R5} \cdot (R5 + R_{s3})$ であり、 $R_{s3}$ はスイッチ $S3$ のオン抵抗である。 $R6$ の両端間の電圧（ノードEの電圧）は $V_E = V_D - V_{be3}$ であり、

10

20

30

40

50

したがって  $I_2 = V_E / R_6$  である。デバイスの適切なスケールリングにより、比率  $I_2 / I_1$  は、回路ブロック 501 内のスイッチ  $S_1$  および  $S_2$  の両端間の電圧降下を補償するようになされ得る。

【0057】

電流ミラーとして示されている回路ブロック 504 は、粗い利得設定を使用してプログラム可能になされることが可能であり、したがって電流比  $I_3 / I_2$  は、 $R_1$  の両端間の電圧を調整して、粗い利得設定に無関係に一定の電圧  $OUT$  を維持する。

【0058】

差動電流は、出力信号  $OUT$  の極性を変更するために必要なチョッピングスイッチを提供し、また、試験モードではない場合に電流を開放することができる回路ブロック 505 内で生成される。

【0059】

本発明の別の態様では、自己試験診断は、パワーアップ時またはユーザ制御などによる自己試験開始を使用した安全最重視アプリケーションにおける機能的安全性レベルを改善する。例示的实施形態では、期待される信号タイミングと一致させるために、自己試験信号のタイミングが調整される。自己試験機能性の開始は、センサシステムの総合システム制御に関連している。信号生成における柔軟性により、異なるユーザが様々な方法で安全性レベルを改善することができる。例えば所与のシステムに必要な安全性のレベルは、自己診断がその動作または誤り状態をユーザに報告しなければならない頻度を示している。

【0060】

図 6 は、アナログ出力を監視するための障害検出モジュール 600 の例示的实施形態のさらなる詳細を示したもので、障害出力  $FAULT$  を生成するためのコンパレータを有するプログラム可能窓コンパレータモジュール 602 を含む。一実施形態では、障害検出モジュール 600 は、障害を検出し、かつ、障害出力  $FAULT$  を起動する。障害出力  $FAULT$  は、起動状態を正（論理 1）または負（論理 0）のいずれかに容易に設定され得ることを理解されたい。図解されている実施形態では、障害出力は、アクティブローとして示されている。

【0061】

障害出力  $FAULT$  は、自動車運転者またはマイクロコントローラなどからのシステム内の他の障害信号に冗長性を提供することができることを理解されたい。この冗長性は、自動車の安全最重視アプリケーションにおける安全性レベルに適用することができる自動車安全度水準（ $ASIL$ ）などの総合制御システム機能性を改善する。例えばパワーステアリングおよびアクセルペダル位置には、 $ASIL$  によって定義されるより高いレベルの安全性が必要である。

【0062】

例示的实施形態では、障害検出モジュールは、センサ障害機能が適切に動作していることを保証するためにユーザによって開始され得る自己試験ルーチンを含む。一実施形態では、自己試験は、所与の電圧レベルを  $FAULT$  ピン上に提供することによって開始される。

【0063】

図 6A は、図 6 の障害検出モジュールの一部を形成することができる例示的窓コンパレータ 650 を示したものである。抵抗  $R_1$ 、 $R_2$  および  $R_3$  は、第 1 および第 2 のコンパレータ 652、654 のトリップポイントを決定する。例示的实施形態では、基準電圧抵抗は、当分野でよく知られている、障害を検出するための所望の窓閾値を設定するための  $R / 2R$  ラダー DAC の使用によるプログラム可能抵抗であってもよい。回路は、短絡状態でトリップするようにプログラムされることが可能であり、障害出力  $FAULT$  は、例えば短絡回路電流がコンパレータによって検出されるとアクティブになる。

【0064】

一実施形態では、障害は、それぞれのコンパレータ 652、654 を使用して、正または負の値として検出され得る。図解されている実施形態では、コンパレータ出力は、アク

10

20

30

40

50

ティブロー動作用に構成されている。第1または第2のコンパレータ652、654がアクティブ出力を有している場合、スイッチ656が起動されて障害出力F A U L Tを接地に接続する。

#### 【0065】

一実施形態では、障害ピンF A U L Tは、図7に示されているように自己試験機能の初期化をイネーブルする入力/出力ピンを備えている。磁界がほぼゼロであり、電流の流れが印加されず、したがって磁界が存在しないことを意味している時間の間、F A U L T出力ピンは、障害検出機能性の自己試験を開始するためにV c c / 2に引っ張られ得る。図解されている実施形態では、時間t A S I L Iの間、F A U L Tピン上の電圧は、V A S I L Iとして示されているようにV c c / 2に引っ張られる。時間t A S I L Hの間、自己試験が実行される。デバイスは、この時間の間、F A U L Tピン出力をローに引っ張って、コマンドを受け取ったデバイスに、時間t A S I L Iの間、自己試験を開始するように肯定応答する。時間t A S I L Rの間、自己試験合格はV c cとして、また、自己試験不合格はV A S I L Oとして示されているように、自己試験の結果がF A U L Tピン上に出力される。

10

#### 【0066】

上で言及したように、また、図7に示されているように、出力電圧V o u tは、磁界が存在しない場合、V 0 U T O Gになる。正規動作の間、出力電圧V o u tは、最大V 0 U T G ( m a x ) から最小のV 0 U T G ( m i n ) まで変化し得る。V F P S PおよびV F N S Pは、正のフルスケール出力電圧および負のフルスケール出力電圧を表している。

20

#### 【0067】

図8に示されているように、デバイスは、図7における時間インターバルt A S I L Iの開始時に、F a u l tピンがV A S I L Iとして示されている約V c c / 2まで引っ張られていたかどうか、およびホール素子によって磁界が検出されていないことを感知することができる。図解されている実施形態800では、ホール素子からの信号は、いわゆる「ゼロ」磁界を決定するR1、R2およびR3の値によって画定されるそれぞれの基準電圧を有する第1および第2のコンパレータ802、804に提供される。つまり磁界は、何らかの値未満でなければならない。一実施形態では、抵抗R2は、コンパレータ基準電圧を設定するために調整可能であり、例えばプログラム可能窓コンパレータである。コンパレータ802、804の出力は、ANDゲート806の入力に提供され、その出力はクロックカウンタ808に提供される。F a u l tピン電圧は、R4、R5、R6の値によって決定されるそれぞれの基準電圧を有する第3および第4のコンパレータ810、812に入力される。コンパレータ810、812の出力は、ANDゲート806の入力に提供される。この構造によれば、ホール素子からの電圧がゼロ近辺であり、かつ、F a u l tピンが約V c c / 2に引っ張られている場合、自己試験機能は、カウンタ808によって画定される時間の後にイネーブルされる。

30

#### 【0068】

図9は、障害検出モジュールおよび自己試験機能性の例示的回路実施態様900を示したものである。図7にt A S I L Iとして示されているカウンタ808(図8)の時間切れ期間が経過すると、デバイスは自己診断モードに入る。カウンタ808は、雑音またはグリッチによって部品が試験モードに入るのを防止する。時間切れt A S I L Iは、数マイクロ秒などの所望の時間期間になるように設定され得る。時間切れt A S I L Iは、特定のアプリケーションのニーズに合致することが望ましい任意の実際的な時間の長さに設定され得ることを理解されたい。

40

#### 【0069】

センサは、図7の時間t A S I L Hの間G N Dに引っ張られた障害ピンの出力によって、自己試験コマンドが受け取られたことを「確認する」。磁界/電流が存在していない時間の間は、F A U L T出力はV c c / 2に保持されていたため、チップは、カウンタ808からの時間t A S I L Iの間によってこれを「確認する」。I Cによるアクティブプルダウンは、コマンドが受け取られたことを肯定応答している。出力がローにならない場合

50

、自己試験を実行するコマンドは「確認」されない。障害ピンの制御から解放されると、デバイスは出力ピンを制御し、かつ、時間  $t_{ASILH}$  の間、出力ピンを能動的に GND に保持し、自己試験コマンドが受け取られたことを通信する。時間  $t_{ASILH}$  は、図 7 に示されているように、時間  $t_{ASILR}$  の間に結果を報告するためにデバイスが診断試験を完了するだけの十分な長さでなければならない。

#### 【0070】

一実施形態では、自己試験機能性は、図 9 に示されているように実施される。ASIL 入力コマンド検出モジュール 901 は、図 7 および 8 に関連して示され、かつ、説明されたように構成され得る。ASIL コマンドが検出されると、試験制御モジュール 902 は、FAULT 出力を GND に引っ張り、制御信号入力 904 を OR ゲート 906 に引っ張る。試験制御モジュール 902 は、OR ゲートへの入力を制御することによって出力をローに維持している間（図 7 参照）、後続する試験シーケンスを実施する。

10

#### 【0071】

自己試験の間、試験制御モジュール 902 は、第 1 のスイッチ SW1 のスイッチ位置 5 を閉じ、したがって第 2 の 3 位置スイッチ SW2 の出力を閉じる。正規動作の下では、第 1 のスイッチ SW1 は、ホール信号を受け取るために閉ざされた位置 6 を有する。

#### 【0072】

試験制御モジュール 902 は、第 2 のスイッチ SW2 を位置 1 (V+)、位置 2 (V+/2) または位置 3 (GND) のうちの 1 つに制御する。試験制御モジュール 902 は、これらの接続を介して輪回し、SW2 の位置 1 および 3 で、障害コンパレータの出力がローである（障害状態が存在する）ことを検証し、また、位置 2 で、障害コンパレータの出力がハイである（障害が存在しない）ことを検証する。一実施形態では、スイッチ SW1、SW2 は IC 上に提供される。

20

#### 【0073】

このシーケンスが完了されると、コンパレータ回路機構が試験され、 $t_{ASILH}$  の時間切れの後、結果が通信され得る（図 7 参照）。より詳細には、自己試験不合格である場合、デバイスは、時間期間  $t_{ASILR}$  の間、出力 FAULT をローに引っ張り続けることができる。代替実施形態では、自己試験不合格である場合、センサは、出力上に故障をラッチすることができる。図解されている実施形態では、デバイスは、選択された時間期間の間、障害出力をローに保持し、出力を開放して、正規動作の再開およびさらなる自己試験をイネーブルする。例えばグリッチまたは雑音パルスによる故障が誤った断定的な試験をもたらしている場合、自己試験を再実行することが場合によっては望ましい。

30

#### 【0074】

自己試験に成功すると、デバイスは、図 7 の自己試験合格のラベルが振られた時間  $t_{ASILR}$  の間、出力 HI を駆動する。時間  $t_{ASILR}$  の間に自己試験結果が終了すると、試験制御モジュール 902 は、正規動作を仮定するために第 1 のスイッチ SW1 を位置 6 に接続し、かつ、OR ゲートへの入力を論理ローにクリアすることによってホール入力電圧を障害コンパレータに再接続することにより、FAULT ピンを開放する。

#### 【0075】

この構造によれば、デバイスは、コンパレータの 3 つの状態の各々に対する試験を可能にする自己試験診断を提供する。自己試験は、システム全体の機能的安全性レベルを改善することができ、また、例えば IS026262 による安全性の改善されたレベルを可能にすることができる。

40

#### 【0076】

一実施形態では、感知された磁界がホール回路機構によって検出される所与の閾値を超えて増加する場合、デバイスは試験モードから抜け出す。

別の実施形態では、デバイスは、プログラムされた障害閾値に近いスイッチ位置 1 および 3 電圧を制御し、かつ、両方の閾値から離れた短い距離を試験することにより、プログラムされた障害閾値の精度を試験するための回路機構を含む。例えば障害閾値は、V+ 未満の値 200 mV にプログラムされる。V+ - 200 mV + / - x mV の基準を使用して

50

、 $+x\text{ mV}$ でコンパレータがローにスイッチし、また、 $-x\text{ mV}$ ではスイッチしないことが試験され得る。特定のアプリケーションのニーズに合致するために、 $\text{mV}$ 単位の値「 $x$ 」が選択され得る。「 $x$ 」の値が小さいほど、スイッチポイントがより正確に試験されることを理解されたい。

#### 【0077】

窓コンパレータを試験する代替実施形態1000は、逐次方式の代わりに同時に試験する図10に示されている。ASIL試験に合格するためには、論理ゲートG1~3およびコンパレータCP1、CP2は、適切に機能しなければならない。正規動作の間は、コンパレータCP1、CP2の後段のNANDゲートG3のみがFault信号経路内で使用される。正規Fault検出動作の間は、窓基準RefHおよびRefLが障害状態を検出するための閾値として使用される。ASIL試験モードでは、上で説明した必要時間 $t_{ASILI}$ の後、ASIL試験が要求されていることを検証し、基準がTestRefHおよびTestRefLにスイッチされる。また、その時点で、代替論理経路を検出するためにMUXがスイッチされる。TestRefHおよびTestRefLに必要なことは、それらの値が、上で説明したようにコンパレータがトリップしなければならない値であることのみである。一実施形態では、TestRefH=RefLであり、また、TestRefL=RefHであるよう、2つの正規動作基準の交差接続が存在している。これは、コンパレータCP1、CP2がFault状態を示す出力を有することを保証する。

#### 【0078】

正規Fault検出動作では、スイッチSW1、SW2は、示されているように接続され、また、ASIL\_Valid信号はLOである。基準RefHおよびRefLは、デバイスが所望の出力範囲で動作中である場合、コンパレータCP1出力、CP2出力がハイであるように設定される。MUX0経路として示されているブール式は有効であり、また、点Cは、点AまたはB（コンパレータの出力）のいずれかがローになってFaultが生じたことを示している場合、ハイになる。

#### 【0079】

ASIL試験モードの間、ASIL試験要求が期間 $t_{ASIL}$ の間有効になった後、スイッチSW1、SW2は、コンパレータCP1入力、CP2入力を新しい基準レベルTestRefHおよびTestRefLに接続する。また、MUX1入力も点Cに接続され、したがってMUX1ブール式は、このASIL試験モードにおいて有効である。ここでは、点Cがハイになるためには、コンパレータCP1出力、CP2出力の両方がローでなければならない。条件TestRefH<Out<TestRefLが満たされると、コンパレータCP1、CP2の出力がローになり、また、論理ゲートが同じく適切に機能している場合、ブール関数によってCがHIになり、コンパレータおよび論理が適切に機能していることを発信する。

#### 【0080】

図11は、出力信号V<sub>OUT</sub>およびFAULTピンに対するシーケンス線図をプログラム可能自己試験信号と共に示したものである。上で言及したように、FAULTピンは、自己試験診断を開始するための入力ピンとして使用されている。正規動作の間、FAULT出力を使用して、例えば過剰な北極磁界および南極磁界が検出され、また、FAULTピンをローに引っ張ることによって過剰な磁界がユーザに警告される。デバイスは、電流を感知するために使用され得るため、インバータにおける、例えばスイッチングトランジスタを保護するための過剰電流障害特徴としてうってつけである。

#### 【0081】

図11に示されているように、FAULTピンはアクティブローであり、障害が存在しない場合、通常はV<sub>CC</sub>である。障害状態が存在していない場合にユーザがFAULTピンをGNDに引っ張ると、デバイスはこの入力を検出し、自己試験を開始することができる。上で説明したように、回路は、FAULTピン上の電圧と障害状態を比較することができる。FAULTピン上の電圧が低く、ICがこのピンをローに引っ張っていない場合、ICは、ユーザが診断モードに入るべく試行していることを決定する。

## 【0082】

例示的实施形態では、自己試験は多くの方法で生じ得る。例えばユーザは、磁界がほぼゼロである時間に自己試験を開始することができる。コマンドが受け取られると、ICは、図解されている実施形態に示されているように、入力磁界を無視し、自己試験のために内部で生成される刺激にのみ応答することを選択することができる。外部磁界は無視され、出力は、自己試験内部生成信号にのみ応答する。

## 【0083】

さらに、ユーザは任意の時間に自己試験を開始することができ、また、ICは外部磁界に応答することができる。これは、内部で生成された信号を外部で影響を受けた磁気信号の上に重ねる。入力信号が十分に小さい限り、応答信号は、外部磁界信号の「上に乗る」ことができ、出力を飽和させることはない。

10

## 【0084】

本発明の例示的实施形態では、自己試験タイミングシーケンスはプログラム可能である。ユーザが自己試験を開始するコマンドを与えると、FAULTピンは、時間期間tASILREQUESTの間、ローに保持される。この時間が経過すると、自己試験を開始するコマンドが首尾よくチップに与えられ、チップは、コマンドが受け取られたことを肯定応答する。肯定応答するために、センサは、時間tASILACKの間、出力V<sub>OUT</sub>をローに保持する。ユーザは、FAULTピンの制御を解放し、かつ、ピンが依然としてローに保持されていることを観察することによって肯定応答信号を観察することができる。

## 【0085】

図解されている実施形態では、外部磁界を無視しているため、出力V<sub>OUT</sub>も同じくほぼゼロ磁界レベルである。この時間の間、外部磁界を無視することは、必ずしも必要ではないことを理解されたい。tASILACKの間に、自己試験を開始するコマンドに肯定応答した後、デバイスは自己試験を開始し、時間tASILSENSの間、アナログ信号経路を試験し、また、tASILFAULTの間、障害を出力する。この時間の間、アナログ出力V<sub>OUT</sub>およびFAULTピン出力上に一連のパルスが出現する。ユーザは、試験が成功したかどうかを決定するために、これらの出力の適切な挙動を観察することができる。また、デバイスは、IC自体が試験の結果を同じく監視することができ、また、それを障害出力上で報告することができるため、時間tASILRESULTの間に試験の結果を報告することも可能である。

20

30

## 【0086】

例示的实施形態では、時間tASILRESULTの間、FAULTピン上にパルスが出現する時間は、自己試験の結果を示す。図解されている図11Aの実施形態では、時間tPにおけるFAULTピンの変化は自己試験合格を示す。時間tSFにおける変化はセンサ試験故障を示す。時間tFFにおける変化はFault故障を示す。時間tSFFにおける変化は、センサ故障および障害故障を示す。センサに結合されたシステムは、試験結果を決定するために、例えばtASILRESULTの開始に関連してFAULTピン上の変化を探し求める。

## 【0087】

例示的实施形態では、変化は、任意の順序であってもよく、また、プログラム可能な位置および継続期間であってもよい。一般に、センサ信号は、センサと通信しているECUまたは他のシステムの要求事項に合致するように適合され得る。

40

## 【0088】

時間tASILRESULTが経過すると、チップは正規動作を再開する。試験に無関係に、シーケンスは、tASILREQUEST、tASILACK、tASILSENS、tASILFAULTおよび/またはtASILRESULTなどの個々のシーケンスのタイミングをプログラムする能力である。シーケンス項目を例えば50μsから500msまたは1秒の範囲内でプログラム可能にすることにより、例えば異なるECU(エンジン制御ユニット)制御プラットフォームを使用したタイミングコンプライアンスが可能になる。パルスのタイミングのプログラミングは、最大柔軟性を可能にする。

50

## 【0089】

試験パルスの幅のプログラミングは、追加柔軟性を提供する。これらの幅は、例えば  $50\ \mu\text{s}$  と  $50\ \text{ms}$  の間でプログラムされ得る。

代替実施形態では、利用可能である場合、TSSOPパッケージ（図12B）内などの専用ピンを使用して自己試験が開始され得る。別の実施形態では、出力レベルがハイ状態、ロー状態および他の診断状態で測定される3ピンパッケージが使用される。

## 【0090】

自己試験を開始する1つの方法は、センサのパワーアップ時である。ECUに結合された実施形態では、制御ECUが最初にパワーアップし、次にECU、その次にサブシステムがパワーアップする。デバイスにとっては、多くのシステムをパワーアップする際に自己試験を開始することが場合によっては便利である。試験を開始するのに入力が必要とされない場合、試験のタイミング要素毎のプログラミングは、最大柔軟性およびECU制御プラットフォームとの両立性を提供する。

10

## 【0091】

一実施形態では、デバイスは、特定の時間、例えば  $1\ \text{ms}$  または  $10\ \text{ms}$  より長い時間の間、デバイスの出力がほぼゼロ磁界である場合、いつでも自己試験を開始する。この場合、センサは、常に、磁界が存在しない診断モードにあり、出力を観察するのに最も都合のいい時間の間、観察され得る。デバイスは、印加された磁界、例えばフルスケールの5%を超える磁界を観察すると、自己試験から抜け出すことができる。タイミングシーケンスのプログラミングは、最大柔軟性を提供する。

20

## 【0092】

別の実施形態では、デバイスは、温度が特定の量、例えば  $25$  を超えて温度が変化すると、いつでも自己試験を開始し、温度過上昇でもデバイスが正常に動作しているフィードバックを提供する。

## 【0093】

他の実施形態では、デバイスは、連続的に走っているシステムクロックによって決定される定期的な周期で自己試験を開始する。この場合、ICは、カウンタが特定の値に達すると、いつでも自己試験を実施する。カウンタは、特定の値に達するとリセットされ、再度計数を開始する。カウンタ値は、プログラム可能であってもよい。

## 【0094】

別の実施形態では、ICがSPIまたはI2Cなどの双方向性通信プロトコルを有している場合、ユーザは、通信パス上でセンサに送られるデジタルコマンドに基づいて、自己診断を実施する時期を選択することができる。

30

## 【0095】

図12Aは、4リード線KT SIP内の例示的デバイスパッケージを示したものであり、また、図12Bは、例示的表面実装TSSOPパッケージを示したものである。ICは、任意の適切なパッケージを備えることができることを理解されたい。一実施形態では、パッケージは、約  $1.1\ \text{mm}$  未満の厚さを有している。パッケージの厚さを最小化することが望ましいことを理解されたい。図12Cは、KTパッケージおよびLEパッケージの例示的端子リストを示したものである。

40

## 【0096】

特定のアプリケーションのニーズに合致するべく、様々なパッケージが使用され得ることを理解されたい。例えば参照により本明細書に組み込まれている米国特許第6781359号に示され、かつ、記載されているタイプのパッケージが使用され得る。

## 【0097】

図12Dは、例示的スプリットリードフレーム1200の構成を示したもので、リードフレーム1202は、残りのリードフレームから切り取られた領域1204を有している。磁気感知素子1206は、感知素子の近傍における渦電流の形成を防止するために、領域1204内に配置されている。ダイ1208は、リードフレームによって支持され得る。

50

## 【 0 0 9 8 】

図 1 2 E に示されている別の実施形態では、リードフレームは、図 1 2 D に示されているようなダイ取付けパドルを有するのではなく、どちらかと言えば、例えば 2 0 1 3 年 4 月 2 6 日に出版された、参照により本明細書に組み込まれている米国特許公開第 2 0 1 4 / 0 3 2 0 1 2 4 号に示されているようなスプリットパドルを生成するために、単に、ダイがリード線のダイ取付け部分の両端間に置かれる部分のみを有することができる。集積回路内で使用するためのリードフレーム 1 2 1 0 は、複数のリード線 1 2 1 4、1 2 1 6、1 2 1 8 を含み、そのうちの少なくとも 2 本（ここでは 3 本のすべて）は、それぞれのダイ取付け部分 1 2 2 4、1 2 2 6、1 2 2 8 および接続部分 1 2 3 4、1 2 3 6、1 2 3 8 を含む。リードフレーム 1 2 1 0 は、第 1 の表面 1 2 1 0 a および反対側の第 2 の表面（図示せず）を有している。リード線のダイ取付け部分 1 2 2 4、1 2 2 6、1 2 2 8（本明細書においては単純にダイ部分と呼ばれることもある）は、ダイ取付け部分に取り付けられた半導体ダイ 1 2 4 0（図示せず）を有することができる。リードフレーム 1 2 1 0 は、3 本のリード線 1 2 1 4、1 2 1 6、1 2 1 8 を含むように示されているが、2 本と 8 本の間などの様々な数のリード線が可能であることは当業者には理解されよう。

10

## 【 0 0 9 9 】

リード線の接続部分 1 2 3 4、1 2 3 6、1 2 3 8 は、それぞれのダイ部分 1 2 2 4、1 2 2 6、1 2 2 8 の近傍の第 1 の端部 1 2 3 4 a、1 2 3 6 a、1 2 3 8 a から、ダイ部分からは末端の第 2 の遠位端 1 2 3 4 b、1 2 3 6 b、1 2 3 8 b まで延在している。通常、リード線の接続部分 1 2 3 4、1 2 3 6、1 2 3 8 は引き伸ばされており、電源またはマイクロコントローラなどの集積回路パッケージの外部の電子システムおよび構成要素（図示せず）への電気接続に適している。さらに、リード線のうちの 1 つまたは複数のダイ取付け部分は、ダイ取付け部分の領域を互いに分離する少なくとも 1 つの分離特徴 1 2 3 2 をさらに含むことができる。

20

## 【 0 1 0 0 】

図 1 3 は、本明細書において説明されている処理のうちの少なくとも一部を実行することができる例示的コンピュータ 1 3 0 0 を示したものである。コンピュータ 1 3 0 0 は、プロセッサ 1 3 0 2、揮発性メモリ 1 3 0 4、不揮発性メモリ 1 3 0 6（例えばハードディスク）、出力デバイス 1 3 0 7 およびグラフィカルユーザインタフェース（GUI）1 3 0 8（例えばマウス、キーボード、ディスプレイ）を含む。不揮発性メモリ 1 3 0 6 は、コンピュータ命令 1 3 1 2、オペレーティングシステム 1 3 1 6 およびデータ 1 3 1 8 を記憶する。一例では、コンピュータ命令 1 3 1 2 は、揮発性メモリ 1 3 0 4 の中からプロセッサ 1 3 0 2 によって実行される。一実施形態では、物品 1 3 2 0 は、非一時的コンピュータ可読命令を含む。

30

## 【 0 1 0 1 】

処理は、ハードウェア、ソフトウェアまたはその 2 つの組合せの中で実施され得る。処理は、それぞれプロセッサ、記憶媒体またはプロセッサによる読出しが可能な他の製造物品（揮発性メモリおよび不揮発性メモリおよび/または記憶素子を含む）、少なくとも 1 つの入力デバイス、および 1 つまたは複数の出力デバイスを含むプログラマブルコンピュータ/機械上で実行されるコンピュータプログラムの中で実施され得る。プログラムコードは、処理を実行し、出力情報を生成するために、入力デバイスを使用して入力されるデータに適用され得る。

40

## 【 0 1 0 2 】

システムは、データ処理装置（例えばプログラマブルプロセッサ、コンピュータまたは複数のコンピュータ）による実行のための、またはそれらの動作を制御するためのコンピュータプログラム製品（例えば機械可読記憶デバイス中の）を介して少なくとも部分的に処理を実行することができる。このようなプログラムの各々は、コンピュータシステムと通信するために、高水準の手続き形プログラミング言語またはオブジェクト指向プログラミング言語で実施され得る。しかしながらプログラムは、アセンブリ言語または機械言語で実施され得る。言語は、コンパイル済み言語または翻訳済み言語であってもよく、また

50

、言語は、独立型プログラムとして、またはモジュールとして、コンポーネント、サブルーチン、または計算環境での使用に適した他のユニットを含む任意の形態で展開され得る。コンピュータプログラムは、1つのサイト、または複数のサイトにわたって分散され、通信ネットワークによって相互接続されたサイトで、1つのコンピュータ上で、または複数のコンピュータ上で実行されるように展開され得る。コンピュータプログラムは、記憶媒体またはデバイスがコンピュータによって読み出されると、コンピュータを構成し、かつ、動作させるために汎用プログラマブルコンピュータまたは専用プログラマブルコンピュータによる読出しが可能な記憶媒体またはデバイス（例えばCD-ROM、ハードディスクまたは磁気ディスク）上に記憶され得る。また、処理は、コンピュータプログラムを使用して構成された機械可読記憶媒体として同じく実施されることも可能であり、実行されると、コンピュータプログラム内の命令によってコンピュータが動作する。

10

【0103】

処理は、システムの機能を実行するために1つまたは複数のコンピュータプログラムを実行する1つまたは複数のプログラマブルプロセッサによって実行され得る。システムのすべてまたは一部は、専用論理回路機構（例えばFPGA（書替え可能ゲートアレイ）および/またはASIC（特定用途向け集積回路））として実施され得る。

【0104】

以上、本発明の例示的实施形態について説明したが、これらの例示的实施形態の概念を組み込んだ他の実施形態が同じく使用され得ることは当業者には明らかであろう。本明細書に含まれている実施形態は、開示されている実施形態に限定されるべきではなく、むしろ添付の特許請求の範囲の精神および範囲によってのみ限定されるべきである。本明細書に記載されているすべての刊行物および参考文献は、参照によりそれらの全体が本明細書に明確に組み込まれている。

20

【図1】

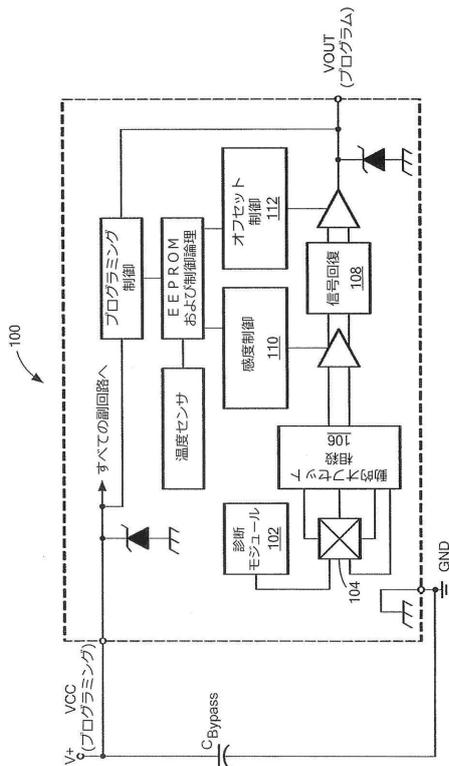


FIG. 1

【図2】

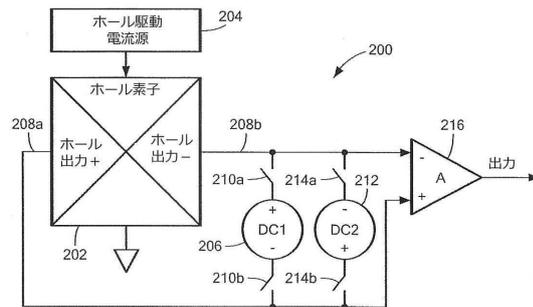


FIG. 2

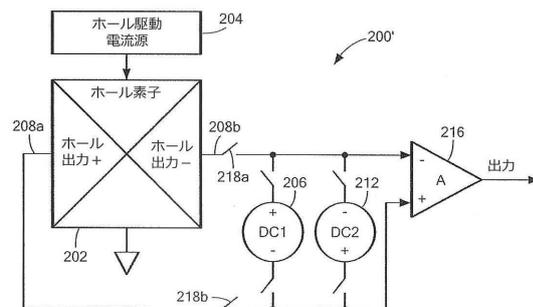


FIG. 2A



【図 4 A】

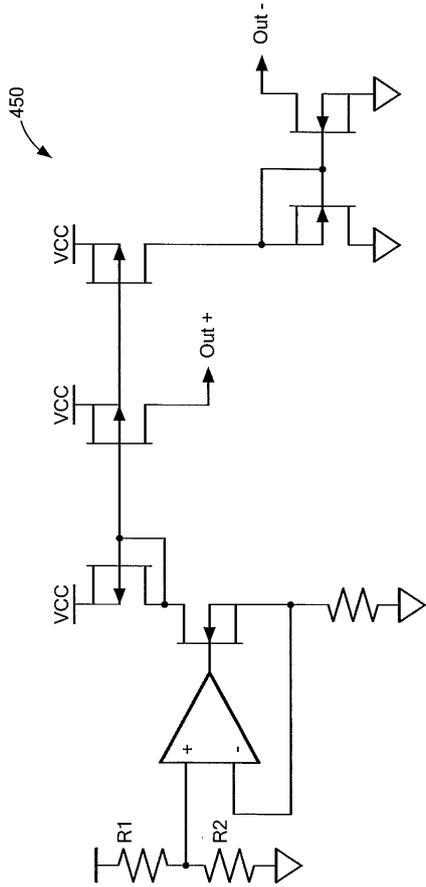


FIG. 4A

【図 4 B】

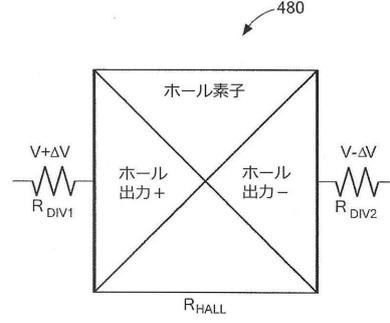


FIG. 4B

【図 5】

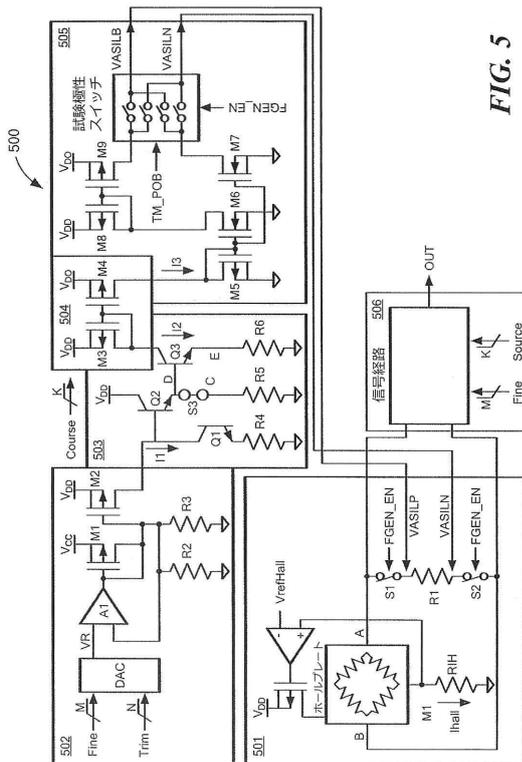


FIG. 5

【図 6】

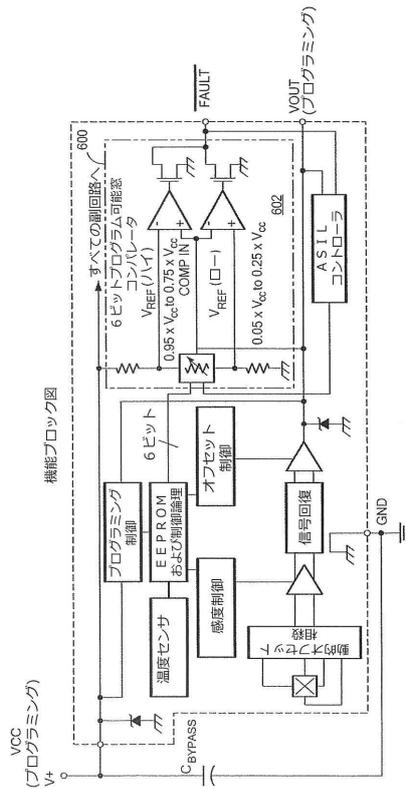


FIG. 6

【図 6 A】

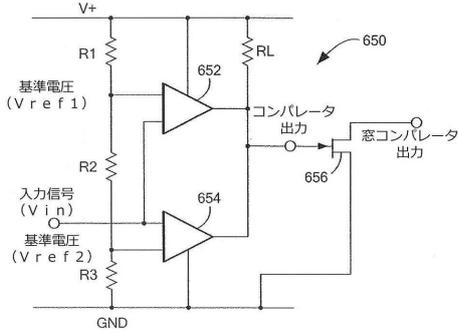


FIG. 6A

【図 7】

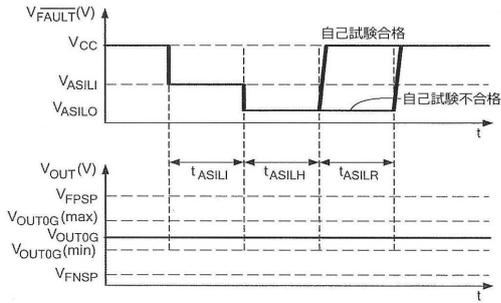


FIG. 7

【図 8】

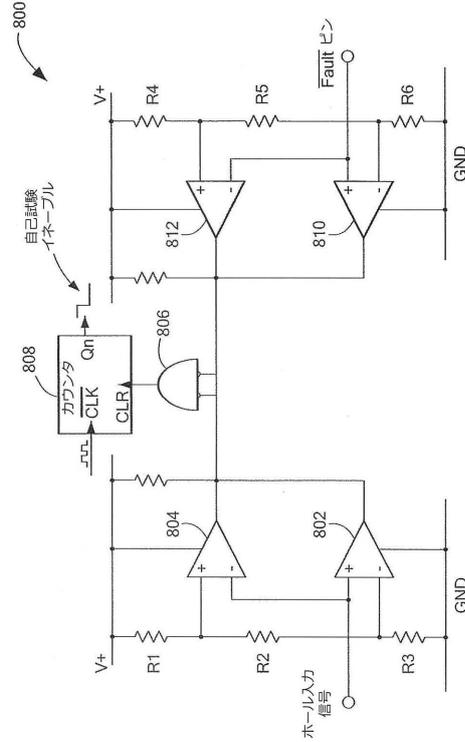


FIG. 8

【図 9】

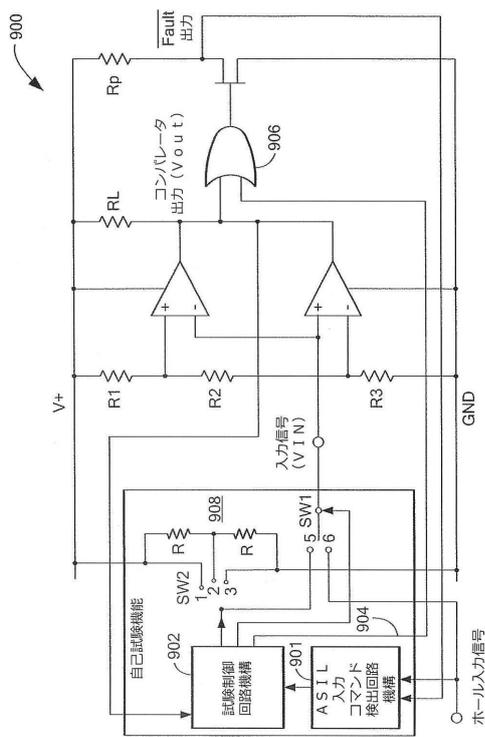


FIG. 9

【図 10】

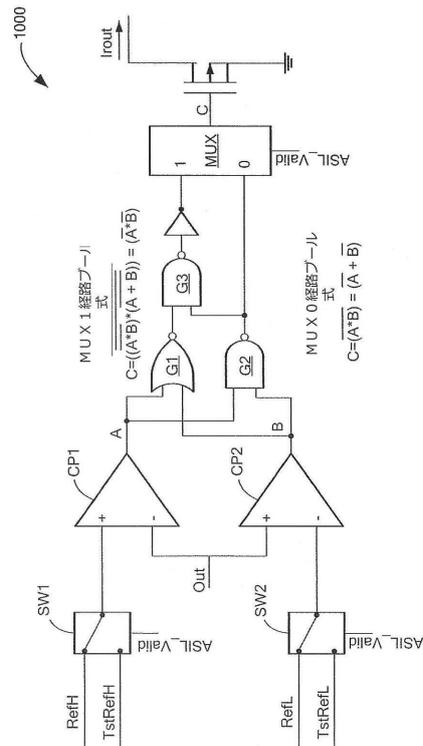


FIG. 10

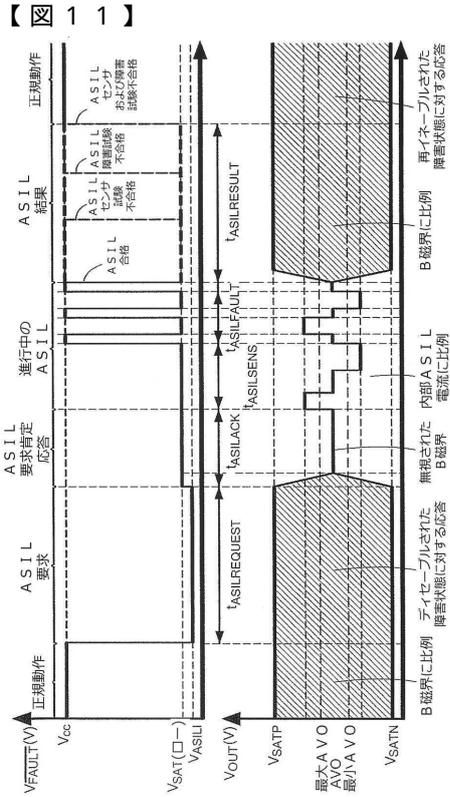


FIG. 11

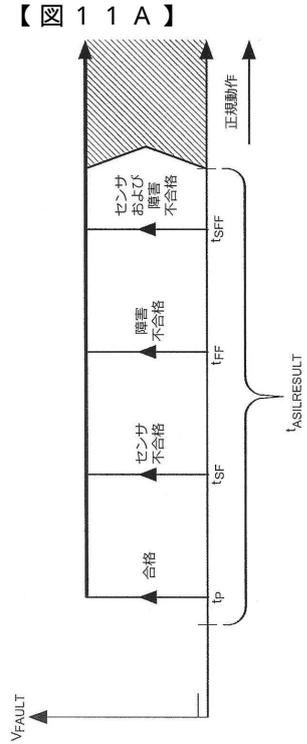


FIG. 11A

【 1 2 A 】

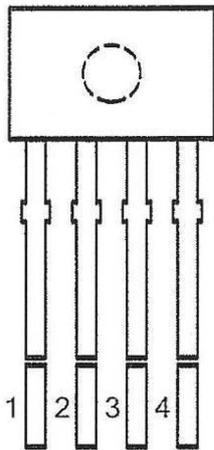


FIG. 12A

【 1 2 B 】

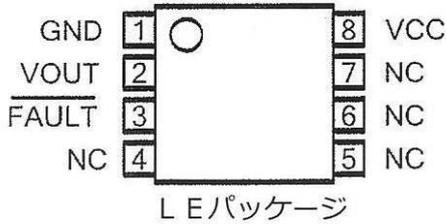


FIG. 12B

【 1 2 C 】

端子リスト表

番号		名称	機能
KT	LE		
1	8	VCC	入力電源、接地に接続するためにバイパスコンデンサを使用、プログラミングのために同じく使用される
2	2	VOUT	出力信号、プログラミングのために同じく使用される
3	3	FAULT	障害検出フラグ
4	1	GND	接地
-	4, 5, 6, 7	NC	内部接続なし、GNDに接続してもフローティングされない

FIG. 12C

【図12D】

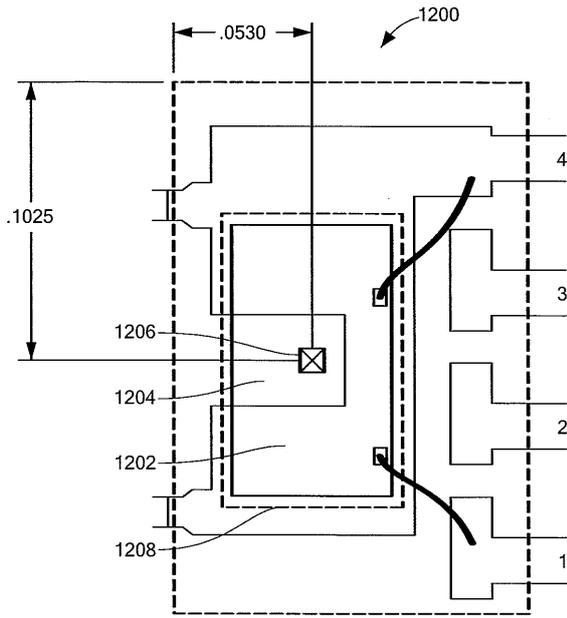


FIG. 12D

【図12E】

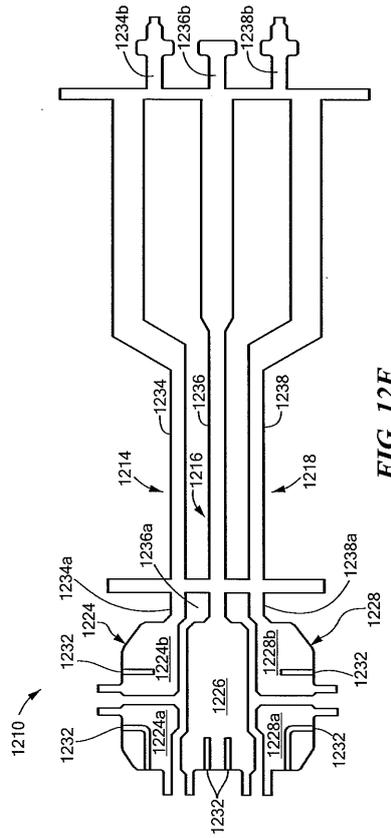


FIG. 12E

【図13】

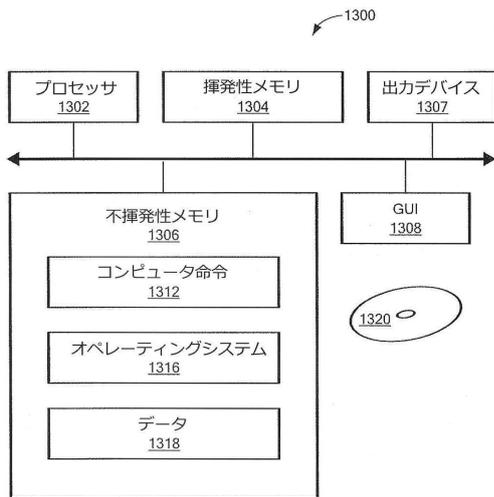


FIG. 13

## フロントページの続き

(51)Int.Cl. F I  
**G 0 1 R 35/00 (2006.01)**

(74)代理人 100147991

弁理士 鳥居 健一

(72)発明者 ミラノ, ショーン・ディー

アメリカ合衆国ニューハンプシャー州03046, ダンパートン, マンション・ロード 225

(72)発明者 エル バシャ, ジョルジュ

アメリカ合衆国ニューハンプシャー州03103, マンチェスター, サウス・ビーチ・ストリート  
316

(72)発明者 ドゥーグ, マイケル・シー

アメリカ合衆国ニューハンプシャー州03110, ベドフォード, ミドルトン・ドライブ 7

(72)発明者 ハース, デヴィッド・ジェイ

アメリカ合衆国ニューハンプシャー州03301-7922, コンコード, リザーブ・プレイス  
91

(72)発明者 デラマン, グレゴリー

アメリカ合衆国ミネソタ州55375, ミネットリスタ, ゲームズ・ドライブ 3892

(72)発明者 テイラー, ウィリアム・ピー

アメリカ合衆国ニューハンプシャー州03031, アマースト, ハイランド・ドライブ 1

(72)発明者 ガボリー, マイケル

アメリカ合衆国ミネソタ州55337, バーンズビル, アップトン・アベニュー・サウス 132  
21

審査官 岩本 勉

(56)参考文献 特表2013-500469(JP, A)

特表2010-533838(JP, A)

国際公開第2008/123144(WO, A1)

特開2013-210364(JP, A)

米国特許出願公開第2013/0249029(US, A1)

特開2009-250725(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 27/04

G01R 33/06

G01R 33/07

G01R 33/09

G01R 35/00

G01D 5/12

G01D 5/245