

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 104853119 A

(43) 申请公布日 2015. 08. 19

(21) 申请号 201510075073. 1

(22) 申请日 2015. 02. 12

(30) 优先权数据

2014-027860 2014. 02. 17 JP

(71) 申请人 佳能株式会社

地址 日本东京

(72) 发明人 户塚洋史 吉田大介 山下伸逸

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 罗银燕

(51) Int. Cl.

H04N 5/378(2011. 01)

H04N 5/341(2011. 01)

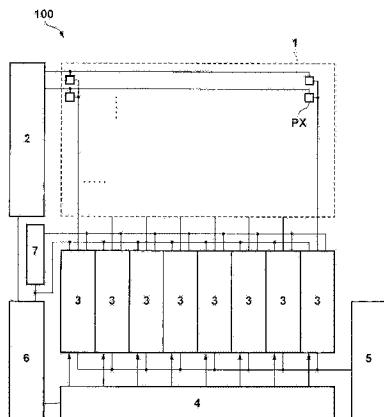
权利要求书3页 说明书15页 附图19页

(54) 发明名称

固态成像装置和照相机

(57) 摘要

本发明公开了固态成像装置和照相机。该固态成像装置包含多个像素和被配置为将模拟信号的像素信号转换成数字信号的A/D转换单元，其中，A/D转换单元包括比较器、采样单元、计数器以及被配置为基于计数器的计数结果和采样单元的采样结果输出数字信号的输出单元，并且采样单元包括分别被配置为响应于第一和第二时钟信号而对来自比较器的输出进行锁存的第一和第二锁存单元、以及被配置为响应于第二锁存单元的输出而对来自第一锁存单元的输出进行锁存的第三锁存单元。



1. 一种固态成像装置，该固态成像装置包含多个像素和分别被配置为对来自所述多个像素中的每一个的信号进行 A/D 转换的转换单元，

所述转换单元中的每一个包括：

比较单元，该比较单元被配置为接收基准信号，并且将来自所述像素的模拟信号与基准信号进行比较；

采样单元，该采样单元被配置为接收第一时钟信号，并且基于所述比较单元的输出对第一时钟信号的信号电平进行采样；

计数器，该计数器被配置为接收第一时钟信号，并且基于所述比较单元的输出对直到模拟信号与基准信号之间的大小关系逆转的时间进行计数；以及

输出单元，该输出单元被配置为基于所述计数器的计数结果和所述采样单元的采样结果输出与模拟信号对应的数字信号，并且

所述采样单元包括：

第一锁存单元，该第一锁存单元被配置为响应于第一时钟信号而对所述比较单元的输出进行锁存；

第二锁存单元，该第二锁存单元被配置为响应于具有与第一时钟信号的相位不同的相位的第二时钟信号而对所述比较单元的输出进行锁存；以及

第三锁存单元，该第三锁存单元被配置为响应于所述第二锁存单元的输出而对所述第一锁存单元的输出进行锁存。

2. 根据权利要求 1 所述的装置，其中，

所述第一锁存单元、所述第二锁存单元以及所述第三锁存单元中的每一个包含通过接收第一输入而专门地被驱动的第一晶体管和第二晶体管、以及被配置为接收第二输入的第三晶体管，

所述第一晶体管、所述第二晶体管以及所述第三晶体管在电源节点与接地节点之间被串联地布置，

所述第一锁存单元接收来自所述比较单元的信号作为第一输入，并且接收第一时钟信号作为第二输入，

所述第二锁存单元接收来自所述比较单元的信号作为第一输入，并且接收第二时钟信号作为第二输入，并且

所述第三锁存单元接收来自所述第一锁存单元的信号作为第一输入，并且从所述第二锁存单元接收信号作为第二输入。

3. 根据权利要求 2 所述的装置，其中，所述第一晶体管和所述第二晶体管中的一个是 NMOS 晶体管，而所述第一晶体管和所述第二晶体管中的另一个是 PMOS 晶体管。

4. 根据权利要求 3 所述的装置，其中，

所述第一锁存单元、所述第二锁存单元以及所述第三锁存单元中的每一个进一步包含分别被配置为接收来自所述第一晶体管和所述第二晶体管的信号的第四晶体管和第五晶体管、以及被配置为接收第二输入的第六晶体管，并且

所述第四晶体管、所述第五晶体管以及所述第六晶体管在电源节点与接地节点之间被串联地布置。

5. 根据权利要求 1 所述的装置，其中，

所述转换单元包含 N 个采样单元,其中,N 是不小于 2 的整数,并且

所述 N 个采样单元接收具有不同相位的 N 种类型的时钟信号,并且基于所述比较单元的输出对 N 种类型的时钟信号进行采样。

6. 根据权利要求 5 所述的装置,其中,由所述 N 个采样单元中的第一采样单元接收的时钟信号与由除了所述第一采样单元的采样单元接收的时钟信号之间的相位差为 $360^\circ \times k/N$,其中,k 是从 1(包含 1) 到 N-1(包含 N-1) 的范围内的整数。

7. 根据权利要求 6 所述的装置,其中,N 为 2。

8. 根据权利要求 1 所述的装置,其中,

所述转换单元包含 N 个采样单元,并且

所述 N 个采样单元形成被配置为通过接收具有不同频率的 N 种类型的时钟信号并且基于所述比较单元的输出对 N 种类型的时钟信号的信号电平进行采样、来输出与直到来自所述像素的模拟信号与基准信号之间的大小关系逆转的时间对应的计数值的计数器。

9. 根据权利要求 1 所述的装置,其中,基准信号是斜坡信号。

10. 一种照相机,包括:

权利要求 1 中所限定的固态成像装置;和

处理单元,该处理单元被配置为对从所述固态成像装置输出的信号进行处理。

11. 一种固态成像装置,该固态成像装置包含多个像素和分别被配置为对来自所述多个像素中的每一个的信号进行 A/D 转换的转换单元,

所述转换单元中的每一个包括:

比较单元,该比较单元被配置为接收基准信号,并且将来自所述像素的模拟信号与基准信号进行比较;

时钟端子,该时钟端子被配置为接收时钟信号;

计数器,该计数器包含输入端子,并且被配置为在所述输入端子处接收时钟信号,以及基于所述比较单元的输出对直到模拟信号与基准信号之间的大小关系逆转的时间进行计数;

开关,该开关被布置在所述时钟端子与所述输入端子之间;

电势固定单元,该电势固定单元被配置为固定所述输入端子的电势;以及

输出单元,该输出单元被配置为基于所述计数器的计数结果输出与模拟信号对应的数字信号,

其中,在该大小关系逆转之前,使得所述开关导通以向所述计数器供给时钟信号,并且

在该大小关系逆转之后,使得所述开关非导通以停止向所述计数器供给时钟信号并且使所述电势固定单元将所述输入端子的电势固定在该大小关系逆转时所获得的所述输入端子的电势。

12. 根据权利要求 11 所述的装置,其中,所述输出单元基于通过所述电势固定单元所固定的所述输入端子的电势输出数字信号。

13. 根据权利要求 12 所述的装置,其中,所述电势固定单元包含:

第一开关,该第一开关被配置为将所述输入端子的电势固定在第一电势;

第二开关,该第二开关被配置为将所述输入端子的电势固定在第二电势;

第一或非电路,该第一或非电路被配置为接收所述输入端子的电势和所述比较单元的

输出,并且切换所述第一开关以使得导通或者非导通;以及

第二或非电路,该第二或非电路被配置为接收所述第一或非电路的输出和所述比较单元的输出,并且切换所述第二开关以使得导通或者非导通。

14. 根据权利要求 11 所述的装置,其中,基准信号是斜坡信号。

15. 一种固态成像装置,该固态成像装置包含多个像素和分别被配置为对来自所述多个像素中的每一个的信号进行 A/D 转换的转换单元,

所述转换单元中的每一个包括:

比较单元,该比较单元被配置为接收基准信号,并且将来自所述像素的模拟信号与基准信号进行比较;

第一计数器,该第一计数器被配置为接收第一时钟信号,并且基于所述比较单元的输出对直到模拟信号与基准信号之间的大小关系逆转的时间进行计数;

第二计数器,该第二计数器被配置为接收具有比第一时钟信号的频率低的频率的第二时钟信号,并且基于所述比较单元的输出对直到该大小关系逆转的时间进行计数;

单元,该单元被配置为控制第一时钟信号向所述第一计数器的供给和第二时钟信号向所述第二计数器的供给;以及

输出单元,该输出单元被配置为基于所述第一计数器和所述第二计数器的计数结果输出与模拟信号对应的数字信号,

其中,在该大小关系逆转之前的时段期间,所述单元停止向所述第一计数器供给第一时钟信号,并且向所述第二计数器供给第二时钟信号,

在该大小关系逆转之后、第二时钟信号的逻辑电平改变之前的时段期间,所述单元在向所述第一计数器供给第一时钟信号的同时向所述第二计数器供给第二时钟信号,并且

在该大小关系逆转并且第二时钟信号的逻辑电平改变之后的时段期间,所述单元停止向所述第一计数器供给第一时钟信号,并且停止向所述第二计数器供给第二时钟信号。

16. 根据权利要求 15 所述的装置,其中,第二时钟信号的频率是第一时钟信号的频率的 $1/2k$,其中, k 是不小于 1 的整数。

17. 根据权利要求 15 所述的装置,其中,基准信号是斜坡信号。

固态成像装置和照相机

技术领域

[0001] 本发明涉及固态成像装置和照相机。

背景技术

[0002] 固态成像装置可包含多个像素和其中的每一个对来自每个像素的信号进行 A/D 转换的转换单元。每个转换单元包含例如比较来自每个像素的信号的大小与斜坡信号的大小的比较单元、以及计数从比较开始时直到大小关系逆转的时间的计数单元。计数单元接收时钟信号，并且通过使用时钟信号计数时间。日本专利公开 No. 2010-258817 描述了如下的布置：在该布置中，转换单元被设置在以矩阵布置多个像素的像素阵列的每一列上，并且每个转换单元包含用于响应于来自每个像素的信号与斜坡信号之间的大小关系的逆转而保持计数单元的计数结果的锁存单元。

发明内容

[0003] 本发明的第一方面提供一种固态成像装置，该固态成像装置包含多个像素和分别被配置为对来自多个像素中的每一个的信号进行 A/D 转换的转换单元，转换单元中的每一个包括：比较单元，该比较单元被配置为接收基准信号，并且将来自像素的模拟信号与基准信号进行比较；采样单元，该采样单元被配置为接收第一时钟信号，并且基于比较单元的输出对第一时钟信号的信号电平进行采样；计数器，该计数器被配置为接收第一时钟信号，并且基于比较单元的输出对直到模拟信号与基准信号之间的大小关系逆转的时间进行计数；以及输出单元，该输出单元被配置为基于计数器的计数结果和采样单元的采样结果输出与模拟信号对应的数字信号，并且采样单元包括：第一锁存单元，该第一锁存单元被配置为响应于第一时钟信号而对比较单元的输出进行锁存；第二锁存单元，该第二锁存单元被配置为响应于具有与第一时钟信号的相位不同的相位的第二时钟信号而对比较单元的输出进行锁存；以及第三锁存单元，该第三锁存单元被配置为响应于第二锁存单元的输出而对第一锁存单元的输出进行锁存。

[0004] 本发明的第二方面提供一种固态成像装置，该固态成像装置包含多个像素和分别被配置为对来自多个像素中的每一个的信号进行 A/D 转换的转换单元，转换单元中的每一个包括：比较单元，该比较单元被配置为接收基准信号，并且将来自像素的模拟信号与基准信号进行比较；时钟端子，该时钟端子被配置为接收时钟信号；计数器，该计数器包含输入端子，并且被配置为在输入端子处接收时钟信号，并且基于比较单元的输出对直到模拟信号与基准信号之间的大小关系逆转的时间进行计数；开关，该开关被布置在时钟端子与输入端子之间；电势固定单元，该电势固定单元被配置为固定输入端子的电势；以及输出单元，该输出单元被配置为基于计数器的计数结果输出与模拟信号对应的数字信号，其中，在该大小关系逆转之前，使得开关导通以向计数器供给时钟信号，并且在该大小关系逆转之后，使得开关非导通以停止向计数器供给时钟信号并且使电势固定单元将输入端子的电势固定在该大小关系逆转时所获得的输入端子的电势。

[0005] 本发明的第三方面提供一种固态成像装置，该固态成像装置包含多个像素和分别被配置为对来自多个像素中的每一个的信号进行A/D转换的转换单元，转换单元中的每一个包括：比较单元，该比较单元被配置为接收基准信号，并且将来自像素的模拟信号与基准信号进行比较；第一计数器，该第一计数器被配置为接收第一时钟信号，并且基于比较单元的输出对直到模拟信号与基准信号之间的大小关系逆转的时间进行计数；第二计数器，该第二计数器被配置为接收具有比第一时钟信号的频率低的频率的第二时钟信号，并且基于比较单元的输出对直到该大小关系逆转的时间进行计数；单元，该单元被配置为控制第一时钟信号向第一计数器的供给和第二时钟信号向第二计数器的供给；以及输出单元，该输出单元被配置为基于第一计数器和第二计数器的计数结果输出与模拟信号对应的数字信号，其中，在该大小关系逆转之前的时段期间，单元停止向第一计数器供给第一时钟信号，并且向第二计数器供给第二时钟信号，在该大小关系逆转之后、第二时钟信号的逻辑电平改变之前的时段期间，单元在向第一计数器供给第一时钟信号的同时向第二计数器供给第二时钟信号，并且在该大小关系逆转并且第二时钟信号的逻辑电平改变之后的时段期间，单元停止向第一计数器供给第一时钟信号，并且停止向第二计数器供给第二时钟信号。

[0006] 本发明的进一步特征将从示例性实施例的以下描述（参照附图）变得清晰。

附图说明

- [0007] 图1是用于解释固态成像装置的布置的示例的框图；
- [0008] 图2是用于解释读出单元的布置的示例的示图；
- [0009] 图3A和图3B是分别用于解释时钟锁存单元的布置的示例的示图；
- [0010] 图4A、图4B、图4C1、图4C2、图4D1、图4D2和图4E是用于解释锁存单元的布置的示例和布置中的操作的示图；
- [0011] 图5A和图5B是分别用于解释时钟锁存单元的操作的示例的定时图；
- [0012] 图6是用于解释读出单元的操作的示例的定时图；
- [0013] 图7A1～7A4和图7B1～7B4是分别用于解释时钟锁存单元的操作的示例的定时图；
- [0014] 图8A和图8B是用于解释供给到时钟锁存单元的时钟信号的示图；
- [0015] 图9A～9C是用于解释锁存单元的布置的示例的示图；
- [0016] 图10是用于解释读出单元的布置的示例的示图；
- [0017] 图11A和图11B是用于解释时钟锁存单元的布置的示例的示图；
- [0018] 图12A和图12B是分别用于解释时钟锁存单元的操作的定时图；
- [0019] 图13A1～13A4和图13B1～13B4是分别用于解释时钟锁存单元的操作的示例的定时图；
- [0020] 图14A和图14B是用于解释读出单元和单元的布置的示例的示图；
- [0021] 图15A～15C是用于解释单元的操作的示例的示图；
- [0022] 图16A和16B是用于解释读出单元和时钟锁存单元的布置的示例的示图；
- [0023] 图17A～17D是分别用于解释时钟锁存单元的操作的示例的定时图；
- [0024] 图18是用于解释读出单元的布置的示例的示图；
- [0025] 图19A和图19B是用于解释读出单元和时钟锁存单元的布置的示例的示图；

- [0026] 图 20A 和图 20B 是分别用于解释读出单元和时钟锁存单元的操作的示例的定时图；
- [0027] 图 21 是用于解释固态成像装置的布置的示例的框图；以及
- [0028] 图 22A 和图 22B 分别是用于解释读出单元的布置的示例和布置中的操作的示图。

具体实施方式

[0029] 在日本专利公开 No. 2010-258817 的图 8 等中所描述的锁存电路具有用于响应于比较单元的输出而锁存输入时钟信号的布置。因此，每次时钟信号的信号电平改变时，就在构成锁存电路的逆变器 (inverter) 等中不需要地产生贯通电流 (through current)。

[0030] 贯通电流导致电力消耗的增加。当计数单元的数量通过例如在像素阵列的每一列上设置计数单元而增加时，这可能是更严重的问题。

[0031] 以下要描述的每个实施例提供在减少固态成像装置的 A/D 转换中的电力消耗上有利的技术。

[0032] (第一实施例)

[0033] 将参照图 1、图 2、图 3A、图 3B、图 4A、图 4B、图 4C1、图 4C2、图 4D1、图 4D2、图 4E、图 5A、图 5B、图 6、图 7A1 ~ 7A4、图 7B1 ~ 7B4、图 8A、图 8B 和图 9A ~ 9C 描述第一实施例。图 1 是示出根据本实施例的固态成像装置 100 的布置的示例的框图。固态成像装置 100 包含像素阵列 1、垂直扫描电路 2、读出单元 3、水平扫描电路 4 和处理单元 5。像素阵列 1 包含以阵列布置的多个像素 PX。垂直扫描电路 2 向像素阵列 1 输出用于从每个像素 PX 读出信号的控制信号，并且对于每一行依次驱动像素 PX。每个读出单元 3 与像素阵列 1 的每一列对应地布置，并且用作对于来自每个像素 PX 的信号执行 A/D 转换（模拟 / 数字转换）的转换单元。水平扫描电路 4 向读出单元 3 输出控制信号，并且水平地传送来自读出单元 3 的要被依次输出的信号。处理单元 5 对于通过水平扫描电路 4 的水平传送从读出单元 3 读出的信号执行预定的处理。固态成像装置 100 还包含向垂直扫描电路 2 和水平扫描电路 4 供给时钟信号的定时产生器 6 和向每个读出单元 3 供给基准信号的信号产生单元 7。例如，使用斜坡信号作为基准信号。

[0034] 图 2 示出读出单元 3 的示例。读出单元 3 包含比较单元 11、时钟锁存单元 12、计数器 13 和输出单元 14。比较单元 11 比较来自像素 PX 的信号（模拟信号）与基准信号，并且向时钟锁存单元 12 和计数器 13 输出比较结果（输出 COMP）。更具体地，比较单元 11 比较来自像素 PX 的信号 Sig_PX 的大小与基准信号 V_{RAMP} 的大小。如果大小关系逆转，那么输出 COMP 的逻辑电平从高电平变为低电平或者从低电平变为高电平。输出 COMP 的逻辑电平以这种方式改变的事实将由“输出 COMP 反转”来表达。

[0035] 时钟锁存单元 12 接收输出 COMP 以及时钟信号 CLK1 和 CLK1B。当例如输出 COMP 反转时，时钟锁存单元 12 保持时钟信号 CLK1 的信号电平。即，时钟锁存单元 12 用作响应于比较单元 11 的输出而采样时钟信号 CLK1 的信号电平的采样单元。

[0036] 计数器 13 通过使用时钟信号 CLK1 来计数直到输出 COMP 反转的时间，并且获取与该时间对应的计数值（例如，n 比特）。

[0037] 输出单元 14 接收时钟锁存单元 12 的 1 比特输出和计数器 13 的 n 比特输出，并且基于来自水平扫描电路 4 的控制信号向处理单元 5 输出 (n+1) 比特数字信号。注意，读出

单元 3 还可在比较单元 11 的前级 (preceding stage) 处包含放大来自像素 PX 的信号并且向比较单元输入信号的放大单元。时钟锁存单元 12 和计数器 13 的输出比特的数量不限于本示例中的以上数量。

[0038] 将参照图 3A 和图 3B 描述时钟锁存单元 12。图 3A 示出时钟锁存单元 12 的布置的示例。时钟锁存单元 12 包含第一锁存单元 111、第二锁存单元 112 和第三锁存单元 113。锁存单元 111 ~ 113 中的每一个包含作为信号输入端子的输入 IN、作为控制输入端子的输入 CK 和 CKB 以及作为输出端子的输出 OUT 和 OUTB。输入 CK 和 CKB 接收具有不同相位的时钟信号 CLK1 和 CLK1B。时钟信号之间的相位差为 180°。输出 OUTB 以与输出 OUT 的电平相反的电平输出信号。

[0039] 在本布置中,第一锁存单元 111 在输入 IN 处接收比较单元的输出 COMP,并在输入 CK 和 CKB 处接收时钟信号 CLK1 和 CLK1B。另一方面,第二锁存单元 112 在输入 IN 处接收比较单元的输出 COMP,并在输入 CK 和 CKB 处接收时钟信号 CLK1B 和 CLK1。并且,第三锁存单元 113 在输入 IN 处接收第一锁存单元 111 的输出 L1,并在输入 CK 和 CKB 处接收第二锁存单元 112 的输出 L2 和作为输出 L2 的反转信号的输出 L2B。第三锁存单元 113 的输出 O1 充当时钟锁存单元 12 的输出。

[0040] 在本布置中,响应于比较单元 11 的输出 COMP 的反转,第一锁存单元 111 锁存时钟信号 CLK1 的下降沿,并且第二锁存单元 112 锁存时钟信号 CLK1B 的下降沿。并且,响应于第一锁存单元 111 的输出 L1 的反转,第三锁存单元 113 锁存第二锁存单元 112 的输出 L2 的下降沿。因此,在本布置中,即使时钟信号 CLK1 和 CLK1B 的逻辑电平改变,在时钟锁存单元 12 中也没有贯通电流产生。

[0041] 以上描述的图 3A 示出第一锁存单元 111 和第二锁存单元 112 中的每一个接收具有不同相位的两个时钟信号 CLK1 和 CLK1B 的布置。然而,本实施例不限于此。

[0042] 图 3B 示出时钟锁存单元 12 的布置的另一示例。在本布置中,第一锁存单元 111 接收时钟信号 CLK1 并且第二锁存单元接收时钟信号 CLK1B。

[0043] 更具体地,第一锁存单元 111 在输入 IN 处接收比较单元的输出 COMP,并在输入 CK 处接收时钟信号 CLK1。第二锁存单元 112 在输入 IN 处接收比较单元的输出 COMP,并在输入 CK 处接收时钟信号 CLK1B。时钟信号 CLK1B 为例如时钟信号 CLK1 的反转信号。第三锁存单元 113 在输入 IN 处接收第一锁存单元 111 的输出 L1,并在输入 CK 处接收第二锁存单元 112 的输出 L2。

[0044] 在本布置中,响应于比较单元 11 的输出 COMP 的反转,第一锁存单元 111 锁存时钟信号 CLK1 的下降沿,并且第二锁存单元 112 锁存时钟信号 CLK1B 的下降沿。如果时钟信号 CLK1B 是时钟信号 CLK1 的反转信号,那么可改述为第二锁存单元 112 锁存时钟信号 CLK1B 的上升沿。并且,响应于第一锁存单元 111 的输出 L1 的反转,第三锁存单元 113 锁存第二锁存单元 112 的输出 L2 的下降沿。因此,在本布置中,同样地,即使时钟信号 CLK1 和 CLK1B 的逻辑电平改变,在时钟锁存单元 12 中也没有贯通电流产生。注意,已例示了每个锁存单元锁存信号的下降沿的布置。然而,每个锁存可被配置为锁存信号的上升沿。

[0045] 图 4A 示出锁存单元 111、112 或 113 的电路布置的示例。图 4B 是示出锁存单元 111、112 或 113 的符号图。

[0046] 图 4C1 是在输入 CK 处于高电平且输入 CKB 处于低电平的同时锁存单元 111、112

或 113 的输入 IN 从高电平变为低电平时的定时图。图 4C2 是在输入 CK 处于低电平且输入 CKB 处于高电平的同时输入 IN 从高电平变为低电平时的定时图。类似地, 图 4D1 是在输入 CK 处于高电平的同时输入 IN 从低电平变为高电平时的定时图。图 4D2 是在输入 CK 处于低电平的同时输入 IN 从低电平变为高电平时的定时图。

[0047] 在图 4C1 和图 4D1 所示的情况下, 当输入 IN 的信号电平改变时, 输出 OUT 的输出也改变。另一方面, 在图 4C2 和图 4D2 所示的情况下, 当输入 CK 在输入 IN 的信号电平改变之后从低电平变为高电平时, 输出 OUT 的输出改变。即, 在锁存单元 111、112 或 113 中, 当输入 CK 处于高电平时, 从输出 OUT 原样输出输入 IN 的信号电平。当输入 CK 处于低电平时, 输出 OUT 的信号电平被维持。

[0048] 可通过使用上述的锁存单元 111 ~ 113 形成图 3A 所例示的电路布置。更具体地, 比较单元 11 的输出 COMP 被输入到锁存单元 111 和 112 的输入 IN。时钟信号 CLK1 被输入到锁存单元 111 的输入 CK 和锁存单元 112 的输入 CKB, 并且时钟信号 CLK1B 被输入到锁存单元 111 的输入 CKB 和锁存单元 112 的输入 CK。锁存单元 111 的输出 OUT 被输入到锁存单元 113 的输入 IN。锁存单元 112 的输出 OUT 被输入到锁存单元 113 的输入 CK。锁存单元 112 的输出 OUTB 被输入到锁存单元 113 的输入 CKB。

[0049] 连接锁存单元 111 的输出 OUT 与锁存单元 113 的输入 IN 的节点由“节点 L1”表示。连接锁存单元 112 的输出 OUT 与锁存单元 113 的输入 CK 的节点由“节点 L2”表示。连接锁存单元 112 的输出 OUTB 与锁存单元 113 的输入 CKB 的节点由“节点 L2B”表示。注意, 锁存单元 111 的输出 OUTB 与锁存单元 113 的输出 OUTB 二者均处于打开状态。

[0050] 图 5A 和图 5B 是分别示出上述的时钟锁存单元 12 的操作的定时图。图 5A 和图 5B 中的每一个示出比较单元 11 的输出 COMP、时钟信号 CLK1 和 CLK1B、节点 L1 和 L2 的电势电平和时钟锁存单元 12 的输出 O1 的电势电平。时钟信号 CLK1 和 CLK1B 的逻辑电平彼此相反。图 5A 示出在时钟信号 CLK1 处于高电平时输出 COMP 从高电平变为低电平的情况。图 5B 示出在时钟信号 CLK1 处于低电平时输出 COMP 从高电平变为低电平的情况。

[0051] 在图 5A 所示的情况下, 当输出 COMP 从高电平变为低电平时, 节点 L1 的电势电平从高电平变为低电平。此后, 当时钟信号 CLK1B 从高电平变为低电平时, 节点 L2 的电势电平从高电平变为低电平。即, 在节点 L1 的电势电平从高电平变为低电平之后, 节点 L2 的电势电平从高电平变为低电平(当节点 L2 的电势电平处于高电平时, 节点 L1 的电势电平从高电平变为低电平)。因此, 当节点 L1 的电势电平从高电平变为低电平时, 锁存单元 113 的输出 O1 从高电平变为低电平。

[0052] 另一方面, 在图 5B 所示的情况下, 当输出 COMP 从高电平变为低电平时, 节点 L2 的电势电平从高电平变为低电平。此后, 当时钟信号 CLK1 从低电平变为高电平时, 节点 L1 的电势电平从高电平变为低电平。即, 在节点 L2 的电势电平从高电平变为低电平之后, 节点 L1 的电势电平从高电平变为低电平(当节点 L2 的电势电平处于低电平时, 节点 L1 的电势电平从高电平变为低电平)。因此, 第三锁存单元 113 的输出 O1 在高电平处保持不变。

[0053] 即, 时钟锁存单元 12 的锁存单元 111 ~ 113 中的每一个在时钟信号 CLK1 的上升沿和下降沿中的一个处执行锁存输入 IN 的信号电平的所谓的半锁存操作。响应于时钟信号 CLK1 的上升沿, 锁存单元 111 锁存比较单元 11 的输出 COMP。响应于时钟信号 CLK1 的下降沿(时钟信号 CLK1B 的上升沿), 锁存单元 112 锁存输出 COMP。响应于锁存单元 112 的

输出,锁存单元 113 锁存锁存单元 111 的输出。作为结果,时钟锁存单元 12 用作响应于输出 COMP 而采样时钟信号 CLK1 的信号电平的采样单元,并且获取锁存信号电平作为采样结果。

[0054] 将参照图 6 描述计数器 13 的计数操作和作为计数结果的计数值。当计数开始时,基准信号 V_{RAMP} 的电势电平线性地改变(例如,从低电平到高电平)。注意,图 6 所示的 A/D 转换时段是基准信号 V_{RAMP} 的电势电平从低电平增加到高电平的时段。比较单元 11 比较来自像素 PX 的信号 Sig_PX 与基准信号 V_{RAMP} 。当 $Sig_PX > V_{RAMP}$ 时,比较单元 11 的输出 COMP 处于高电平。当满足 $Sig_PX < V_{RAMP}$ 时,输出 COMP 的逻辑电平反转。注意,作为基准信号 V_{RAMP} ,已例示了线性地改变的斜坡波形。然而,本发明不限于此,并且电势电平可逐步改变。

[0055] 时钟信号 CLK1 被供给到计数器 13。通过计数时钟信号 CLK1 的脉冲的数量,计数器 13 计数直到来自像素 PX 的信号 Sig_PX 与基准信号 V_{RAMP} 之间的大小关系逆转的时间。以这种方式,能够基于直到来自像素 PX 的信号 Sig_PX 与基准信号 V_{RAMP} 之间的大小关系逆转的时间获得计数值。

[0056] 如上所述,输出单元 14 作为低比特将时钟锁存单元 12 的输出加到作为计数器 13 的计数结果的计数值,并且向例如处理单元 5 输出 (n+1) 比特数字信号。利用该布置,除了计数器 13 的计数结果以外,还能够以时钟信号 CLK1 的半周期的分辨率(resolution)获得计数结果。这在提高来自像素 PX 的信号的 A/D 转换精度上是有利的。

[0057] 如图 4A 所例示的那样,时钟锁存单元 12 的锁存单元 111 ~ 113 中的每一个包含基于比较单元 11 的输出 COMP 而专门地(exclusively)或选择性地被驱动的多个晶体管和接收时钟信号 CLK1 等的多个晶体管。更具体地,例如,在锁存单元 111 ~ 113 中的每一个的第一级处,布置 NMOS 晶体管 mn1 和 mn2 以及 PMOS 晶体管 mp1 和 mp2。晶体管 mn1 和 mp1 中的每一个的栅极与输入 IN 连接。晶体管 mn2 的栅极与输入 CK 连接,并且晶体管 mp2 的栅极与输入 CKB 连接。这四个晶体管 mn1、mn2、mp1 和 mp2 被串联地布置以便在电源节点与接地节点之间(在电源与 GND 之间)形成电流路径。

[0058] 因此,当输出 COMP 维持在高电平或低电平时,使得基于比较单元 11 的输出 COMP 而专门地被驱动的两个晶体管 mn1 和 mp1 中的一个非导通。因此,当输出 COMP 维持在高电平或低电平时,通过接收时钟信号 CLK1 等在串联地布置的四个晶体管 mn1、mn2、mp1 和 mp2 的路径中没有贯通电流产生。

[0059] 从另一观点看,当比较单元 11 的输出 COMP 处于高电平时,晶体管 mp1 非导通,并因此形成下一级的逆变器电路的晶体管 mn3 和 mp3 的栅极不被充电。另一方面,当输出 COMP 处于低电平时,晶体管 mn1 非导通,并因此晶体管 mn3 和 mp3 的栅极不被放电。即,当输出 COMP 维持在高电平或低电平时,通过接收时钟信号 CLK1 等的充电和放电不交替重复(既不发生充电也不发生放电)。

[0060] 在后级处,布置逆变器电路(晶体管 mn3 和 mp3)和接收逆变器电路的输出的两个晶体管 mn4 和 mp4。这两个晶体管 mn4 和 mp4 以及分别与输入 CK 和 CKB 连接的两个晶体管 mp5 和 mn5 被串联地布置以便在电源与 GND 之间形成电流路径。由于四个晶体管 mn4、mn5、mp4 和 mp5 执行与晶体管 mn1、mn2、mp1 和 mp2 相同的操作,因此,通过接收时钟信号 CLK1 等没有贯通电流产生。

[0061] 在图 4A 所示的布置中,在电源与 GND 之间的路径中,当输出 COMP 处于高电平时,

在路径中串联地布置的两个晶体管中的一个非导通。当 COMP 处于低电平时，另一个晶体管非导通。在输出 COMP 处于高电平和输出 COMP 处于低电平的两种情况下，路径被维持在断开 (OFF) 状态。因此，通过接收时钟信号 CLK1 等在路径中没有贯通电流产生。本实施例在减少 A/D 转换中的电力消耗上是有利的。注意，已例示了使用 NMOS 晶体管和 PMOS 晶体管的布置。然而，本发明不限于此，并且可使用专门地驱动串联地布置的至少两个晶体管的任何布置。

[0062] 将参照图 7A1 ~ 7A4 和图 7B1 ~ 7B4 描述时钟信号 CLK1 和 CLK1B 的占空比改变时的操作。例如，固态成像装置 100 包含用于向每个读出单元 3 供给时钟信号 CLK1 和 CLK1B 的两个时钟信号线。可沿像素阵列 1 的行方向布置两个时钟信号线。在两个时钟信号线中的每一个上以预定的间隔布置用于缓冲时钟信号 CLK1 等的缓冲器。通过使用例如 NMOS 晶体管和 PMOS 晶体管形成缓冲器。然而，如果 NMOS 晶体管和 PMOS 晶体管的驱动力彼此不同，那么时钟信号 CLK1 等的占空比可改变。

[0063] 图 7A1 ~ 7A4 和图 7B1 ~ 7B4 是分别示出时钟信号 CLK1 等的占空比改变时的节点 L1 和 L2 以及输出 O1 的信号电平的定时图。在图 7A1 ~ 7A4 和图 7B1 ~ 7B4 中，点线表示时钟信号 CLK1 和 CLK1B 的占空比为 50% 时的波形。

[0064] 图 7A1 ~ 7A4 示出时钟信号 CLK1 等的占空比变得小于 50% 时的四种情况。将例示占空比为 25% 的情况。图 7A1 示出输出 COMP 反转时（在从高电平变为低电平时）的时钟信号 CLK1 处于高电平的情况。图 7A2 ~ 7A4 分别示出输出 COMP 反转时的时钟信号 CLK1 处于低电平的情况。图 7A2 示出反转时的时钟信号 CLK1 应处于高电平但实际上处于低电平的情况。图 7A3 示出反转时的时钟信号 CLK1B 处于高电平的情况。图 7A4 示出反转时的时钟信号 CLK1B 应处于高电平但实际上处于低电平的情况。

[0065] 与图 7A1 ~ 7A4 类似，图 7B1 ~ 7B4 示出时钟信号 CLK1 等的占空比变得大于 50%（例如，75%）时的四种情况。

[0066] 参照图 7A1 ~ 7A4，当占空比变得小于 50% 时，能够在任何情况下适当地获得输出 O1。另一方面，参照图 7B1 ~ 7B4，当占空比变得大于 50% 时，在一些情况下，在时钟信号 CLK1 和 CLK1B 二者均处于高电平的同时，节点 L1 的电势电平和节点 L2 的电势电平可同时反转。因此，输出 O1 可变得不定。因此，当占空比变得大于 50% 时，可能不能够适当地获得输出 O1。

[0067] 为了应对这一点，例如，仅需要配置定时产生器 6，以事先产生分别具有小于 50% 的占空比的时钟信号 CLK 等以便向每个读出单元 3 供给分别具有小于 50% 的占空比的时钟信号 CLK1 等。定时产生器 6 可采用例如图 8A 所示的电路布置。即，原始时钟信号 CLK1in 被输入到与 (AND) 电路的一个输入端子以及或非 (NOR) 电路的一个输入端子。并且，时钟信号 CLK1in 经由预定的延迟电路被输入到与电路的另一个输入端子以及或非电路的另一个输入端子。

[0068] 利用该布置，如图 8B 所示，能够产生分别具有小于 50% 的占空比的时钟信号 CLK1 和 CLK1B。并且，可在用于传输时钟信号 CLK1 等的两个时钟信号线中的每一个上以规则的间隔布置由具有不同驱动力的 NMOS 晶体管和 PMOS 晶体管形成的缓冲器，并且该缓冲器可被用于缓冲时钟信号 CLK1 等。

[0069] 根据本实施例，在输出 COMP 处于高电平和输出 COMP 处于低电平的两种情况下，时

钟锁存单元 12 中的电源与 GND 之间的路径被维持在断开状态。因此,通过接收时钟信号 CLK1 等在路径中没有贯通电流产生。本实施例由此在减少 A/D 转换中的电力消耗上是有利的。

[0070] 在本实施例中,图 4A 所示的电路被用作包含在时钟锁存单元 12 中的锁存单元 111 ~ 113 中的每一个。时钟锁存单元 12 的布置不限于此。时钟锁存单元 12 可采用在输出 COMP 反转之前和之后通过接收时钟信号 CLK1 等没有贯通电流产生的任何其它布置。

[0071] 代替图 4A 所示的布置,锁存单元 111 ~ 113 中的每一个可采用例如图 4E 所所示的布置。利用该布置,锁存单元通过在输入 CK 和 CKB 处接收具有不同相位的时钟信号来操作。因此,当供给到输入 IN 的信号的信号电平保持不变时,逆变器 INV1 的输入节点的电势不改变。因此,当输入 CK 和 CKB 的信号电平在来自像素 PX 的信号与基准信号之间的大小关系逆转之后第一次改变时,在逆变器 INV1 和逆变器 INV2 中产生贯通电流。因此,能够抑制 A/D 转换时段期间的贯通电流。

[0072] 可替代地,时钟锁存单元 12 的锁存单元 111 ~ 113 中的每一个可采用图 9A 所示的布置或者图 9B 所示的布置。布置中的每一个包含输入 CK 和 CKB 中的输入 CK 作为控制输入端子,并且通过接收时钟信号 CLK1 和 CLK1B 中的时钟信号 CLK1 来执行半锁存操作。在图 9A 所示的布置中,输入 IN 的信号电平在上升沿被锁存。在图 9B 所示的布置中,输入 IN 的信号电平在下降沿被锁存。利用这些布置,晶体管的数量可减少。在这种情况下,如图 9C 所示的那样,仅需要连接锁存单元 111 ~ 113。

[0073] 在本实施例中,采样单元包含三个锁存单元。第一锁存单元响应于第一时钟信号而锁存比较单元的输出。第二锁存单元响应于第二时钟信号而锁存比较单元的输出。第三锁存单元响应于第二锁存单元的输出而锁存第一锁存单元的输出。利用该布置,能够在比较单元的输出保持不变的同时抑制采样单元中的贯通电流。注意,已例示了每个锁存单元的布置的一些实际的示例。然而,每个锁存单元可采用其它的布置。

[0074] (第二实施例)

[0075] 将参照图 10 描述第二实施例。代替第一实施例所例示的读出单元 3,固态成像装置 100 可包含图 10 所所示的读出单元 30。本实施例的每个读出单元 30 与第一实施例的读出单元 3 的不同之处在于,在时钟锁存单元 12 中仅使用时钟信号 CLK1。利用该布置,仅需要向每个读出单元 30 供给时钟信号 CLK1 和时钟信号 CLK1B 中的时钟信号 CLK1。因此,仅需要设置一个时钟信号线,并且能够减少用于缓冲时钟信号的缓冲器的数量。根据本实施例,能够获得与第一实施例相同的效果,并且还减少时钟信号线的数量和缓冲器的数量。

[0076] 在这种情况下,关于时钟锁存单元 12 的锁存单元 111 ~ 113,例如,锁存单元 111 仅需要采用图 9A 所示的布置,并且锁存单元 112 仅需要采用图 9B 所示的布置。利用这些布置,锁存单元 111 在时钟信号 CLK1 的上升沿锁存输入 IN 的信号电平,并且锁存单元 112 在时钟信号 CLK1 的下降沿锁存信号电平。

[0077] (第三实施例)

[0078] 将参照图 11A、图 11B、图 12A、图 12B、图 13A1 ~ 13A4 和图 13B1 ~ 13B4 描述第三实施例。代替第一实施例所例示的时钟锁存单元 12,固态成像装置 100 的每个读出单元 3 可包含图 11A 和图 11B 所所示的时钟锁存单元 22。图 11A 示出时钟锁存单元 22 的布置的示例。时钟锁存单元 22 包含第一锁存单元 211、第二锁存单元 212、第三锁存单元 213。锁存

单元 211 和 212 中的每一个具有图 11B 所例示的电路布置，并且可作为包含主锁存单元和从锁存单元的主 - 从 D 触发器操作。锁存单元 213 仅需要被配置为通过接收锁存单元 211 和 212 的输出来执行上述的半锁存操作，并且可使用与第一实施例中的锁存单元 113 相同的锁存单元。注意，第一实施例中的节点 L1、L2 和 L2B 与本实施例中的节点 D1、D2 和 D2B 对应。

[0079] 与图 5A 和图 5B 类似，图 12A 和图 12B 是分别示出上述的时钟锁存单元 22 的操作并且分别示出节点 D1 和 D2 的电势电平和时钟锁存单元 22 的输出 01 的电势电平的定时图。

[0080] 参照图 12A，如果在时钟信号 CLK1 处于高电平（即，时钟信号 CLK1B 处于低电平）时输出 COMP 反转以从高电平变为低电平，那么，当时钟信号 CLK1 从高电平变为低电平时，节点 D1 的电势电平从高电平变为低电平。并且，在经过时钟信号的半周期之后，当时钟信号 CLK1B 从高电平变为低电平时，节点 D2 的电势电平从高电平变为低电平。即，在节点 D1 的电势电平从高电平变为低电平之后，节点 D2 的电势电平从高电平变为低电平。换句话说，当节点 D2 的电势电平处于高电平时，节点 D1 的电势电平从高电平变为低电平。因此，当节点 D1 的电势电平从高电平变为低电平时，锁存单元 213 的输出 01 从高电平变为低电平。

[0081] 参照图 12B，如果在时钟信号 CLK1 处于低电平（即，时钟信号 CLK1B 处于高电平）时输出 COMP 反转以从高电平变为低电平，那么，当时钟信号 CLK1B 从高电平变为低电平时，节点 D2 的电势电平从高电平变为低电平。并且，在经过时钟信号的半周期之后，当时钟信号 CLK1 从高电平变为低电平时，节点 D1 的电势电平从高电平变为低电平。即，在节点 D2 的电势电平从高电平变为低电平之后，节点 D1 的电势电平从高电平变为低电平。换句话说，当节点 D2 的电势电平处于低电平时，节点 D1 的电势电平从高电平变为低电平。因此，锁存单元 213 的输出 01 在高电平处保持不变。

[0082] 通过使用本实施例的时钟锁存单元 22，能够获得与第一实施例的时钟锁存单元 12 相同的结果。

[0083] 与图 7A1 ~ 7A4 和图 7B1 ~ 7B4 类似，图 13A1 ~ 13A4 和图 13B1 ~ 13B4 是分别示出根据本实施例的时钟信号 CLK1 和 CLK1B 的占空比改变时的操作的定时图。根据本实施例，由于锁存单元 211 和 212 作为 D 触发器操作，因此，节点 D1 的电势电平和节点 D2 的电势电平不同时反转。因此，由于输出 01 不再变得不定，因此能够在占空比变得小于 50% 和占空比变得大于 50% 的两种情况下适当地获得输出 01。即，时钟锁存单元 22 在增加对占空比劣化的耐性上是有利的。

[0084] 本实施例在增加对占空比劣化的耐性上是有利的，同时能够获得与第一实施例等相同的效果。

[0085] （第四实施例）

[0086] 将参照图 14A、图 14B 和图 15A ~ 15C 描述第四实施例。代替第一实施例所例示的读出单元 3，固态成像装置 100 可包含图 14 所例示的读出单元 31。图 14A 示出读出单元 31 的布置的示例，并且图 14B 示出包含在读出单元 31 中的单元 121 的布置的示例。

[0087] 在输出 COMP 反转以从高电平变为低电平之前，单元 121 从输出 01' 向计数器 13 输出接收的时钟信号 CLK1。另一方面，在输出 COMP 反转之后，单元 121 不输出接收的时钟信号 CLK1。单元 121 具有作为控制时钟信号的供给的控制单元的功能。并且，单元 121 具

有作为响应于输出 COMP 的反转而固定时钟信号 CLK1 的电势的电势固定单元（保持信号电平的保持单元）的功能，换句话说，作为上述的时钟锁存单元（采样单元）的功能。

[0088] 更具体地，单元 121 包含开关 1210、1211 和 1212 以及或非电路 1213 和 1214。或非电路 1213 包含例如两个输入端子，并且经由开关 1210 在输入端子中的一个处接收时钟信号 CLK1 并且在另一个输入端子处接收比较单元的输出 COMP。或非电路 1214 包含例如两个输入端子，并且在输入端子中的一个处接收或非电路 1213 的输出 Ppd 并在另一个输入端子处接收比较单元的输出 COMP。

[0089] 当输出 COMP 处于高电平时，开关 1210 导通。当输出 COMP 处于低电平时，开关 1210 非导通。当或非电路 1213 的输出 Ppd 处于高电平时，开关 1211 导通。当输出 Ppd 处于低电平时，开关 1211 非导通。当或非电路 1214 的输出 Ppu 处于高电平时，开关 1212 导通。当输出 Ppu 处于低电平时，开关 1212 非导通。

[0090] 图 15A 是示出在时钟信号 CLK1 处于低电平的同时比较单元 11 的输出 COMP 反转以从高电平变为低电平时的单元 121 的操作的定时图。图 15B 是示出在时钟信号 CLK1 处于高电平的同时比较单元 11 的输出 COMP 反转时的单元 121 的操作的定时图。图 15C 示出表示单元 121 接收输出 COMP 和时钟信号 CLK1 时的或非电路 1213 的输出 Ppd、或非电路 1214 的输出 Ppu 和单元 121 的输出 01' 的状态的真值表。

[0091] 当比较单元 11 的输出 COMP 处于高电平时，或非电路 1213 和 1214 中的每一个在输入端子中的一个处接收输出 COMP。因此，在这种情况下，或非电路 1213 和 1214 的输出 Ppd 和 Ppu 处于低电平并且开关 1211 和 1212 非导通。当输出 COMP 处于高电平时，开关 1210 导通，并因此时钟信号 CLK1 经由输出 01' 被输出。

[0092] 当比较单元 11 的输出 COMP 处于低电平并且时钟信号 CLK1 处于低电平时，接收输出 COMP 和时钟信号 CLK1 的或非电路 1213 的输出 Ppd 处于高电平。因此，使得开关 1211 导通，并且输出 01' 被设定在下拉 (pull-down) 状态 (低电平)。注意，或非电路 1214 的输出 Ppu 处于低电平。由于使得开关 1210 非导通，因此时钟信号 CLK1 不被输出。

[0093] 当比较单元 11 的输出 COMP 处于低电平并且时钟信号 CLK1 处于高电平时，接收输出 COMP 和时钟信号 CLK1 的或非电路 1213 的输出 Ppd 处于低电平。另一方面，接收输出 Ppd 和输出 COMP 的或非电路 1214 的输出 Ppu 处于高电平。因此，使得开关 1212 导通，并且输出 01' 被设定在上拉状态 (高电平)。注意，由于使得开关 1210 非导通，因此时钟信号 CLK1 不被输出。

[0094] 根据本实施例，在输出 COMP 反转以从高电平变为低电平之前，开关 1210 导通，并且单元 121 向计数器 13 输出接收的时钟信号 CLK1。此时，或非电路 1213 在一个输入端子处接收时钟信号 CLK1，并在另一个输入端子处接收处于高电平的输出 COMP。因此，形成或非电路 1213 的两个串联连接的 PMOS 晶体管中的一个非导通。因此，当输出 COMP 维持在高电平时，通过接收时钟信号 CLK1 在或非电路 1213 中没有贯通电流产生。

[0095] 从另一观点看，后级（开关 1211 或者或非电路 1214 的输入门）可被放电，但该后级不被充电。因此，通过接收时钟信号 CLK1 的充电和放电不重复（既不发生充电也不发生放电）。

[0096] 另一方面，在输出 COMP 反转之后，使得开关 1210 非导通，并因此在单元 121 接收时钟信号 CLK1 时在单元 121 中没有贯通电流产生。在本实施例中，同样地，能够获得与第

一实施例等相同的效果。

[0097] 注意，本发明不限于图 14A 和图 14B 所示的布置，并且读出单元 31 和单元 121 可采用能够基于输出 COMP 控制时钟信号 CLK1 向计数器 13 的供给并且采样和保持时钟信号 CLK1 的信号电平的任何布置。

[0098] 例如，读出单元 31 可包含比较单元 11、用于接收时钟信号 CLK1 的时钟端子、包含输入端子的计数器 13、布置在时钟端子与输入端子之间的开关 1210、以及输出单元 14。开关响应于比较单元 11 的输出 COMP 而操作。例如，在输出 COMP 反转之前，使得开关导通以经由输入端子向计数器 13 供给时钟信号 CLK1。在输出 COMP 反转之后，使得开关非导通以停止向计数器 13 供给时钟信号 CLK1。利用该布置，能够控制时钟信号 CLK1 向计数器 13 的供给。

[0099] 在图 14A 和图 14B 所示的布置中，例如，或非电路 1213 作为采样和保持时钟信号 CLK1 的信号电平的单元接收输出 COMP 和时钟信号 CLK1。然而，本发明不限于此。如果例如比较单元 11 被设置使得输出 COMP 从低电平变为高电平，那么代替或非电路 1213，可使用与非 (NAND) 电路。在这种情况下，开关 1210 仅需要被配置为使得在输出 COMP 处于低电平时导通，并且使得在输出 COMP 处于高电平时非导通。

[0100] (第五实施例)

[0101] 将参照图 16A、图 16B、图 17A ~ 17D 和图 18 描述第五实施例。代替第一实施例所例示的读出单元 3，固态成像装置 100 可包含图 16A 和图 16B 所例示的读出单元 32。图 16A 示出读出单元 32 的布置的示例。图 16B 示出包含在读出单元 32 中的时钟锁存单元 12 和 122 的布置的示例。根据本实施例，读出单元 32 接收时钟信号 CLK1 和 CLK1B、具有相对于时钟信号 CLK1 的相位延迟 90° 的相位的时钟信号 CLK2、以及具有与时钟信号 CLK2 的相位相反的相位的时钟信号 CLK2B。即，总共包含时钟信号 CLK1、参照时钟信号 CLK1 具有 90° 的相位差的时钟信号 CLK2、具有 180° 的相位差的时钟信号 CLK1B、以及具有 270° 的相位差的时钟信号 CLK2B 的四个时钟信号 CLK1 等被供给到读出单元 32。

[0102] 与时钟锁存单元 12 类似，时钟锁存单元 122 包含锁存单元 114、115 和 116。注意，时钟锁存单元 122 中的与时钟锁存单元 12 中的节点 L1 和 L2 以及输出 01 对应的部分由节点 L3 和 L4 以及输出 02 表示。

[0103] 时钟信号 CLK1 和 CLK1B 被供给到读出单元 32 的时钟锁存单元 12，并且时钟信号 CLK2 和 CLK2B 被供给到读出单元 32 的时钟锁存单元 122。时钟锁存单元 12 和 122 中的每一个执行与前述的第一实施例相同的操作。

[0104] 图 17A ~ 17D 是示出四种情况下的比较单元 11 的输出 COMP、时钟信号 CLK1 等、节点 L1 ~ L4 的电势电平以及输出 01 和 02 的定时图。

[0105] 图 17A 示出当时钟信号 CLK1 处于高电平、时钟信号 CLK2 处于低电平、时钟信号 CLK1B 处于低电平以及时钟信号 CLK2B 处于高电平时输出 COMP 反转以从高电平变为低电平的情况。图 17B 示出当时钟信号 CLK1 处于高电平、时钟信号 CLK2 处于高电平、时钟信号 CLK1B 处于低电平以及时钟信号 CLK2B 处于低电平时输出 COMP 反转的情况。图 17C 示出当时钟信号 CLK1 处于低电平、时钟信号 CLK2 处于高电平、时钟信号 CLK1B 处于高电平以及时钟信号 CLK2B 处于低电平时输出 COMP 反转的情况。图 17D 示出当时钟信号 CLK1 处于低电平、时钟信号 CLK2 处于低电平、时钟信号 CLK1B 处于高电平以及时钟信号 CLK2B 处于高电

平时输出 COMP 反转的情况。

[0106] 在图 17A 所示的情况下,输出 01 处于低电平并且输出 02 处于高电平。在图 17B 所示的情况下,输出 01 处于低电平并且输出 02 处于低电平。在图 17C 所示的情况下,输出 01 处于高电平并且输出 02 处于低电平。在图 17D 所示的情况下,输出 01 处于高电平并且输出 02 处于高电平。

[0107] 输出单元 14 接收作为计数器 13 的计数结果的计数值以及时钟锁存单元 12 和 122 的输出 01 和 02。注意,输出单元 14 可包含将时钟锁存单元 12 和 122 的输出 01 和 02 解码成其它的二进制值的解码器。输出单元 14 可作为低比特将基于输出 01 和 02 的数据(在本示例中为 2 比特)加到计数器 13 的计数值(在本示例中为 n 比特),并且输出(n+2)比特数字信号。注意,已例示了输出单元 14 包含对输出 01 和 02 进行解码的解码器的情况。然而,解码器可与输出单元 14 分开地设置,或者进一步在诸如处理单元 5 的后级单元中设置。即,输出 01 和 02 的值可根据需要变为适于随后的信号处理的值。

[0108] 本实施例在进一步提高 A/D 转换的精度上是有利的,同时能够获得与第一实施例等相同的效果。

[0109] 已例示了四种类型的时钟信号 CLK1 等被供给到包含两个时钟锁存单元 12 和 122 的读出单元 32 的布置。然而,数量不限于前述的实施例中的数量,并且可被改变以例如增加加到计数值的低比特的数量。更具体地,如图 18 所例示的那样,可采用八种类型的时钟信号 CLK1 ~ CLK4 和 CLK1B ~ CLK4B 被供给到包含四个时钟锁存单元 12 和 122 ~ 124 的读出单元 33 的布置。即,如果包含 N 个时钟锁存单元,那么仅需要使用包含时钟信号 CLK1 和相对于时钟信号 CLK1 分别具有 $360^\circ \times k/N$ 的相位差的时钟信号的 N 种类型的时钟信号,其中,N 是 2 或者更大的整数,并且 k 是 1 与 N-1 之间的整数。注意,N 一般是 2 的幂。

[0110] 注意,已例示了具有与前述的第一实施例相同的布置的时钟锁存单元 12 和 122 中的每一个。布置不限于此。例如,时钟锁存单元 12 和 122 中的每一个可被配置为利用前述的第二实施例所例示的布置接收时钟信号 CLK1 和 CLK2。作为另一个实施例,如前述的第三实施例所例示的那样,时钟锁存单元 12 和 122 的锁存单元 111、112、114 和 115 可作为主 - 从 D 触发器操作。

[0111] (第六实施例)

[0112] 将参照图 19A、图 19B、图 20A 和图 20B 描述第六实施例。代替第一实施例所例示的读出单元 3,固态成像装置 100 可包含图 19A 和图 19B 所例示的读出单元 34。图 19A 示出读出单元 34 的布置的示例。图 19B 示出包含在读出单元 34 中的单元 125 的布置的示例。在本实施例中,除了时钟信号 CLK1 和 CLK1B 以外,还使用频率为时钟信号 CLK1 的频率的 1/8 的低速时钟信号 CLKM1。

[0113] 包含在读出单元 34 中的第一计数器 130 充当通过从单元 125 接收低速时钟信号 CLKM1 的反转信号(信号 gc1kmb)来执行计数的高位(upper)计数器,并且获取例如(n-3)比特计数值。包含在读出单元 34 中的第二计数器 131 充当通过从单元 125 接收时钟信号 CLK1 的反转信号(信号 gc1kb)来执行计数的低位(lower)计数器,并且获取例如 3 比特计数值。计数器 130 在以下将被称为“高位计数器 130”,并且计数器 131 在以下将被称为“低位计数器 131”。

[0114] 单元 125 包含分别具有图 4A 所例示的电路布置的锁存单元 311 ~ 313、作为图 11B

所例示的主 - 从 D 触发器操作的锁存单元 314、以及或非电路 315 和 316。锁存单元 311 ~ 313 仅需要如第一实施例那样被连接，并且它们的操作与第一实施例相同，并因此将省略其描述。

[0115] 锁存单元 314 仅需要被布置为在输入 IN 处从锁存单元 311 接收信号、在输入 CK 处接收低速时钟信号 CLKM1，并且经由逆变器在输入 CKB 处接收低速时钟信号 CLKM1。或非电路 315 接收来自锁存单元 311 的信号、来自锁存单元 314 的信号、以及时钟信号 CLK1，并且向低位计数器 131 输出信号 gc1kb。或非电路 316 接收来自锁存单元 314 的信号以及低速时钟信号 CLKM1，并且向高位计数器 130 输出信号 gc1kmb。

[0116] 利用该布置，除了时钟信号 CLK1 的信号电平的采样以外，单元 125 还向计数器 130 和 131 供给时钟信号 CLK1 和低速时钟信号 CLKM1，以及停止供给它们。注意，连接锁存单元 314 以及或非电路 315 和 316 的节点由“节点 enmb”表示。

[0117] 图 20A 和图 20B 是分别示出上述的单元 125 的操作的定时图。图 20A 示出当时钟信号 CLK1 处于低电平时比较单元 11 的输出 COMP 反转（从高电平变为低电平）的情况。图 20B 示出当时钟信号 CLK1 处于高电平时比较单元 11 的输出 COMP 反转的情况。

[0118] 首先将描述信号 gc1kb。在输出 COMP 反转之前，节点 L1 的电势电平处于高电平，节点 enmb 的电势电平处于低电平，并因此信号 gc1kb 处于低电平。在输出 COMP 反转（图 20A）之后或者响应于该反转（图 20B），节点 L1 的电势电平从高电平变为低电平。此后，在低速时钟信号 CLKM1 从低电平变为高电平时的时段期间，信号 gc1kb 是时钟信号 CLK1 的反转信号。此后，节点 enmb 的电势电平被设定在高电平，并因此信号 gc1kb 被设定在低电平。注意，从比较单元 11 的输出 COMP 反转时直到低速时钟信号 CLKM1 从低电平变为高电平时的时段由“低位计数时段”表示。

[0119] 下面将描述信号 gc1kmb。在从比较单元 11 开始比较时直到比较单元 11 的输出 COMP 反转之后低速时钟信号 CLKM1 从低电平变为高电平（即，节点 enmb 的电势电平从低电平变为高电平）的时段期间，信号 gc1kmb 是低速时钟信号 CLKM1 的反转信号。此后，由于节点 enmb 的电势电平被设定在高电平，因此信号 gc1kmb 被设定在低电平。注意，从比较单元 11 开始比较时直到比较单元 11 的输出 COMP 反转之后低速时钟信号 CLKM1 从低电平变为高电平时的时段由“高位计数时段”表示。

[0120] 如上所述，高位计数器 130 通过接收信号 gc1kmb 来执行计数，低位计数器 131 通过接收信号 gc1kb 来执行计数。因此，高位计数器 130 在高位计数时段期间执行计数，并且高位计数器 130 的计数值根据信号 gc1kmb 被相加。另一方面，低位计数器 131 在低位计数时段期间执行计数，并且低位计数器 131 的计数值根据信号 gc1kb 被相加。

[0121] 输出单元 14 通过使用例如高位计数器 130 的计数值和低位计数器 131 的计数值来计算与从比较单元 11 开始比较时直到比较单元的输出 COMP 反转的时间对应的计数值 CNT。例如，在图 20B 所示的情况下，高位计数器 130 在低速时钟信号 CLKM1 的周期中执行 Z 次计数，并且低位计数器 131 在时钟信号 CLK1 的周期中执行 6 次计数。低速时钟信号 CLKM1 的周期是时钟信号 CLK1 的周期的八倍。在这种情况下，计数值 $CNT = (高位计数器 130 的计数值 "Z") \times 8 - (低位计数器 131 的计数值 "6")$ 。此后，输出单元 14 可作为低比特将基于输出 01 的数据（在本示例中为 1 比特）加到计数值 CNT（在本示例中为 n 比特），并且输出 $(n+1)$ 比特数字信号。

[0122] 根据本实施例,除了与第一实施例等相同的效果以外,还能够获得以下的效果。即,由于低位计数器 131 仅对于时钟信号 CLK1 的八个周期的时段接收信号 gclk1b,因此能够抑制上述的贯通电流。并且,由于高位计数器 130 仅接收频率为时钟信号 CLK1 的频率的 1/8 的信号 gclkmb,因此能够抑制上述的贯通电流。本实施例在减少计数器 130 和 131 中的电力消耗上是有利的,同时能够获得与第一实施例等相同的效果。

[0123] (第七实施例)

[0124] 在上述的实施例中的每一个中,已例示了计数器被设置在像素阵列的每一列上的布置。本发明可适用于与多个列上的转换单元对应地设置共用计数器的布置。

[0125] 将参照图 21、图 22A 和图 22B 描述第七实施例。图 21 是示出根据本实施例的固态成像装置 1000 的布置的示例的框图。固态成像装置 1000 进一步包含计数器 61。计数器 61 从定时产生器 6 接收时钟信号 CLK1,并且向每一列上的读出单元 35 输出 n 比特计数值 CNT[n-1:0]。

[0126] 图 22A 示出读出单元 35 的布置的示例。图 22B 是示出读出单元 35 的操作的定时图。读出单元 35 包含比较单元 11、n 个时钟锁存单元 150(150-1 ~ 150-n) 和输出单元 14。时钟锁存单元 150(150-1 ~ 150-n) 中的每一个接收相应的计数值 CNT[n-1:0] 作为时钟信号,并且执行计数。每个时钟锁存单元 150 的操作与前述的第一实施例的时钟锁存单元 12 相同。即,响应于比较单元 11 的输出 COMP 反转以从高电平变为低电平,时钟锁存单元 150(150-1 ~ 150-n) 中的每一个采样相应的计数值 CNT[n-1:0] 的值。

[0127] 注意,出于简化的目的已解释了一个计数值 CNT[n-1:0] 被输入到每个时钟锁存单元 150 的布置。如果采用前述的第一实施例的时钟锁存单元 12 的布置,那么也可输入计数值的反转信号。可替代地,如图 9A ~ 9C 所例示的那样,每个时钟锁存单元 150 可具有通过仅使用一个时钟信号来执行上述的半锁存操作的布置。

[0128] 如图 22B 所示,在 A/D 转换时段期间,每个时钟锁存单元 150 从计数器 61 接收计数值 CNT[n-1:0]。此后,响应于比较单元 11 的输出 COMP 反转以从高电平变为低电平,时钟锁存单元 150(150-1 ~ 150-n) 中的每一个采样相应的计数值 CNT[n-1:0] 的值。输出单元 14 以从高比特到低比特的次序输出采样值作为与比较单元 11 的比较结果对应的信号(即,基于来自像素的模拟信号的数字信号)。

[0129] 读出单元 35 包含多个时钟锁存单元 150,其中每个时钟锁存单元 150 具有与上述的第一实施例的时钟锁存单元 12 等相同的布置,并且在每个时钟锁存单元 150 中,在比较单元 11 的输出 COMP 反转之前和之后,既不发生充电也不发生放电。多个时钟锁存单元 150(150-1 ~ 150-n) 中的每一个从计数器 61 接收计数值 CNT[n-1:0]。从另一观点看,多个时钟锁存单元 150(150-1 ~ 150-n) 分别接收具有不同频率的时钟信号。此后,响应于输出 COMP 的反转,多个时钟锁存单元 150(150-1 ~ 150-n) 中的每一个采样相应的计数值 CNT[n-1:0]。采样结果表示与比较单元 11 的比较结果对应的信号(即,要获取的数字信号)。

[0130] 根据本实施例,通过使用多个时钟锁存单元 150(150-1 ~ 150-n) 形成计数器。每个时钟锁存单元 150 采用在比较单元 11 的输出 COMP 反转之前和之后通过接收计数值 CNT[n-1:0] 既不发生充电也不发生放电的布置。因此,本实施例在减少 A/D 转换中的电力消耗上也是有利的。

[0131] 尽管以上已描述了七个实施例,但本发明不限于它们。可根据例如本发明的目的在不背离本发明的精神和范围的情况下改变每个单元。各个实施例中所例示的单元可被组合。

[0132] (成像系统)

[0133] 在以上的实施例中,已描述了包含在由照相机等代表的成像系统中的固态成像装置。成像系统在概念上不仅包含其主要目的是拍摄的设备,而且包含另外地设置有拍摄功能的设备(例如,个人计算机或便携式终端)。成像系统可包含作为上述的实施例中的每一个所例示的根据本发明的固态成像装置和处理从固态成像装置输出的信号的处理单元。该处理单元可包含例如A/D转换器和处理从A/D转换器输出的数字数据的处理器。

[0134] 本发明在减少A/D转换中的电力消耗上是有利的。

[0135] 尽管已参照行示例性实施例描述了本发明,但应理解,本发明不限于所公开的示例性实施例。随附权利要求的范围应被赋予最宽的解释以便包含所有这样的修改以及等同的结构和功能。

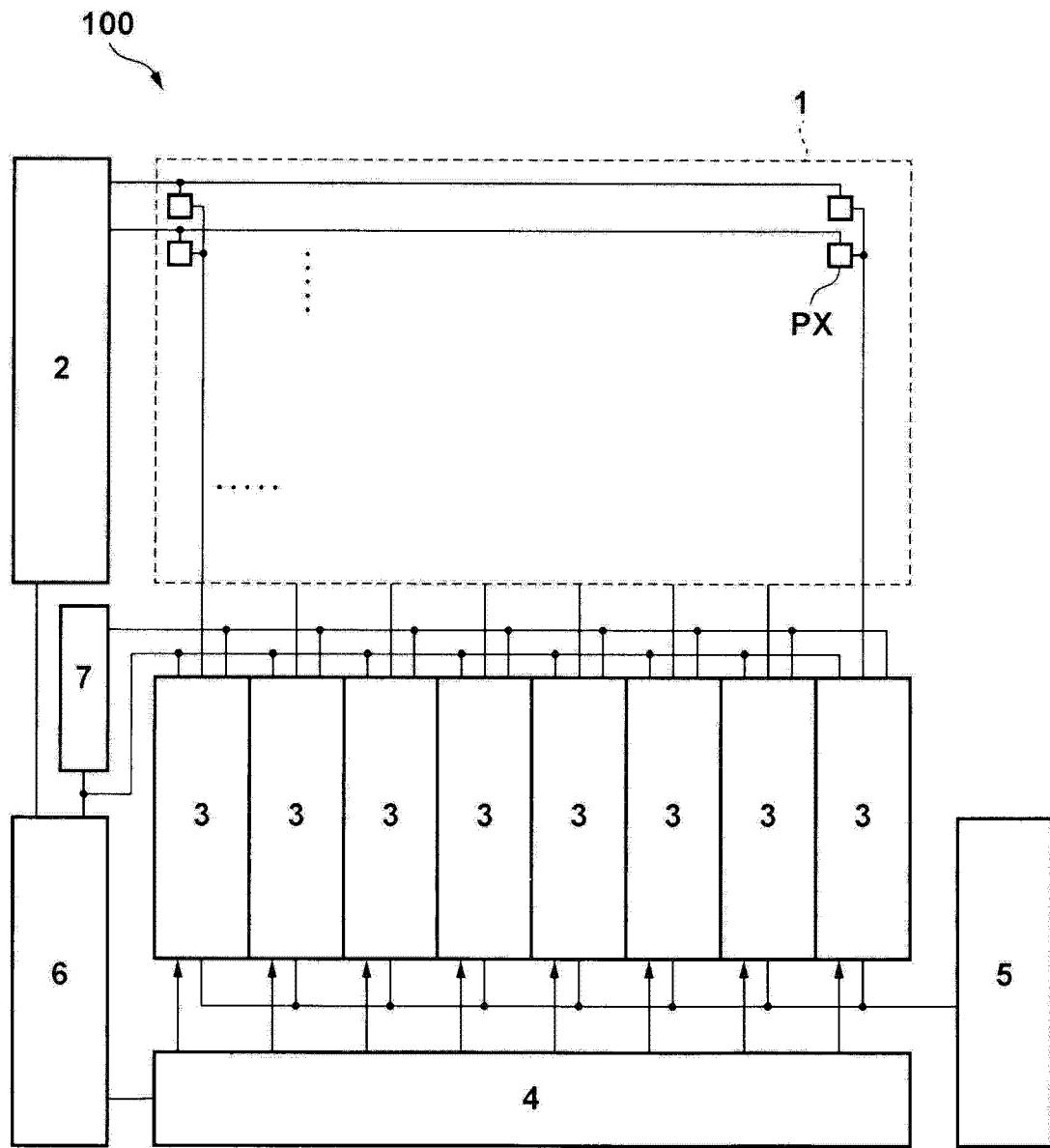


图 1

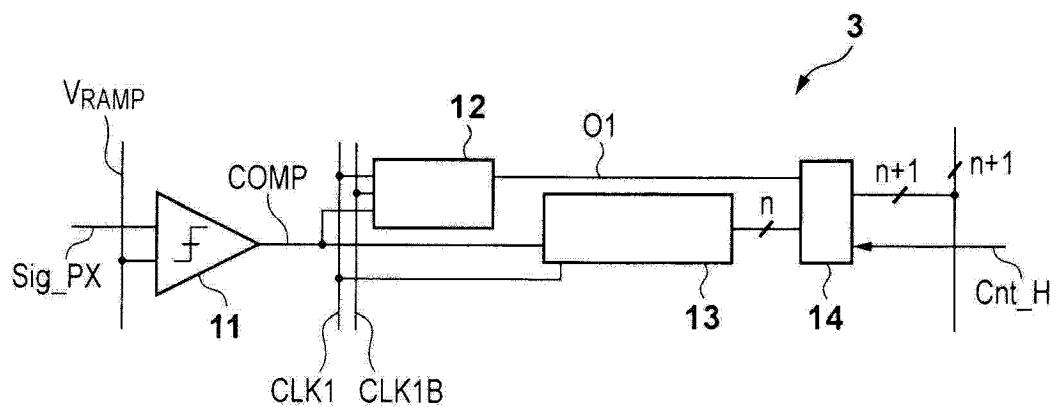


图 2

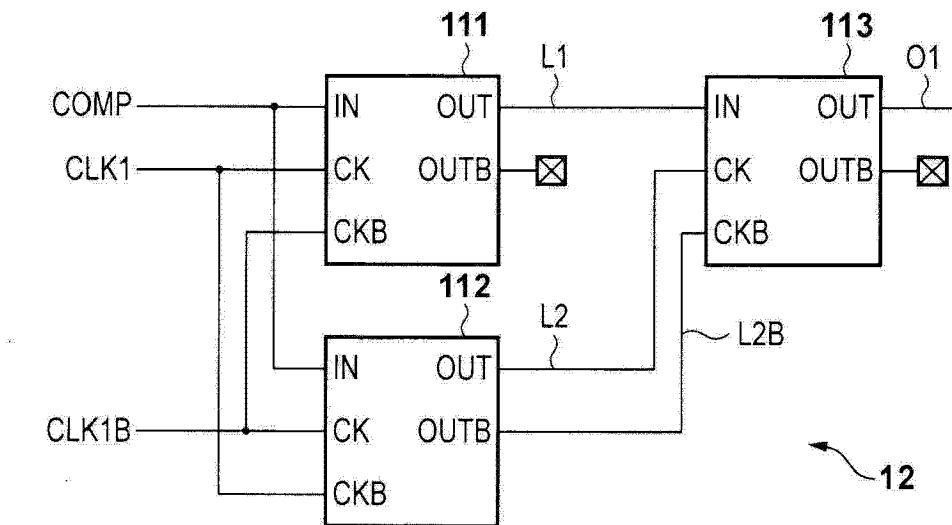


图 3A

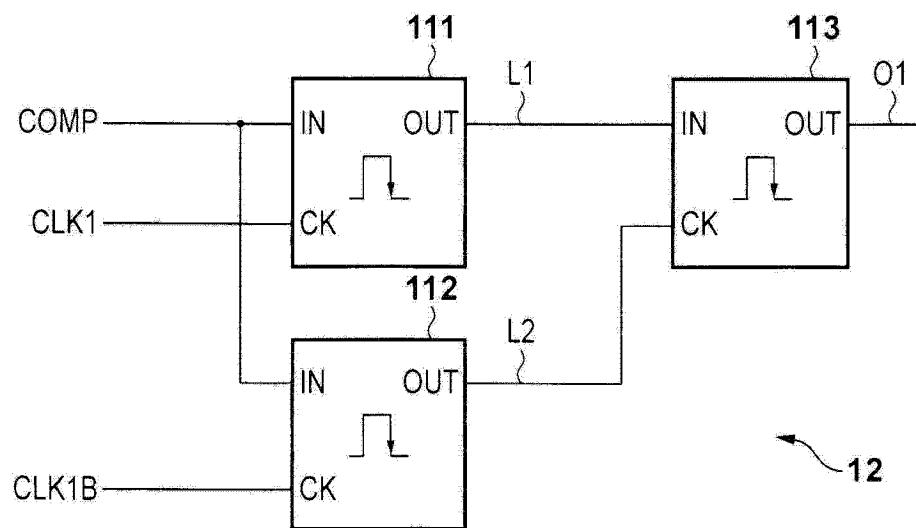


图 3B

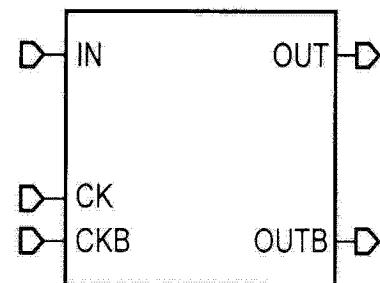
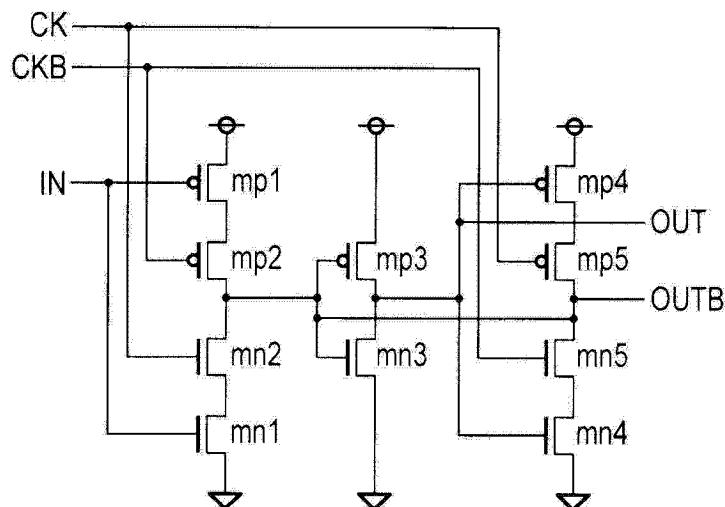


图 4B

图 4A

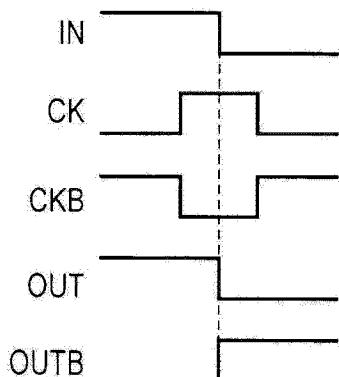


图 4C1

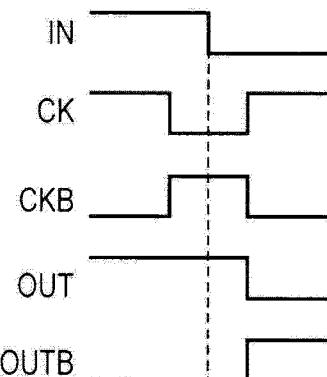


图 4C2

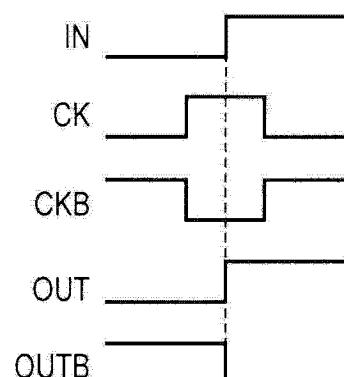


图 4D1

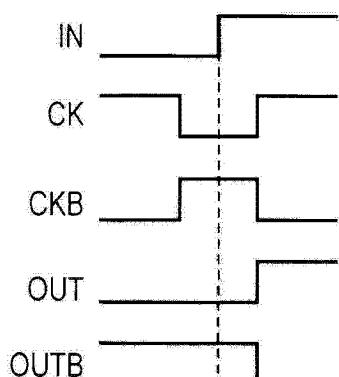


图 4D2

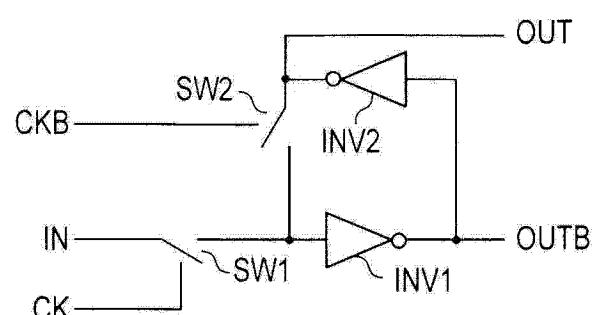


图 4E

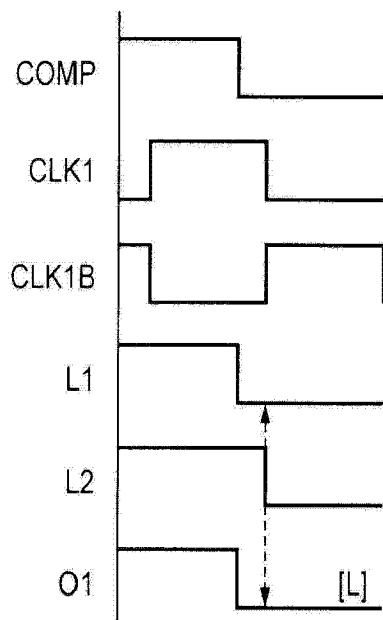


图 5A

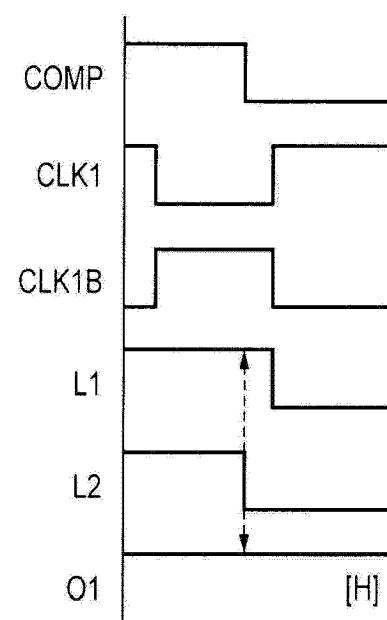


图 5B

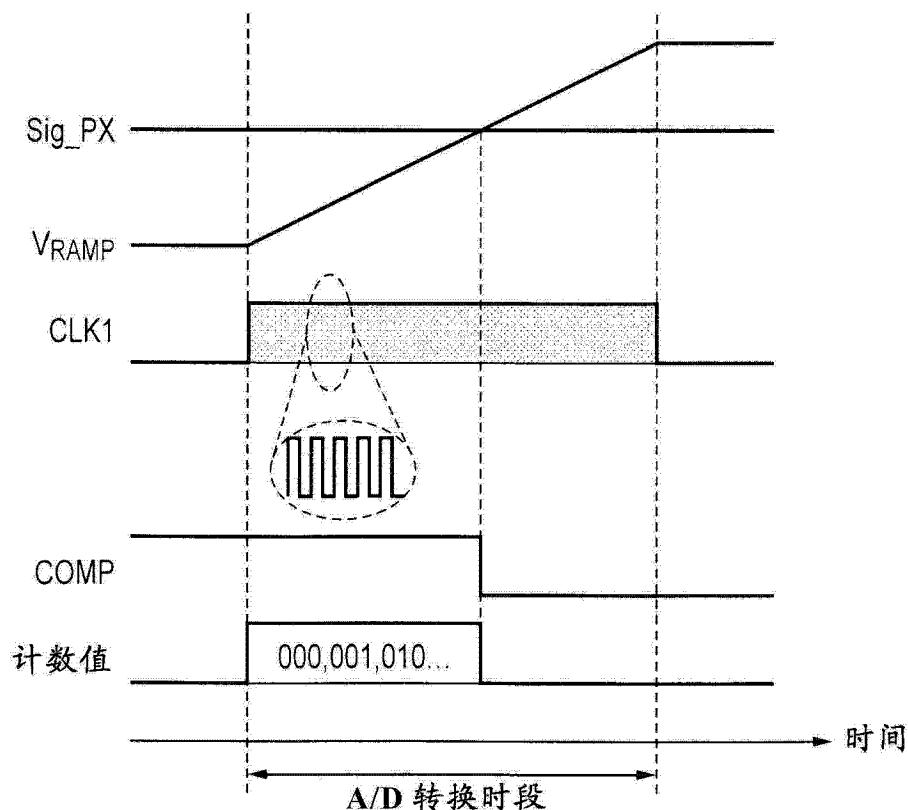


图 6

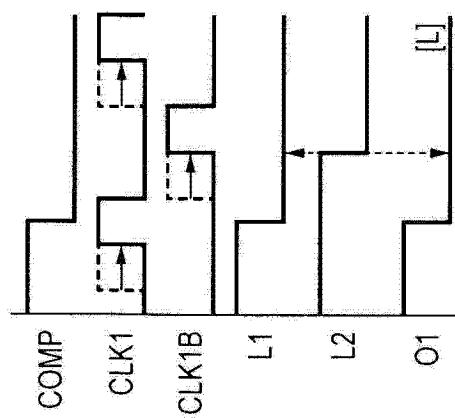


图 7A1

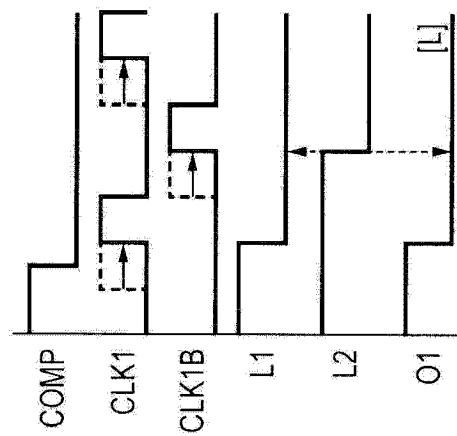


图 7A2

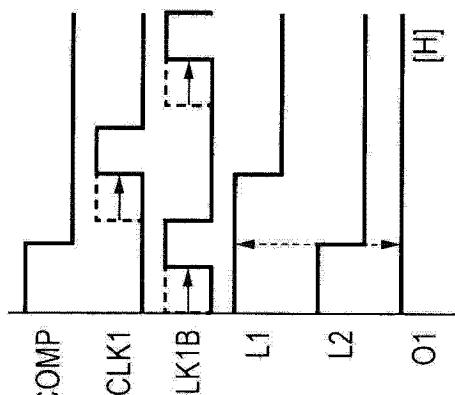


图 7A3

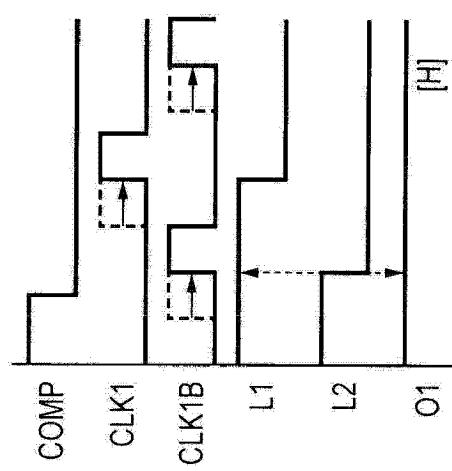


图 7A4

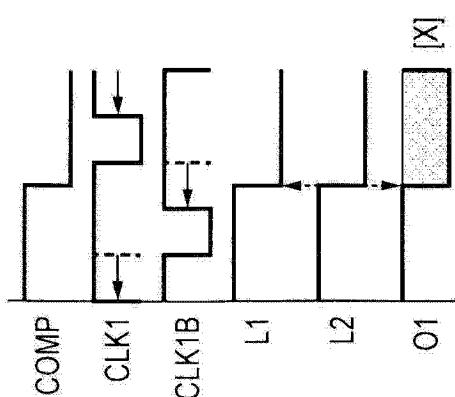


图 7B1

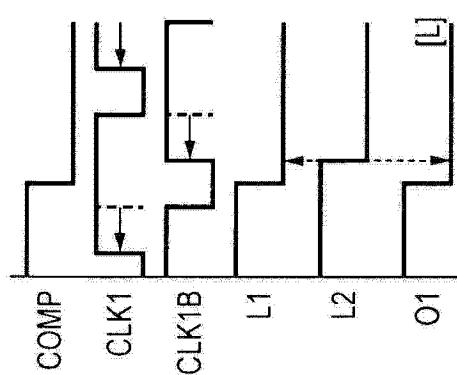


图 7B2

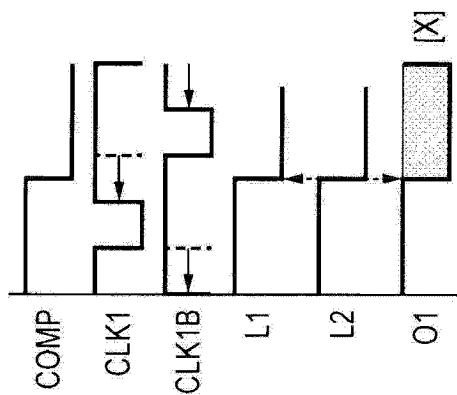


图 7B3

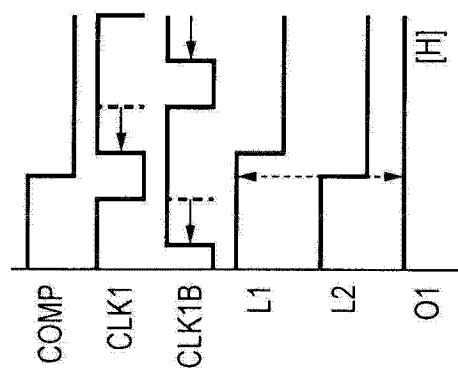


图 7B4

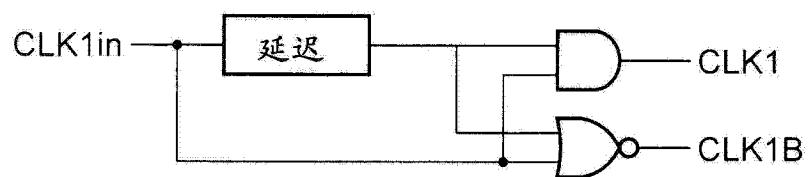


图 8A

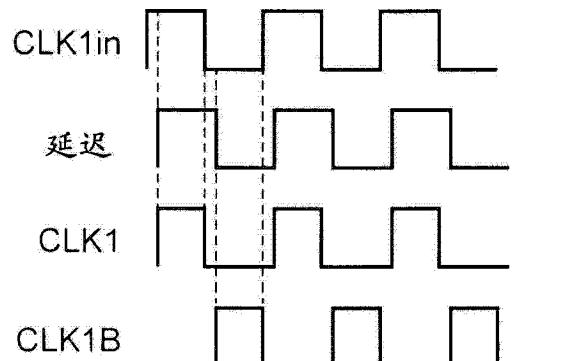


图 8B

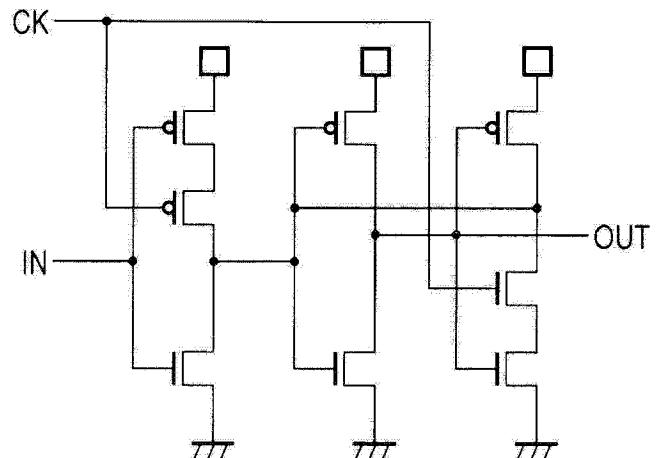


图 9A

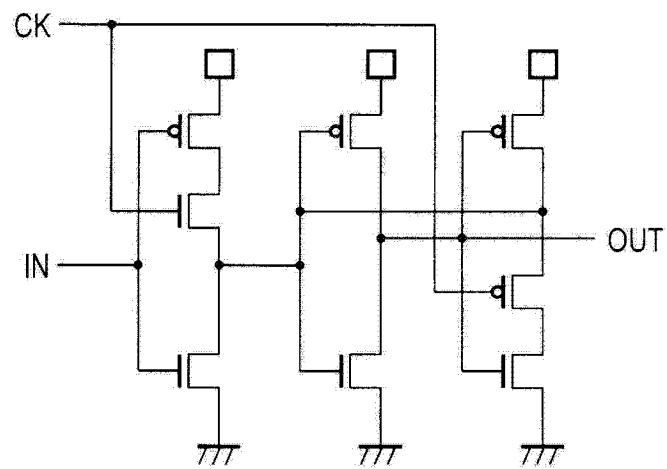


图 9B

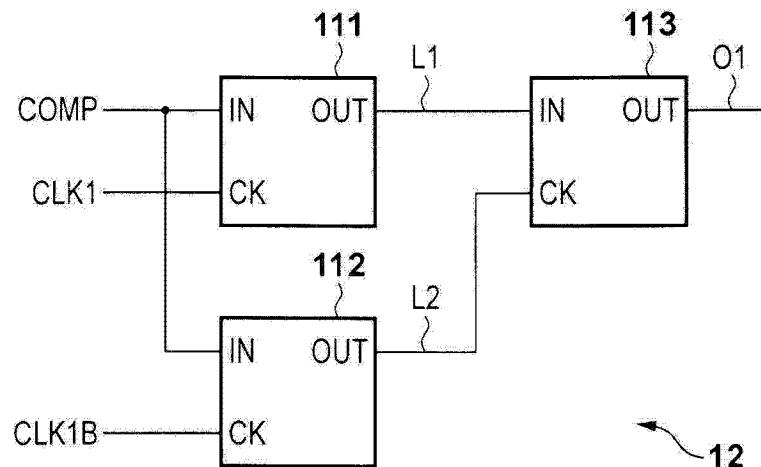


图 9C

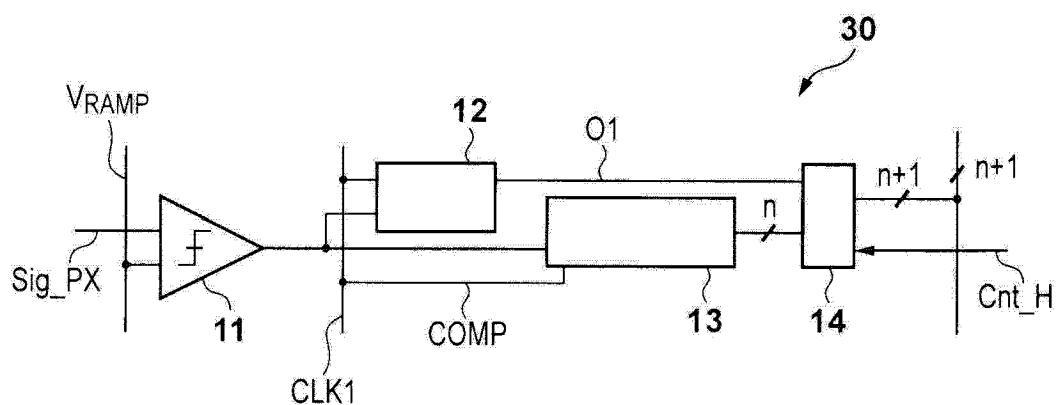


图 10

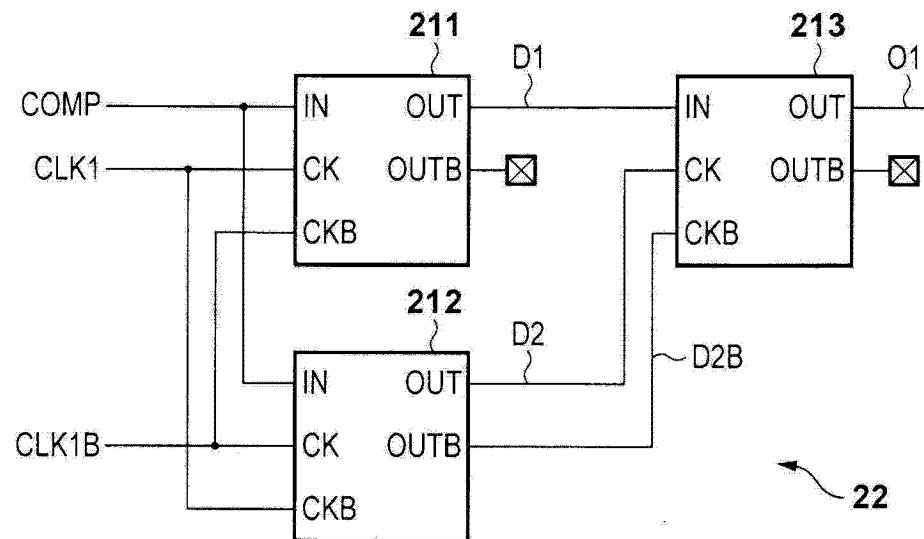


图 11A

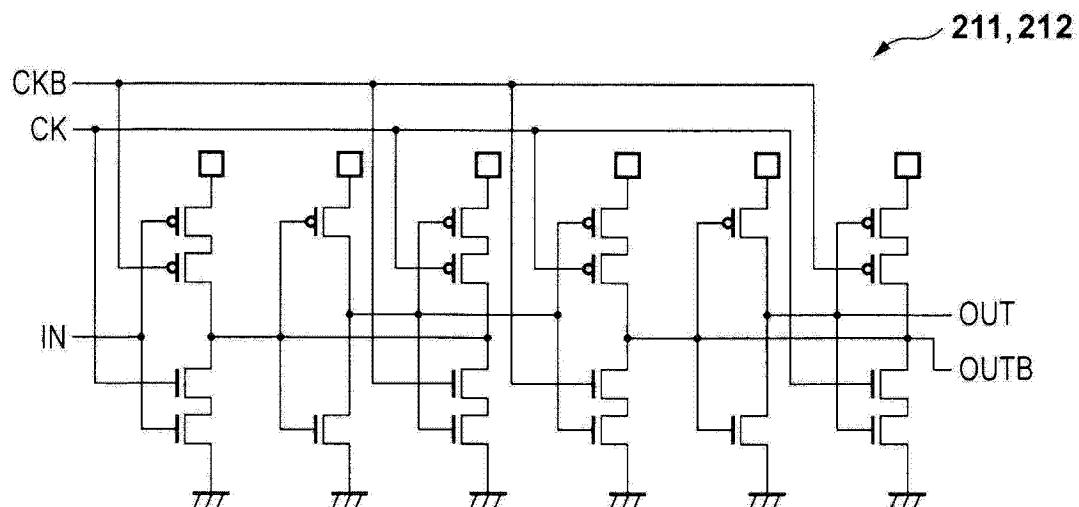


图 11B

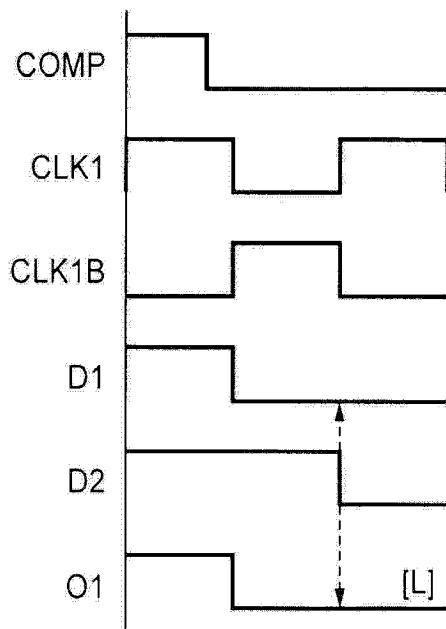


图 12A

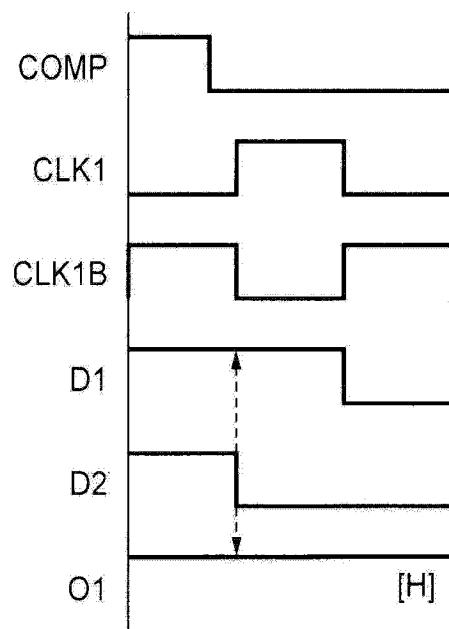


图 12B

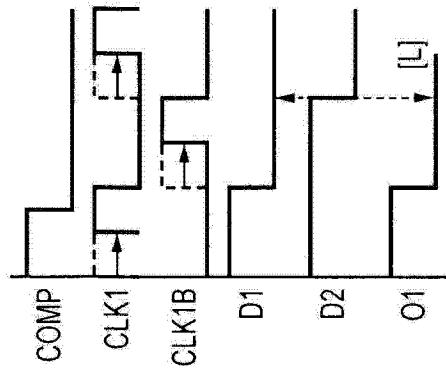


图 13A1

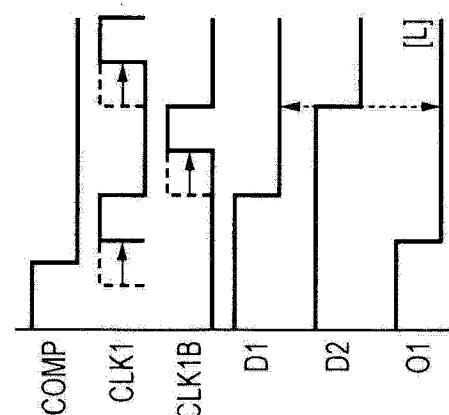


图 13A2

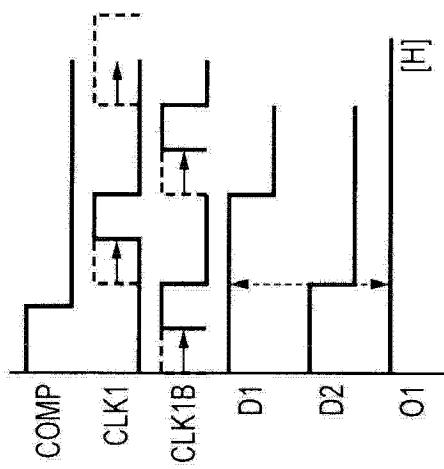


图 13A3

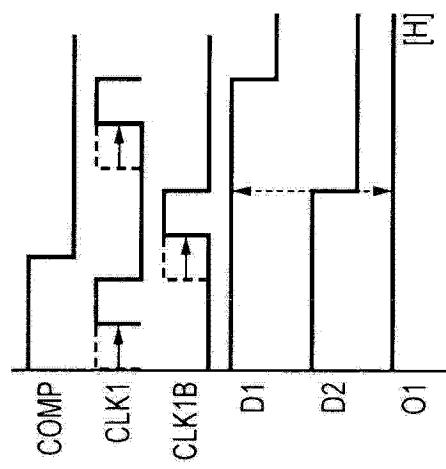


图 13A4

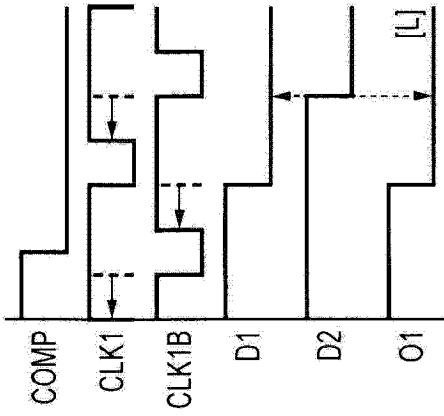


图 13B1

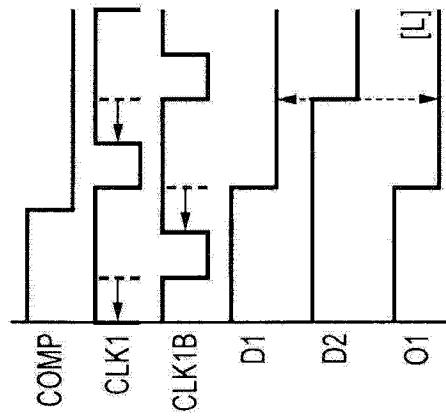


图 13B2

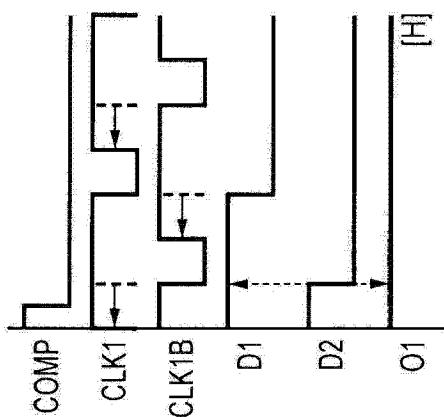


图 13B3

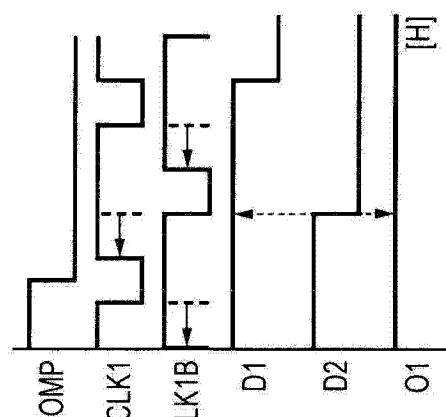


图 13B4

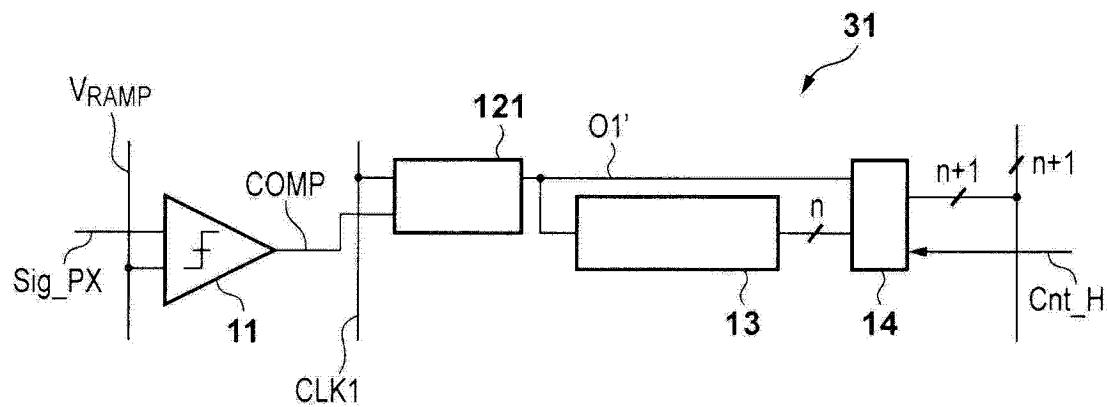


图 14A

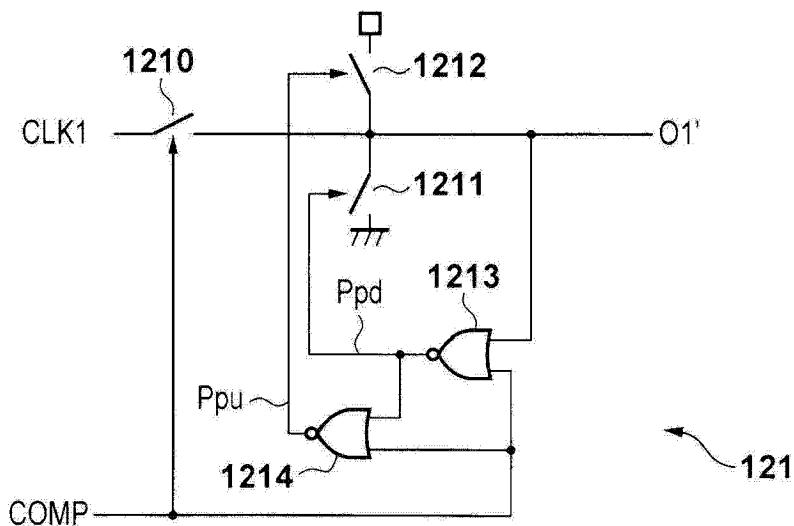


图 14B

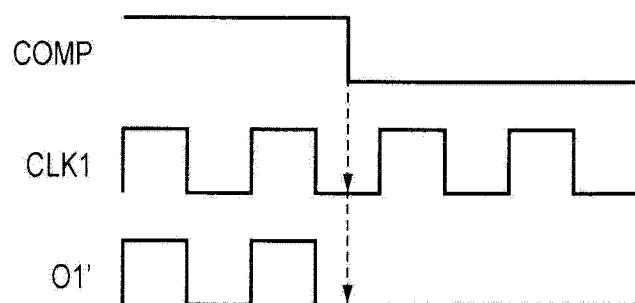


图 15A

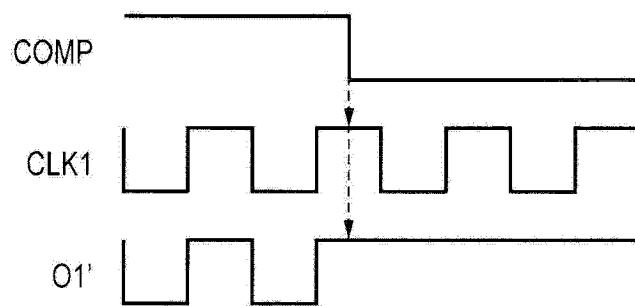


图 15B

COMP	CLK1	Ppd	Ppu	O1'
H	-	L	L	CLK1
H	-	L	L	CLK1
L	L	H	L	L
L	H	L	H	H

图 15C

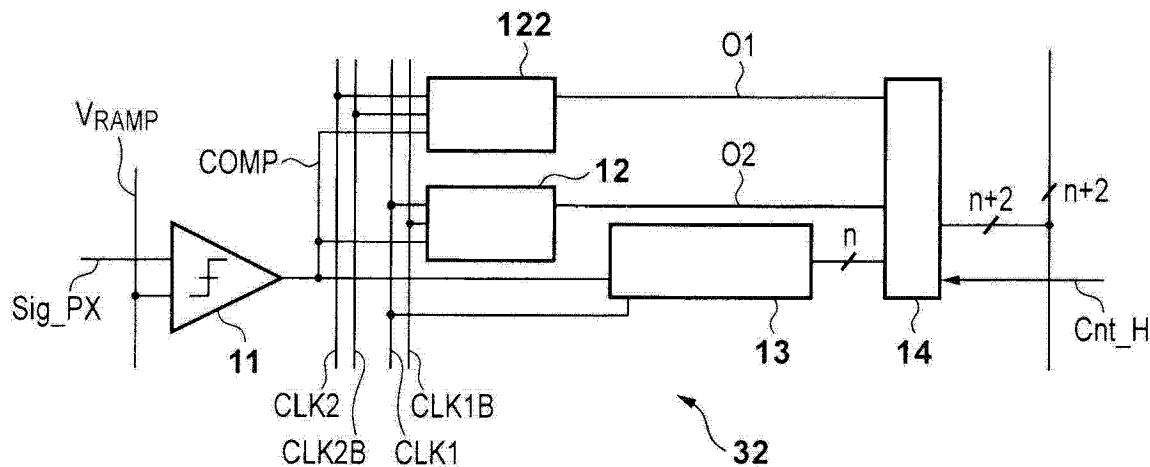


图 16A

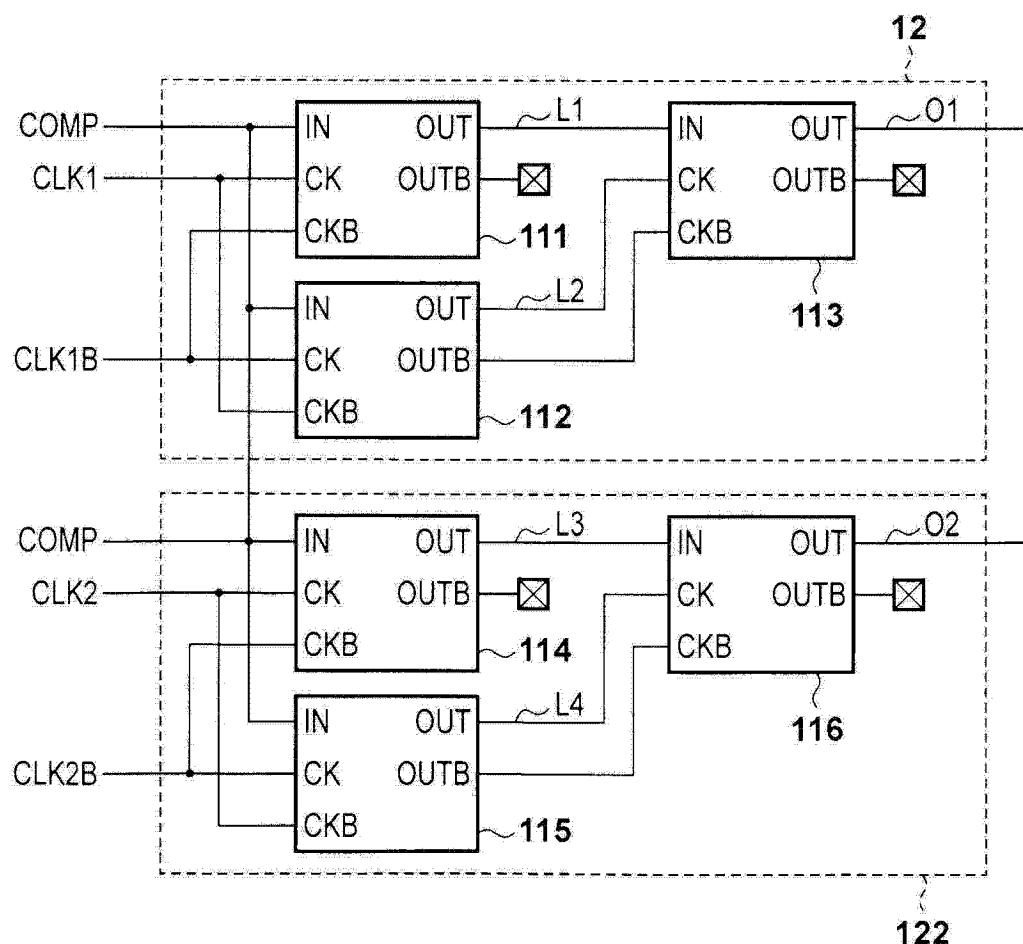


图 16B

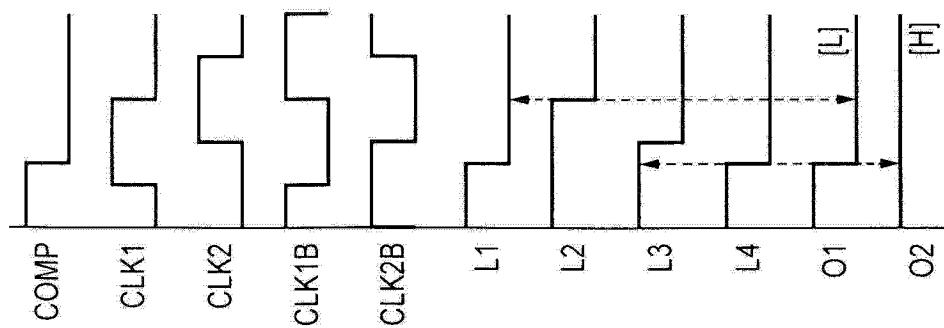


图 17A

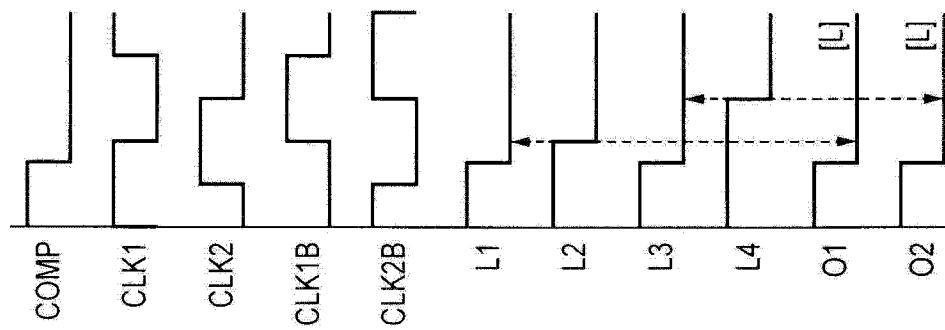


图 17B

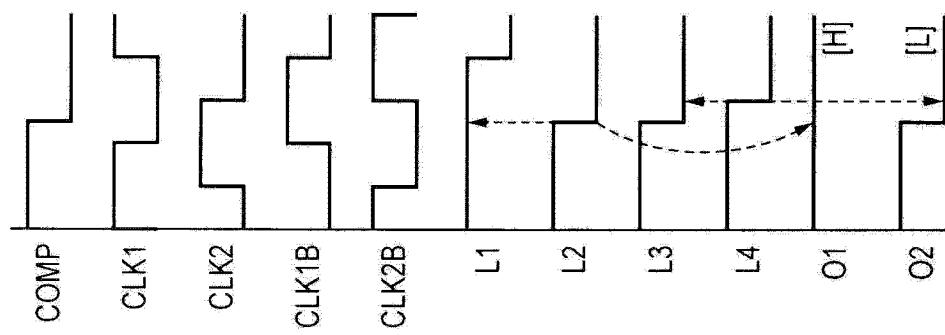


图 17C

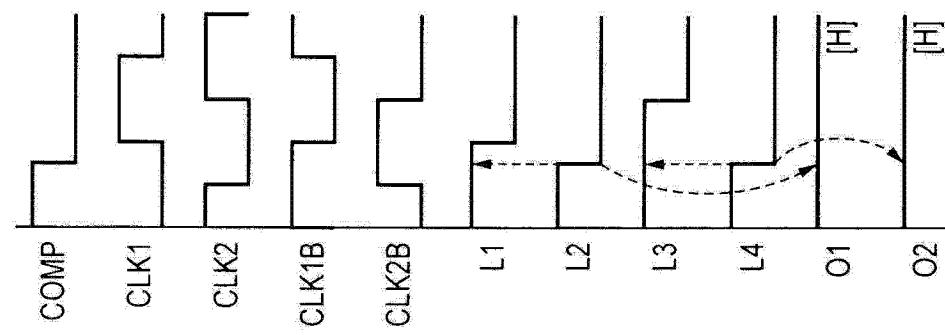


图 17D

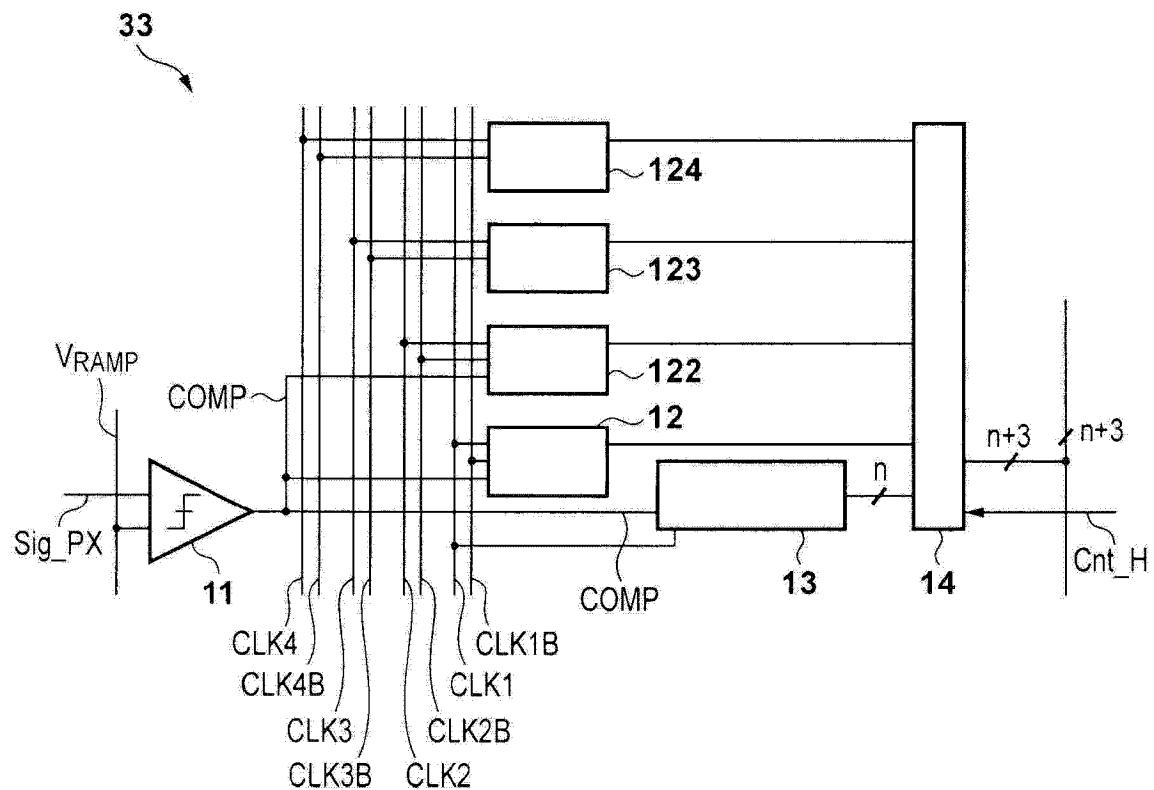


图 18

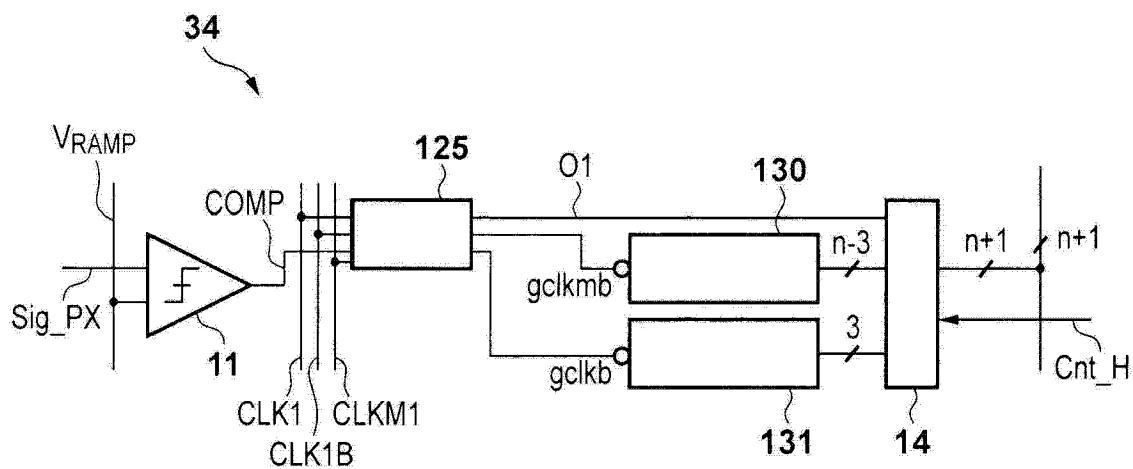


图 19A

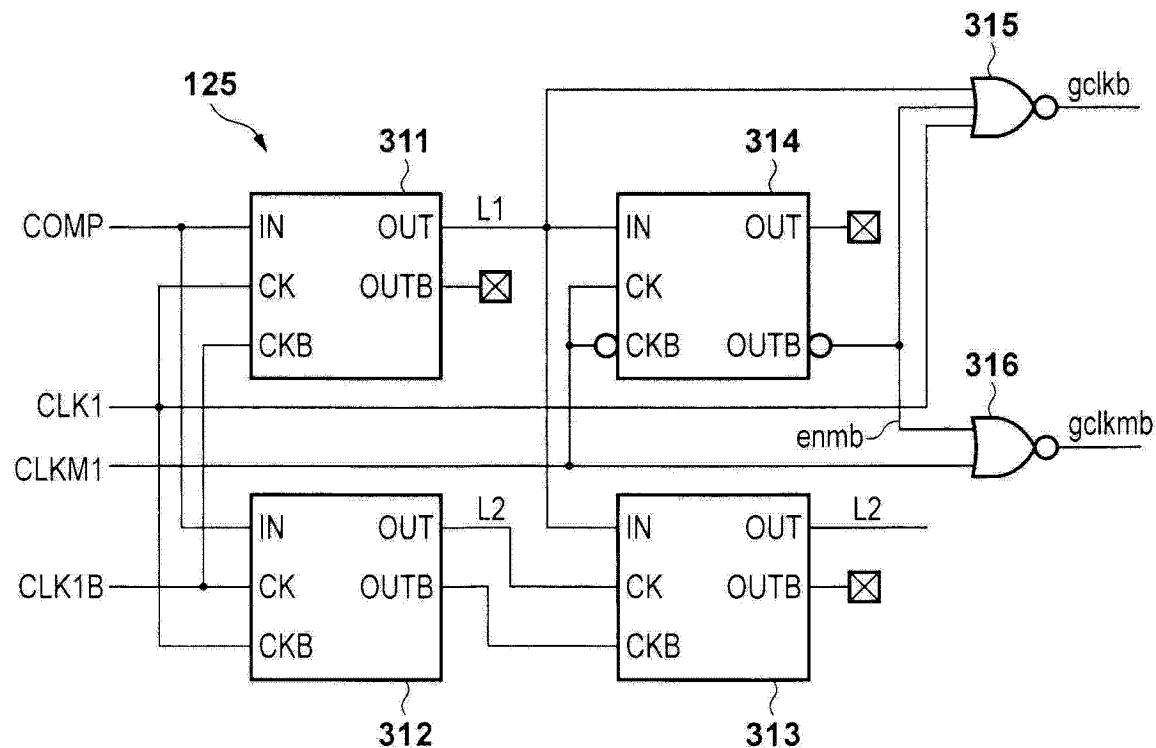


图 19B

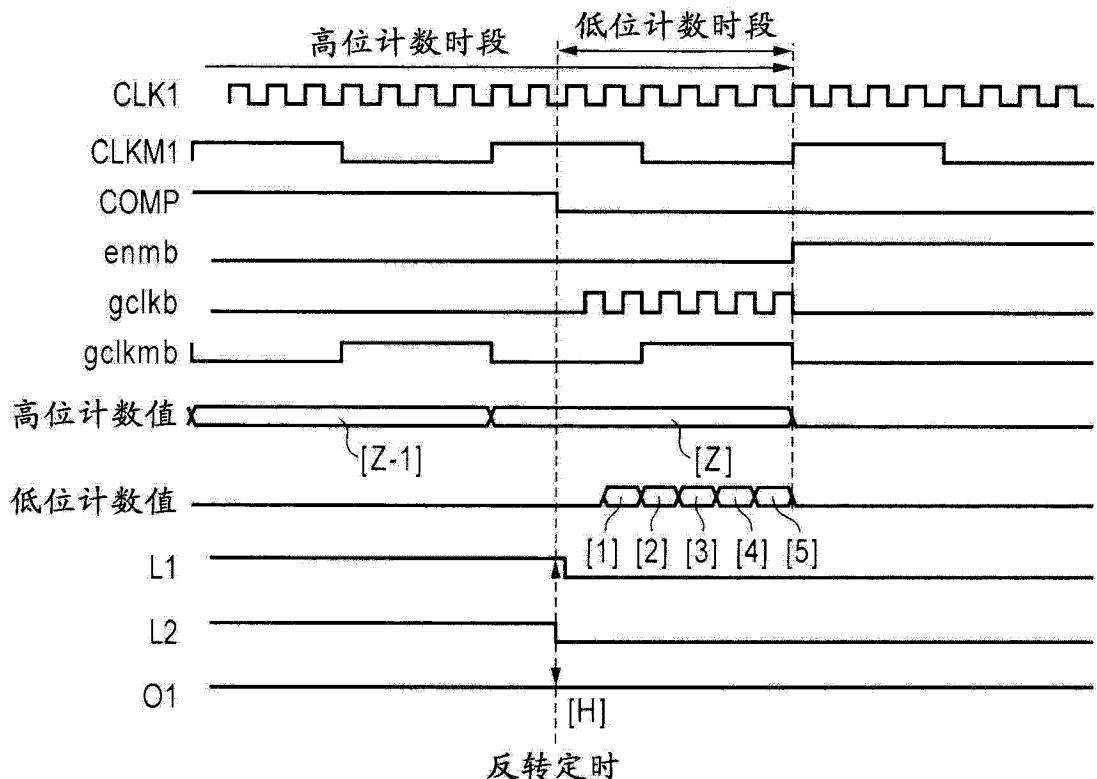


图 20A

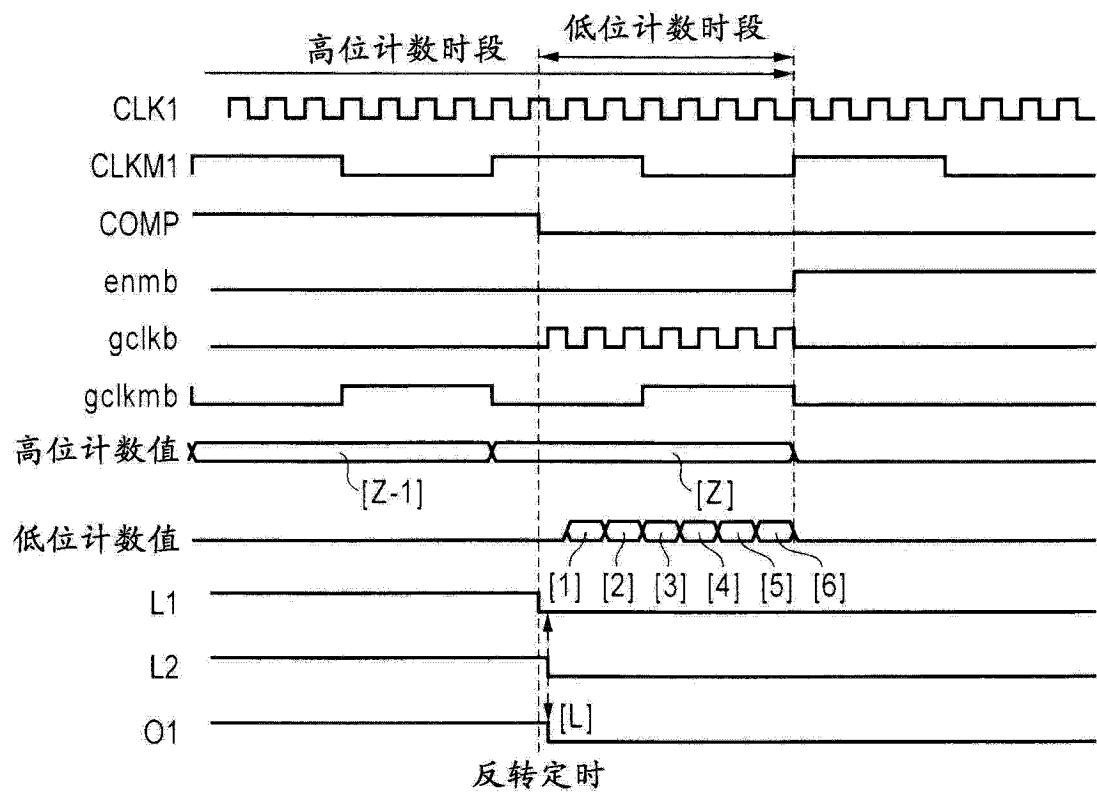


图 20B

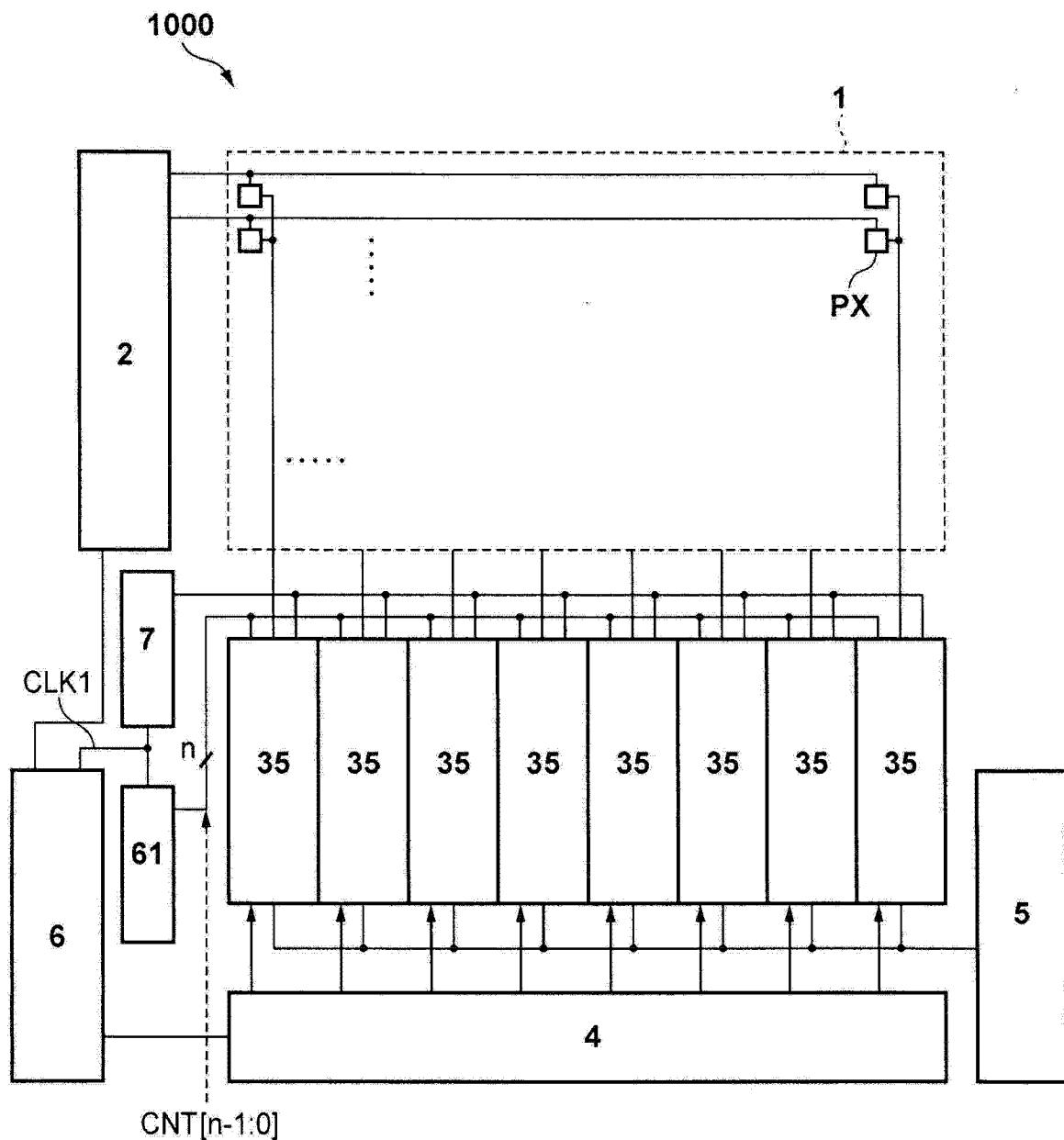


图 21

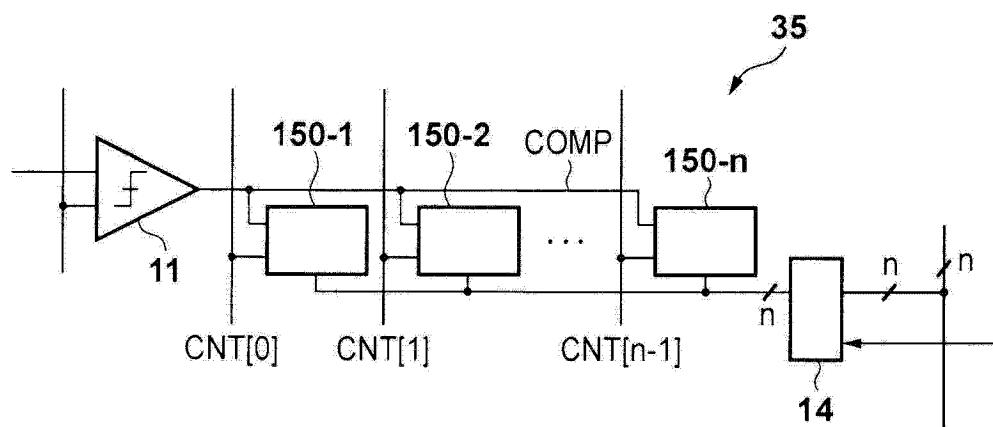


图 22A

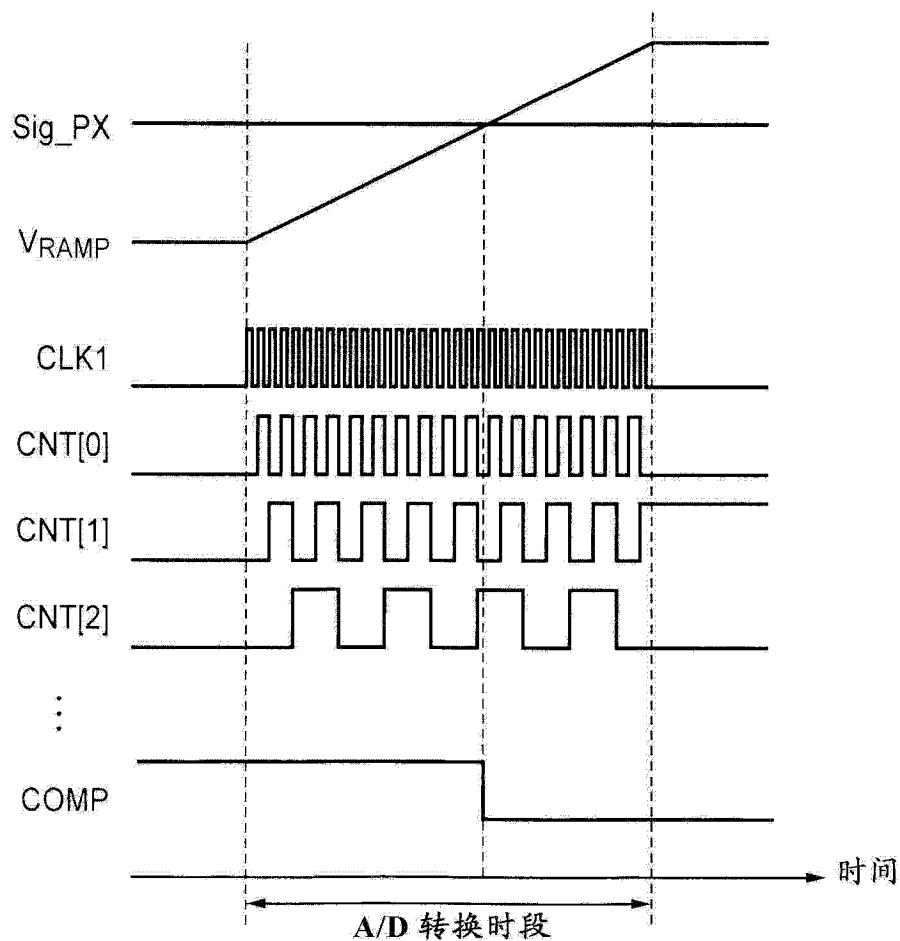


图 22B