



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

242 089

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 12 12 84
(21) PV 9846-84

(51) Int. Cl.⁴
G 06 F 11/22

(40) Zveřejněno 22 08 85
(45) Vydáno 01 02 88

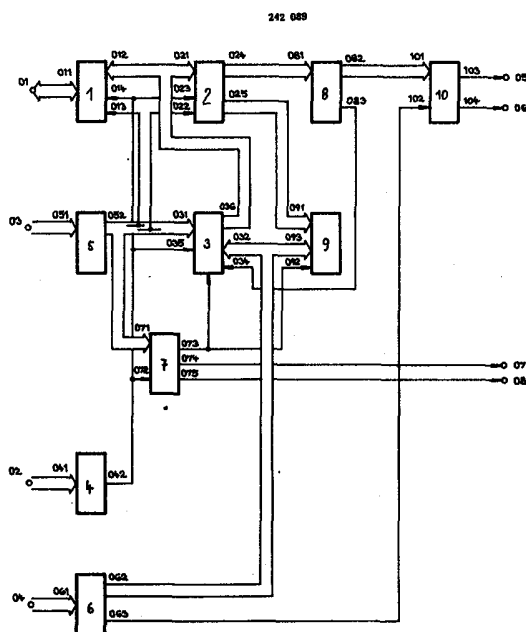
(75)
Autor vynálezu

HAČECKÝ MILOŠ ing., PRAHA

(54)

Zapojení obvodu kontrolní jednotky
mikropočítačového systému

Řešení se týká mikropočítačového systému a řeší zapojení obvodu kontrolní jednotky. Kontrolní jednotka kontroluje napěťové úrovně napájecích napětí a generuje stavový signál při poruše napájecího napětí. Při poruše periferního zařízení se vysílá potvrzovací výstupní signál, a podle typu vadného periferního zařízení rozhodnout o další činnosti. Kontrola časové délky běhu programového úseku sleduje správný běh programu. V případě překročení časového intervalu se program spouští od počátku. Každá zachycená porucha se uloží do stavové paměti a kontrolovaný systém může tuto informaci dále zpracovat. Všechny zjištěné závady se opticky signalizují a signalizační výstup výpadku systému lze použít pro přechod na havarijní ovládání. Řešení se využije u mikropočítačových systémů při řízení technologických procesů.



Vynález se týká mikropočítačových systémů a řeší zapojení obvodu kontrolní jednotky.

Při použití mikropočítačových systémů v oblasti řízení a regulace technologických procesů je třeba kontrolovat správnou činnost jednotlivých částí systému. Výskyt poruchy může znamenat poškození či zničení části nebo celého technologického zařízení. Zvýšení spolehlivosti mikropočítačového systému se zajišťuje zálohováním, a to buď na úrovni systému, nebo na úrovni funkčních bloků. Ověření správné funkce spočívá v porovnání výstupních signálů nejméně tří kontrolovaných celků. Za správný stav se považuje ten stav, který se vyskytuje nejméně u dvou kontrolovaných celků. Při konkrétní realizaci vznikne potřeba dalších doplňkových obvodů a řešení se stává nákladné. U systémů bez údržby s vysokými požadavky na spolehlivost je cesta vícenásobného zálohování jediná.

Další cesta ke zvýšení spolehlivosti systému je obnova systému pomocí údržby. V případě chybné funkce systému, přechází na nižší úroveň řízení a údržba provádí obnovu systému. I v tomto případě zůstává klíčový problém zjištění správné funkce systému a lokalizace závady. Obvykle se toto rozhodování ponechává na obsluze systému. To však znamená, že přechod na nižší úroveň řízení je závislý na soustředění obsluhy a lokalizace závady závisí na technické úrovni údržby.

Tyto nedostatky odstraňuje zapojení obvodů kontrolní jednotky mikropočítače podle vynálezu. Podstata vynálezu spočívá v tom, že skupinová obousměrná datová svorka

zapojení je spojena se skupinovým sběrnicevým datovým vstupem obousměrného budiče, jehož skupinový obousměrný datový vstup je spojen se skupinovým stavovým výstupem stavové paměti a se skupinovým datovým vstupem řídicí paměti. Skupinový časovací výstup řídicí paměti je spojen se skupinovým časovacím vstupem časovacího obvodu, jehož skupinový časovací výstup je spojen se skupinovým časovacím vstupem logického obvodu, jehož nulovací výstup je spojen s nulovací výstupní svorkou zapojení. Signalizační výstupní svorka zapojení je spojena se signalizačním výstupem logického obvodu, jehož blokovací vstup je spojen s blokovacím výstupem komparátoru. Skupinový napěťový vstup komparátoru je spojen se skupinovou napěťovou vstupní svorkou zapojení, jehož skupinová řídicí vstupní svorka je spojena se skupinovým řídicím sběrnicevým vstupem řídicího budiče. Skupinový řídicí výstup řídicího budiče je spojen se skupinovým řídicím vstupem potvrzovacího generátoru, se skupinovým řídicím vstupem stavové paměti. Druhý bit skupinového řídicího výstupu řídicího budiče je spojen se směrovým řídicím vstupem obousměrného budiče. Třetí bit skupinového řídicího výstupu řídicího budiče je spojen se zapisovacím řídicím vstupem řídicí paměti, jejíž skupinový zobrazovací výstup je spojen se skupinovým zobrazovacím vstupem zobrazovacího obvodu. Skupinový napěťový signalizační vstup zobrazovacího obvodu je spojen se skupinovým stavovým výstupem komparátoru a se skupinovým stavovým vstupem stavové paměti, jejíž časovací stavový vstup je spojen s časovacím stavovým výstupem časovacího obvodu. Potvrzovací stavový vstup stavové paměti je spojen se stavovým signalizačním vstupem zobrazovacího obvodu a s potvrzovacím stavovým výstupem potvrzovacího generátoru, jehož potvrzovací výstup je spojen s potvrzovací výstupní svorkou zapojení. Přerušovací výstupní svorka zapojení je spojena s přerušovacím výstupem potvrzovacího generátoru, jehož adresovací čtecí vstup je spojen s adresovým

vstupem obousměrného budiče, s adresovým vstupem řídicí paměti, s uvolňovacím vstupem stavové paměti a s adresovacím výstupem adresového dekodéru, jehož skupinový adresovací vstup je spojen se skupinovou adresovou vstupní svorkou.

Výhodou zapojení podle vynálezu je, že umožňuje lokalizaci poruch napájecích napětí, lokalizaci a ošetření výpadku periferního zařízení systému, spuštění programu od počátku v případě chybného běhu programu a optickou signalizaci zjištěných závad. Zachycená porucha se vždy uloží ve stavové paměti a systém může tuto informaci dále zpracovat. V případě výpadku napájecího napětí s výjimkou zaskokového se systém nuluje nulovacím výstupním signálem. Teprve po ustálení všech napájecích napětí přestane být nulovací výstup aktivní. V případě poruchy periferního zařízení zapojení aktivuje potvrzovací výstupní signál a přerušovací výstupní signál. Systém zpracuje přerušení a může podle typu vadného periferního zařízení rozhodnout o další činnosti. Časová kontrola délky běhu programového úseku umožňuje vyloučit chybný běh programu. V případě překročení časového intervalu se program spustí od počátku. Signalizační výstup výpadku systému, který je odvozen od výpadku napájecích napětí a překročení časového intervalu lze použít pro přechod na havarijní ovládání. Včasná diagnostika a lokalizace poruch umožňuje snižování střední doby obnovy a tím zvyšování provozní spolehlivosti. Ve srovnání se zvyšováním spolehlivosti formou zálohování systému je hlavní výhodou ekonomická stránka řešení. Představuje zlomek nákladů nutných při realizaci zálohovaného systému. Další výhodou je možnost dodatečné instalace navrhovaného řešení v hotovém systému. Zapojení není komplikované, je snadno vyrobitelné z dostupných tuzemských součástek.

Příklad zapojení podle vynálezu je znázorněn na blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto. Obousměrný budič 1 je třístavový osmibitový zesilovač vnitřní a systémové sběrnice mikroprocesorového systému. Slouží k oddělení těchto sběrnic. Řídící paměť 2 je tvořena klopnými obvody typu D. Slouží k zápisu řídicího slova kontrolní jednotky. Stavová paměť 3 je osmibitový střadač s třístavovými výstupními hradly. Slouží pro zápis indikovaných chyb. Adresový dekodér 4 je tvořen logickými kombinačními obvody sestavenými z hradel. Slouží k vydekodování adresy kontrolní jednotky. Řídící budič 5 je čtyřbitový zesilovač. Slouží k oddělení vnitřní a systémové sběrnice. Komparátor 6 je tvořen napětovými komparátory. Slouží k vyhodnocení úrovní napájecích napětí mikroprocesorového systému. Potvrzovací generátor 7 je tvořen dvěma monostabilními klopnými obvody, klopným obvodem D a hradly. Slouží ke generování potvrzovacího signálu, přerušovacího signálu a potvrzovacího stavového signálu. Časovací obvod 8 je tvořen dvěma monostabilními klopnými obvody. Slouží k vyhodnocení logických úrovní a jejich časové prodlevy. Zobrazovací obvod 9 se skládá z budičů svítivek a svítivek. Slouží k optické indikaci poruchových stavů. Logický obvod 10 se skládá z logických kombinačních obvodů sestavených z hradel TTL. Slouží ke generování nulovacího signálu pro mikropočítačový systém a signálu o poruše mikropočítače. Jednotlivé bloky jsou zapojeny takto. Skupinová obousměrná datová svorka 01 zapojení je spojena se skupinovým sběrnicovým datovým vstupem 011 obousměrného budiče 1. Skupinový obousměrný datový vstup 012 obousměrného budiče 1 je spojen se skupinovým stavovým výstupem 036 stavové paměti 3, a se skupinovým datovým vstupem 021 řídicí paměti 2. Skupinový časovací výstup 024 řídicí paměti 2 je spojen se skupinovým časovacím vstupem 081 časovacího obvodu 8, jehož skupinový časovací výstup 082 je spojen se skupinovým časovacím vstupem 101 logického obvodu 10. Nulovací

výstup 103 logického obvodu 10 je spojen s nulovací výstupní svorkou 05 zapojení. Signalizační výstupní svorka 06 zapojení je spojena se signalizačním výstupem 104 logického obvodu 10, jehož blokovací vstup 102 je spojen s blokovacím výstupem 063 komparátoru 6. Skupinový napěťový vstup 061 komparátoru 6 je spojen se skupinovou napěťovou vstupní svorkou 04 zapojení. Skupinová řídicí vstupní svorka 03 zapojení je spojena se skupinovým řídicím sběrníkovým vstupem 051 řídicího budiče 5. Skupinový řídicí výstup 052 řídicího budiče 5 je spojen se skupinovým řídicím vstupem 071 potvrzovacího generátoru 7, se skupinovým řídicím vstupem 031 stavové paměti 3. Druhý bit skupinového řídicího výstupu 052 řídicího budiče 5 je spojen se směrovým řídicím vstupem 013 obousměrného budiče 1. Třetí bit skupinového řídicího výstupu 052 řídicího budiče 5 je spojen se zapisovacím řídicím vstupem 021 022 řídicí paměti 2. Skupinový zobrazovací výstup 025 řídicí paměti 2 je spojen se skupinovým zobrazovacím vstupem 091 zobrazovacího obvodu 9. Skupinový napěťový signalizační vstup 093 zobrazovacího obvodu 9 je spojen se skupinovým stavovým výstupem 062 komparátoru 6 a se skupinovým stavovým vstupem 032 stavové paměti 3, jejíž časovací stavový vstup 034 je spojen s časovacím stavovým výstupem 083 časovacího obvodu 8. Potvrzovací stavový vstup 033 stavové paměti 3 je spojen se stavovým signalizačním vstupem 092 zobrazovacího obvodu 9 a s potvrzovacím stavovým výstupem 073 potvrzovacího generátoru 7, jehož potvrzovací výstup 074 je spojen s potvrzovací výstupní svorkou 07 zapojení. Přerušovací výstupní svorka 08 zapojení je spojena s přerušovacím výstupem 075 potvrzovacího generátoru 7. Adresovací čtecí vstup 072 potvrzovacího generátoru 7 je spojen s adresovým vstupem 014 obousměrného budiče 1, s adresovým vstupem 023 řídicí paměti 2, s uvolňovacím vstupem 035 stavové paměti 3, a s adresovacím výstupem 042 adresového

dekodéru 4. Skupinový adresovací vstup 041 adresového dekodéru 4 je spojen se skupinovou adresovou vstupní svorkou 02 zapojení. Zapojení má dva druhy výstupů. Akční a indikační. Akční výstupy ovlivňují přímo činnost systému formou signálů vyslaných na sběrnici. Indikační výstupy slouží k orientaci obsluhy systému o jeho stavu a jsou soustředěny v obvodu 9 a svorce 06. Po připojení systému s kontrolní jednotkou na napájecí napětí, kontroluje komparátor 6 napěťové úrovně napájecího napětí, které vstupují do komparátoru 6 přes skupinovou napěťovou vstupní svorku 04 zapojení. Jestliže je některá z napěťových hladin mimo povolené tolerance, komparátor 6 generuje stavový signál na svém skupinovém stavovém výstupu 062. Stavový signál obsahuje informaci o výpadku napájecího napětí. Tento signál se zapíše přes skupinový stavový vstup 032 do stavové paměti 3 a současně se zapíše do zobrazovacího obvodu 9 přes jeho skupinový napěťový signalizační vstup 093. V zobrazovacím obvodu 9 se stavový signál zpracuje a vyhodnotí se jako světelná indikace stavu napájecích napětí. Komparátor 6 generuje též na svém blokovacím výstupu 063 blokový signál. Blokový signál se přivádí na blokový vstup 102 logického obvodu 10, který po dobu trvání poruchy napájecího napětí vysílá aktivní nulovací signál na nulovací výstupní svorku 05 zapojení, současně vysílá další signál na signalizační výstupní svorku 06 zapojení. Po ustálení napájecích napětí v povolených tolerancích přestane působit nulovací signál a mikropočítač může přečíst obsah stavové paměti 3. Mikropočítač vyšle adresu kontrolní jednotky na skupinovou adresovou vstupní svorku 02 zapojení a současně vyšle řídicí signál na skupinovou řídicí vstupní svorku 03 zapojení. Adresový dekodér 4 vyhodnotí správnost adresy a vyšle aktivní signál přes svůj adresovací výstup 042 do řídicí paměti 2, do stavové paměti 3, do obousměrného

budiče 1 a do potvrzovacího generátoru 7. Řídicí signál pro čtení obsahu stavové paměti 3 se zesiluje v řídicím budiči 5 a vstupuje do obousměrného budiče 1, do potvrzovacího generátoru 7 a do stavové paměti 3. Vstupní signál na zapisovacím řídicím vstupu 022 řídicí paměti 2 není při čtení aktivní a proto signály na skupinovém datovém vstupu 021 řídicí paměti 2 neovlivní obsah řídicí paměti 2. Aktivní signál na uvolňovacím vstupu 035 a na skupinovém řídicím vstupu 031 stavové paměti 3 je podmínkou vyslání obsahu stavové paměti 3 na její skupinový stavový výstup 036. Aktivní signál na směrovém řídicím vstupu 013 a na adresovém vstupu 014 obousměrného budiče 1 obrátí směr obousměrného budiče 1 a uvolní jeho skupinový obousměrný datový vstup 012 na systémovou sběrnici. Ze skupinového stavového výstupu 036 stavové paměti 3 přes obousměrný budič 1 se obsah paměti předá na systémovou sběrnici. Aktivní signál z adresovacího výstupu 042 adresového dekodéru 4 vstupuje do potvrzovacího generátoru 7, který vyšle potvrzovací signál na potvrzovací výstupní svorku 07 zapojení. Potom mikropočítač přečte stav na skupinové obousměrné datové svorce 01 zapojení. Podle obsahu stavového slova zjistí zda šlo o studený či teplý start. Studený start nastává po výpadku záskokového napětí a znamená ztrátu všech informací v systému. Teplý start nastává po výpadku všech napájecích napětí vyjma záskokového napětí. Podle této informace může rozhodnout o další činnosti. Vhodná kontrola po studeném startu je kontrola úplnosti systému. Tu umožňuje potvrzovací generátor 7. Mikropočítač adresuje postupně všechny periferie a čeká na potvrzovací signál na potvrzovací výstupní svorce 07 zapojení. V případě poruchy periferie či chybném adresování, vyhodnotí potvrzovací generátor 7 délku trvání (12) řídicího signálu, který vstupuje na skupinovou řídicí vstupní svorku 03 zapojení přes řídicí

budič 5 na skupinový řídicí vstup 071 potvrzovacího generátoru 7. Při překročení délky trvání řídicího signálu než je délka povolená, potvrzovací generátor 7 vyšle potvrzovací signál přes svůj potvrzovací výstup 074 na potvrzovací výstupní svorku 07 zapojení, dále vyšle přerušovací signál přes svůj přerušovací výstup 075 na přerušovací výstupní svorku 08 zapojení a konečně vyšle hlášení o chybě přes svůj potvrzovací stavový výstup 073 do zobrazovacího obvodu 2 a do stavové paměti 3. Do stavové paměti 3 se současně s hlášením o chybě přes její potvrzovací stavový vstup 033 zapisuje řídicí signál přes její skupinový řídicí vstup 031. Mikropočítač zpracovává signál o přerušení na přerušovací výstupní svorce 08 zapojení a přečte informaci o typu chybné periferie ze stavové paměti 3. Další forma kontroly činnosti systému je sledování časových intervalů mezi opakováním řídicího programu. Tu umožňuje časovací obvod 8. Mikropočítač provede zápis řídicího slova do řídicí paměti 2. Děj je podobný jako v případě čtení stavového slova. Adresový dekodér 4 vyhodnotí správnost adresy a vyšle aktivní signál ze svého adresovacího výstupu 042 do obousměrného budiče 1, do řídicí paměti 2, do stavové paměti 3 a do potvrzovacího generátoru 7. Budicí signál pro zápis přichází přes řídicí budič 5 do řídicí paměti 2, do stavové paměti 3 a do potvrzovacího generátoru 7. Přes skupinovou obousměrnou datovou svorku 01 zapojení a přes obousměrný budič 1 přecházejí data na vnitřní sběrnici. Skupinový stavový výstup 036 stavové paměti 3 zůstává odpojen, protože ten ovlivňuje řídicí signál pro čtení. Signály na zapisovacím řídicím vstupu 022 a na adresovém vstupu 023 řídicí paměti 2 jsou aktivní, proto se stav na vnitřní sběrnici запиše do řídicí paměti 2. Aktivní signál na adresovacím výstupu 042 adresového dekodéru 4 vstupují do potvrzovacího generátoru 7, který vyšle potvrzovací signál

na potvrzovací výstupní svorku 07 zapojení. Zapsané řídicí slovo v řídicí paměti 2 se objeví na jejím skupinovém časovacím výstupu 024 a na jejím skupinovém zobrazovacím výstupu 025. Řídicí slovo se skládá ze dvou částí. Jedna část na skupinovém zobrazovacím výstupu 025 řídicí paměti 2 slouží k optické indikaci kontrol, které provádí mikropočítač. Skupinový signál vstupuje do zobrazovacího obvodu 9 jeho skupinovým zobrazovacím vstupem 091. Druhá část na skupinovém časovacím výstupu 024 řídicí paměti 2 spouští časovací obvod 8. Časovací obvod 8 vyhodnocuje překročení časového intervalu mezi příchodem následujícího řídicího slova. Výsledkem časové komparace jsou signály na skupinovém časovacím výstupu 082 a časovacím stavovém výstupu 083 časovacího obvodu 8. Signály ze skupinového časovacího výstupu 082 časovacího obvodu 8 zpracovává logický obvod 10. Podle konkrétní aplikace systému lze volit posloupnost zásahů nulovacího výstupu 103 a signalizačního výstupu 104 logického obvodu 10 na nulovací výstupní svorce 05 a na signalizační výstupní svorce 06 zapojení. Na časovacím stavovém výstupu 083 časovacího obvodu 8 je bitová informace o překročení délky časového intervalu mezi příchodem řídicího slova. Tato informace se zapisuje přes časovací stavový vstup 034 do stavové paměti 3. Obsah stavové paměti 3, kde je uložena informace o indikovaných chybách, mikropočítač čte buď periodicky nebo až po zásahu akčních výstupů do mikropočítače.

Vynálezu se využije u mikropočítačových systémů při řízení a regulaci technologických procesů.

PŘEDMĚT VYNÁLEZU

242 089

Zapojení obvodů kontrolní jednotky mikropočítačového systému, vyznačující se tím, že skupinová obousměrná datová svorka (01) zapojení je spojena se skupinovým sběrníkovým datovým vstupem (011) obousměrného budiče (1), jehož skupinový obousměrný datový vstup (012) je spojen se skupinovým stavovým výstupem (036) stavové paměti (3) a se skupinovým datovým vstupem (021) řídicí paměti (2), jejíž skupinový časovací výstup (024) je spojen se skupinovým časovacím vstupem (081) časovacího obvodu (8), jehož skupinový časovací výstup (082) je spojen se skupinovým časovacím vstupem (101) logického obvodu (10), jehož nulovací výstup (103) je spojen s nulovací výstupní svorkou (05) zapojení, jehož signalizační výstupní svorka (06) je spojena se signalizačním výstupem (104) logického obvodu (10), jehož blokovací vstup (102) je spojen s blokovacím výstupem (063) komparátoru (6), jehož skupinový napěťový vstup (061) je spojen se skupinovou napěťovou vstupní svorkou (04) zapojení, jehož skupinová řídicí vstupní svorka (03) je spojena se skupinovým řídicím sběrníkovým vstupem (051) řídicího budiče (5), jehož skupinový řídicí výstup (052) je spojen se skupinovým řídicím vstupem (071) potvrzovacího generátoru (7), se skupinovým řídicím vstupem (031) stavové paměti (3), přičemž druhý bit skupinového řídicího výstupu (052) řídicího budiče (5) je spojen se směrovým řídicím vstupem (013) obousměrného budiče (1) a třetí bit skupinového řídicího výstupu (052) řídicího budiče (5) je spojen se zapisovacím řídicím vstupem (022) řídicí paměti (2), jejíž skupinový zobrazovací výstup (025) je spojen se skupinovým zobrazovacím vstupem (091) zobrazovacího obvodu (9), jehož skupinový napěťový signalizační vstup (093) je spojen se skupinovým stavovým výstupem (062) komparátoru (6) a se skupinovým stavovým vstupem (032) stavové paměti (3), jejíž časovací stavový vstup (034) je spojen s časovacím stavovým výstupem (083) časovacího obvodu (8) a potvrzovací stavový vstup

(033) stavové paměti (3) je spojen se stavovým signalizačním vstupem (092) zobrazovacího obvodu (9) a s potvrzovacím stavovým výstupem (073) potvrzovacího generátoru (7), jehož potvrzovací výstup (074) je spojen s potvrzovací výstupní svorkou (07) zapojení, jehož přerušovací výstupní svorka (08) je spojena s přerušovacím výstupem (075) potvrzovacího generátoru (7), jehož adresovací čtecí vstup (072) je spojen s adresovým vstupem (014) obousměrného budiče (1), s adresovým vstupem (023) řídicí paměti (2), s uvolňovacím vstupem (035) stavové paměti (3), a s adresovacím výstupem (042) adresového dekodéru (4), jehož skupinový adresovací vstup (041) je spojen se skupinovou adresovou vstupní svorkou (02) zapojení.

1 výkres

