

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/52 (2006.01)

H01L 21/768 (2006.01)

H01L 21/3205 (2006.01)



[12] 发明专利说明书

专利号 ZL 03152398.6

[45] 授权公告日 2007 年 1 月 10 日

[11] 授权公告号 CN 1294653C

[22] 申请日 2003.7.31 [21] 申请号 03152398.6

[30] 优先权

[32] 2002.7.31 [33] JP [31] 2002-223343

[73] 专利权人 富士通株式会社

地址 日本神奈川县川崎市

[72] 发明人 渡边健一

[56] 参考文献

JP11-54705 A 1999.2.26 H01L27/04

CN1327266A 2001.12.19 H01L23/50

JP2001-351920 A 2001.12.21 H01L21/3205

JP2000-124403 A 2000.4.28 H01L27/04

审查员 范崇飞

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 潘培坤 楼仙英

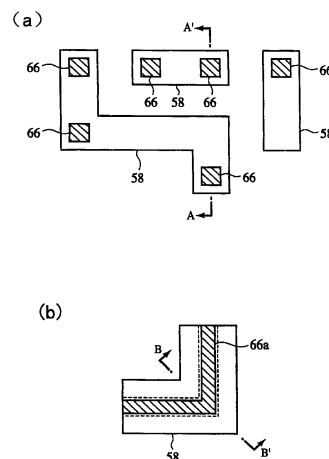
权利要求书 5 页 说明书 33 页 附图 32 页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

本发明涉及一种半导体装置及其制造方法，该半导体装置具有将导体埋入形成在绝缘膜上的孔状图形和槽状图形中的结构，可以防止埋入导体的埋入不良和随之而来的绝缘膜的龟裂。该半导体装置包括：形成在基板上、至少在表面侧埋入有配线层的绝缘膜；形成在该绝缘膜上的绝缘膜；形成在配线层上的绝缘膜上、具有孔状通路和向直角方向弯曲的槽状图形的槽状通路；填充到孔状通路及槽状通路内的埋入导体，槽状通路的宽度小于孔状通路的宽度。



1、一种半导体装置，其特征在于，包括：

第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有向直角方向弯曲的图形；

第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；

槽状通路，其沿着前述第一配线层的前述图形而形成在前述第一配线层上的第二绝缘膜上，并具有在前述图形的弯曲部向直角方向弯曲的槽状图形，且该槽状图形的弯曲部的宽度小于直线部的宽度；以及

第一埋入导体，其被填充到前述槽状通路内。

2、如权利要求 1 所述的半导体装置，其特征在于，包括形成在前述第一配线层上的前述第二绝缘膜上、邻接设置多个槽的槽状通路图形，前述槽状通路图形的至少一部分由前述槽状通路构成。

3、如权利要求 2 所述的半导体装置，其特征在于，在前述槽状通路图形的最外周形成有前述槽状通路。

4、如权利要求 2 所述的半导体装置，其特征在于，前述槽状通路图形形成在前述第一配线层的一个图形上。

5、如权利要求 1 所述的半导体装置，其特征在于，埋入到前述第一绝缘膜中的前述第一配线层，是埋入到前述基板上的导电层。

6、如权利要求 1 所述的半导体装置，其特征在于，前述第一配线层是由以铜为主体的导体构成。

7、如权利要求 1 所述的半导体装置，其特征在于，还进一步包括形成在前述第二绝缘膜上、由以铝为主体的导体构成的第二配线层。

8、如权利要求 7 所述的半导体装置，其特征在于，前述第一配线层和前述第二配线层具有相同的图形。

9、如权利要求 1 所述的半导体装置，其特征在于，前述第一埋入导体是由以钨为主体的导体构成的。

10、如权利要求 1 所述的半导体装置，其特征在于，前述第二绝缘膜是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和硅氧化膜的叠层膜构成。

11、如权利要求 1 所述的半导体装置，其特征在于，前述第一绝缘膜是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和 SiOC 膜的叠层膜构成。

12、一种半导体装置，其特征在于，包括：

第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有直角弯曲的图形；

第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；

槽状通路，其沿着前述第一配线层的前述图形而形成在前述第一配线层上的第二绝缘膜上，并具有通过在前述图形的弯曲部以大于 90 度的角度分多次弯曲来向直角方向弯曲的槽状通路图形。

13、如权利要求 12 所述的半导体装置，其特征在于，前述槽状通路，在前述图形的前述弯曲部以 135 度分两次弯曲。

14、如权利要求 12 所述的半导体装置，其特征在于，

具有形成在前述第一配线层上的前述第二绝缘膜上、且相邻设置有多个槽的槽状通路图形，

前述槽状通路图形的至少一部分由前述槽状通路所构成。

15、如权利要求 14 所述的半导体装置，其特征在于，在前述槽状通路图形的最外周形成有前述槽状通路。

16、如权利要求 14 所述的半导体装置，其特征在于，前述槽状通路图形形成在前述第一配线层的一个图形上。

17、如权利要求 12 或 13 所述的半导体装置，其特征在于，前述第一配线层的图形，与前述槽状通路的前述图形同样地弯曲。

18、一种半导体装置，其特征在于，包括：

第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有向直角方向弯曲的图形；

第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；

槽状通路，其沿着前述第一配线层的前述图形而形成在前述第一配线层上的第二绝缘膜上，并具有在前述图形的弯曲部向直角方向弯曲的槽状图形；

第一埋入导体，其被填充到前述槽状通路内；

孔状通路，其形成在前述第一配线层上的前述第二绝缘膜上；

第二埋入导体，其被填充到前述孔状通路内。

19、如权利要求 18 所述的半导体装置，其特征在于，前述槽状通路的

宽度，为前述孔状通路宽度的 20%~140%。

20、如权利要求 18 所述的半导体装置，其特征在于，前述槽状通路的宽度，小于前述孔状通路的宽度。

21、如权利要求 18 所述的半导体装置，其特征在于，具有形成在前述第一配线层上的前述第二绝缘膜上、且相邻设置有多个槽的槽状通路图形，

前述槽状通路图形的至少一部分由前述槽状通路所构成。

22、如权利要求 21 所述的半导体装置，其特征在于，在前述槽状通路图形的最外周形成有前述槽状通路。

23、如权利要求 21 所述的半导体装置，其特征在于，前述槽状通路图形形成在前述第一配线层的一个图形上。

24、如权利要求 18 所述的半导体装置，其特征在于，前述第二埋入导体是由以钨为主体的导体构成的。

25、一种半导体装置，其特征在于，包括：

第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有向直角方向弯曲的图形；

第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；

槽状通路，其沿着前述配线层的前述图形而形成在前述第一配线层上的前述第二绝缘膜上，并具有槽状图形；

第一埋入导体，其被填充到前述槽状通路内，

前述槽状通路在前述图形的弯曲部是不连续的。

26、如权利要求 25 所述的半导体装置，其特征在于，进一步包括：

形成在前述第一配线层上的前述第二绝缘膜上的孔状通路；以及

填充到前述孔状通路中的第二埋入导体。

27、如权利要求 26 所述的半导体装置，其特征在于，前述槽状通路的宽度，为前述孔状通路宽度的 20%~140%。

28、如权利要求 26 所述的半导体装置，其特征在于，前述槽状通路的宽度，小于前述孔状通路的宽度。

29、如权利要求 26 所述的半导体装置，其特征在于，前述第二埋入导体是由以钨为主体的导体构成的。

30、如权利要求 25 所述的半导体装置，其特征在于，包括形成在前述第一配线层上的前述第二绝缘膜上、邻接设置多个槽的槽状通路图形，前述槽状通路图形的至少一部分由前述槽状通路构成。

31、如权利要求 30 所述的半导体装置，其特征在于，在前述槽状通路图形的最外周形成有前述槽状通路。

32、如权利要求 30 所述的半导体装置，其特征在于，前述槽状通路图形形成在前述第一配线层的一个图形上。

33、如权利要求 25 所述的半导体装置，其特征在于，埋入到前述第一绝缘膜中的前述第一配线层，是埋入到前述基板上的导电层。

34、如权利要求 25 所述的半导体装置，其特征在于，前述第一配线层是由以铜为主体的导体构成。

35、如权利要求 25 所述的半导体装置，其特征在于，还进一步包括形成在前述第二绝缘膜上、由以铝为主体的导体构成的第二配线层。

36、如权利要求 35 所述的半导体装置，其特征在于，前述第一配线层和前述第二配线层具有相同的图形。

37、如权利要求 25 所述的半导体装置，其特征在于，前述第一埋入导体是由以钨为主体的导体构成的。

38、如权利要求 25 所述的半导体装置，其特征在于，前述第二绝缘膜是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和硅氧化膜的叠层膜构成。

39、如权利要求 25 所述的半导体装置，其特征在于，前述第一绝缘膜是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和 SiOC 膜的叠层膜构成。

40、一种半导体装置，其特征在于，包括：形成在半导体基板上的杂质扩散区域；形成在前述半导体基板上的第一绝缘膜；形成在前述杂质扩散区域上的第一绝缘膜上、具有向直角方向弯曲的槽状图形的槽状通路；形成在前述杂质扩散区域上的前述第一绝缘膜上的孔状通路；填充到前述槽状通路中的第一埋入导体和填充到前述孔状通路中的第二埋入导体，前述槽状通路的宽度为前述孔状通路的宽度的 20%~140%。

41、如权利要求 40 所述的半导体装置，其特征在于，前述第一埋入导体和前述第二埋入导体是由以钨为主体的导体构成的。

42、如权利要求 40 所述的半导体装置，其特征在于，前述第一绝缘膜

是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和 SiOC 膜的叠层膜构成。

43、一种半导体装置的制造方法，该半导体装置包括：形成在基板上、至少在表面侧埋入有第一配线层的第一绝缘膜；形成在埋入有前述第一配线层的前述第一绝缘膜上、具有开口至前述第一配线层上的槽状通路和孔状通路的第二绝缘膜，其特征在于，

在前述第二绝缘膜上形成前述槽状通路和前述孔状通路时，采用前述槽状通路的宽度比前述孔状通路的宽度窄的掩模图形来形成前述孔状通路和前述槽状通路。

44、一种半导体装置的制造方法，该半导体装置包括：形成在基板上、至少在表面侧埋入有第一配线层的第一绝缘膜；形成在埋入有前述第一配线层的前述第一绝缘膜上、具有开口至前述第一配线层上的槽状通路和孔状通路、以及分别埋入到前述槽状通路及前述孔状通路中的埋入导体的第二绝缘膜，其特征在于，

在形成前述埋入导体时，在考虑到前述槽状通路的最大宽度的基础上设定构成前述埋入导体的导电膜的堆积膜厚，由前述埋入导体填充前述孔状通路及前述槽状通路。

半导体装置及其制造方法

技术领域

本发明涉及一种半导体装置，特别是涉及一种具有将导体埋入形成在绝缘膜上的孔状图形或槽状图形中的结构的半导体装置及其制造方法。

背景技术

随着半导体装置的大规模高集成化，配线的设计标准也随着时代而不断被细化。在现有技术中，配线层是在堆积配线材料之后，通过利用平版印刷术（lithography）及干腐蚀法（dry etching）制作布线图形而形成，但随着时代的进步，在技术上开始出现限制。因此，作为代替现有技术的配线层的形成工艺的新的形成工艺，常常利用被称作所谓镶嵌工艺的方法，即在层间绝缘膜上形成槽状图形（pattern）或孔状图形之后，将配线材料埋入该槽或孔内。镶嵌工艺，可以很容易地利用反应性蚀刻比较困难的铜等低电阻材料形成配线层，在形成具有微细图形的低电阻的配线层方面非常有效。

镶嵌工艺，以应用于通常的配线层为代表，用于形成各种结构。例如，在特开 2000—124403 号公报中，公开了利用镶嵌工艺的电感器及其制造方法。

下面，以具有电感器的半导体装置为例，对利用镶嵌工艺的现有技术的半导体装置进行说明。图 35 是表示现有技术的半导体装置的结构平面图，图 36 是表示现有技术的半导体装置的结构简略剖视图。此外，图 36 是表示图 35 的（b）中的 A—A' 剖视图。

在基板 300 上形成有侵蚀阻挡膜 302 和层间绝缘膜 304。在层间绝缘膜 304 和侵蚀阻挡膜 302 上形成有配线槽 308。在配线槽 308 内形成具有防扩散膜 310 和铜膜 312 的配线层 314。

在埋入了配线层 314 的层间绝缘膜 304 上，形成有侵蚀阻挡膜 316 和层间绝缘膜 318。在层间绝缘膜 318 和侵蚀阻挡膜 316 上，形成有达到配线层 314 的槽状的通路孔（ビアホール）326。在层间绝缘膜 318 上形成有侵蚀阻

挡膜 320 和层间绝缘膜 322。在层间绝缘膜 322 及侵蚀阻挡膜 320 上，形成配线槽 332。在通路孔 326 内及配线槽 332 内，形成具有防扩散膜 334 和铜膜 336、与配线层 314 连接的配线层 338。

在埋入了配线层 338 的层间绝缘膜 322 上，形成侵蚀阻挡膜 340 及层间绝缘膜 342。在层间绝缘膜 342 及侵蚀阻挡膜 340 上，形成达到配线层 338 的槽状的通路孔 348。在层间绝缘膜 342 上形成侵蚀阻挡膜 344 及层间绝缘膜 346。在层间绝缘膜 346 及侵蚀阻挡膜 344 上，形成配线槽 350。在通路孔 348 内及配线槽 350 内，形成具有防扩散膜 352 和铜膜 354、与配线层 338 连接的配线层 356。

这里，各配线层 314、338、356，如图 35 的 (a) 所示，以在平面上呈螺旋的方式形成，构成所谓的螺旋电感器。如图 35 的 (b) 所示，配线层 338、356 具有埋入到沿其延伸方向形成的多个槽状图形（通路孔 326、348）内的通路部（ビア）、以及形成在通路部上的主配线部。这样，在形成埋入到槽状图形中的通路部的同时，将多个配线层叠层，由此可以构成配线电阻小的电感器。

如上所述，利用以铜为主体的配线层，进而将该配线层叠层，从而可以构成配线电阻小的电感器。而另一方面，铜配线比现有技术中使用的铝配线的腐蚀性大，并且，引线接合比较困难，所以，作为最上层的配线层并不理想。

基于这一观点，本申请的发明人研究了用铝配线作为最上层的配线层，利用这种铝配线构成电感器的新的结构。但是发现，在用铝配线构成电感器时，会产生只用铜配线形成电感器时不存在的新的课题。

图 37 是沿图 35 的 (b) 中的 B-B' 线的剖面的简略剖视图。如图 37 所示，代替配线层 356，在形成埋入到通路孔 348、具有势垒金属层 358 和钨膜 360 的接触插头 362，以及形成在埋入了接触插头 362 的层间绝缘膜 342 上、具有氮化钛膜 368/铝膜 366/氮化钛膜 364 的叠层结构的配线层 370 的情况下，在通路孔 348 的图形拐角部会产生接触插头 362 的埋入不良（参照图 37 的 A 部及 B 部）。

此外，在邻接地形成槽状的通路孔 348 的情况下，在最外周的通路孔 348 的图形拐角部，在层间绝缘膜 342 上会产生龟裂（参照图 37 的 C 部）。此

外，在配线层 338，在通路孔 326 的图形拐角部也会产生配线层 338 的埋入不良（参照图 37 的 D 部）。

接触插头的埋入不良，在形成上层配线层时，会成为势垒金属层及铝膜的附着性恶化，或者将高低差复制到上层配线的表面上等的原因（参照图 37 的 A 部、B 部及 E 部）。上层配线层的成膜不良，会在接触插头与配线层的连接部产生电性能差的部分。

此外，层间绝缘膜的龟裂会成为引发铜从下层配线层扩散的原因。在图 37 所示的结构的情况下，利用由防扩散膜和硅氮化膜构成的侵蚀阻挡膜防止铜向层间绝缘膜中的扩散。但是，当层间绝缘膜上产生龟裂时，防扩散膜及侵蚀阻挡膜的防扩散效果恶化。由于铜在一定温度下，会容易地扩散到硅氮化膜中去，所以在不同电位配线存在于附近时，会成为配线层之间的耐电压恶化的原因。此外，在龟裂部，铜露出到界面部分，若流过过大的电流，会成为耐电迁移性恶化的原因。

此外，对于接触插头的埋入不良，连接半导体基板和第一层配线层的接触插头的情况也一样。例如，如图 38 所示，在具有：形成杂质扩散层 402 的硅基板 400；在硅基板上依次形成的绝缘膜 404、406、408、410；埋入于绝缘膜 404、406 中，由势垒金属层 412 及钨膜 414 构成的接触插头 416；埋入于绝缘膜 408、410，由防扩散膜 418 及铜膜 420 构成的配线层 422 的半导体装置中，在将接触插头 416 形成在槽状的通路孔内的情况下，在其拐角部，会产生和图 37 的 A 部和 B 部一样的埋入不良。

此外，对于适用上述配线结构情况下的课题，以电感器为例进行了说明，但不仅是在适用于电感器的情况，在形成使用槽状的通路图形（ビアパターン）的其它结构时也会发生同样的不良。例如，在将槽状的通路图形用于耐湿环等的情况下，上述不良成为招致耐湿性恶化的原因。特别是，在围绕冗余电路用的熔丝区域而配置的耐湿环中，由于产生龟裂侧位于基片的内部侧，所以，其影响极大。

发明内容

本发明的目的在于提供一种半导体装置及其制造方法，该半导体装置是具有将导体埋入到形成在绝缘膜上的孔状图形及槽状图形中的结构，可以防

止埋入的导体的埋入不良及由此而产生的绝缘膜的龟裂。

本申请的发明人深入研究造成埋入的导体的埋入不良及层间绝缘膜的龟裂的原因，结果发现，这些不良起因于在槽状通路图形的弯曲部的图形尺寸和孔状通路图形的图形尺寸不同。下面，对产生接触插头的埋入不良及层间绝缘膜的龟裂的原因进行具体地说明。

通常，电感器及耐湿环等采用槽状通路的结构体，与基片内部的配线层同时形成。这时，槽状通路图形与接触孔及通路孔等孔状通路图形同时形成。

图 1 (a) 和图 1 (b) 是表示电感器元件部和通常的内部配线部的设计图案上的平面图。图 1 (a) 是电感器元件部的部分平面图，图 1 (b) 是内部配线部的部分平面图。

在图 1 (a) 和图 1 (b) 中，表示出衬底配线层的图形、和形成于该配线层上的接触插头的图形。在电感器元件部，沿着配线层 10 的延伸方向，形成例如 4 条槽状的通路图形 12。在内部配线部，形成达到配线层 14 的矩形的通路孔 16。一般地，用于耐湿环及电感器等的槽状通路图形，大多设计成与内部电路图形具有相同的宽度或直径。在图 1 (a) 和图 1 (b) 所示的设计图案中，也设计成槽状通路图形的宽度与通路孔的宽度（直径）具有相同的宽度。

但是，在孔状通路图形和槽状通路图形，为了获得设计图形的尺寸，所需的恰当的曝光量是不同的。因此，在同时形成孔状通路图形和槽状通路图形的情况下，即使在设计数据上令孔状通路图形的宽度和槽状通路图形的宽度相等，制成后的尺寸也会产生差异。

当使用将孔状通路图形形成为设计值的恰当的曝光量也对槽状通路图形曝光时，对于槽状通路图形，成为大于恰当的曝光量的曝光条件，槽状通路图形比设计值宽。进而，在槽状通路图形的拐角部，由于曝光时的光线由弯曲的两个方向进入，所以宽度变宽的程度进一步加大。

图 2 (a) 和图 2 (b) 是在考虑到上述图形尺寸偏移而描绘出的利用图 1 (a) 和图 1 (b) 所示的设计数据在晶片上形成图形时加工完成的图象的平面图。图 2 (a) 是电感器元件部的部分平面图，图 2 (b) 是内部配线部的部分平面图。如图所示，即使采用图 1 (a) 和图 1 (b) 所示的矩形图形的情况下，制成的图形的拐角部，由于邻近效应，会带有圆形。所以制成的尺

寸也与图形的形状不同。例如，在设计尺寸中，通路孔 16 的直径为 $0.50\mu\text{m}$ ，槽状通路图形 12 的宽度为 $0.50\mu\text{m}$ 时，而在晶片上制成的尺寸，通路孔 16 的直径为 $0.50\mu\text{m}$ ，槽状通路图形的宽度为 $0.55\mu\text{m}$ 。这时，槽状通路图形的拐角部的设计尺寸为 $0.71\mu\text{m}$ ($0.50\mu\text{m} \times \sqrt{2}$)，而制成的尺寸为 $0.80\mu\text{m}$ 。

图 3 是对于实际的晶片，利用扫描电子显微镜将电感器元件部摄影的图示。如图 3 中的 (a)、(b) 所示，槽状通路图形在直行的部位和以 135 度的角度弯曲的部位，没有发生埋入不良。但是，在槽状通路图形以 90 度的角度弯曲的部位，如图 3 中的 (c)、(d) 所示，发生了槽状通路的埋入不良。此外，如图 3 中的 (e)、(f) 所示，在最外周的槽状通路图形的拐角部外侧，在层间绝缘膜上发生龟裂。

考虑到上述现象，槽状通路的埋入不良，可以认为是由于上述这样的图形尺寸偏移引起的。即，当使接触插头的形成条件对应于通路孔 16 而最佳化时，在槽状通路图形的拐角部埋入就会不充分。

此外，对于在层间绝缘膜上发生龟裂的原因，根据本申请的发明人的研究而确认以下的现象。(1) 发生龟裂的部位，是最外周的槽状通路图形的拐角部外侧。(2) 在槽状通路的埋入充分的情况下，在层间绝缘膜上不发生龟裂。(3) 在没有衬底铜配线的情况下（例如为铝配线的情况），即使发生槽状通路的埋入不良，层间绝缘膜上也不发生龟裂。考虑到这些情况，可以认为，层间绝缘膜的龟裂，是下层的铜配线与上层的钨插头之间的热膨胀系数的差异引起的。可以认为，这些层间的热膨胀系数的差异产生向图形的拐角部的内侧方向的拉伸应力，由埋入不良引起的空洞部分促使钨插头收缩，在图形的拐角部的层间绝缘膜上产生龟裂。

从而，为了防止层间绝缘膜的龟裂，可以采取不产生槽状通路的埋入不良的任何一种措施。而为了防止槽状通路的埋入不良，可以考虑：(1) 在图形上采取措施，(2) 将工艺最佳化。

如前面所述，槽状通路的埋入不良的主要原因，可以认为是槽状通路图形的尺寸偏移。从而，对于上述 (1)，可以考虑在图形上采取以下各种措施，即，考虑到孔状通路图形与槽状通路图形的制成尺寸的差异而规定设计图形的尺寸；加大槽状通路图形的弯曲角度；选择性地缩小槽状通路图形的拐角部的宽度；在槽状通路图形上不设置弯曲部等。仅从防止层间绝缘膜的

龟裂的观点出发，可以至少对最外周的槽状通路图形采取上述在图形上所采取的措施。此外，对于（2），可以考虑增加将接触插头埋入的钨膜的膜厚，将槽状通路图形完全埋入。

上述在图形上采取的措施，也可以应用于位于槽状通路的下层的铜配线的图形。在镶嵌配线的情况下，容易产生拐角部的埋入不良，与槽状通路的情况一样。

即，上述目的是通过下述半导体装置来达到的，所述半导体装置，其特征为，包括：第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有向直角方向弯曲的图形；第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；槽状通路，其沿着前述第一配线层的前述图形而形成在前述第一配线层上的第二绝缘膜上，并具有在前述图形的弯曲部向直角方向弯曲的槽状图形，且该槽状图形的弯曲部的宽度小于直线部的宽度；以及第一埋入导体，其被填充到前述槽状通路内。

此外，上述目的是通过下述半导体装置来达到的，所述半导体装置，其特征为，包括：第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有直角弯曲的图形；第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；槽状通路，其沿着前述第一配线层的前述图形而形成在前述第一配线层上的第二绝缘膜上，并具有通过在前述图形的弯曲部以大于 90 度的角度分多次弯曲来向直角方向弯曲的槽状通路图形。

此外，上述目的是还通过下述半导体装置来达到的，所述半导体装置，其特征为，包括：第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第一配线层，该第一配线层具有向直角方向弯曲的图形；第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；槽状通路，其沿着前述第一配线层的前述图形而形成在前述第一配线层上的第二绝缘膜上，并具有在前述图形的弯曲部向直角方向弯曲的槽状图形；第一埋入导体，其被填充到前述槽状通路内；孔状通路，其形成在前述第一配线层上的前述第二绝缘膜上；第二埋入导体，其被填充到前述孔状通路内。

此外，上述目的是还通过下述半导体装置来达到的，所述半导体装置，其特征为，包括：第一绝缘膜，其形成在基板上，并至少在表面侧埋入有第

一配线层，该第一配线层具有向直角方向弯曲的图形；第二绝缘膜，其形成在埋入有前述第一配线层的前述第一绝缘膜上；槽状通路，其沿着前述配线层的前述图形而形成在前述第一配线层上的前述第二绝缘膜上，并具有槽状图形；第一埋入导体，其被填充到前述槽状通路内，前述槽状通路在前述图形的弯曲部是不连续的。

此外，上述目的是还通过下述半导体装置来达到的，所述半导体装置，其特征为，包括：形成在半导体基板上的杂质扩散区域；形成在前述半导体基板上的第一绝缘膜；形成在前述杂质扩散区域上的第一绝缘膜上、具有向直角方向弯曲的槽状图形的槽状通路；形成在前述杂质扩散区域上的前述第一绝缘膜上的孔状通路；填充到前述槽状通路中的第一埋入导体和填充到前述孔状通路中的第二埋入导体，前述槽状通路的宽度为前述孔状通路的宽度的20%~140%。

此外，上述目的是通过以下的半导体装置的制造方法来达到的，该半导体装置包括：形成在基板上、至少在表面侧埋入有第一配线层的第一绝缘膜；形成在埋入有前述第一配线层的前述第一绝缘膜上、具有开口至前述第一配线层上的槽状通路和孔状通路的第二绝缘膜，其中，在前述第二绝缘膜上形成前述槽状通路和前述孔状通路时，采用前述槽状通路的宽度比前述孔状通路的宽度窄的掩模图形来形成前述孔状通路和前述槽状通路。

此外，上述目的是通过以下的半导体装置的制造方法来达到的，该半导体装置包括：形成在基板上、至少在表面侧埋入有第一配线层的第一绝缘膜；形成在埋入有前述第一配线层的前述第一绝缘膜上、具有开口至前述第一配线层上的槽状通路和孔状通路、以及分别埋入到前述槽状通路及前述孔状通路中的埋入导体的第二绝缘膜，其中，在形成前述埋入导体时，在考虑到前

述槽状通路的最大宽度的基础上设定构成前述埋入导体的导电膜的堆积膜厚，由前述埋入导体填充前述孔状通路及前述槽状通路。

附图说明

图 1 (a)、图 1 (b) 是表示电感器元件部和通常的内部配线部的设计图案上的图形的平面图；

图 2 (a)、图 2 (b) 是表示电感器元件部和通常的内部配线部的在晶片上的图形的制成图象的平面图；

图 3 是表示利用扫描电子显微镜对电感器元件部进行摄影的结果的图示；

图 4 是表示根据本发明的第一种实施形式的半导体装置的结构的设计图案上的平面图；

图 5 是表示根据本发明的第一种实施形式的半导体装置的结构简略剖视图（其一）；

图 6 是表示根据本发明的第一种实施形式的半导体装置的结构简略剖视图（其二）；

图 7 (a) ~图 7 (c) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之一）；

图 8 (a) ~图 8 (c) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（二）；

图 9 (a) ~图 9 (b) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之三）；

图 10 (a) ~图 10 (b) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之四）；

图 11 (a) ~图 11 (b) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之五）；

图 12 (a) ~图 12 (b) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之六）；

图 13 (a) ~图 13 (b) 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之七）；

图 14 是表示根据本发明的第一种实施形式的半导体装置的制造方法的工序剖视图（之八）；

图 15 是表示根据本发明的第二种实施形式的半导体装置的结构在设计图案上的平面图；

图 16 是表示根据本发明的第二种实施形式的变形例的半导体装置的结构在设计图案上的平面图；

图 17 是表示根据本发明的第三种实施形式的半导体装置的结构在设计图案上的平面图；

图 18 是表示根据本发明的第四种实施形式的半导体装置的结构在设计图案上的平面图；

图 19 是表示根据本发明的第五种实施形式的半导体装置的结构平面图；

图 20 是表示根据本发明的第五种实施形式的变形例的半导体装置的结构平面图；

图 21 是表示根据本发明的第六种实施形式的半导体装置的结构平面图；

图 22 是表示根据本发明的第六种实施形式的变形例的半导体装置的结构平面图（之一）；

图 23 是表示根据本发明的第六种实施形式的变形例的半导体装置的结构平面图（之二）；

图 24 是表示根据本发明的第七种实施形式的半导体装置的结构平面图；

图 25 是表示根据本发明的第七种实施形式的变形例的半导体装置的结构平面图；

图 26 是表示根据本发明的第八种实施形式的半导体装置的结构简略平面图；

图 27 (a)、图 27 (b) 是表示根据本发明的第八种实施形式的半导体装置的制造方法的工序剖视图（之一）；

图 28 (a)、图 28 (b) 是表示根据本发明的第八种实施形式的半导体装置的制造方法的工序剖视图（之二）；

图 29 (a) ~图 29 (c) 是说明接触插头的埋入不良产生的原因的图示;

图 30 (a) ~图 30 (c) 是说明防止接触插头的埋入不良的制造工序上的方案的图示;

图 31 是表示根据本发明的第九种实施形式的半导体装置的结构简略剖视图;

图 32 是表示根据本发明的第九种实施形式的其它例子的半导体装置的结构简略剖视图;

图 33 是表示根据本发明的变形实施形式的半导体装置的结构平面图(之一);

图 34 是表示根据本发明的变形实施形式的半导体装置的结构平面图(之二);

图 35 是表示具有电感器的现有技术的半导体装置的结构平面图;

图 36 是表示具有电感器的现有技术的半导体装置的结构简略剖视图;

图 37 是表示本申请的发明人设想的新的结构及其课题的简略剖视图;

图 38 是表示现有技术的半导体装置中的课题的简略剖视图。

具体实施方式

第一种实施形式

下面, 利用图 4 至图 14 说明本发明的第一种实施形式的半导体装置及其制造方法。

图 4 是表示根据本实施形式的半导体装置的结构的设计图案上的平面图, 图 5 及图 6 是表示根据本实施形式的半导体装置的结构简略剖视图, 图 7 至图 14 是表示根据本实施形式的半导体装置的制造方法的工序的剖视图。

首先, 利用图 4 至图 6 说明根据本实施形式的半导体装置的结构。其中, 图 4 中的 (a) 表示根据本实施形式的半导体装置的内部电路区域的在设计图案上的部分平面图, 图 4 中的 (b) 表示根据本实施形式的半导体装置的槽状通路图形形成区域的在设计图案上的部分平面图。此外, 图 5 是沿图 4 中的 (a) 的 A-A' 线剖面的的半导体装置的简略剖视图, 图 6 是沿图 4 中的 (b) 的 B-B' 线剖面的的半导体装置的简略剖视图。

根据本实施形式的半导体装置，具有内部电路区域和槽状通路图形形成区域。这里，所谓内部电路区域是指包含经由通路孔（孔状通路）连接上下配线层的结构的通常的元件区域。此外，所谓槽状通路图形形成区域，是指利用槽状的通路孔的结构体形成的区域，例如电感器元件部，熔丝电路以及基片周缘等的耐湿环形成区域等。图 4 中的（b）是将槽状通路图形的拐角部抽取出来进行描绘，槽状通路图形分别沿纸面的上方及左方延伸形成。

在基板 20 上，形成侵蚀阻挡膜 22 和层间绝缘膜 24。本申请的说明书中所谓的基板 20，不仅是指半导体基板本身，也包含形成晶体管等半导体元件的半导体基板。也可以在基板上进一步形成一层以上的配线层。

在层间绝缘膜 24 及侵蚀阻挡膜 22 上形成配线槽 28。在配线槽 28 内，形成具有防扩散膜 30a 和铜膜 32 的配线层 34。

在埋入了配线层 34 的层间绝缘膜 24 上，形成侵蚀阻挡膜 36 及层间绝缘膜 38。在内部电路区域的层间绝缘膜 38 及侵蚀阻挡膜 36 上，如图 4 中的（a）及图 5 所示，形成达到配线层 34 的通路孔 46。在槽状通路图形形成区域的层间绝缘膜 38 及侵蚀阻挡膜 36 上，如图 4 中的（b）及图 6 所示，形成槽状通路孔 46a。在层间绝缘膜 38 上，形成侵蚀阻挡膜 40 和层间绝缘膜 42。在层间绝缘膜 42 及侵蚀阻挡膜 40 上形成配线槽 52。在通路孔 46、46a 内以及配线槽 52 内形成具有防扩散膜 54a 和铜膜 56 的、连接配线层 34 的配线层 58。

在埋入了配线层 58 的层间绝缘膜 42 上，形成侵蚀阻挡膜 60 及层间绝缘膜 62。在内部电路区域的层间绝缘膜 62 及侵蚀阻挡膜 60 上，如图 4 中的（a）及图 5 所示，形成达到配线层 58 的通路孔 66。在槽状通路图形形成区域的层间绝缘膜 62 及侵蚀阻挡膜 60 上，如图 4 中的（b）及图 6 所示，形成槽状通路孔 66a。在通路孔 66 内，形成具有势垒金属层 68a 及钨膜 70 的接触插头 72。在通路孔 66 内，形成具有势垒金属层 68a 及钨膜 70 的槽状接触插头 72a。

在埋入了接触插头 72、72a 的层间绝缘膜 62 上，形成具有氮化钛膜 78/铝膜 76/氮化钛膜 74 的叠层结构的配线层 82。在形成配线层 82 的层间绝缘膜 62 上，形成具有硅氧化膜 84 和硅氮化膜 86 的覆盖膜。

这里。本实施形式的半导体装置，其主要特征为，在设计上的图形尺寸

中，孔状通路孔 66 的直径与槽状通路孔 66a 的宽度不同。即，在图 4 中的 (b) 中，以与通路孔 66 的直径相同的宽度描绘槽状通路孔 66a 的情况用虚线表示，而在通路孔 66a 的设计上的图形的外缘，位于该虚线的内侧。

例如，在通路孔 66 的直径设计为 $0.5\mu\text{m}$ 时，将通路孔 66a 的宽度设计成 $0.4\mu\text{m}$ 。这样，即使利用按照设计值形成通路孔 66 的恰好的曝光量曝光，对通路孔 66a 而言曝光稍有过度，制成的通路孔 66a 的宽度与制成的通路孔 66 的直径也可以基本上相等。从而，在利用接触插头 72 填充通路孔 66 时，也可以用接触插头 72a 填充通路孔 66a，可以防止发生埋入不良。

此外，晶片的孔状图形与槽状图形之间的图形尺寸的偏移量根据曝光装置及蚀刻装置等的特性等而变化。而将通路孔 66a 的宽度设计成相对于通路孔 66 的直径缩小到何种程度，最好是根据晶片的孔图形与槽状图形之间的图形尺寸的偏移量而适当设计。

在将接触插头 72 埋入到通路孔 66 内时，将通路孔 66a 的制成宽度设定成可由接触插头 72a 将通路孔 66a 完全埋入这一点是非常重要的，通路孔 66a 的制成宽度和通路孔 66 的制成直径并不一定必须相等。只要通路孔 66a 具有能够由接触插头 72a 完全埋入的宽度，与通路孔 66a 的制成宽度相比可以宽一些，也可以窄一些。

在本申请的发明人进行研究的新一代器件中，作为孔状通路的直径采用 $0.5\mu\text{m}$ 。在这种情况下，在具有达到孔状通路的直径的约 140% 左右、即约 $0.7\mu\text{m}$ 左右的宽度的槽状通路中，不会产生埋入不良。另一方面，槽状通路中所需的最小宽度，由于与曝光装置的清晰度及势垒金属层的厚度有关，所以，不能一概而论，但如果槽状通路具有孔状通路的约 20% 以上的宽度的话，应该说对于接触插头的形成就没有障碍。在基于孔状通路直径将接触插头的形成条件最佳化时，将槽状通路的宽度设计成孔状通路的宽度以下是无可非议的。

此外，在配线层 58 的形成过程中发生通路孔 46a 的埋入不良的情况下，与上述情况一样，可以适当地设计通路孔 46a 的宽度。

一般地，在同时形成孔状图形和槽状图形的情况下，槽状图形会稍稍曝光过度。从而，在制成的尺寸中，为了使槽状图形的宽度与孔状图形的宽度大致相等，或者，使槽状图形的宽度比孔状图形的宽度窄时，如本实施形式

那样，可以使设计上的槽状图形的尺寸比孔状图形的尺寸窄。

其次，利用图 7 至图 14 说明本实施形式的半导体装置的制造方法。其中，在内部电路区域和槽状通路图形形成区域，平面布局不同，但制造工艺没有差别。下面，利用内部电路区域的剖视图说明根据本实施形式的半导体装置的制造方法。

首先，在基板 20 上，例如利用 CVD（化学气相淀积）法，依次形成膜厚 50nm 的由硅氮化膜构成的侵蚀阻挡膜 22，和膜厚 500nm 的由硅氧化膜构成的层间绝缘膜 24。

其次，在层间绝缘膜 24 上，利用光刻法，形成露出配线层的形成预定区域的光致抗蚀剂膜 26（图 7（a））。

其次，通过利用对硅氮化膜能够获得充分的选择比的蚀刻条件，以光致抗蚀剂膜 26 作为掩模以及以侵蚀阻挡膜 22 作为阻挡膜而各向异性地蚀刻层间绝缘膜 24，在层间绝缘膜 24 上形成配线槽 28。

其次，例如通过使用氧等离子体的腐蚀，除去光致抗蚀剂膜 26。

其次，通过采用对硅氧化膜能够获得充分的选择比的蚀刻条件，以形成配线槽 28 的层间绝缘膜 24 作为掩模，各向异性地蚀刻侵蚀阻挡膜 22，将配线槽 28 开口至基板 20 上（图 7（b））。

在除去光致抗蚀剂膜 26 之后才蚀刻侵蚀阻挡膜，是为了防止用于除去光致抗蚀剂膜 26 的腐蚀造成基板 20 的损伤。而在基板 20 的最上层上不形成因腐蚀而引起损伤的层（例如铜配线等）的情况下，也可以将光致抗蚀剂膜 26 作为掩模，连续地蚀刻层间绝缘膜 24 及侵蚀阻挡膜 22。

其次，例如利用溅射法，在整个面上堆积膜厚 50nm 的钽膜 30 和膜厚 1500nm 的铜膜 32（图 7（c））。此外，也可以在用溅射法堆积钽膜 30 和作为种层的铜膜（图中未示出）后，以该铜膜作为种膜（seed）利用镀敷法形成规定厚度的铜膜 32。

其次，例如利用 CMP（Chemical Mechanical Planarizers）法，平坦地除去铜膜 32 及钽膜 30，直到露出层间绝缘膜 24。这样，形成配线层 34，该配线层 34 埋入到配线槽 28 内，具有由钽膜 30 构成的防止铜的扩散的防扩散膜 30a 和构成配线层的主要部分的铜膜 32（图 8（a））。

其次，在埋入了配线层 34 的层间绝缘膜 24 上，例如利用 CVD 法依次

形成下列各膜：膜厚 50nm 的由硅氮化膜构成的侵蚀阻挡膜 36、膜厚 750nm 的由硅氧化膜构成的层间绝缘膜 38、膜厚 50nm 的由硅氮化膜构成的侵蚀阻挡膜 40、膜厚 500nm 的由硅氧化膜构成的层间绝缘膜 42。此外，侵蚀阻挡膜 36 具有作为防扩散膜而防止铜从配线层扩散的功能。

这里，在配线层 34 的形成过程中，由于凹陷（dishing）等生成高低差的情况下，也可以比预定膜厚还要厚地堆积层间绝缘膜 38，利用 CMP 法研磨到规定膜厚而平坦化之后，堆积侵蚀阻挡膜 40。

其次，在层间绝缘膜 42 上，利用光刻法，形成光致抗蚀剂膜 44，将在层间绝缘膜 38 上形成通路孔 46、46a 的预定形成区域露出（图 8（b））。

其次，以光致抗蚀剂膜 44 作为掩模以及以侵蚀阻挡膜 36 作为阻挡膜，在改变蚀刻条件的同时依次各向异性地蚀刻层间绝缘膜 42、侵蚀阻挡膜 40、层间绝缘膜 38，在内部电路区域的层间绝缘膜 38 上形成通路孔 46，在槽状通路图形形成区域的层间绝缘膜上形成通路孔 46a。

此外，在之后形成的配线层 58 上产生埋入不良的情况下，也可以以使设计图案上的通路孔 46 的直径和在设计图案上的通路孔 46a 的宽度不同的方式设计光刻掩模，利用该光掩模形成光致抗蚀剂膜 44。在通路孔 46 的设计图案上的直径例如为 $0.5\mu\text{m}$ 的情况下，通过将通路孔 46a 在设计图案上的宽度例如设定为 $0.4\mu\text{m}$ ，可以使通路孔 46 的制成直径与通路孔 46a 的制成宽度基本上相等，可以防止配线层 58 的埋入不良。

其次，例如通过利用氧等离子体的腐蚀，除去光致抗蚀剂膜 36（图 8（c））。

其次，例如利用旋转涂布法涂布非感光性树脂 48 之后，以在通路孔 46 内残留非感光性树脂 48 的方式，溶解除去层间绝缘膜 42 上的非感光性树脂。

其次，在层间绝缘膜 42 上，利用光刻法形成光致抗蚀剂膜 50，露出层间绝缘膜 42 上形成配线层的形成预定区域（图 9（a））。这时，光致抗蚀剂膜 50 选择不与非感光性树脂 40 产生混合、此外显影液不溶解非感光性树脂 40 的材料。

其次，通过采用对硅氮化膜可得到充分的选择比的蚀刻条件，以光致抗蚀剂膜 50 作为掩模以及以侵蚀阻挡膜 40 作为阻挡膜，各向异性地蚀刻层间绝缘膜 42，在层间绝缘膜 42 上形成配线槽 52。

其次，例如通过采用氧等离子体的腐蚀，除去光致抗蚀剂膜 50 及非感

光性树脂 48 (图 9 (b))。

其次, 通过采用对硅氧化膜可获得充分的选择比的蚀刻条件, 以形成配线槽 52 的层间绝缘膜 42 及形成通路孔 46 的层间绝缘膜 38 作为掩模, 各向异性蚀刻侵蚀阻挡膜 36、40, 将配线槽 52 开口至层间绝缘膜 38 上, 同时, 将通路孔 46 开口至配线层 34 (图 10 (a))。

其次, 例如利用溅射法, 在整个面上堆积膜厚 50nm 的钽膜 54 以及膜厚 1500nm 的铜膜 56 (图 10 (b))。另外, 也可以在利用溅射法堆积钽膜 54 和作为种层的薄的铜膜 (图中未示出) 之后, 以该铜膜作为种膜利用镀敷法形成规定膜厚的铜膜 56。

其次, 例如利用 CMP 法, 平坦地除去铜膜 56 及钽膜 54, 直到露出层间绝缘膜 42。这样, 形成配线层 58, 该配线层 58 具有埋入配线槽 52 内及通路孔 46 内的由有钽膜 54 构成的防止铜扩散的防扩散膜 54a、以及构成配线层的主要部分的铜膜 56 (图 11 (a))。

其次, 在埋入了配线层 58 的层间绝缘膜 42 上, 例如利用 CVD 法, 依次堆积膜 50nm 的由硅氮化膜构成的侵蚀阻挡膜 60, 膜厚 750nm 的由硅氧化膜构成的层间绝缘膜 62。此外, 侵蚀阻挡膜 60 具有作为防扩散膜防止铜从配线层 58 扩散的功能。

这里, 在配线层 58 的形成过程中, 由于凹陷等生成高低差的情况下, 也可以在把层间绝缘膜 62 堆积得比预定膜厚更厚之后, 利用 CMP 法研磨到规定的膜厚, 而将其平坦化。

其次, 在层间绝缘膜 62 上, 利用光刻法, 形成光致抗蚀剂膜 64, 并露出在层间绝缘膜 62 上形成通路孔 66、66a 的形成预定区域 (图 11 (b))。这时, 如图 4 所示, 以设计图案上的通路孔 66 的直径与设计图案上的通路孔 66a 的宽度不同的方式设计光刻掩模, 利用该光刻掩模, 形成光致抗蚀剂膜 64。

其次, 以光致抗蚀剂膜 64 作为掩模, 以及以侵蚀阻挡膜 60 作为阻挡膜, 各向异性地蚀刻层间绝缘膜 62, 在内部电路区域的层间绝缘膜 62 上形成通路孔 66, 在槽状图形形成区域的层间绝缘膜 62 上形成通路孔 66a。另外, 在通路孔 66 的设计图案上的直径例如为 $0.5\mu\text{m}$, 通路孔 66a 在设计图案上的宽度例如为 $0.4\mu\text{m}$ 的情况下, 通路孔 66 的制成直径和通路孔 66a 的制成宽

度均约为 $0.5\mu\text{m}$ 。

其次，例如通过采用氧等离子体的腐蚀，除去光致抗蚀剂膜 64。

其次，通过利用对硅氧化膜能获得充分的选择比的蚀刻条件，以形成通路孔 66 的层间绝缘膜 62 作为掩模，各向异性地蚀刻侵蚀阻挡膜 60，将通路孔 66、66a 开口至配线层 58（图 12（a））。

其次，依次例如利用溅射法形成膜厚 50nm 的氮化钛膜 68，例如利用 CVD 法形成膜厚 300nm 的钨膜 70（图 12（b））。

其次，例如用 CMP 法平坦地除去钨膜 70 及氮化钛膜 68，直到露出层间绝缘膜 62。这样，形成接触插头 72 和接触插头 72a，该接触插头 72 埋入通路孔 66 内，具有由氮化钛膜 68 构成的势垒金属层 68a 和钨膜 70，该接触插头 72a 埋入通路孔 66a 内，具有由氮化钛膜 68 构成的势垒金属层 68a 和钨膜 70（图 13（a））。

这时，由于通路孔 66 的制成直径和通路孔 66a 的制成宽度基本上相等，所以，通过在完全埋入通路孔 66 内的条件下形成接触插头 72，可以防止接触插头 72a 产生埋入不良。此外，在邻接地设置槽状的接触插头的情况下，也具有防止层间绝缘膜 62 产生龟裂的效果。

其次，在接触插头 72，72a 埋入的层间绝缘膜 62 上，例如利用溅射法，依次堆积膜厚 50nm 的氮化钛膜 74、膜厚 1000nm 的铝（或添加铜的铝）膜 76、以及膜厚 50nm 的氮化钛膜 78。

其次，在氮化钛膜 78 上，利用光刻法形成具有形成配线层的图形的光致抗蚀剂膜 80（图 13（b））。

其次，将光致抗蚀剂膜 80 作为掩模，各向异性地蚀刻氮化钛膜 78、铝膜 76、氮化钛膜 74，形成经由接触插头 72 连接到配线层 58 上的由氮化钛膜 78/铝膜 76/氮化钛膜 74 的叠层结构构成的配线层 82。

其次，例如通过利用氧等离子体的腐蚀，除去光致抗蚀剂膜 80。

其次，例如利用 CVD 法依次堆积膜厚 700nm 的硅氧化膜 84、膜厚 500nm 的硅氮化膜 86，形成由硅氮化膜 86/硅氧化膜 84 的叠层结构构成的覆盖膜。

这样，可以制造图 4 至图 6 所示的半导体装置。

这样，根据本实施形式，由于以槽状的通路孔的设计图案上的宽度小于孔状的通路孔的设计图案上的直径的方式进行图形设计，所以，即使在孔状

图形和槽状图形上通路孔的制成尺寸产生差异的情况下，也可以防止接触插头及配线层的埋入不良。

此外，防止接触插头的埋入不良的结果，可以防止在层间绝缘膜上产生龟裂。此外，由于可以降低接触插头上的高低差，所以，可以防止这种高低差反映于上层的配线层和绝缘层。由此，可以避免与形成在上层的配线层之间的接触不良以及在叠层时出现的问题。

此外，在上述实施形式中，是将槽状通路孔的宽度全部一律缩小，但也可以选择性地仅将发生埋入不良的拐角附近的图形宽度缩小。

第二种实施形式

下面，利用图 15 及图 16 说明根据本发明的第二种实施形式的半导体装置及其制造方法。此外，对于和图 4 至图 14 所示的第一实施形式的半导体装置及其制造方法相同结构要素付与相同的标号，省略或简略其说明。

图 15 是表示根据本实施形式的半导体装置的结构在设计图案上的平面图，图 16 是表示根据本实施形式的变形例的半导体装置的结构在设计图案上的平面图。

根据本实施形式的半导体装置，除在槽状通路图形形成区域中槽状通路孔的平面图案不同之外，其它与第一种实施形式的半导体装置及其制造方法相同。

在根据本实施形式的半导体装置中，如图 15 所示，通过在拐角部将通路孔 66a 的图形以 135 度的角度分两次弯曲，作为整体而弯曲 90 度。通过这样设计通路孔 66a 的图形，与将通路孔 66a 一次弯曲 90 度的情况相比，可以缩小通路孔 66a 的最大宽度。由此，可以抑制在拐角部发生接触插头 72a 的埋入不良。

在适用于根据本实施形式的图形的情况下，当两个拐角部相距过近时，由于曝光时的邻近效应，而会得到和设置一个拐角部时的情况相同的结果。所以，必须将两个拐角部相互离开几个微米左右进行配置。此外，由于邻近效应的影响也因图形的尺寸和曝光条件而变，所以，最好在考虑到这些因素的基础之上来设定两个拐角部离开的距离。

图 15 所示的通路孔的图形布局也适用于通路孔 46a。这样，可以抑制配线层 58 的埋入不良。

这样，根据本实施形式，由于可以缩小槽状通路孔的弯曲角度，所以即使在孔状图形和槽状图形的通路孔的制成尺寸产生差异的情况下，也可以防止接触插头和配线层的埋入不良。

此外，防止接触插头的埋入不良的结果，可以防止在层间绝缘膜产生龟裂。此外，由于可以降低接触插头上的高低差，所以可以防止该高低差反映在上层的配线层和绝缘层上。由此，可以避免与形成在上层的配线层之间的接触不良以及叠层时引起的问题。

此外，在上述实施形式中，只将通路孔 66a 的图形两次分开地弯曲，但如图 16 所示，对于配线层 58 的图形，也可以在拐角部分两次弯曲。

此外，在上述实施形式中，在拐角部将通路孔的图形分两次弯曲，但也可以分三次弯曲。根据本实施形式的半导体装置，通过减小一次弯曲的角度，可缩小直线部的宽度与弯曲部的宽度之间的尺寸差异，减少埋入不良，只要是能够达到这一目的的图形，所弯曲的角度及次数可以是任意的。此外，也可以利用描绘出一定的曲率的曲线，描绘出通路孔的图形。

此外，在上述实施形式中，描述了孔状通路孔的设计图案上的直径与槽状通路孔在设计图案上的宽度基本上相等时的情况，但和根据第一种实施形式的半导体装置一样，也可以以槽状通路孔在设计图案上的宽度比孔状通路孔的设计图案上的直径窄的方式进行图形设计。由此，可以进一步抑制接触插头的埋入不良的发生。

第三种实施形式

下面，利用图 17 说明根据本发明的第三种实施形式的半导体装置及其制造方法。此外，与图 4 至图 16 所示的第一及第二种实施形式的半导体装置及制造方法相同的结构要素，付与相同的标号并省略或简化其说明。

图 17 是表示根据本实施形式的半导体装置的结构在设计图案上的平面图。

根据本实施形式的半导体装置，除槽状通路图形形成区域的槽状通路孔的平面图案不同之外，其它和第一及第二种实施形式的半导体装置及其制造方法相同。

在根据本实施形式的半导体装置中，如图 17 所示，去掉通路孔 66a 的图形的拐角部，只利用直线图形形成通路孔 66a。即，在从配线层 58 侧观察

时，在配线层 58 的弯曲部，通路孔 66a 的图形是不连续的。在把埋入通路孔 66a 的接触插头 72a 用于电感器等的电路元件时，除去图形的拐角部是增加配线电阻的原因。但是，在伴随着图形的变化而电阻变化十分小的情况下，即使去掉拐角部的图形，也不会产生设计上的缺点。

通过这样设计通路孔 66a 的图形，可以缩小制成的通路孔 66a 的最大宽度。由此，可以抑制产生接触插头 72 的埋入不良。

图 17 所示的通路孔的布局，也可以用于通路孔 46a。这样，可以抑制发生配线层 58 的埋入不良。

这样，根据本实施形式，由于从构成通路孔的槽状图形上去掉拐角部，所以，即使在孔状图形和槽状图形的通路孔的制成尺寸产生差异的情况下，也可以抑制接触插头和配线层的埋入不良的发生。

此外，防止接触插头的埋入不良的结果，可以防止在层间绝缘膜上产生龟裂。此外，由于可以降低接触插头上的高低差，所以，可以防止该高低差反映在上层的配线层和绝缘层上。由此，可以避免与形成在上层的配线层之间的接触不良以及叠层时出现的问题。

此外，在上述实施形式中，孔状通路孔的设计图案上的直径与槽状通路孔在设计图案上的宽度基本上相等，但也可以和第一种实施形式的半导体装置一样，以使槽状通路孔在设计图案上的宽度比孔状通路孔在设计图案上的直径小的方式进行图形设计。由此，可以进一步抑制接触插头的埋入不良的发生。

第四种实施形式

下面利用图 18 说明根据本发明的第四种实施形式的半导体装置及其制造方法。此外，对于和图 4 至图 17 所示的第一至第三种实施形式的半导体装置及其制造方法相同的结构要素付与相同的标号，省略或简化其说明。

图 18 是表示根据本实施形式的半导体装置的结构的设计图案上的平面图。

根据本实施形式的半导体装置，除槽状通路图形形成区域的槽状通路孔的平面设计图案不同之外，其余和第一至第三种实施形式的半导体装置及其制造方法一样。

在根据本实施形式的半导体装置中，如图 18 所示，以限制在图形拐角

部的曝光时的光量的方式，对通路孔 66a 的图形采取一定的措施。在图 18 中，设计成对通路孔 66a 的图形的拐角部进行切口。通过这样设计通路孔 66a 的图形，可以抑制在通路孔 66a 的拐角部的宽度的增大。由此，可以抑制在拐角部发生接触插头 72a 的埋入不良。

图 18 所示的通路孔的布局，也适用于通路孔 46a。这样，可以抑制配线层 58 的埋入不良的发生。

这样，根据本实施形式，以限制在拐角部曝光时的光量的方式设计拐角部的图形，所以，即使在孔状图形和槽状图形的通路孔的制成尺寸产生差异的情况下，也可以抑制接触插头及配线层的埋入不良的发生。

此外，防止接触插头的埋入不良的结果，可以防止在层间绝缘膜上产生龟裂。此外，由于可以减少接触插头上的高低差，所以，可以防止该高低差反映在上层的配线层和绝缘层上。由此，可以避免与形成在上层的配线层之间的接触不良以及在叠层时出现的问题。

此外，在上述实施形式中，设计成将槽状图形的拐角部切除的图形，但只要能够限制在拐角部曝光时的光量的图形，并不局限于图 18 所示的图形。

此外，在上述实施形式中，孔状通路孔的设计图案上的直径与槽状通路孔在设计图案上的宽度基本上相等，但和根据第一种实施形式的半导体装置的情况一样，也可以以槽状通路孔在设计图案上的宽度比孔状通路孔的设计图案上的直径窄的方式进行图形设计。由此，可以进一步抑制接触插头的埋入不良的发生。

第五种实施形式

下面，利用图 19 及图 20 说明根据本发明的第五种实施形式的半导体装置及其制造方法。此外，对于和图 4 至图 18 所示的第一至第四种实施形式的半导体装置及其制造方法相同的结构要素付与相同的标号，省略或简化其说明。

图 19 表示根据本实施形式的半导体装置的结构平面图，图 20 是表示根据本实施形式的变形例的半导体装置的结构平面图。

根据本实施形式的半导体装置，除槽状通路图形形成区域的槽状通路孔的平面设计不同之外，和根据第一至第四种实施形式的半导体装置及其制造

方法相同。

在根据本实施形式的半导体装置中，如图 19 所示，在槽状通路孔 66a 的外周部上，配置了辅助图形 88、90。辅助图形 88 是由与配线层 58 相同的层所形成的配线图形，辅助图形 90 是和通路孔 66a 的图形同时形成的槽状通路图形。

在邻接设置槽状接触插头的情况下，当接触插头产生埋入不良时，在最外周的拐角部上产生层间绝缘膜的龟裂。如果在通路孔 66a 的外侧进一步设置槽状图形（辅助图形 90），则在内侧的通路孔 66a 的拐角部，在层间绝缘膜 62 上不产生龟裂。如果将该辅助图形 90 设计成例如如图 19 所示的不产生埋入不良的图形，则在辅助图形 90 的拐角部，层间绝缘膜 62 不产生龟裂。

通过这样设置辅助图形 90，即使埋入至通路孔 66a 的接触插头 72a 发生埋入不良的情况下，也可以防止层间绝缘膜 62 产生龟裂。

这样，根据本实施形式，由于邻接于槽状通路图形而配置了防止层间绝缘膜上产生龟裂的辅助图形，所以，即使在槽状通路图形上产生埋入不良的情况下，也可以防止在层间绝缘膜上产生龟裂。

此外，在上述实施形式中，将辅助图形 88、90 两者设计成都在图形的拐角部不连续，但如图 20 所示，也可以在拐角部将辅助图形 88 的图形设计成是连续的。

此外，在上述实施形式中，通过设置辅助图形而防止在层间绝缘膜 62 上产生龟裂，但也可以在设置辅助图形的同时，作为通路孔 66a 的图形而采用和第一至第四种实施形式的半导体装置同样的设计。由此，由于可以抑制埋入不良的发生，所以，可以进一步提高防止在层间绝缘膜上产生龟裂的效果。

第六种实施形式

下面，利用图 21 至图 23 说明根据本发明的第六种实施形式的半导体装置及其制造方法。此外，对于和图 4 至图 20 所示的第一至第五种实施形式的半导体装置及其制造方法相同的结构要素付与相同的标号，省略或简化其说明。

图 21 是表示根据本实施形式的半导体装置的结构平面图，图 22 及图 23 是表示根据本实施形式的变形例的半导体装置的结构平面图。

如图 1 (a) 所示, 在电感器等的元件中, 从降低电阻等观点出发, 在配线层 10 上配置多个槽状通路图形。因此, 在本实施形式中, 对一个配线层上配置多个槽状通路图形的情况的槽状通路孔的平面设计的例子进行说明。

根据本实施形式的半导体装置, 除槽状通路图形形成区域的槽状通路孔的平面设计图案不同之外, 其它与根据第一至第四种实施形式的半导体装置及其制造方法相同。

在根据本实施形式的半导体装置中, 在邻接多个槽状通路图形而设置的图形中, 作为最外周的槽状通路图形, 采用图 15 所示的根据第二种实施形式的半导体装置中的通路孔 66a 的图形。

即, 如图 21 所示, 在配线层 58 的图形上, 分别设置: 在拐角部以 90 度的角度弯曲的两个通路孔 66b 的图形; 设置在通路孔 66b 的图形的外周部上, 在拐角部以 135 度的角度分两次弯曲的通路孔 66a 的图形。

在邻接地设置槽状接触插头的情况下, 当在接触插头上产生埋入不良时, 在最外周的拐角部产生层间绝缘膜 62 的龟裂。但是, 通过在最外周配置不发生埋入不良的通路孔 66a, 即使在通路孔 66b 上产生埋入不良的情况下, 也可以防止层间绝缘膜 62 上产生龟裂。

这样, 根据本实施形式, 在具有邻接设置多个槽状通路图形的半导体装置中, 由于作为最外周的槽状通路图形是使用了第二种实施形式的图形, 所以, 即使在内侧的槽状通路图形产生埋入不良的情况下, 也可以防止在层间绝缘膜上产生龟裂。

此外, 在上述实施形式中, 仅对于最外周的槽状通路图形采用第二种实施形式的图形, 但也可以如图 22 所示, 对所有的槽状通路图形采用第二种实施形式的图形。由此, 可以进一步抑制埋入不良的发生, 更有效地防止在层间绝缘膜上产生龟裂。

此外, 如图 23 所示, 例如也可以和图 16 所示的第二种实施形式的变形的情况相同, 使配线层 58 的图形与通路孔 66a 的图形同样进行弯曲。

第七种实施形式

下面, 利用图 24 及图 25 说明根据本发明的第七种实施形式的半导体装置及其制造方法。此外, 对于和图 4 至图 23 所示的第一至第六种实施形式的半导体装置及其制造方法相同的结构要素付与相同的标号, 省略或简化其

说明。

图 24 表示根据本实施形式的半导体装置的结构平面图，图 25 是表示根据本实施形式的变形例的半导体装置的结构平面图。

和第六种实施形式一样，在本实施形式中，对在一个配线层上配置多个槽状通路图形的情况时的槽状通路孔的平面设计图案的例子进行说明。

根据本实施形式的半导体装置，除在槽状通路图形形成区域上的槽状通路孔的平面设计图案不同之外，其它与根据第一至第四种实施形式的半导体装置及其制造方法相同。

在根据本实施形式的半导体装置中，在邻接设置多个槽状通路图形的图形中，作为最外周的槽状通路图形，采用如图 17 所示的第三种实施形式的半导体装置中的通路孔 66a 的图形。

即，如图 24 所示，在配线层 58 的图形上，分别设置：在拐角部以 90 度的角度弯曲的两个通路孔 66b 的图形；以及设于通路孔 66b 的图形的外周部上，将拐角部的图形去除的通路孔 66a 的图形。

在邻接设置槽状的接触插头的情况下，当接触插头上产生埋入不良时，在最外部的拐角部产生层间绝缘膜的龟裂。但是，通过在最外周上配置不发生埋入不良的通路孔 66a，即使在通路孔 66b 上产生埋入不良的情况下，也可以防止在层间绝缘膜 62 上产生龟裂。

这样，根据本实施形式，在具有邻接设置多个槽状通路图形的半导体装置中，由于作为最外周的槽状通路图形是采用了第三种实施形式的图形，所以即使在内侧的槽状通路图形中产生埋入不良的情况下，也可以防止在层间绝缘膜上产生龟裂。

此外，在上述实施形式中，只有最外周的槽状通路图形采用了第三种实施形式的图形，但如图 25 所示，也可以所有的槽状通路图形都采用第三种实施形式的图形。由此，可进一步抑制埋入不良的发生，可以更有效地防止在层间绝缘膜上产生龟裂。

第八种实施形式

下面，利用图 26 至图 30 说明根据本发明的第八种实施形式的半导体装置及其制造方法。此外，对于和图 4 至图 25 所示的第一至第七种实施形式的半导体装置及其制造方法相同的结构要素付与相同的标号，省略或简化其

说明。

图 26 是表示根据本实施形式的半导体装置的结构简略剖视图，图 27 及图 28 是表示根据本实施形式的半导体装置的制造方法的工序剖视图，图 29 是说明接触插头的埋入不良的产生原因的图示，图 30 是说明防止接触插头的埋入不良的制造工序上的方案的图示。

首先，利用图 26 说明根据本实施形式的半导体装置的结构。

根据本实施形式的半导体装置，如图 26 所示，其基本剖视结构和图 5 所示的根据第一种实施形式的半导体装置一样。根据本实施形式的半导体装置与第一种实施形式的半导体装置的不同点在于，分别采用由 SiC 膜构成的侵蚀阻挡膜 22a、36a、40a、60a，代替由硅氮化膜构成的侵蚀阻挡膜 22、36、40、60，以及，分别采用由 SiOC 膜构成的层间绝缘膜 24a、38a、42a，代替由硅氧化膜构成的层间绝缘膜 24、38、42。

本申请的发明人确认，并不是仅在采用硅氧化膜/硅氮化膜类的层间绝缘膜结构的情况下，在采用 SiOC 膜/SiC 膜类的层间绝缘膜结构的情况下，由于接触插头 72a 的埋入不良，也会在层间绝缘膜 62 上产生龟裂。本发明在采用 SiOC 膜/SiC 膜类的层间绝缘膜结构的情况下，也是有效的。

此外，在根据本实施形式的半导体装置中，作为通路孔 66a 的平面设计图案，不采用第一至第七种实施形式的半导体装置的图形。作为槽状通路图形，也可以采用例如如图 1 (a) 所示的以 90 度的角度弯曲的图形。这是因为在本实施形式中，可以通过在后面所述的制造工艺上采取措施而防止接触插头 72a 的埋入不良。

其次，利用图 27 至图 30 说明根据本实施形式的半导体装置的制造方法。

首先，例如与图 7 (a) 至图 11 (a) 所示的第一种实施形式的半导体装置的制造方法一样，在基板 20 上形成配线层 34、58 等。这时，在本实施形式中，形成由 SiC 膜构成的侵蚀阻挡膜 22a、36a、40a、60a，以代替由硅氮化膜形成的侵蚀阻挡膜 22、36、40、60，形成由 SiOC 膜构成的层间绝缘膜 24a、38a、42a，以代替由硅氧化膜构成的层间绝缘膜 24、38、42 (图 27 (a))。

其次，例如和根据图 11 (b) 至图 12 (a) 所示的第一种实施形式的半导体装置制造方法一样，在埋入了配线层 58 的层间绝缘膜 42a 上形成由 SiC 膜构成的侵蚀阻挡膜 60a 和层间绝缘膜 62 之后，在层间绝缘膜 62 及侵蚀阻

挡膜 60a 上形成达到配线层 58 的通路孔 66、66a (图 27 (b))。此外,在形成通路孔时,当设定内部电路区域上的通路孔 66 在设计图案上的直径为 $0.5\mu\text{m}$,槽状通路图形形成区域的宽度为 $0.5\mu\text{m}$ 时,如前面所述,在晶片上制成的尺寸,通路孔 66 的直径约为 $0.5\mu\text{m}$,通路孔 66a 的宽度约为 $0.55\mu\text{m}$,通路孔 66a 的最大宽度约为 $0.80\mu\text{m}$ 。

其次,依次例如利用溅射法形成膜厚 50nm 的氮化钛膜 68,例如利用 CVD 法形成膜厚 400nm 的钨膜 70 (图 28 (a))。

其次,例如利用 CMP 法平坦地除去钨膜 70 和氮化钛膜 68,直到露出层间绝缘膜 62 为止。这样,形成接触插头 72 和接触插头 72a,该接触插头 72 埋入至通路孔 66 内,具有由氮化钛膜 68 构成的势垒金属层 68a 和钨膜 70,该接触插头 72a 埋入至通路孔 66a 内,具有由氮化钛膜 68 构成的势垒金属层 68a 和钨膜 70 (图 28 (b))。

在第一种实施形式中,作为将通路孔 66 埋入的充分的膜厚条件,形成接触插头 72 用的氮化钛膜 68 的膜厚为 50nm ,钨膜 70 的膜厚为 300nm 。但是,在该膜厚条件下,即使最大可以将宽度达到 $0.7\mu\text{m}$ 的通路孔完全埋入,但在拐角部不能将具有 $0.8\mu\text{m}$ 的最大宽度的通路孔 66a 完全埋入(图 29(b))。因此,在之后通过 CMP 研磨而形成接触插头 72a 时,在插头中央部分产生埋入不良(图 29 (a)、图 29 (c))。

因此,在本实施形式中,要考虑到通路孔 66a 的最大宽度来设定埋入通路孔 66 的膜厚条件。当将形成接触插头 72 用的氮化钛膜 68 及钨膜 70 的膜厚分别如上所述设定为 50nm 及 400nm 时,由于可以将最大宽度达到 $0.9\mu\text{m}$ 的通路孔完全埋入,所以,即使在拐角部具有 $0.8\mu\text{m}$ 的最大宽度的通路孔 66a 也可以完全埋入(图 30 (b))。从而,即在之后通过 CMP 研磨而形成接触插头 72a,也不会产生埋入不良(图 30 (a)、图 30 (c))。

然后,例如和图 13 (b) 至图 14 所示的第一种实施形式的半导体装置的制造方法一样,在埋入了接触插头 72、72a 的层间绝缘膜 62 上形成配线层 82、覆盖膜等。

这样,根据本实施形式,由于考虑到槽状通路图形的最大宽度而设定形成接触插头时的膜厚条件,所以,即使在孔状图形和槽状图形的通路孔的制成尺寸产生差异的情况下,也可以防止接触插头及配线层产生埋入不良。此

外，可以防止因埋入不良而在层间绝缘膜上产生龟裂。

此外，在上述实施形式中，作为铜配线周围的层间绝缘膜结构，采用了SiOC膜/SiC膜类的绝缘膜，但也可以和根据第一种实施形式的半导体装置的情况一样，采用硅氧化膜/氮化膜类的层间绝缘膜结构。

此外，在上述实施形式中，未对通路孔66a的平面设计图案采取措施，但也可以采用根据第一种至第七种实施形式的半导体装置的图形。由此，可以从设计上以及工艺上两个方面防止产生埋入不良，可以进一步提高其效果。

第九种实施形式

下面，利用图31及图32说明根据本发明的第九种实施形式的半导体装置。

图31是表示根据本实施形式的半导体装置的结构简略剖视图，图32是表示本实施形式的另外一个例子的半导体装置的结构简略剖视图。

在本实施形式中，表示利用铜配线和铝配线的半导体装置的具体结构。在上述第一至第八种实施形式中，表示了配线层为三层时的情况，但本发明也可以适用于具有三层以上的配线层的半导体装置。

图31所示的半导体装置，由七层铜配线和一层铝配线而构成多层配线结构。

在硅基板100上，形成确定元件区域的元件分离膜102。在由元件分离膜所划定的元件区域中，形成具有门电极104和源极/漏极扩散层106的MOS晶体管。

在形成MOS晶体管的硅基板100上，形成由PSG膜/硅氮化膜的叠层膜构成的层间绝缘膜108。在层间绝缘膜108内埋入由钨膜/氮化钛膜的叠层结构构成的接触插头110。

在埋入了接触插头110的层间绝缘膜108上，形成由硅氧化膜/SiLK（注册商标）膜（或SOG膜）的叠层膜构成的层间绝缘膜112。在层间绝缘膜112内，埋入由铜膜/钼膜的叠层结构构成的配线层114。

在埋入了配线层114的层间绝缘膜112上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜116。在层间绝缘膜116上，形成由硅氧化膜/SiLK膜（或SOG膜）的叠层膜构成的层间绝缘膜118。在层间绝缘膜116、118

内，形成由铜膜/钽膜的叠层膜构成的、通路部埋入至层间绝缘膜 116 内、配线部埋入至层间绝缘膜 118 内的配线层 120。

在埋入了配线层 120 的层间绝缘膜 118 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 122。在层间绝缘膜 122 上，形成由硅氧化膜/SiLK 膜（或 SOG 膜）的叠层膜构成的层间绝缘膜 124。在层间绝缘膜 122、124 内形成由铜膜/钽膜的叠层膜构成的、通路部埋入到层间绝缘膜 122 内、配线部埋入到层间绝缘膜 124 内的配线层 126。

在埋入了配线层 126 的层间绝缘膜 124 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 128。在层间绝缘膜 128 上，形成由硅氧化膜/SiLK 膜（或 SOG 膜）的叠层膜构成的层间绝缘膜 130。在层间绝缘膜 128、130 内，形成由铜膜/钽膜的叠层膜构成的、通路部埋入到层间绝缘膜 128 内、配线部埋入到层间绝缘膜 130 内的配线层 132。

在埋入了配线层 132 的层间绝缘膜 130 上，形成硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 134。在层间绝缘膜 134 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 136。在层间绝缘膜 134、136 内，形成由铜膜/钽膜的叠层膜构成的、通路部埋入到层间绝缘膜 134 内、配线部埋入到层间绝缘膜 136 内的配线层 138。

在埋入了配线层 138 的层间绝缘膜 136 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 140。在层间绝缘膜 140 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 142。在层间绝缘膜 140、142 内，形成由铜膜/钽膜的叠层膜构成的、通路部埋入到层间绝缘膜 140 内、配线部埋入到层间绝缘膜 142 内的配线层 144。

在埋入了配线层 144 的层间绝缘膜 142 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 146。在层间绝缘膜 146 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 148。在层间绝缘膜 146、148 内，形成由铜膜/钽膜的叠层膜构成的、通路部埋入到层间绝缘膜 146 内、配线部埋入到层间绝缘膜 148 内的配线层 150。

在埋入了配线层 150 的层间绝缘膜 148 上，形成由硅氧化膜/硅氮化膜的叠层膜构成的层间绝缘膜 152。在层间绝缘膜 152 上埋入由钨膜/氮化钛膜的叠层结构构成的接触插头 154。

在埋入了接触插头 154 的层间绝缘膜 152 上, 形成由氮化钛膜/铝膜/氮化钛膜的叠层膜构成的配线层 156。

在形成配线层 156 的层间绝缘膜 152 上形成由硅氮化膜/硅氧化膜的叠层膜构成的覆盖膜 158。

这样, 形成由七层铜配线和一层铝配线而构成多层配线结构的半导体装置。

在图 31 所示的半导体装置中, 本发明可适用于接触插头 154 的形成过程。由此, 可以防止接触插头 154 的埋入不良, 进而可以防止层间绝缘膜 152 的龟裂。此外, 在铜配线产生埋入不良的情况下, 可适用于配线层 120、126、132、138、144、150 的形成过程。此外, 在对接触插头 110 采用槽状通路的情况下, 也可以防止对于接触插头 110 的埋入不良。

图 32 所示的半导体装置, 是由十层铜配线层和一层铝配线层构成的多层配线结构。

在硅基板 200 上, 形成确定元件区域的元件分离膜 202。在由元件分离膜所划定的元件区域中, 形成具有门电极 204 和源极/漏极扩散层 206 的 MOS 晶体管。

在形成 MOS 晶体管的硅基板 200 上, 形成由 PSG 膜/硅氮化膜的叠层膜构成的层间绝缘膜 208。在层间绝缘膜 208 内埋入由钨膜/氮化钛膜的叠层结构构成的接触插头 210。

在埋入了接触插头 210 的层间绝缘膜 208 上, 形成由 SiC 膜/SiLK 膜/SiC 膜的叠层膜构成的层间绝缘膜 212。在层间绝缘膜 212 内, 埋入由铜膜/钼膜的叠层结构构成的、具有通路部和配线部的配线层 214。

在埋入了配线层 214 的层间绝缘膜 212 上, 形成由 SiC 膜/SiLK 膜/SiC 膜的叠层膜构成的层间绝缘膜 216。在层间绝缘膜 216 内, 埋入由铜膜/钼膜的叠层结构构成的、具有通路部和配线部的配线层 218。

在埋入了配线层 218 的层间绝缘膜 216 上, 形成由 SiC 膜/SiLK 膜/SiC 膜的叠层膜构成的层间绝缘膜 220。在层间绝缘膜 220 内, 埋入由铜膜/钼膜的叠层结构构成的、具有通路部和配线部的配线层 222。

在埋入了配线层 222 的层间绝缘膜 220 上, 形成由 SiC 膜/SiLK 膜/SiC 膜的叠层膜构成的层间绝缘膜 224。在层间绝缘膜 224 内, 埋入由铜膜/钼膜

的叠层结构构成的、具有通路部和配线部的配线层 226。

在埋入了配线层 226 的层间绝缘膜 224 上，形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 228。在层间绝缘膜 228 上，形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 230。在层间绝缘膜 228、230 内，形成由铜膜/钽膜的叠层结构构成的、通路部埋入到层间绝缘膜 228 内、配线部埋入到层间绝缘膜 230 内的配线层 232。

在埋入了配线层 232 的层间绝缘膜 230 上，形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 234。在层间绝缘膜 234 上形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 236。在层间绝缘膜 234、236 内，形成由铜膜/钽膜的叠层结构构成的、通路部埋入到层间绝缘膜 234 内、配线部埋入到层间绝缘膜 236 内的配线层 238。

在埋入了配线层 238 的层间绝缘膜 236 上，形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 240。在层间绝缘膜 240 上形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 242。在层间绝缘膜 240、242 内，形成由铜膜/钽膜的叠层结构构成的、通路部埋入到层间绝缘膜 240 内、配线部埋入到层间绝缘膜 242 内的配线层 244。

在埋入了配线层 244 的层间绝缘膜 242 上，形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 246。在层间绝缘膜 246 上形成由 SiOC 膜/SiC 膜的叠层膜构成的层间绝缘膜 248。在层间绝缘膜 246、248 内，形成由铜膜/钽膜的叠层结构构成的、通路部埋入到层间绝缘膜 246 内、配线部埋入到层间绝缘膜 248 内的配线层 250。

在埋入了配线层 250 的层间绝缘膜 248 上，形成由硅氧化膜/SiC 膜的叠层膜构成的层间绝缘膜 252。在层间绝缘膜 252 上形成由硅氧化膜/SiC 膜的叠层膜构成的层间绝缘膜 254。在层间绝缘膜 252、254 内，形成由铜膜/钽膜的叠层结构构成的、通路部埋入到层间绝缘膜 252 内、配线部埋入到层间绝缘膜 254 内的配线层 256。

在埋入了配线层 256 的层间绝缘膜 254 上，形成由硅氧化膜/SiC 膜的叠层膜构成的层间绝缘膜 258。在层间绝缘膜 258 上形成由硅氧化膜/SiC 膜的叠层膜构成的层间绝缘膜 260。在层间绝缘膜 258、260 内，形成由铜膜/钽膜的叠层结构构成的、通路部埋入到层间绝缘膜 258 内、配线部埋入到层间

绝缘膜 260 内的配线层 262。

在埋入了配线层 262 的层间绝缘膜 260 上，形成由硅氧化膜/SiC 膜的叠层膜构成的层间绝缘膜 264。在层间绝缘膜 264 内，埋入由钨膜/氮化钛膜的叠层结构构成的接触插头 266。

在埋入了接触插头 266 的层间绝缘膜 264 上形成由氮化钛膜/铝膜/氮化钛膜的叠层膜构成的配线层 268。

在形成配线层 268 的层间绝缘膜 264 上，形成由硅氮化膜/硅氧化膜的叠层膜构成的覆盖膜 270。

这样，形成由十层铜配线和一层铝配线构成多层配线结构的半导体装置。

在图 32 所示的半导体装置中，本发明可以适用于接触插头 266 的形成过程。由此，可以防止接触插头 266 的埋入不良，进而防止层间绝缘膜膜 264 的龟裂。此外，在铜配线产生埋入不良的情况下，可以适用于配线层 214、218、222、226、232、238、244、250、256 的形成过程。此外，在对于接触插头 210 采用槽状通路的情况下，也可以防止有关接触插头 210 的埋入不良。

变形实施形式

本发明并不局限于上述实施形式而可以进行各种变形。

例如，在上述实施形式中，作为采用槽状通路图形的结构体，主要以电感器为例进行了说明，但采用槽状通路图形的结构体并不局限于电感器。

在晶片上形成多个半导体装置时，各半导体电路区域，如图 33 中的 (a) 所示，由用于保护不受外部水分浸入的耐湿环 92 所包围。如图 33 中的 (b) 所示，该耐湿环 92 采用槽状通路图形 94 而构成。此外，如图 34 中的 (a) 所示，在冗余电路用的熔丝图形 96 的周围也设置耐湿环 92，这种耐湿环 92，如图 34 中的 (b) 所示，也采用槽状通路图形 94 而构成。从而，通过将根据本发明的结构用于这些耐湿环的图形的拐角部，可以防止耐湿环的拐角部的层间绝缘膜上发生龟裂，可以提高半导体装置的耐湿性。

此外，在上述实施形式中，仅最上层的配线层由铝配线形成，但也可以形成两层以上的铝配线。本发明可以广泛地应用于具有在铜配线和铝配线的连接中使用接触插头的结构的半导体装置，配线层结构和绝缘膜结构并不局限于上述实施形式所述的结构。

此外，从埋入不良的观点来看，也可以适用于基板上的接触插头，能够避免在形成上层配线时的不合适之处。

此外，在上述第六及第七种实施形式中，以邻接设置多个槽状通路图形时的图形为例，说明了采用第二种实施形式的图形或者第三种实施形式的图形的例子，但也可以采用第一种实施形式的图形或第四种实施形式的图形而形成多个槽状通路图形。此外，也可以将第一至第四种实施形式所述的两种以上的图形进行组合使用。此外，在邻接设置多个槽状通路图形的情况下，也可以在外周部设置第五种实施形式的辅助图形。

如上所述，可以将本发明的特征归纳如下。

（附记 1）一种半导体装置，其特征为，包括：形成在基板上，至少在表面侧埋入有第一配线层的第一绝缘膜；在埋入了前述第一配线层的前述第一绝缘膜上形成的第二绝缘膜；形成在前述第一配线层上的前述第二绝缘膜上，具有向直角方向弯曲的槽状的图形的槽状通路；填充到前述槽状通路内的第一埋入导体。

此外，本申请的说明书中的所谓“填充”是指，以在槽状通路或孔状通路内不残留空洞的方式，即，不产生埋入不良的方式，形成埋入导体的状态。

（附记 2）如附记 1 所述的半导体装置，其特征为，前述槽状通路的前述图形的弯曲部的宽度小于直线部的宽度。

（附记 3）如附记 1 所述的半导体装置，其特征为，前述槽状通路，在前述图形的弯曲部以大于 90 度的角度分多次弯曲。

（附记 4）如附记 3 所述的半导体装置，其特征为，前述槽状通路，在前述图形的前述弯曲部以 135 度分两次弯曲。

（附记 5）如附记 3 或 4 所述的半导体装置，其特征为，前述第一配线层的图形，与前述槽状通路的前述图形同样地弯曲。

（附记 6）一种半导体装置，其特征为，包括：形成在基板上，至少在表面侧埋入有第一配线层的第一绝缘膜，该第一配线层具有向直角方向弯曲的图形；在埋入了前述第一配线层的前述第一绝缘膜上形成的第二绝缘膜；在前述第一配线层上的前述第二绝缘膜上形成的、具有槽状图形的槽状通路；填充到前述槽状通路内的第一埋入导体，前述槽状通路在前述图形的拐角部是不连续的。

(附记 7) 如附记 1 至 6 中任何一个所述的半导体装置, 其特征为, 还进一步包括: 在前述第一配线层上的前述第二绝缘膜上形成的孔状通路; 填充到前述孔状通路中的第二埋入导体。

(附记 8) 如附记 7 所述的半导体装置, 其特征为, 前述槽状通路的宽度, 为前述孔状通路宽度的 20%~140%。

(附记 9) 如附记 7 所述的半导体装置, 其特征为, 前述槽状通路的宽度, 小于前述孔状通路的宽度。

(附记 10) 如附记 1 至 9 中任何一个所述的半导体装置, 其特征为, 包括形成在前述第一配线层上的前述第二绝缘膜上、邻接设置多个槽的槽状通路图形, 前述槽状通路图形的至少一部分由前述槽状通路构成。

(附记 11) 如附记 10 所述的半导体装置, 其特征为, 在前述槽状图形的最外周形成前述槽状图形。

(附记 12) 如附记 1 至 11 中任何一个所述的半导体装置, 其特征为, 前述槽状通路图形形成于前述第一配线层的一个图形上。

(附记 13) 如附记 1 至 12 中任何一个所述的半导体装置, 其特征为, 前述槽状通路沿着前述第一配线层的图形的延伸方向形成。

(附记 14) 如附记 1 至 13 中任何一个所述的半导体装置, 其特征为, 埋入到前述第一绝缘膜中的前述第一配线层, 是埋入到前述基板上的导电层。

(附记 15) 如附记 1 至 14 中任何一个所述的半导体装置, 其特征为, 前述第一配线层是由以铜为主体的导体构成。

(附记 16) 如附记 1 至 15 中任何一个所述的半导体装置, 其特征为, 还进一步包括形成在前述第二绝缘膜上、由以铝为主体的导体构成的第二配线层。

(附记 17) 如附记 16 所述的半导体装置, 其特征为, 前述第一配线层和前述第二配线层具有相同的图形。

(附记 18) 一种半导体装置, 其特征为, 包括: 形成在半导体基板上的杂质扩散区域; 形成在前述半导体基板上的第一绝缘膜; 形成在前述杂质扩散区域上的第一绝缘膜上, 具有向直角方向弯曲的槽状图形的槽状通路; 形成在前述杂质扩散区域上的前述第一绝缘膜上的孔状通路; 填充到前述槽状通路中的第一埋入导体和填充到前述孔状通路中的第二埋入导体, 前述槽状

通路的宽度为前述孔状通路的宽度的 20%~140%。

(附记 19) 如附记 1 至 18 中任何一个所述的半导体装置, 其特征为, 前述第一埋入导体和前述第二埋入导体是由以钨为主体的导体构成的。

(附记 20) 如附记 1 至 17 中任何一个所述的半导体装置, 其特征为, 前述第二绝缘膜是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和硅氧化膜的叠层膜构成。

(附记 21) 如附记 1 至 20 中任何一个所述的半导体装置, 其特征为, 前述第一绝缘膜是由硅氮化膜和硅氧化膜的叠层膜或 SiC 膜和 SiOC 膜的叠层膜构成。

(附记 22) 一种半导体装置的制造方法, 该半导体装置包括: 形成在基板上、至少在表面侧埋入有第一配线层的第一绝缘膜; 形成在埋入有前述第一配线层的前述第一绝缘膜上、具有开口至前述第一配线层上的槽状通路和孔状通路的第二绝缘膜, 其特征为, 在形成前述第二绝缘膜上形成前述槽状通路和前述孔状通路时, 采用前述槽状通路的设计图案上的宽度比前述孔状通路的设计图案上的宽度窄的掩模图形来形成前述孔状通路和前述槽状通路。

(附记 23) 一种半导体装置的制造方法, 该半导体装置包括: 形成在基板上、至少在表面侧埋入有第一配线层的第一绝缘膜; 形成在埋入有前述第一配线层的前述第一绝缘膜上、具有开口至前述第一配线层上的槽状通路和孔状通路、以及分别埋入到前述槽状通路及前述孔状通路中的埋入导体的第二绝缘膜, 其特征为, 在形成前述埋入导体时, 在考虑到前述槽状通路的最大宽度的基础上设定构成前述埋入导体的导电膜的堆积膜厚, 由前述埋入导体填充前述孔状通路及前述槽状通路。

如上所述, 根据本发明, 在具有将导体埋入到形成在绝缘膜上的孔状图形和槽状图形中的结构的半导体装置中, 即使在孔状图形和槽状图形的通路孔的制成尺寸产生差异的情况下, 也可以防止埋入导体和配线层的埋入不良。此外, 防止埋入导体的埋入不良的结果, 可以防止在层间绝缘膜上生成龟裂。此外, 因为可以降低埋入导体上的高低差, 所以, 可以防止该高低差反映在上层的配线层和绝缘膜上。由此, 可以避免与形成在上层上的配线层之间的接触不良及叠层时出现的问题, 进而可以提供耐湿性及配线可靠性高的半导体装置。

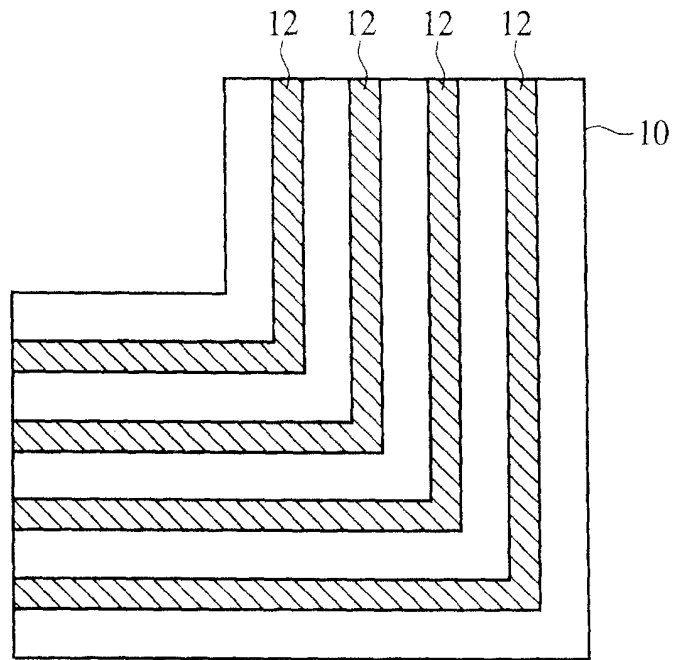


图 1(a)

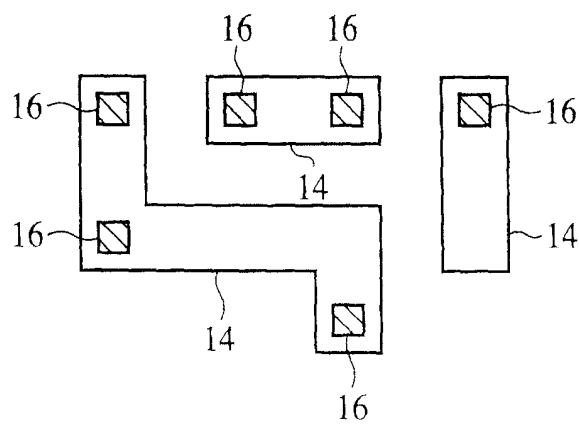


图 1(b)

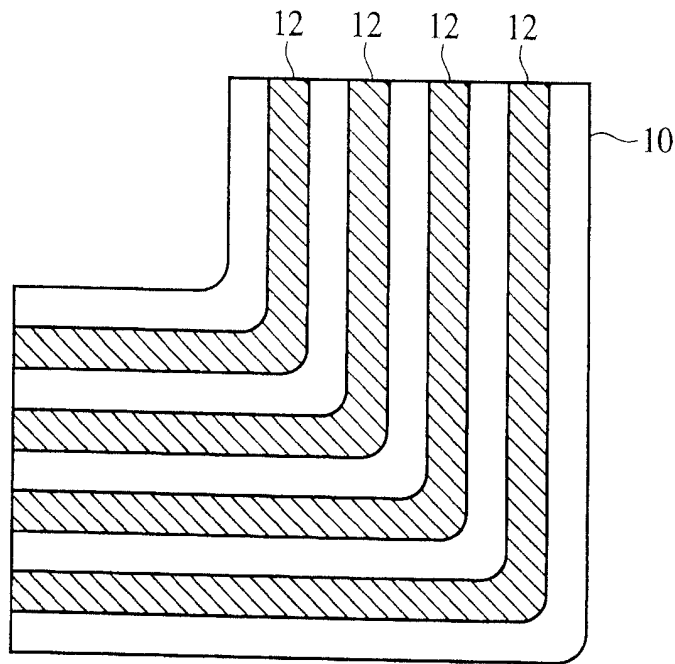


图 2(a)

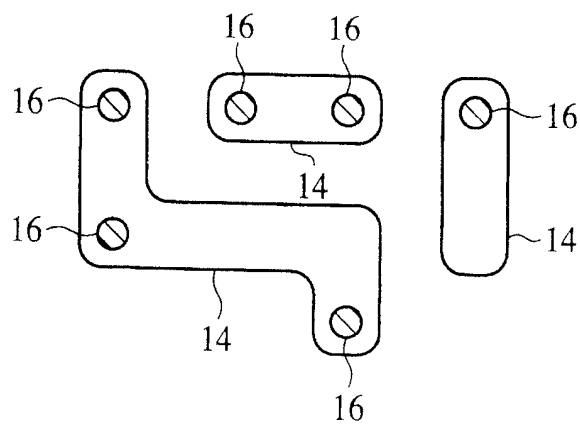


图 2(b)

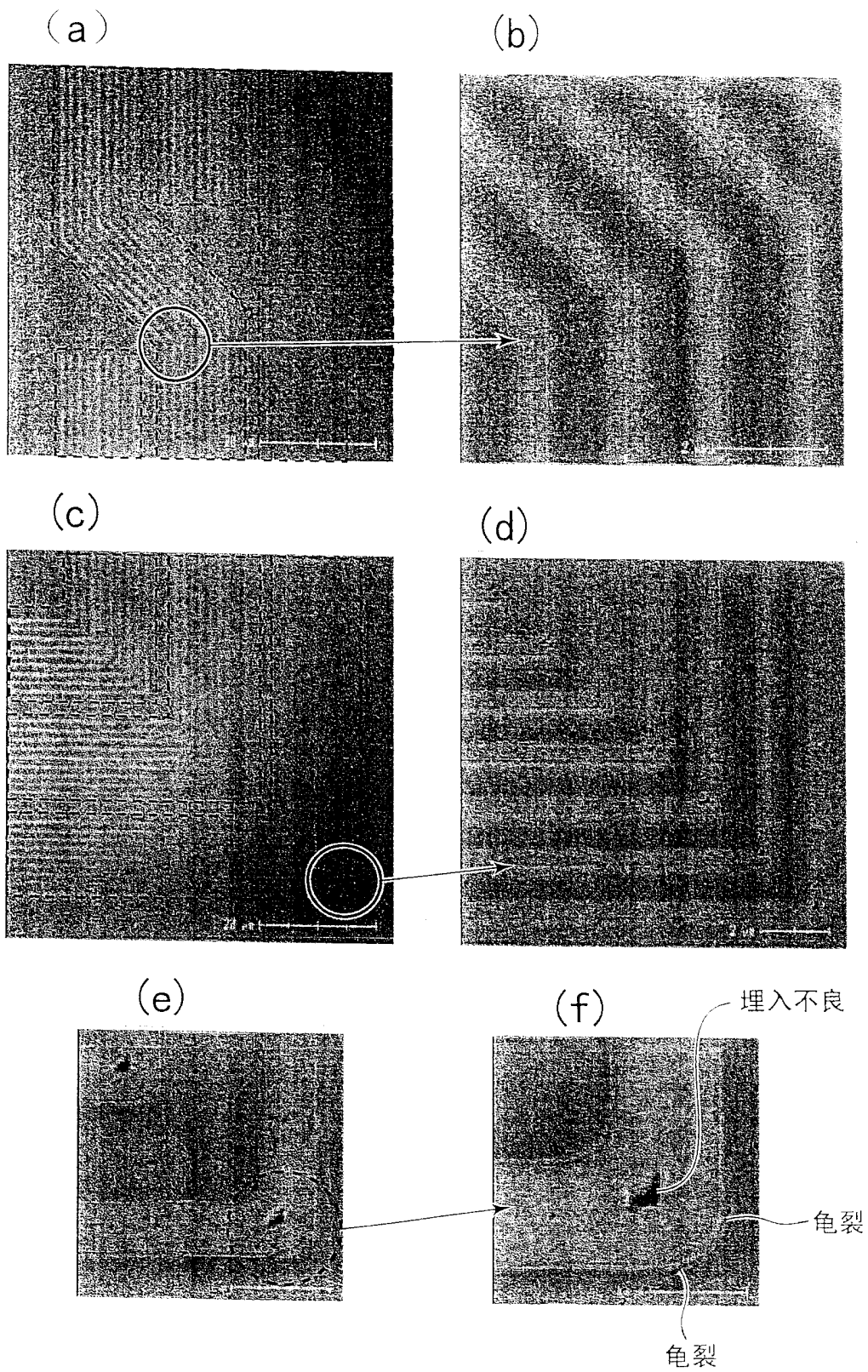


图 3

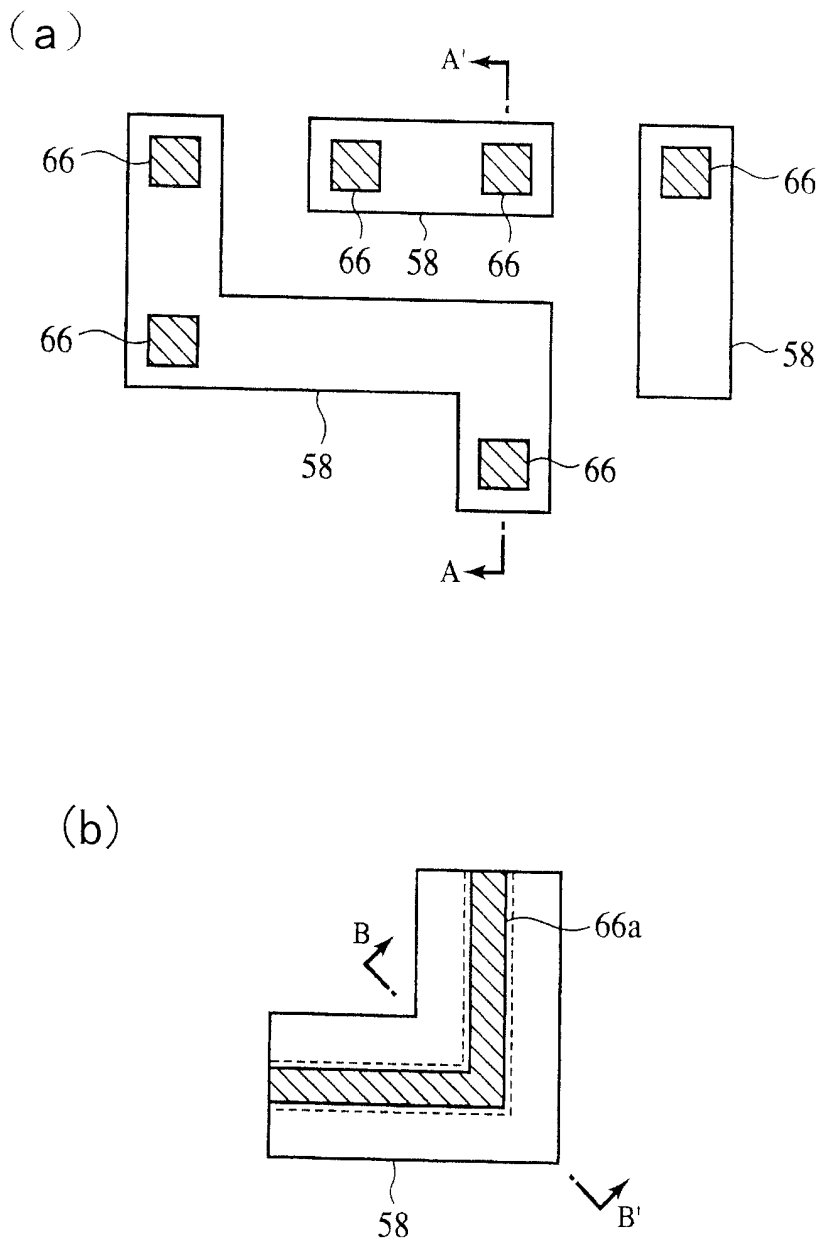


图 4

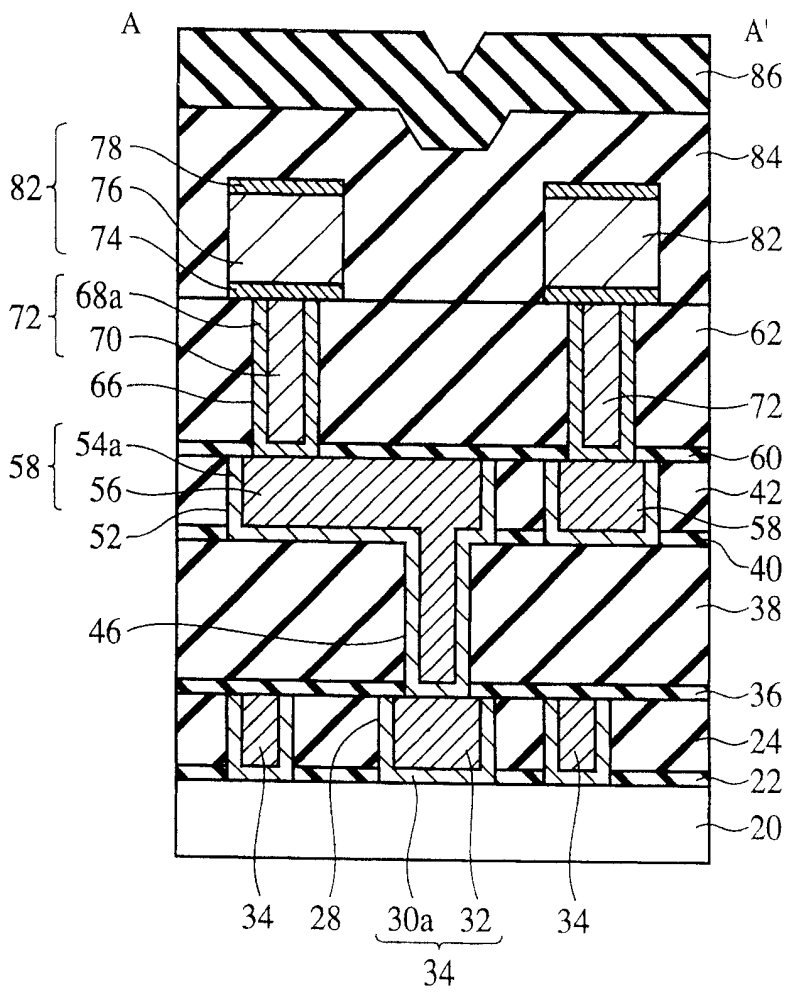


图 5

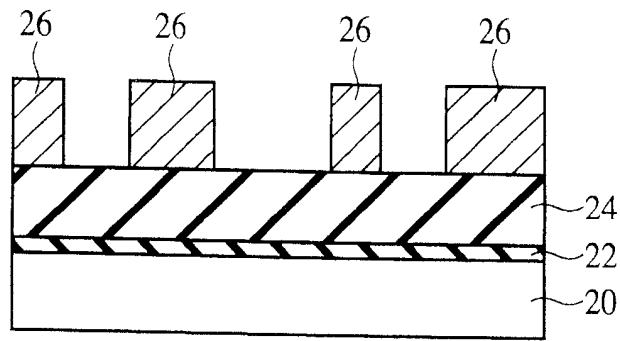


图 7(a)

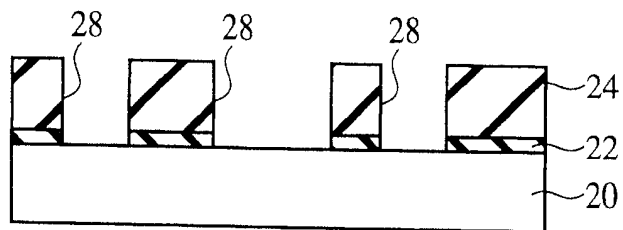


图 7(b)

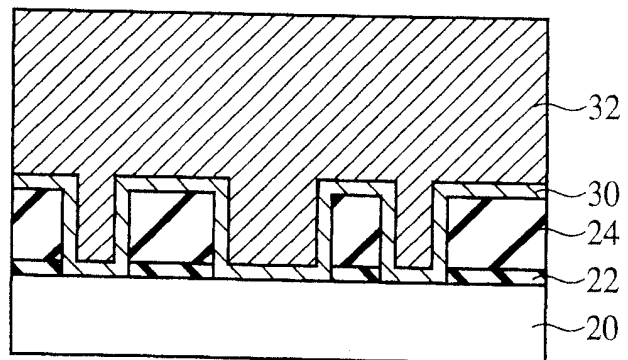


图 7(c)

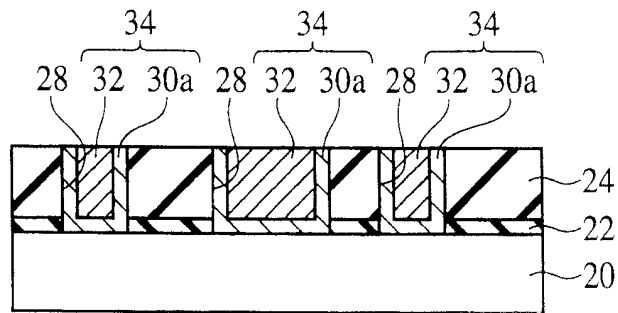


图 8(a)

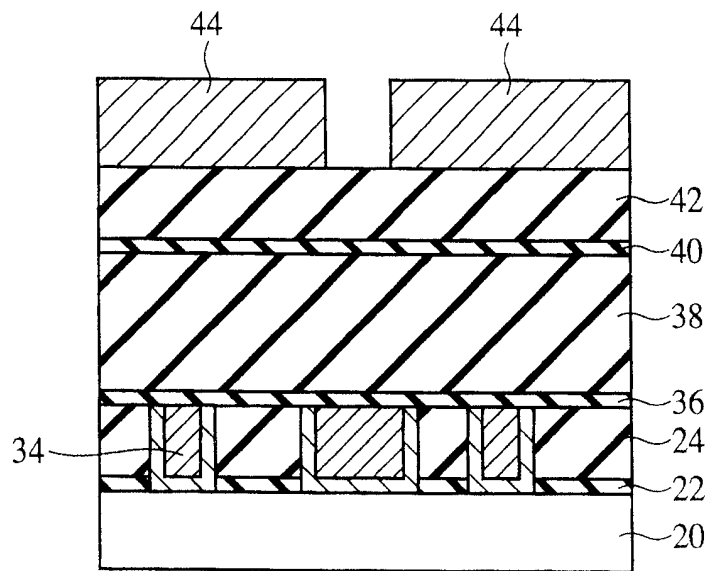


图 8(b)

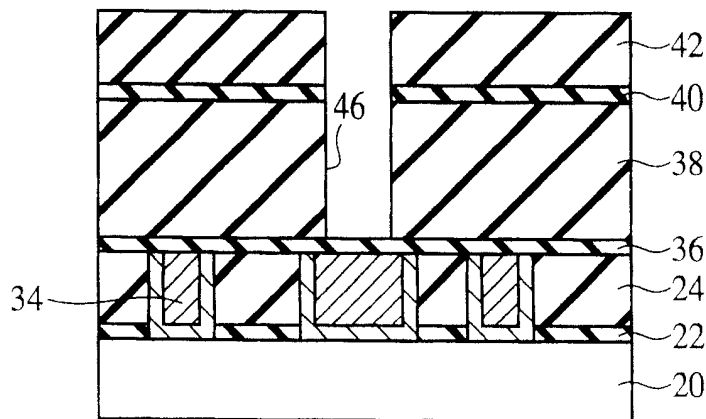


图 8(c)

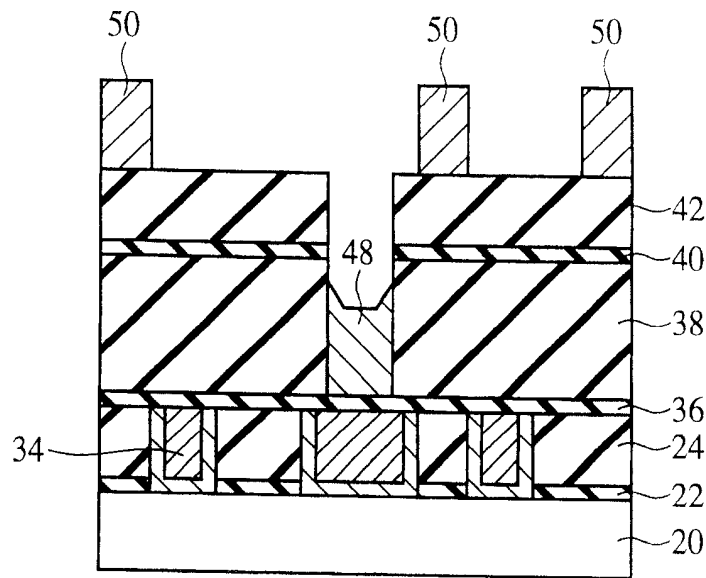


图 9 (a)

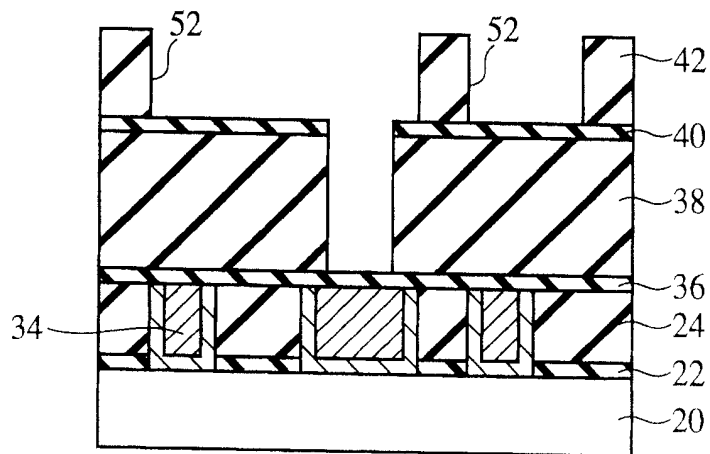


图 9 (b)

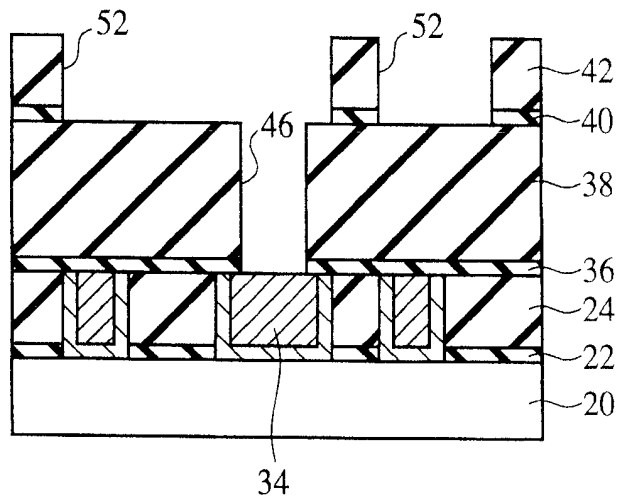


图 10(a)

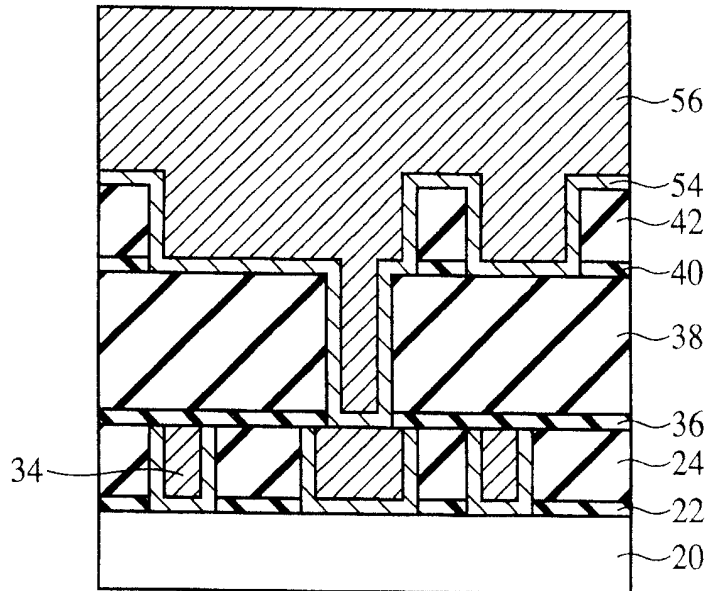


图 10(b)

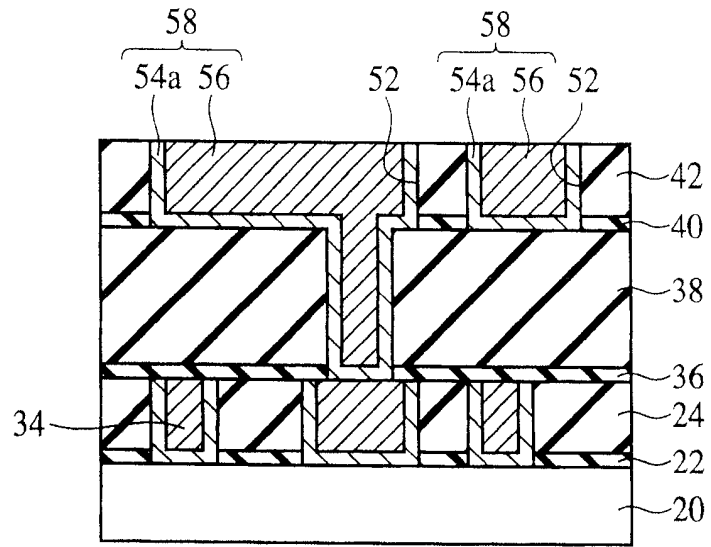


图 11(a)

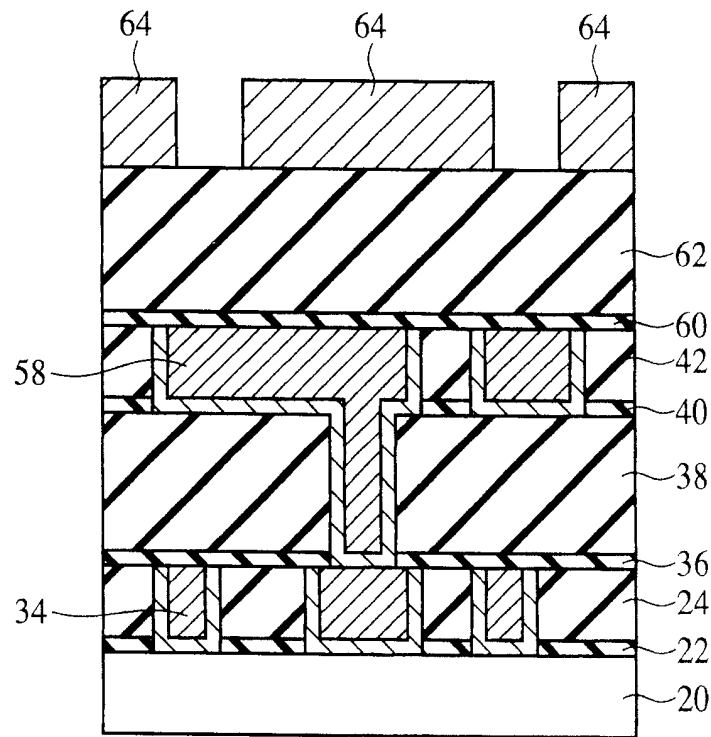


图 11(b)

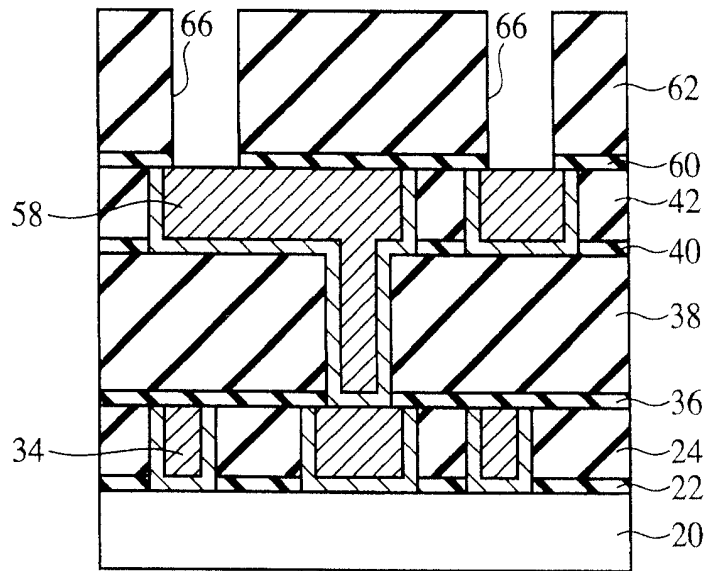


图 12 (a)

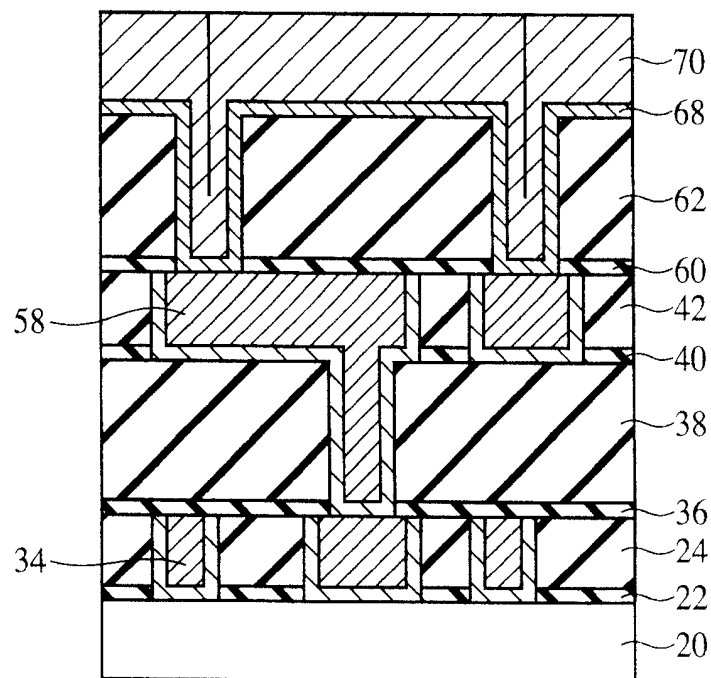


图 12 (b)

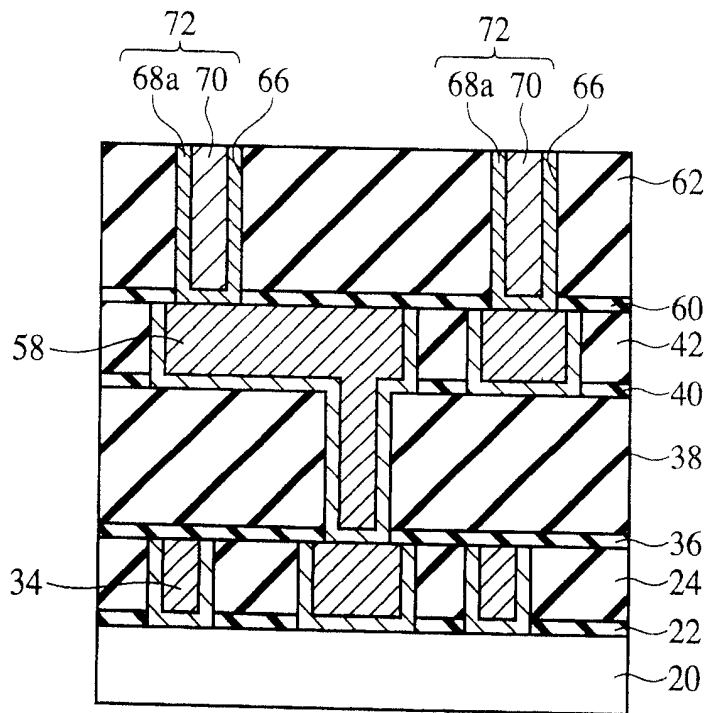


图 13(a)

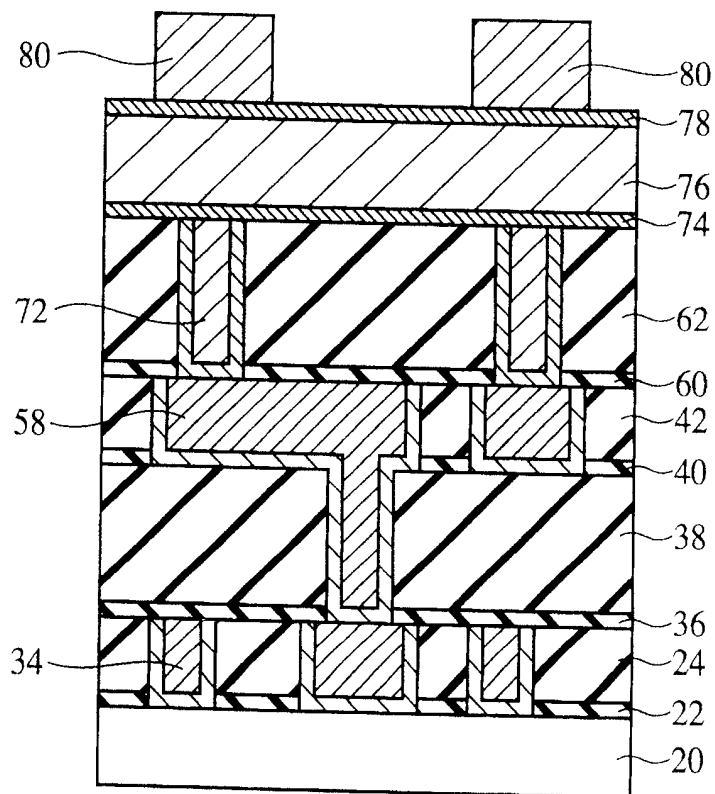


图 13(b)

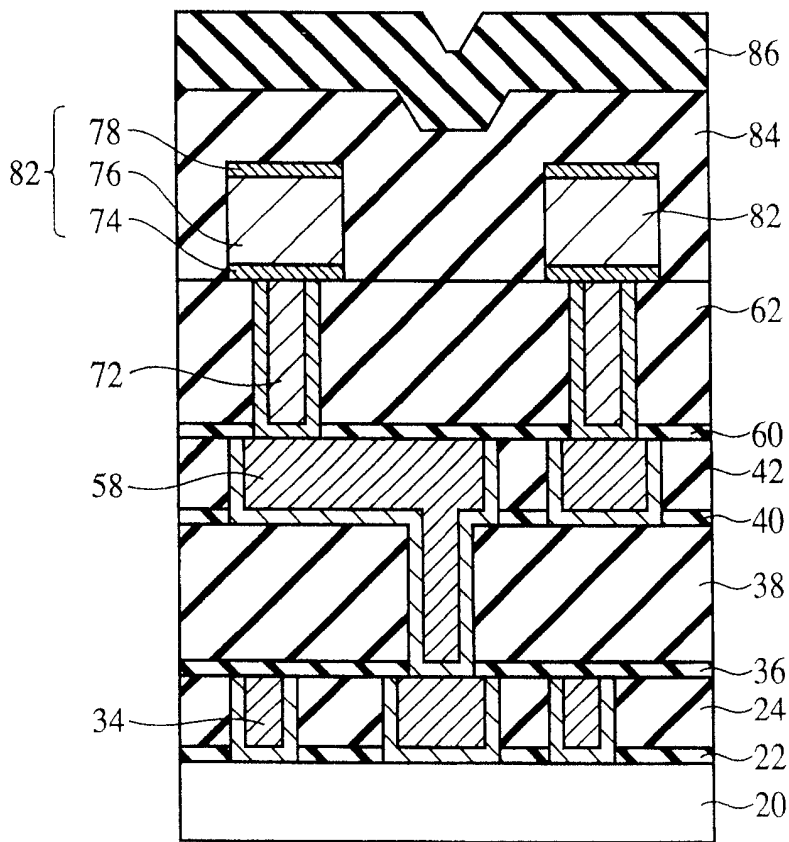


图 14

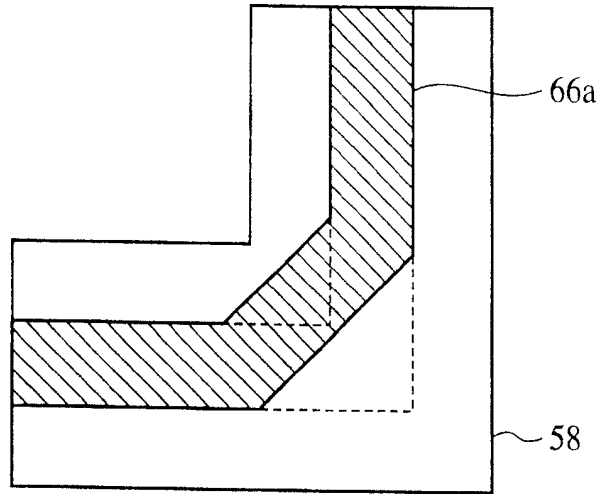


图 15

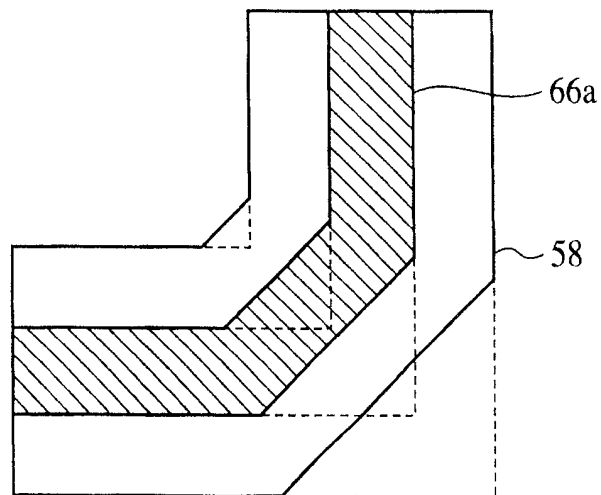


图 16

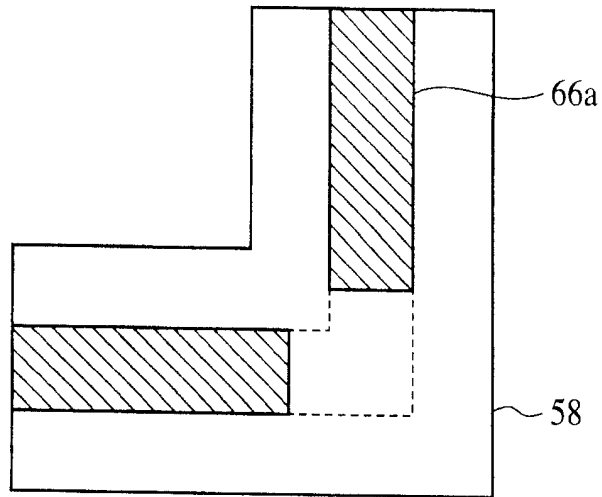


图 17

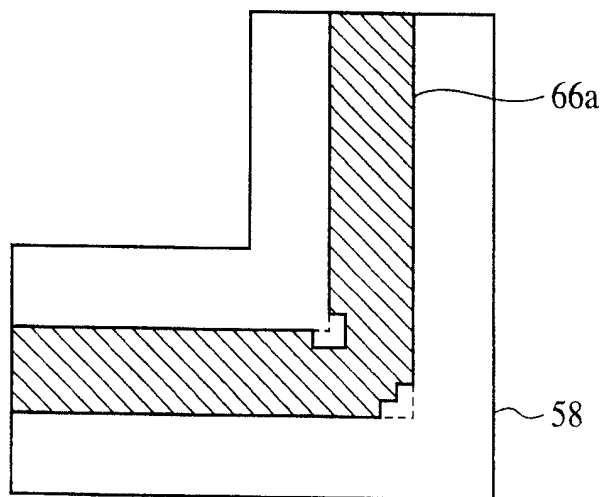


图 18

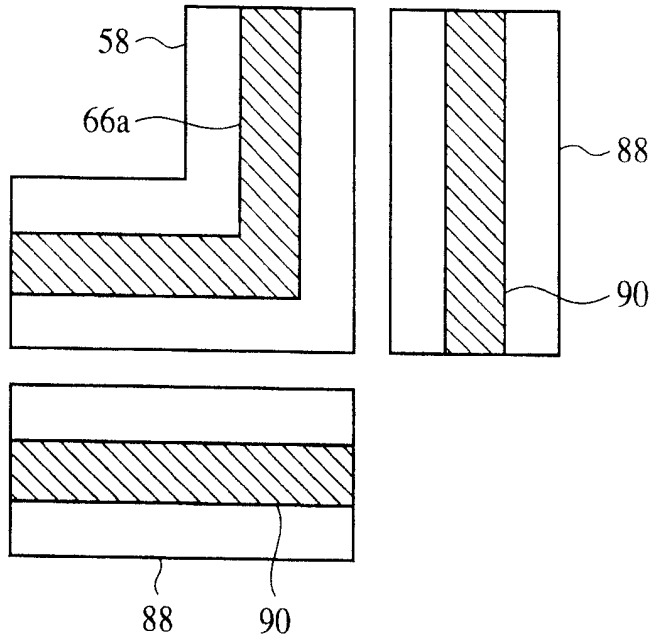


图 19

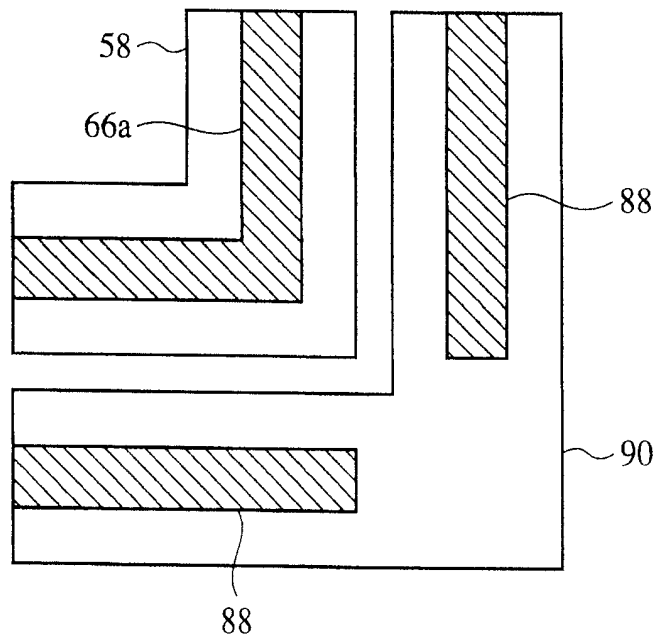


图 20

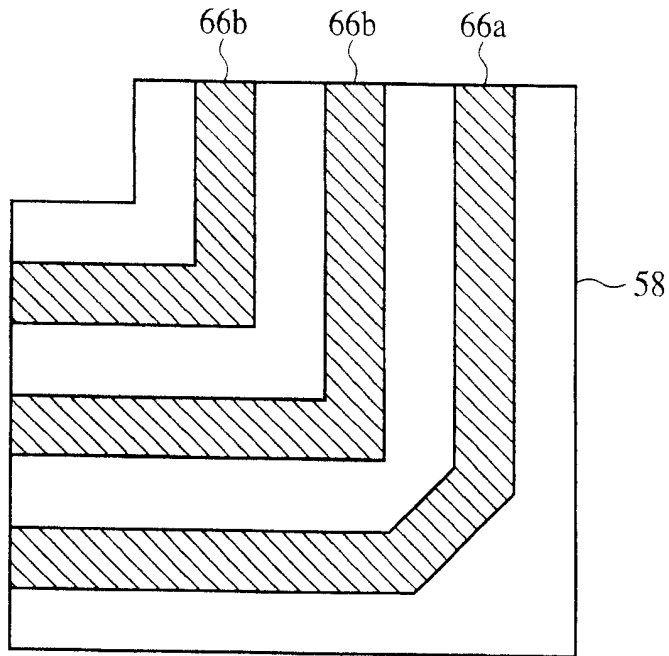


图 21

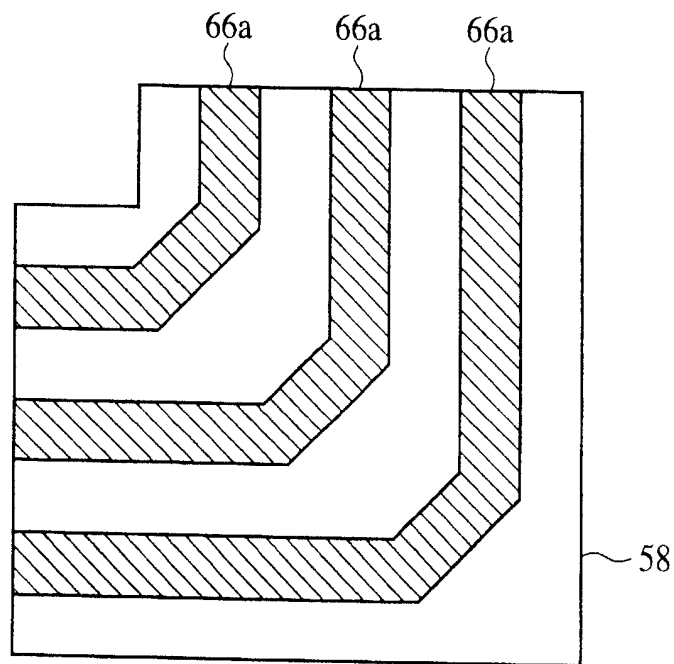


图 22

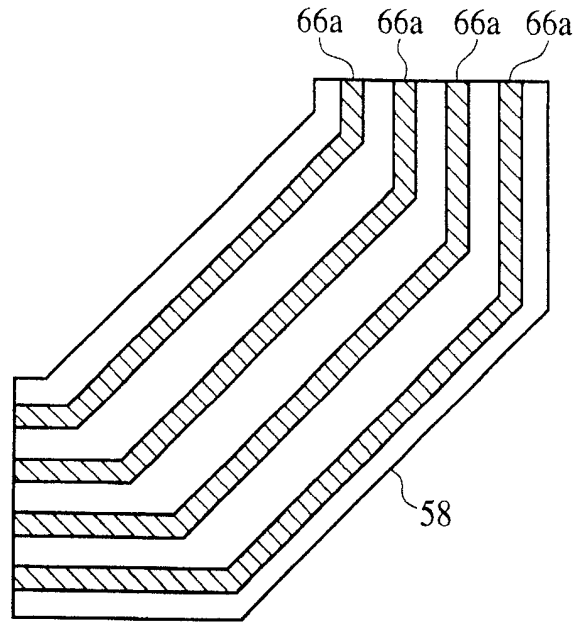


图 23

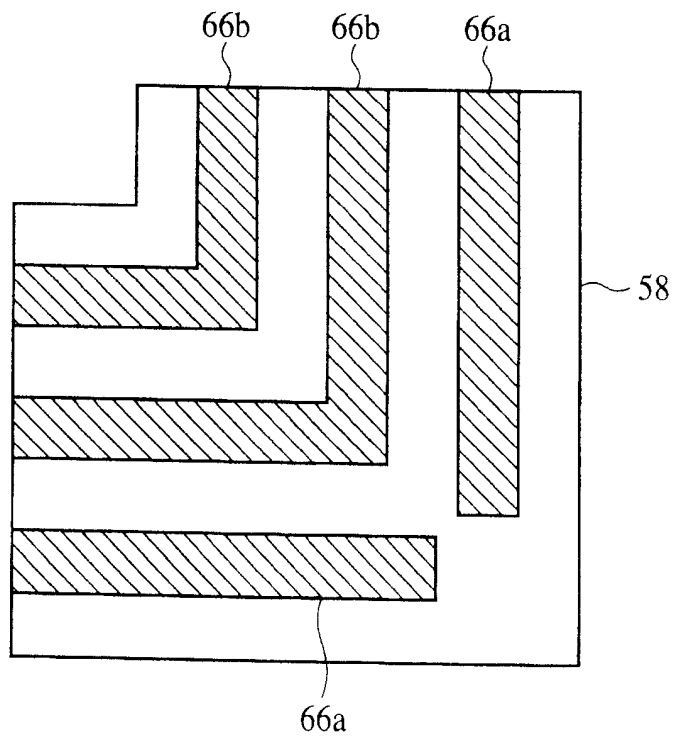


图 24

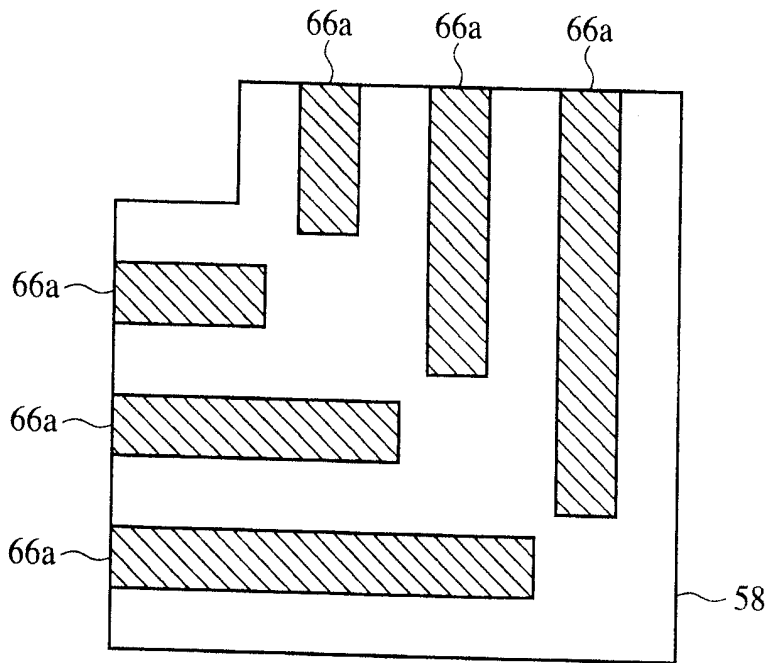


图 25

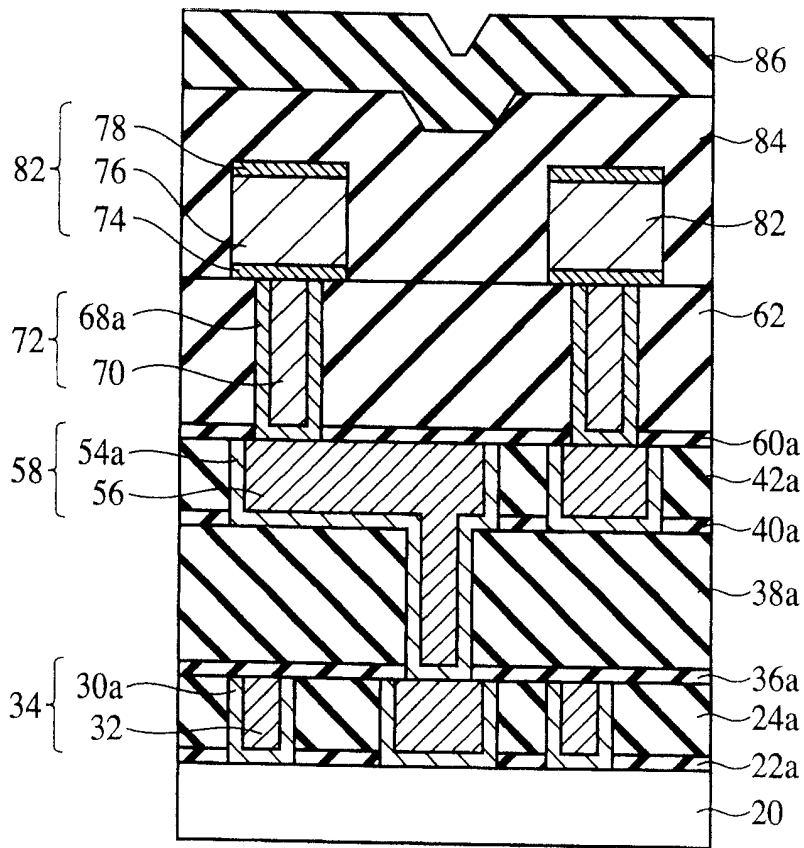


图 26

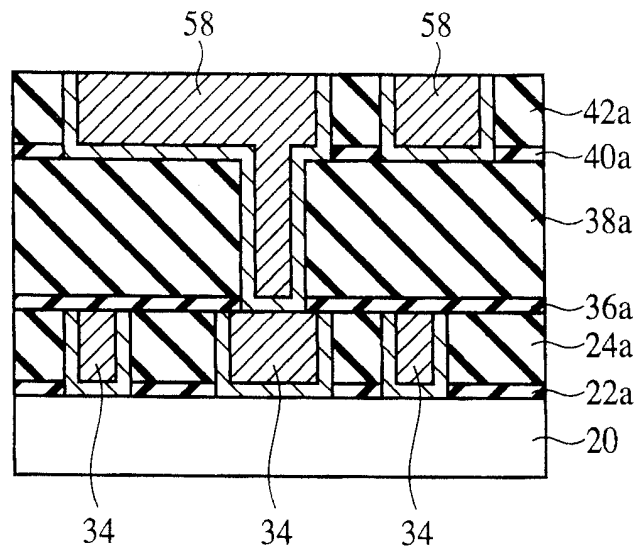


图 27(a)

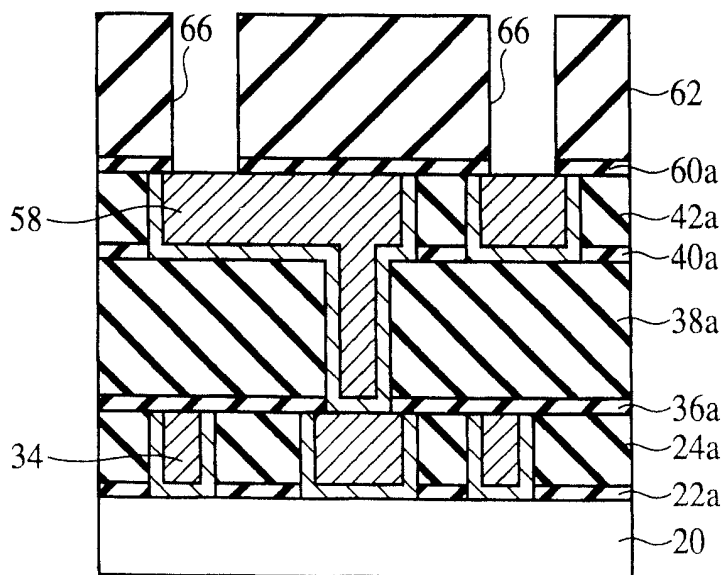


图 27(b)

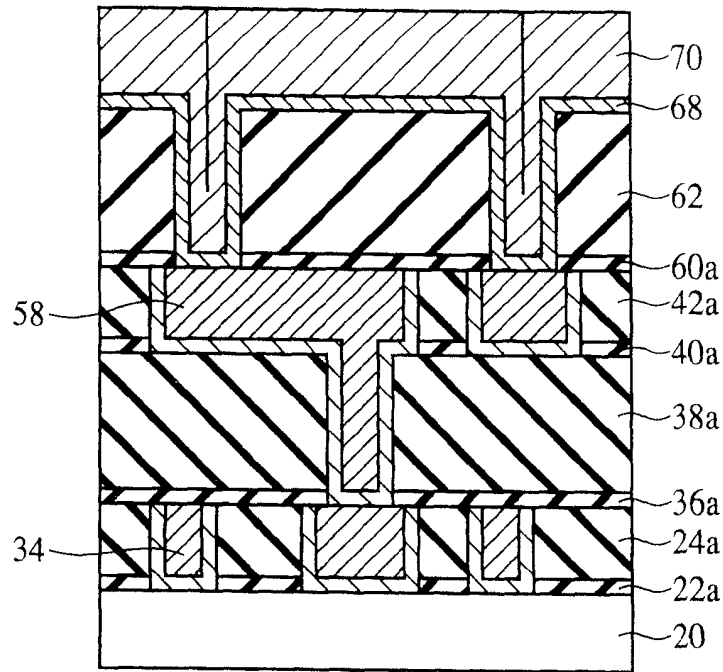


图 28 (a)

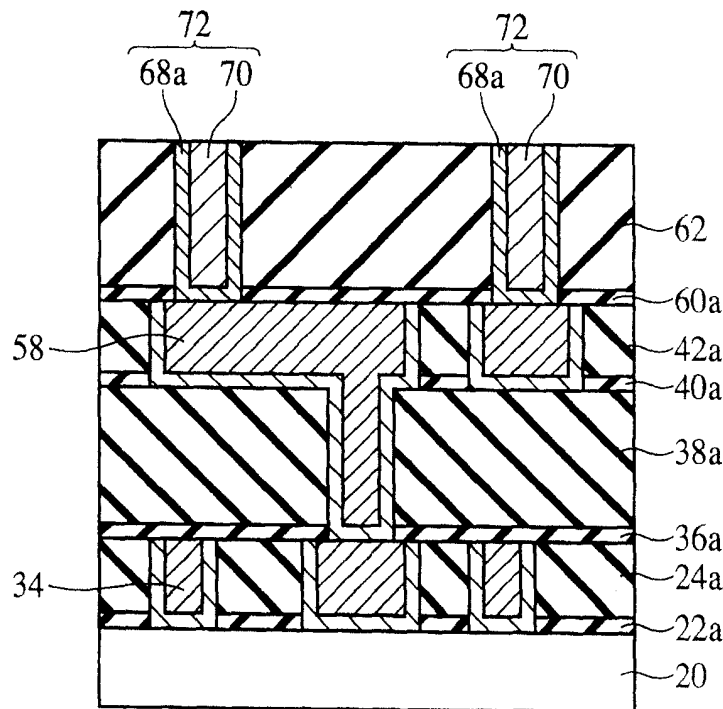


图 28 (b)

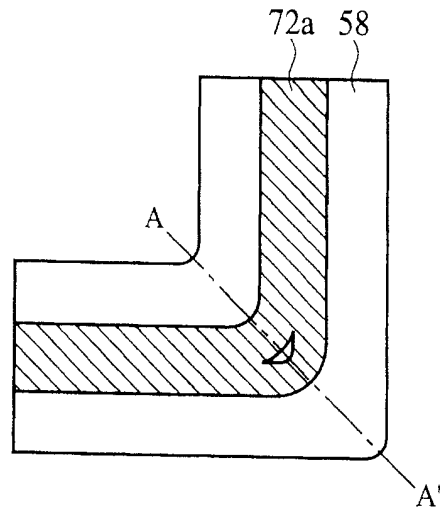


图 29 (a)

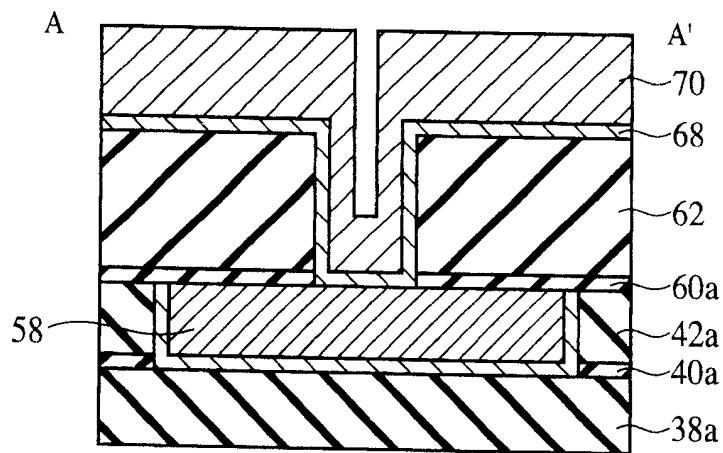


图 29 (b)

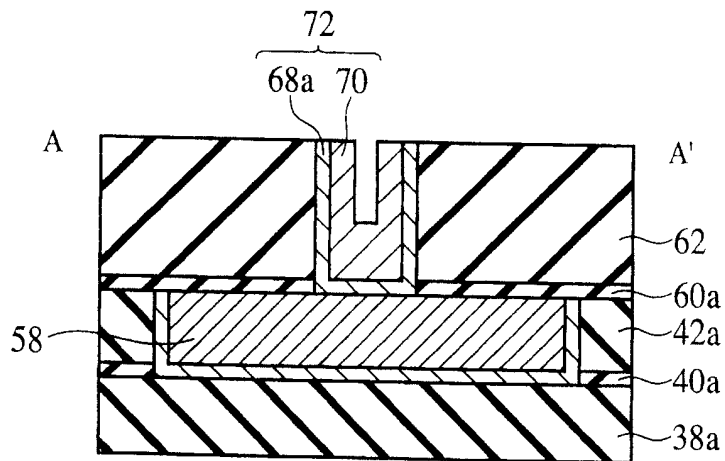


图 29 (c)

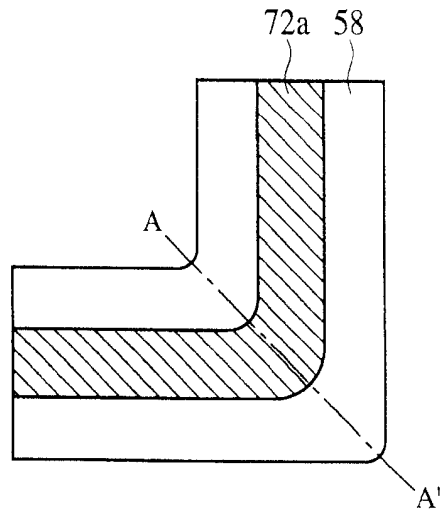


图 30(a)

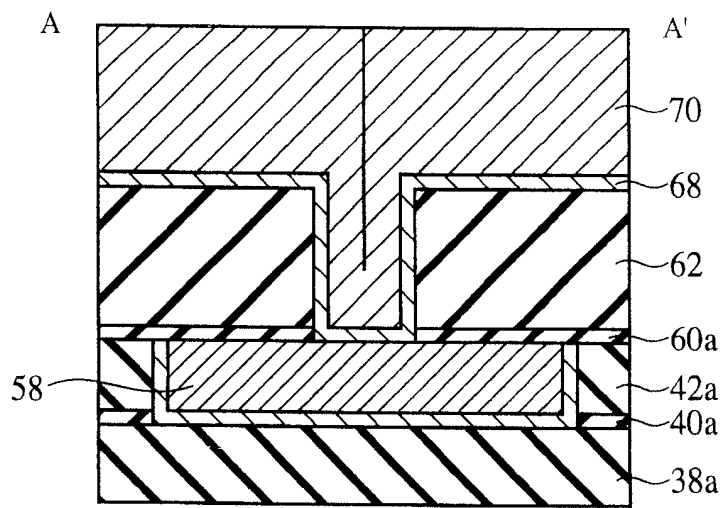


图 30(b)

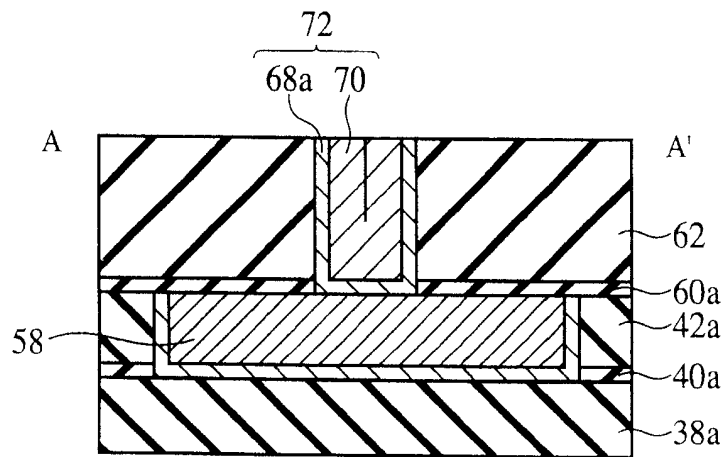


图 30(c)

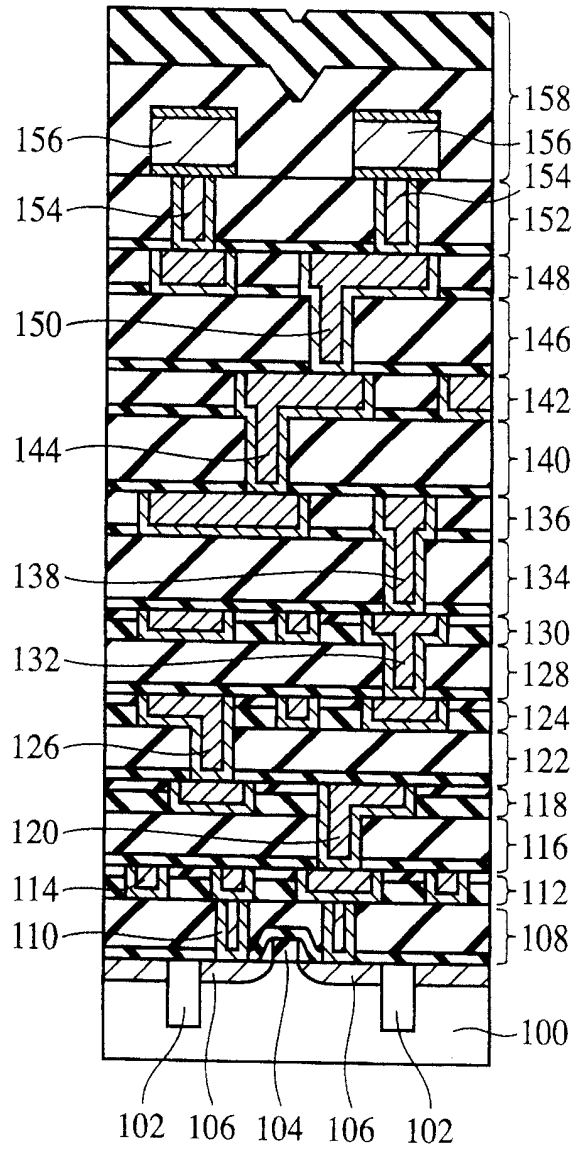


图 31

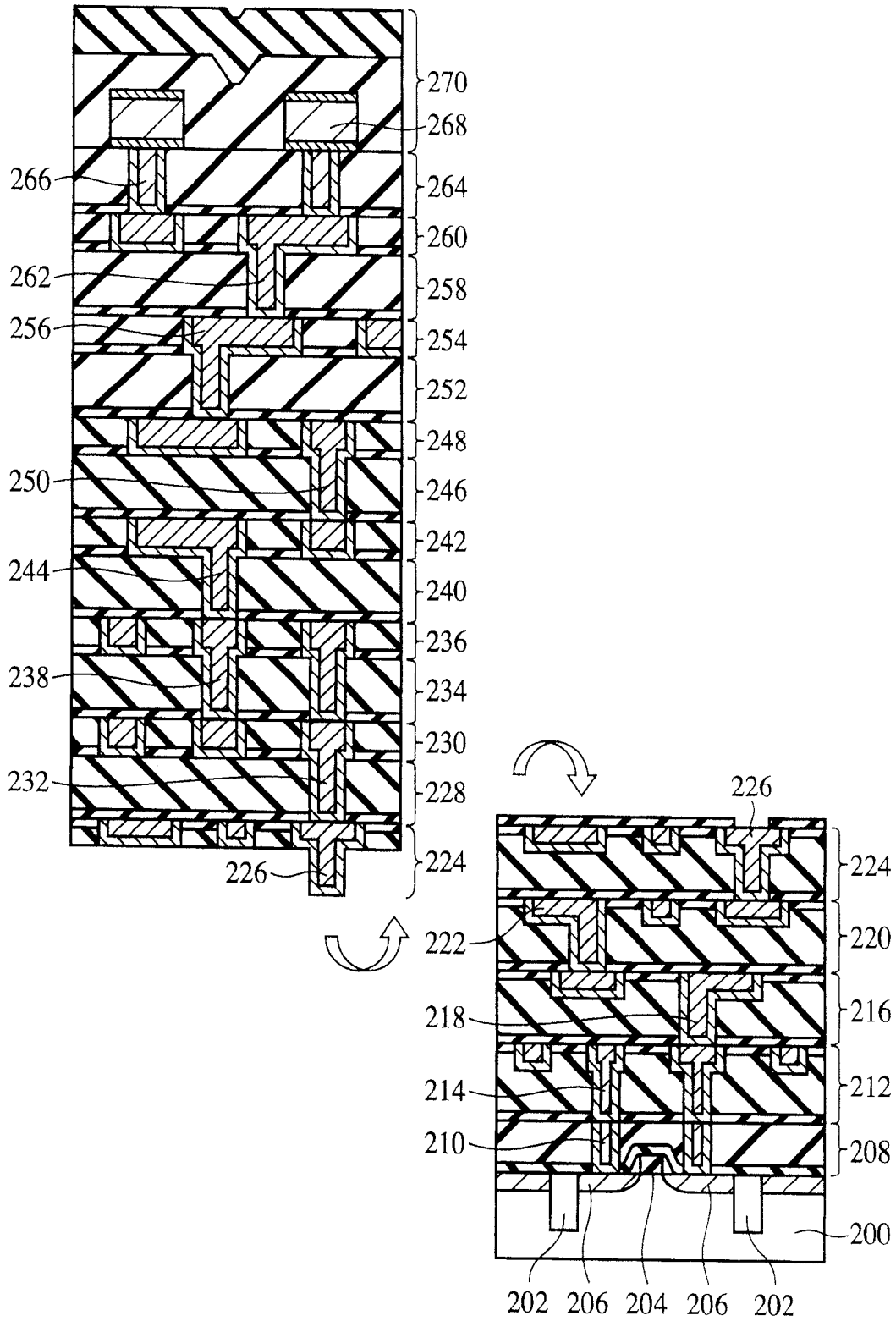


图 32

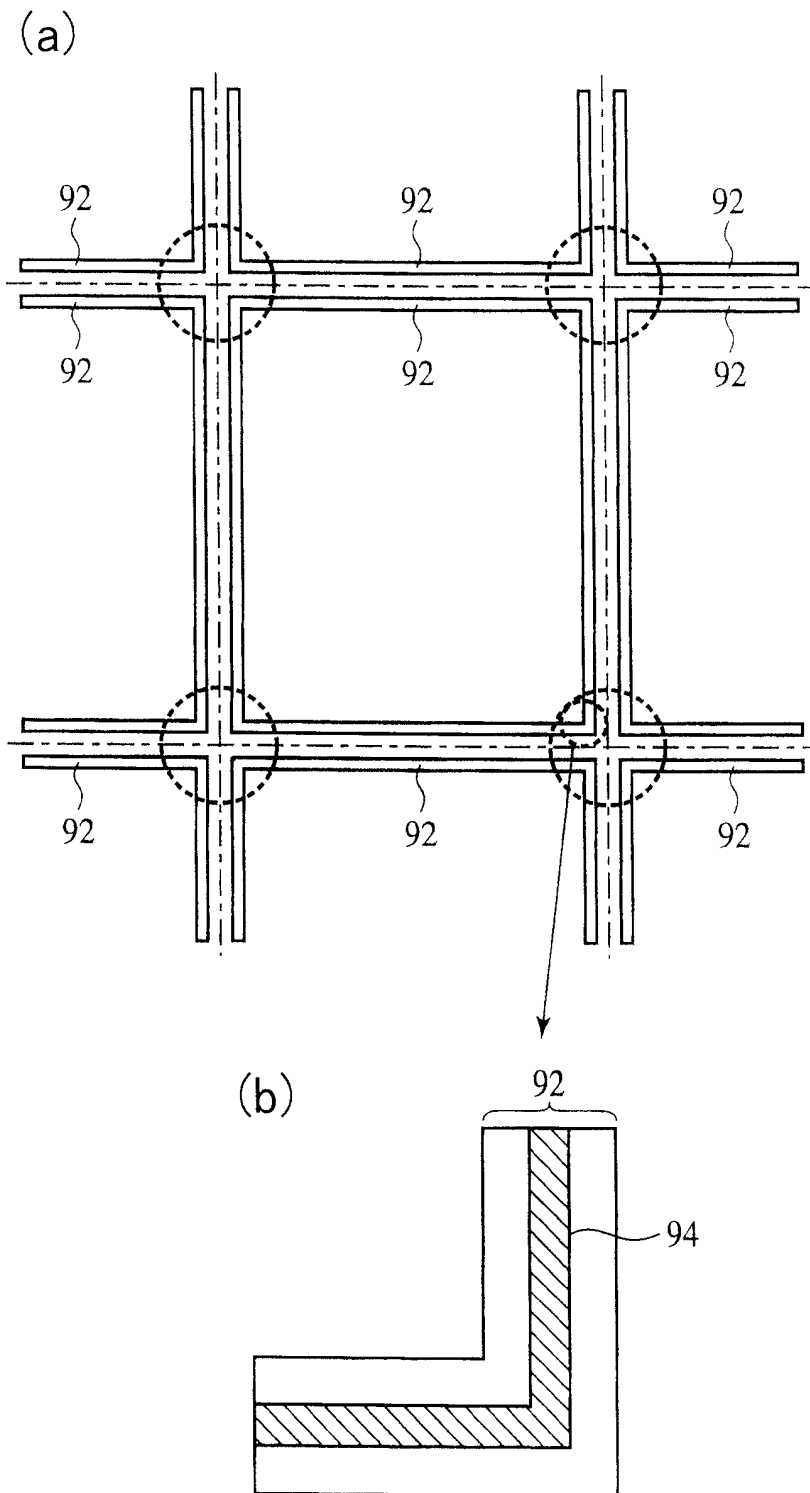


图 33

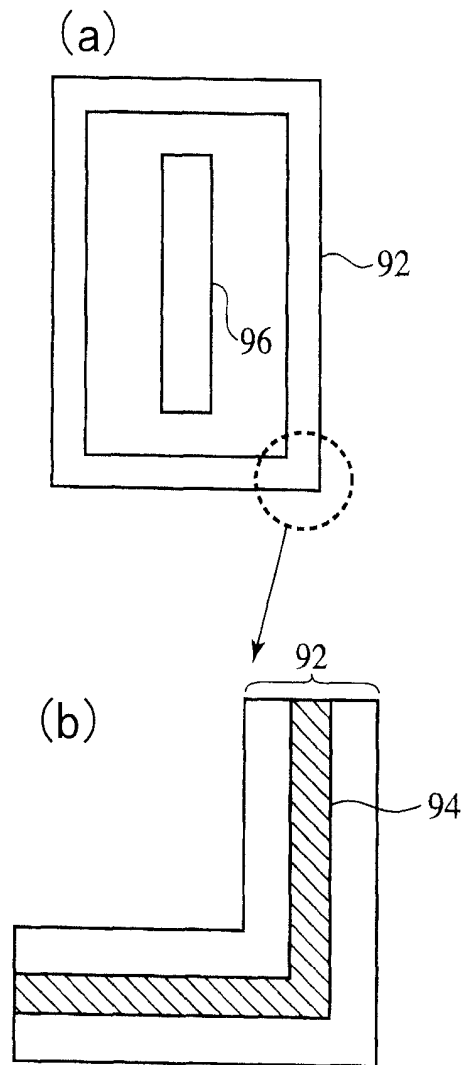


图 34

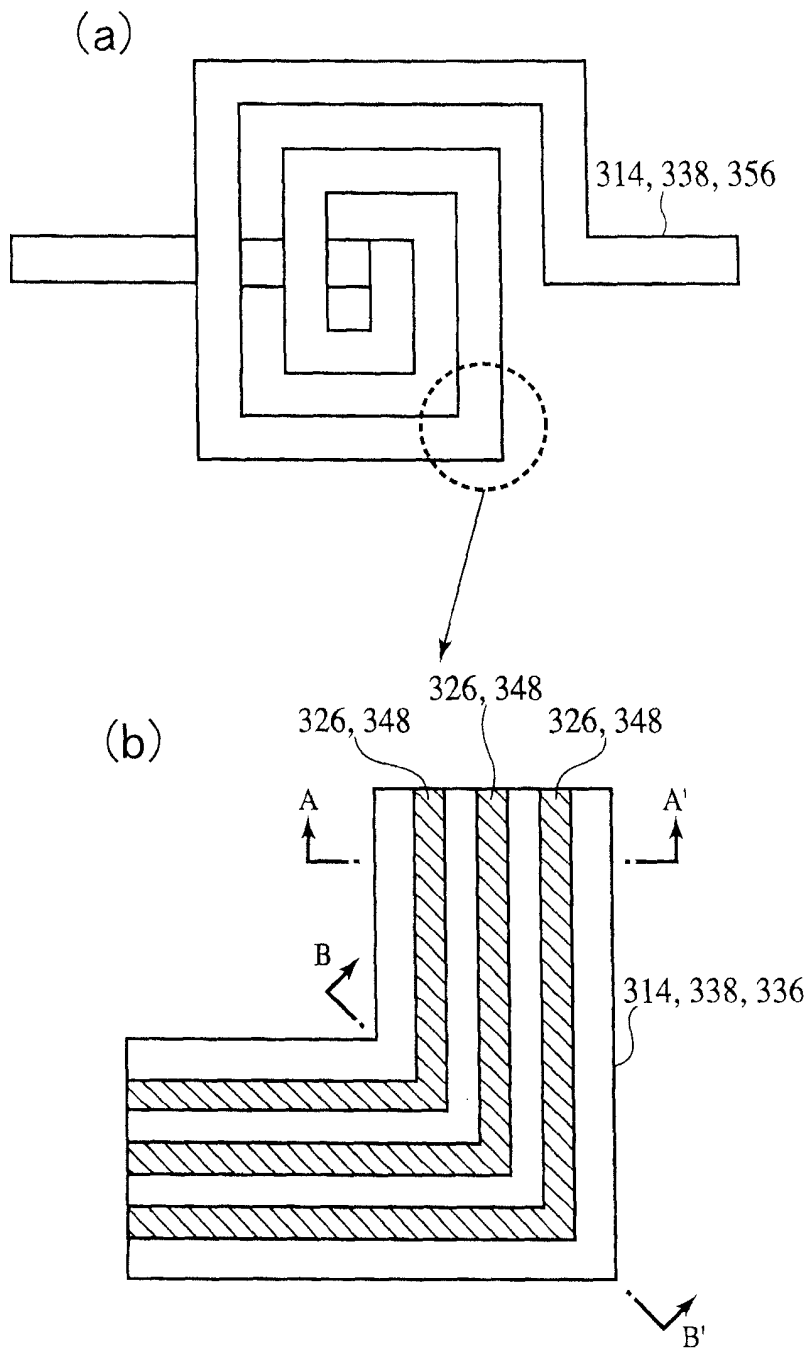


图 35

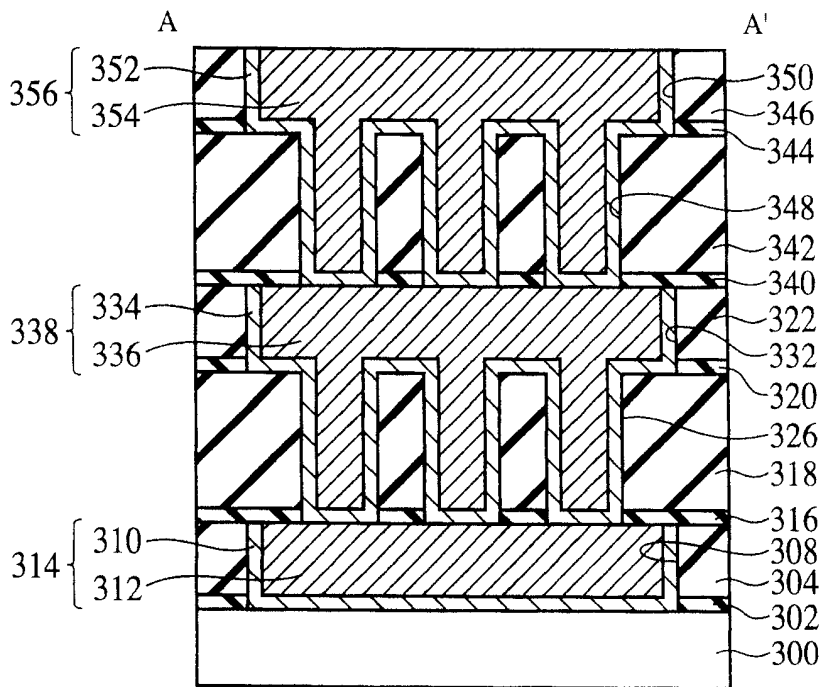


图 36

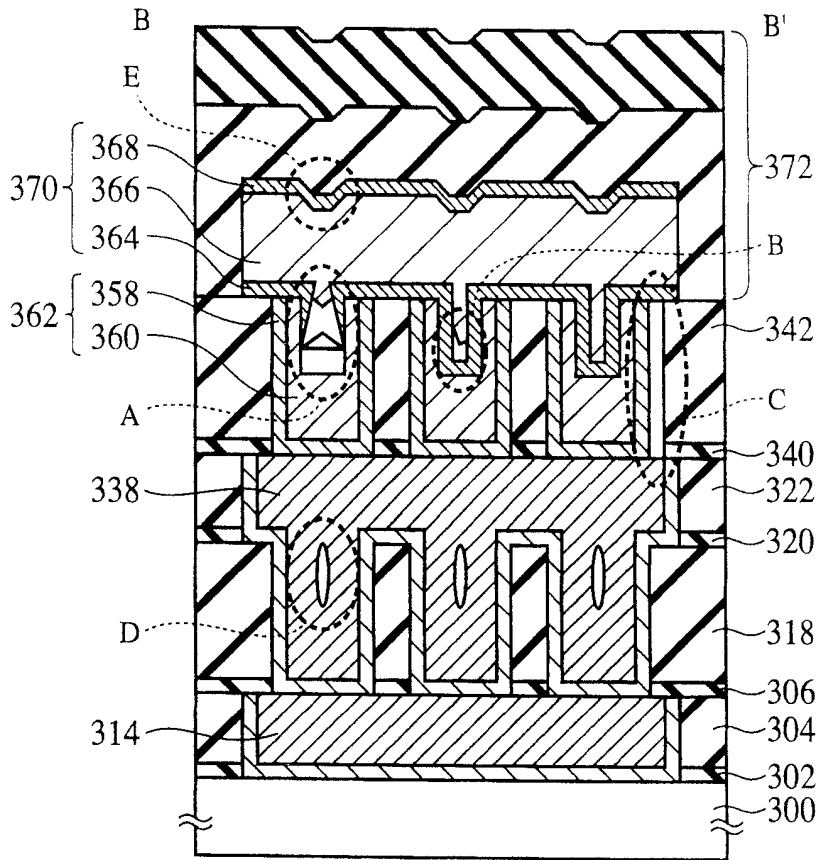


图 37

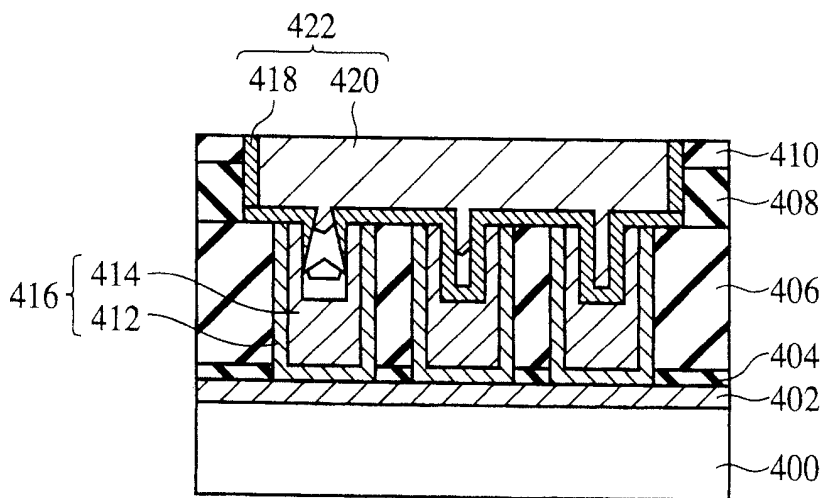


图 38