



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0026741
(43) 공개일자 2009년03월13일

(51) Int. Cl.

G02F 1/136 (2006.01) G02F 1/1335 (2006.01)

(21) 출원번호 10-2008-0089260

(22) 출원일자 2008년09월10일
심사청구일자 없음

(30) 우선권주장 JP-P-2007-00233694 2007년09월10일 일본(JP)

(71) 출원인

세이코 엡슨 가부시키가이샤

일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자

모리와키 미노루

일본 나가노켄 스와시 오와 3쵸메 3방 5고 세이코
엡슨 가부시키가이샤 나이
이시이 다츠야

일본 나가노켄 스와시 오와 3쵸메 3방 5고 세이코
엡슨 가부시키가이샤 나이

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 15 항

(54) 전기 광학 장치 및 그 제조 방법, 그리고 전자 기기

(57) 요약

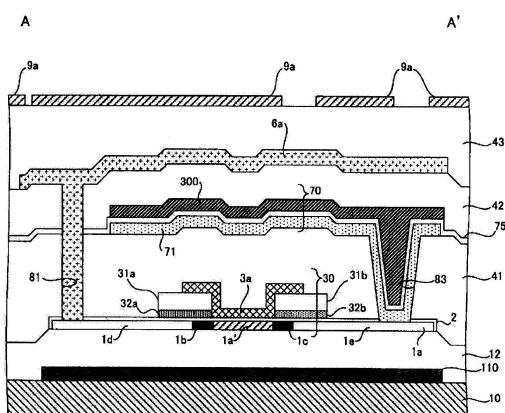
과제

액정 등의 전기 광학 장치에 있어서 광리크 전류의 발생을 저감시켜, 고품질의 화상을 표시할 수 있게 한다.

해결 수단

전기 광학 장치는 기판 (10) 과, 기판 상에서 서로 교차하여 연재되는 데이터선 (6a) 및 주사선 (11a) 과, 데이터선 및 주사선의 교차에 대응하여 규정되는 각 화소마다 형성된 화소 전극 (9a) 과, 채널 영역 (1a'), 데이터선 층 소스 드레인 영역 (1d), 화소 전극층 소스 드레인 영역 (1e), 제 1 접합 영역 (1b), 및 제 2 접합 영역 (1c) 을 갖는 반도체층 (1a) 과, 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막 (31a) 과, 제 2 접합 영역을 덮도록 섬 형상으로 형성된 제 2 절연막 (31b) 과, 채널 영역에 게이트 절연막 (2) 을 개재시켜 대향함과 함께, 제 1 및 제 2 절연막 상에 연재되어 있는 게이트 전극 (3a) 을 구비한다.

대표 도 - 도6



특허청구의 범위

청구항 1

기판과,

그 기판 상에서, 서로 교차하여 연재되는 데이터선 및 주사선과,

상기 데이터선 및 상기 주사선의 교차에 대응하여 규정되는 화소마다 형성된 화소 전극과,

상기 데이터선 또는 상기 주사선의 연재 방향을 따르는 채널 길이를 갖는 채널 영역, 상기 데이터선에 전기적으로 접속된 데이터선측 소스 드레인 영역, 상기 화소 전극에 전기적으로 접속된 화소 전극측 소스 드레인 영역, 상기 채널 영역 및 상기 데이터선측 소스 드레인 영역 간에 형성된 제 1 접합 영역, 그리고 상기 채널 영역 및 상기 화소 전극측 소스 드레인 영역 간에 형성된 제 2 접합 영역을 갖는 반도체층과,

상기 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막과,

상기 제 2 접합 영역을 덮도록 섬 형상으로 형성된 제 2 절연막과,

상기 채널 영역에 게이트 절연막을 개재시켜 대향함과 함께, 상기 제 1 및 제 2 절연막 상에 연재되는 게이트 전극을 구비하는 것을 특징으로 하는 전기 광학 장치.

청구항 2

제 1 항에 있어서,

상기 기판 상에서 평면적으로 보아,

상기 제 1 절연막은 상기 데이터선측 소스 드레인 영역의 적어도 일부와 중첩되지 않도록 형성되어 있고,

상기 제 2 절연막은 상기 화소 전극측 소스 드레인 영역의 적어도 일부와 중첩되지 않도록 형성되어 있고,

상기 게이트 전극은, 상기 데이터선측 소스 드레인 영역의 적어도 일부와 중첩되도록 연재되어 있으며 상기 화소 전극측 소스 드레인 영역의 적어도 일부와 중첩되도록 연재되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 게이트 절연막은, 상기 채널 영역에 추가하여 상기 제 1 및 제 2 접합 영역에 대향하는 영역에 상기 제 1 및 제 2 절연막의 하지층으로서 형성되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 게이트 절연막은 상기 제 1 및 제 2 접합 영역에 대향하는 영역에 형성되어 있지 않고,

상기 제 1 및 제 2 절연막은 각각 상기 게이트 절연막보다 두꺼운 것을 특징으로 하는 전기 광학 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 절연막은 서로 동일 층에 동일 막으로 형성되는 것을 특징으로 하는 전기 광학 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 절연막은, 상기 기판 상에서 평면적으로 보아, 상기 제 1 접합 영역에 추가하여 상기 데이터선측 소스 드레인 영역을 적어도 부분적으로 덮도록 형성되어 있으며,

상기 게이트 전극은 상기 제 1 절연막에 있어서의 상기 데이터선측 소스 드레인 영역을 덮도록 연재되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 7

제 1 항에 있어서,

상기 제 2 절연막은, 상기 기판 상에서 평면적으로 보아, 상기 제 2 접합 영역에 추가하여 상기 화소 전극측 소스 드레인 영역을 적어도 부분적으로 덮도록 형성되어 있으며,

상기 게이트 전극은 상기 제 2 절연막에 있어서의 상기 화소 전극측 소스 드레인 영역을 덮도록 연재되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 절연막의 적어도 일방은, 상기 기판 상에서 평면적으로 보아, 상기 채널 영역으로부터 소정 거리 떨어진 위치에 배치되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 절연막의 적어도 일방은 상기 반도체층에 질화막을 개재시켜 대향하도록 배치되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 제 2 접합 영역은, 상기 기판 상에서 평면적으로 보아, 상기 데이터선 및 상기 주사선이 교차하는 교차 영역 내에 적어도 부분적으로 배치되어 있는 것을 특징으로 하는 전기 광학 장치.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 2 접합 영역은 LDD 영역인 것을 특징으로 하는 전기 광학 장치.

청구항 12

제 1 항 내지 제 10 항 중 어느 한 항에 기재된 전기 광학 장치를 구비하여 이루어지는 것을 특징으로 하는 전자 기기.

청구항 13

기판 상에 채널 영역, 데이터선측 소스 드레인 영역, 화소 전극측 소스 드레인 영역, 상기 채널 영역 및 상기 데이터선측 소스 드레인 영역 간에 형성된 제 1 접합 영역, 그리고 상기 채널 영역 및 상기 화소 전극측 소스 드레인 영역 간에 형성된 제 2 접합 영역을 갖는 반도체층을 형성하는 공정과,

상기 기판 상에서 평면적으로 보아, 상기 반도체층을 덮도록 게이트 절연막을 형성하는 공정과,

상기 기판 상에서 평면적으로 보아, 상기 게이트 절연막을 덮도록 형성된 절연막을 패터닝하여, 상기 기판 상에서 평면적으로 보아, 상기 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막, 및 상기 제 2 접합 영역을 덮도록 형성된 제 2 절연막을 형성하는 공정과,

상기 채널 영역에 게이트 절연막을 개재시켜 대향하도록, 그리고 상기 기판 상에서 평면적으로 보아, 상기 제 1 및 제 2 절연막 상에 연재되도록 게이트 전극을 형성하는 공정과,

서로 교차하여 연재되도록 주사선 및 데이터선을 형성하는 공정과,

상기 주사선 및 상기 데이터선의 교차에 대응하여 규정되는 화소마다 화소 전극을 형성하는 공정을 구비하는 것을 특징으로 하는 전기 광학 장치의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 반도체층을 형성하는 공정은,

상기 채널 영역, 상기 데이터선측 소스 드레인 영역, 상기 화소 전극측 소스 드레인 영역, 그리고 상기 제 1 및 제 2 접합 영역이 형성되기 전의 반도체층에 저농도의 이온을 주입함으로써, LDD 영역으로서 상기 제 1 및 제 2 접합 영역을 형성하는 공정과,

상기 제 1 및 제 2 접합 영역이 형성된 반도체층에 고농도의 이온을 주입함으로써, 상기 데이터선측 소스 드레인 영역 및 상기 화소 전극측 소스 드레인 영역을 형성하는 공정을 포함하는 것을 특징으로 하는 전기 광학 장치의 제조 방법.

청구항 15

제 13 항 또는 제 14 항에 있어서,

상기 게이트 절연막을 형성하는 공정 후에, 상기 기판 상에서 평면적으로 보아, 상기 게이트 절연막을 덮도록 질화막을 형성하는 공정과,

상기 제 1 및 제 2 절연막을 형성하는 공정 후에, 열인산 처리에 의해 상기 질화막을 제거하는 공정을 추가로 구비하는 것을 특징으로 하는 전기 광학 장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 예를 들어 액정 장치 등의 전기 광학 장치, 및 그 전기 광학 장치의 제조 방법, 그리고 그 전기 광학 장치를 구비한, 예를 들어 액정 프로젝터 등의 전자 기기의 기술 분야에 관한 것이다.

배경기술

<2> 이러한 종류의 전기 광학 장치의 일례인 액정 장치는 직시형 디스플레이뿐만 아니라, 예를 들어 투사형 표시 장치의 광변조 수단(라이트 밸브)으로서도 다용되고 있다. 특히 투사형 표시 장치의 경우, 광원으로부터의 강한 광이 액정 라이트 밸브에 입사되기 때문에, 이 광에 의해 액정 라이트 밸브 내의 박막 트랜지스터(TFT : Thin Film Transistor)가 리크 전류의 증대나 오동작 등을 일으키지 않도록, 입사광을 차단하는 차광 수단으로서의 차광막이 액정 라이트 밸브에 내장되어 있다.

<3> 이러한 차광 수단 또는 차광막에 대하여, 예를 들어 특히 문헌 1은 TFT의 채널 영역에서 게이트 전극으로서 기능하는 주사선에 의해 차광하는 기술을 개시하고 있다. 특히 문헌 2에 의하면, 채널 영역 상에 형성된 복수의 차광막과, 내면 반사광을 흡수하는 층을 형성함으로써 TFT의 채널 영역에 도달하는 광을 저감시키고 있다. 특히 문헌 3은 TFT의 바람직한 동작의 확보 및 주사선의 협소화를 가능하게 하면서, TFT의 채널 영역에 입사되는 입사광을 최대한 저감시키는 기술을 개시하고 있다.

<4> [특허 문헌 1] 일본 공개특허공보 2004-4722호

<5> [특허 문헌 2] 일본 특허공보 제3731447호

<6> [특허 문헌 3] 일본 공개특허공보 2003-262888호

발명의 내용

해결 하고자하는 과제

<7> 그러나, 상기 서술한 바와 같은 차광막에 의해 TFT를 차광하는 경우, 차광막과 TFT를 구성하는 반도체층 사이는 3 차원적으로 보아, 예를 들어 절연막 등을 개재시켜 이간되어 있어, 차광막의 옆에서 비스듬하게 입사되는 입사광이 TFT를 구성하는 반도체층에 도달하여, TFT에 있어서의 광리크 전류가 발생할 우려가 있다. 이러한 TFT에 있어서의 광리크 전류에서 기인하여 플리커, 화소 불균일 등의 표시 불량이 발생하여, 표시 화상의

품질이 저하될 우려가 있다는 기술적 문제점이 있다.

- <8> 본 발명은 예를 들어 상기 서술한 문제점을 감안하여 이루어진 것으로서, 예를 들어, 액티브 매트릭스 방식으로 구동되는 액정 장치 등의 전기 광학 장치로서, 화소 스위칭용 TFT에 있어서의 광리크 전류의 발생을 저감시킬 수 있으며, 고품질의 화상을 표시할 수 있는 전기 광학 장치 및 그 제조 방법, 그리고 그 전기 광학 장치를 구비하여 이루어지는 전자 기기를 제공하는 것을 과제로 한다.

과제 해결수단

- <9> 본 발명의 전기 광학 장치는, 상기 과제를 해결하기 위해, 기판과, 그 기판 상에서, 서로 교차하여 연재되는 데 이터선 및 주사선과, 상기 데이터선 및 상기 주사선의 교차에 대응하여 규정되는 화소마다 형성된 화소 전극과, 상기 데이터선 또는 상기 주사선의 연재 방향을 따른 채널 길이를 갖는 채널 영역, 상기 데이터선에 전기적으로 접속된 데이터선측 소스 드레인 영역, 상기 화소 전극에 전기적으로 접속된 화소 전극측 소스 드레인 영역, 상기 채널 영역 및 상기 데이터선측 소스 드레인 영역 간에 형성된 제 1 접합 영역, 그리고 상기 채널 영역 및 상기 화소 전극측 소스 드레인 영역 간에 형성된 제 2 접합 영역을 갖는 반도체층과, 상기 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막과, 상기 제 2 접합 영역을 덮도록 섬 형상으로 형성된 제 2 절연막과, 상기 채널 영역에 게이트 절연막을 개재시켜 대향함과 함께, 상기 제 1 및 제 2 절연막 상에 연재되는 게이트 전극을 구비한다.
- <10> 본 발명에 관련된 전기 광학 장치에 의하면, 그 동작시에, 예를 들어 데이터선으로부터 화소 전극으로의 화상 신호의 공급이 제어되면서 주사선으로부터 주사 신호가 공급되어, 소위 액티브 매트릭스 방식에 의한 화상 표시가 가능해진다. 또한, 화상 신호는 데이터선 및 화소 전극 간에 전기적으로 접속된 스위칭 소자인 트랜지스터가 주사선으로부터 공급되는 주사 신호에 따라 온-오프됨으로써, 소정의 타이밍으로 데이터선으로부터 트랜지스터를 통하여 화소 전극으로 공급된다. 화소 전극은 예를 들어 ITO (Indium Tin Oxide) 등의 투명 도전 재료로 이루어지는 투명 전극으로서, 데이터선 및 주사선의 교차에 대응하여, 기판 상에서 표시 영역이 되어야 하는 영역에 매트릭스 형상으로 복수 형성된다.
- <11> 상기 서술한 트랜지스터는 채널 영역, 데이터선측 소스 드레인 영역, 화소 전극측 소스 드레인 영역, 그리고 채널 영역 및 데이터선측 소스 드레인 영역 간에 형성된 제 1 접합 영역, 채널 영역 및 화소 전극측 소스 드레인 영역 간에 형성된 제 2 접합 영역을 갖는 반도체층과, 채널 영역에 중첩되는 게이트 전극과, 반도체층 및 게이트 전극 간에 배치된 게이트 절연막에 의해 구축되어 있다. 또한, 트랜지스터는 반도체층을 상하로부터 2 개의 게이트 전극이 사이에 놓이거나 또는 2 개의 직렬로 접속된 채널 영역에 대해 2 개의 게이트 전극이 각각 존재하는 더블 게이트형 박막 트랜지스터가 구축되어도 된다. 또한, 3 개 이상의 게이트 전극이 있어도 된다.
- <12> 본 발명에서는 특히, 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막과, 제 2 접합 영역을 덮도록 섬 형상으로 형성된 제 2 절연막이 형성된다. 즉, 제 1 및 제 2 접합 영역은 각각 기판 상에서 평면적으로 보아 제 1 및 제 2 절연막에 의해 덮인다. 제 1 및 제 2 절연막은 예를 들어 이산화규소 (SiO_2) 등의 산화막으로 이루어지고, 예칭에 의한 패터닝 등에 의해 성형된다.
- <13> 또, 반도체층에 있어서의 채널 영역에는 게이트 절연막을 개재시켜 게이트 전극이 형성된다. 게이트 전극은 상기 서술한 제 1 및 제 2 절연막 상으로까지 연재되도록 형성되어 있다. 즉, 게이트 전극은 채널 영역에 대향하는 부분에서는 게이트 절연막을 개재시켜 배치되고, 채널 영역에 인접된 제 1 접합 영역 및 제 2 접합 영역에 대향하는 부분에서는 제 1 및 제 2 절연막 각각을 개재시키거나, 또는 제 1 및 제 2 절연막에 추가하여 게이트 절연막 등의 절연막을 개재시켜 배치된다. 이 때문에 게이트 전극은 반도체층에 대해 채널 영역에서 국소적으로 근접하도록 배치되고, 제 1 및 제 2 접합 영역에서는 제 1 및 제 2 절연막이 존재하는 만큼 떨어진 위치에 배치된다.
- <14> 만일 게이트 전극을 제 1 및 제 2 접합 영역에 대해 예를 들어 게이트 절연막의 막두께 정도까지 근접시키면, 이 전극 부분 또는 배선 부분이 접합 영역에 대해 크건 작건 게이트 전압과 동일 전위를 인가하는 전극으로서 기능한다. 즉, 접합 영역에서도 상정 밖의 캐리어 밀도의 변화가 발생된다. 이 때문에, 원래는 채널 영역에 게이트 전압이 인가되어 채널이 형성되는 것이 상정되어 있는 박막 트랜지스터에 있어서의 리크 전류의 발생, 온-오프 임계값의 변화 등으로 이어진다.
- <15> 그런데, 본 발명에서는 특히 제 1 및 제 2 절연막이 형성되어 있기 때문에, 게이트 전극과 제 1 및 제 2 접합

영역이 상기 서술한 바와 같은 리크 전류의 발생, 온-오프 임계값의 변화 등을 일으킬 정도까지 근접되지 않는다. 따라서, 트랜지스터에 있어서의 동작 불량을 효과적으로 방지하는 것이 가능하다.

<16> 또한 본 발명에서는 특히 게이트 전극이 제 1 및 제 2 절연막 상으로까지 연재되도록 형성되어 있다. 즉 게이트 절연막은 기판 상에서 평면적으로 보아 제 1 및 제 2 접합 영역과 중첩되도록 배치되어 있다. 이 때문에, 제 1 및 제 2 접합 영역에 대해 게이트 전극보다 상층으로부터 입사되려고 하는 광을 차광하는 것이 가능하다. 특히 반도체층에 있어서의 제 2 접합 영역은 광리크 전류가 발생하기 쉽다고 여겨지고 있다. 따라서, 제 2 접합 영역에 입사되려고 하는 광을 차광함으로써 보다 효과적으로 광리크 전류의 발생을 방지할 수 있다.

<17> 또, 상기 서술한 바와 같은 우수한 차광 성능에 의해 별도로 차광막 등을 형성하지 않아도 충분한 차광을 행할 수 있다. 따라서, 각 화소의 비개구 영역(즉, 화상을 표시하는 데에 사용되는 광이 통과하지 않는 영역)의 배치 면적이 넓어져, 비개구 영역을 제외한 개구 영역이 보다 작아지는 것을 방지할 수 있다. 그 결과, 각 화소를 미세화해도 비교적 높은 개구율을 유지할 수 있게 된다.

<18> 이상 설명한 바와 같이, 본 발명에 관련된 전기 광학 장치에 의하면, 트랜지스터의 동작 불량을 방지하면서, 트랜지스터에 있어서의 광리크 전류의 발생에서 기인하는 플리커 등의 표시 불량의 발생을 저감 또는 방지할 수 있다. 따라서, 본 발명의 전기 광학 장치용 기판에 의하면, 고품위의 화상 표시가 가능해진다.

<19> 본 발명의 전기 광학 장치의 일 양태에서는, 상기 기판 상에서 평면적으로 보아, 상기 제 1 절연막은 상기 데이터선측 소스 드레인 영역의 적어도 일부와 중첩되지 않도록 형성되어 있고, 상기 제 2 절연막은 상기 화소 전극 측 소스 드레인 영역의 적어도 일부와 중첩되지 않도록 형성되어 있고, 상기 게이트 전극은 상기 데이터선측 소스 드레인 영역의 적어도 일부와 중첩되도록 연재되어 있으며, 상기 화소 전극 측 소스 드레인 영역의 적어도 일부와 중첩되도록 연재되어 있다.

<20> 이 양태에 의하면, 제 1 절연막은, 기판 상에서 평면적으로 보아 데이터선측 소스 드레인 영역의 적어도 일부와 중첩되지 않도록 형성되어 있으며, 게이트 전극은 제 1 절연막의 윤곽을 따르도록 하여 데이터선측 소스 드레인 영역의 적어도 일부와 중첩되도록 연재된다. 이 때문에, 반도체층에 있어서의 제 1 접합 영역에 대해 제 1 절연막을 개재시켜 떨어진 위치에 배치된 게이트 전극은, 데이터선측 소스 드레인 영역에 대해 예를 들어 게이트 절연막의 막두께 정도까지 근접하도록 배치된다.

<21> 또 한편으로, 제 2 절연막은 기판 상에서 평면적으로 보아 화소 전극 측 소스 드레인 영역의 적어도 일부와 중첩되지 않도록 형성되어 있으며, 게이트 전극은 제 2 절연막의 윤곽을 따르도록 하여 화소 전극 측 소스 드레인 영역의 적어도 일부와 중첩되도록 연재된다. 따라서, 상기 서술한 제 1 절연막의 경우와 마찬가지로, 게이트 전극은 화소 전극 측 소스 드레인 영역에 대해 예를 들어 게이트 절연막의 막두께 정도까지 근접하도록 배치된다.

<22> 또한, 데이터선측 소스 드레인 영역 및 화소 전극 측 소스 드레인 영역은 고농도로 도핑된 도전층이다. 이 때문에, 상기 서술한 바와 같이, 게이트 전극이 데이터선측 소스 드레인 영역 또는 화소 전극 측 소스 드레인 영역에 근접하도록 배치되었다 하더라도, 게이트 전극에 생기는 전류가 데이터선측 소스 드레인 영역 및 화소 전극 측 소스 드레인 영역에 전기적인 영향을 주어 트랜지스터에 동작 불량이 발생하는 경우는 거의 또는 실용상 전혀 없다.

<23> 게이트 전극이 데이터선측 소스 드레인 영역 또는 화소 전극 측 소스 드레인 영역에 근접하도록 배치됨으로써, 예를 들어 데이터선측 소스 드레인 영역 또는 화소 전극 측 소스 드레인 영역의 상층으로부터 제 1 및 제 2 접합 영역에 대해 비스듬하게 입사되려고 하는 광을 차광하는 것이 가능해진다. 따라서, 보다 효과적으로 광리크 전류의 발생에서 기인하는 플리커 등의 표시 불량의 발생을 저감 또는 방지할 수 있다. 따라서, 고품위의 화상 표시가 가능해진다.

<24> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 게이트 절연막은 상기 채널 영역에 추가하여 상기 제 1 및 제 2 접합 영역에 대향하는 영역에 상기 제 1 및 제 2 절연막의 하지층으로서 형성되어 있다.

<25> 이 양태에 의하면, 게이트 절연막이 채널 영역에 추가하여 제 1 및 제 2 접합 영역에 대향하는 영역에도 형성되어 있다. 그리고, 게이트 절연막은 제 1 및 제 2 절연막의 하지층이 된다. 즉, 제 1 및 제 2 절연막은 각각 게이트 절연막의 상층에 배치된다.

<26> 이와 같이 구성함으로써, 게이트 전극은 반도체층에 대해 제 1 및 제 2 접합 영역에 대향하는 부분에서는 제 1

및 제 2 절연막의 두께만큼 떨어진 위치에 배치된다. 따라서, 게이트 전극에 생긴 전계가 제 1 및 제 2 접합 영역에 전기적인 영향을 주는 것을 보다 효과적으로 방지할 수 있다. 따라서, 트랜지스터에 있어서의 동작 불량을 보다 확실하게 방지하는 것이 가능하다.

<27> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 게이트 절연막은 상기 제 1 및 제 2 접합 영역에 대향하는 영역에 형성되어 있지 않고, 상기 제 1 및 제 2 절연막은 각각 상기 게이트 절연막보다 두껍다.

<28> 이 양태에 의하면, 게이트 절연막은 제 1 및 제 2 접합 영역에 대향하는 영역에 형성되어 있지 않다. 이 때문에, 제 1 및 제 2 절연막은 반도체층에 대해 게이트 절연막을 개재시키지 않고 대향 배치된다.

<29> 여기에서 특히 제 1 및 제 2 절연막은 각각 게이트 절연막보다 두꺼워지도록 형성되어 있다. 이 때문에, 게이트 전극은 반도체층에 대해 제 1 및 제 2 접합 영역에 대향하는 부분에서는 제 1 및 제 2 절연막의 두께와 게이트 절연막의 두께의 차분만큼 떨어진 위치에 배치된다. 바꾸어 말하면, 게이트 전극은 제 1 및 제 2 접합 영역에 대향하는 부분에서는 채널 영역에 대향하는 부분과 비교하여 확실히 반도체층으로부터 떨어진 위치에 배치된다. 따라서, 게이트 전극에 생기는 전계가 제 1 및 제 2 접합 영역에 전기적인 영향을 주는 것을 보다 효과적으로 방지할 수 있다. 따라서, 트랜지스터에 있어서의 동작 불량을 보다 확실하게 방지하는 것이 가능하다.

<30> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 1 및 제 2 절연막은 서로 동일 층에 동일 막으로 형성된다.

<31> 이 양태에 의하면, 제 1 및 제 2 절연막이 서로 동일 층에 동일 막으로 형성되기 때문에, 제 1 및 제 2 절연막을 동일한 성막 공정으로 형성하는 것이 가능해진다. 또한, 제 1 및 제 2 절연막은 동일한 성막 공정으로 형성되는 것이라면, 예를 들어 막의 두께 등은 서로 상이해도 된다. 제 1 및 제 2 절연막을 동일한 성막 공정으로 형성함으로써, 제조 공정의 장기화 및 복잡 고도화 등을 방지하는 것이 가능해진다.

<32> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 1 절연막은, 상기 기판 상에서 평면적으로 보아, 상기 제 1 접합 영역에 추가하여 상기 데이터선측 소스 드레인 영역을 적어도 부분적으로 덮도록 형성되어 있으며, 상기 게이트 전극은 상기 제 1 절연막에 있어서의 상기 데이터선측 소스 드레인 영역을 덮도록 연재되어 있다.

<33> 이 양태에 의하면, 제 1 절연막은, 기판 상에서 평면적으로 보아, 제 1 접합 영역에 추가하여 데이터선측 소스 드레인 영역을 적어도 부분적으로 덮도록 형성되어 있다. 그리고, 게이트 전극은 제 1 절연막에 있어서의 데이터선측 소스 드레인 영역을 덮도록 연재되어 있다. 즉, 게이트 전극은, 기판 상에서 평면적으로 보아, 데이터선측 소스 드레인 영역에 적어도 부분적으로 중첩되도록 배치된다. 이 때문에 예를 들어 데이터선측 소스 드레인 영역의 상층측으로부터 제 1 접합 영역에 대해 비스듬하게 입사되려고 하는 광을 게이트 전극에 의해 차광하는 것이 가능해진다. 따라서, 보다 효과적으로 광리크 전류의 발생에서 기인하는 플리커 등의 표시 불량의 발생을 저감 또는 방지할 수 있다. 따라서, 고품위의 화상 표시가 가능해진다.

<34> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 2 절연막은, 상기 기판 상에서 평면적으로 보아, 상기 제 2 접합 영역에 추가하여 상기 화소 전극측 소스 드레인 영역을 적어도 부분적으로 덮도록 형성되어 있으며, 상기 게이트 전극은 상기 제 2 절연막에 있어서의 상기 화소 전극측 소스 드레인 영역을 덮도록 연재되어 있다.

<35> 이 양태에 의하면, 제 2 절연막은, 기판 상에서 평면적으로 보아, 제 2 접합 영역에 추가하여 화소 전극측 소스 드레인 영역을 적어도 부분적으로 덮도록 형성되어 있다. 그리고, 게이트 전극은 제 2 절연막에 있어서의 화소 전극측 소스 드레인 영역을 덮도록 연재되어 있다. 즉, 게이트 전극은, 기판 상에서 평면적으로 보아, 화소 전극측 소스 드레인 영역에 적어도 부분적으로 중첩되도록 배치된다. 이 때문에, 예를 들어 화소 전극측 소스 드레인 영역의 상층측으로부터 제 1 접합 영역에 대해 비스듬하게 입사되려고 하는 광을 게이트 전극에 의해 차광하는 것이 가능해진다. 따라서, 보다 효과적으로 광리크 전류의 발생에서 기인하는 플리커 등의 표시 불량의 발생을 저감 또는 방지할 수 있다. 따라서, 고품위의 화상 표시가 가능해진다. 또, 채널 영역과 제 2 접합 영역의 계면에서 가장 광리크 전류가 발생하기 쉽다는 점에서, 이러한 양태에 의하면, 그 계면에서의 차광성의 향상을 도모할 수 있다.

<36> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 1 및 제 2 절연막의 적어도 일방은, 상기 기판 상에서 평면적으로 보아, 상기 채널 영역으로부터 소정 거리 떨어진 위치에 배치되어 있다.

<37> 이 양태에 의하면, 제 1 및 제 2 절연막의 적어도 일방은, 기판 상에서 평면적으로 보아, 채널 영역으로부터 소정 거리 떨어진 위치에 배치된다. 또한, 여기에서의 「소정 거리」란 제 1 및 제 2 절연막이 채널 영역의

유지 특성에 영향을 주지 않는 거리이다. 구체적으로는 예를 들어 $0.125\mu m$ 정도이고, 제조 마진 또는 패터닝 정밀도가 가미되어도 된다.

<38> 제 1 및 제 2 절연막을 채널 영역으로부터 소정 거리 떨어진 위치에 배치함으로써, 제 1 및 제 2 절연막이 채널 영역의 유지 특성에 영향을 주지 않도록 하는 것이 가능하다. 따라서, 트랜지스터가 온으로 되어 있을 때에, 채널 영역에 흐르는 전류(즉, 온 전류)의 저하를 방지할 수 있다. 따라서, 고품질의 화상을 표시하는 것이 가능해진다.

<39> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 1 및 제 2 절연막의 적어도 일방은 상기 반도체층에 질화막을 개재시켜 대향하도록 배치되어 있다.

<40> 이 양태에 의하면, 반도체층과 제 1 및 제 2 절연막의 적어도 일방과의 사이에는 질화막이 형성되어 있다. 질화막은 예를 들어 제 1 및 제 2 절연막을 에칭에 의해 패터닝할 때 등에 보호막으로서 기능한다. 따라서, 과도한 에칭에 의해 게이트 절연막이나 반도체층이 손상되는 것을 방지할 수 있다. 따라서, 제조 공정의 복잡 고도화 등을 방지하는 것이 가능해진다.

<41> 또한, 질화막은 차광 성능을 가지고 있기 때문에, 반도체층에 입사되려고 하는 광을 차광하는 것이 가능하다. 따라서, 반도체층에 있어서의 광리크 전류의 발생을 방지한다는 효과를 높이는 것도 가능하다.

<42> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 2 접합 영역은, 상기 기판 상에서 평면적으로 보아, 상기 데이터선 및 상기 주사선이 교차하는 교차 영역 내에 적어도 부분적으로 배치되어 있다.

<43> 이 양태에 의하면, 제 2 접합 영역은, 기판 상에서 평면적으로 보아, 주사선 및 데이터선이 교차하는 교차 영역 내에 적어도 부분적으로 배치되어 있다. 주사선 및 데이터선을 교차시킴으로써, 교차 영역에 있어서의 차광 성능은 향상된다. 따라서, 광리크 전류가 발생하기 쉽다고 여겨지고 있는 제 2 접합 영역을 차광 성능이 높은 교차 영역 내에 배치함으로써, 보다 효과적으로 광리크 전류의 발생을 방지할 수 있다. 따라서, 고품질의 화상을 표시하는 것이 가능해진다.

<44> 본 발명의 전기 광학 장치의 다른 양태에서는, 상기 제 2 접합 영역은 LDD 영역이다.

<45> 이 양태에 의하면, 반도체층이 LDD 영역(즉, 예를 들어 이온 임플란테이션법 등의 불순물 주입에 의해 반도체층에 불순물을 주입하여 이루어지는 불순물 영역)을 가지고 있으며, LDD 형 박막 트랜지스터로서 구축된다. 또한, 제 2 접합 영역에 추가하여, 제 1 접합 영역도 LDD 영역이어야 된다.

<46> 만일 제 2 접합 영역으로서 형성된 LDD 영역(이하, 적당히 「화소 전극측 LDD 영역」이라고 한다)에 광리크 전류가 발생되면, LDD 구조를 갖는 트랜지스터의 특성상, 트랜지스터가 오프로 되어 있을 때에, 데이터선측 소스 드레인 영역 및 화소 전극측 소스 드레인 영역에 흐르는 전류(즉, 오프 전류)가 증가한다.

<47> 그런데, 본 양태에서는 특히, 화소 전극측 LDD 영역에 입사되는 광을 게이트 전극에 의해 효과적으로 차광할 수 있다. 따라서, 상기 서술한 바와 같은 오프 전류의 증가를 효과적으로 방지할 수 있어, 고품질의 화상을 표시하는 것이 가능해진다.

<48> 본 발명의 전자 기기는 상기 과제를 해결하기 위해, 상기 서술한 본 발명의 전기 광학 장치를 구비하여 이루어진다.

<49> 본 발명의 전자 기기에 의하면, 상기 서술한 본 발명의 전기 광학 장치(단, 그 각종 양태도 포함한다)를 구비하여 이루어지기 때문에, 고품질의 표시를 행할 수 있는 투사형 표시 장치, 휴대 전화, 전자 수첩, 워드 프로세서, 뷰파인더형 또는 모니터 직시형 비디오 테이프 리코더, 워크스테이션, 텔레비전 전화, POS 단말, 터치 패널 등의 각종 전자 기기를 실현할 수 있다. 또, 본 발명에 관련된 전자 기기로서, 예를 들어 전자 페이퍼 등의 전기 영동 장치 등도 실현하는 것이 가능하다.

<50> 본 발명의 전기 광학 장치의 제조 방법은, 상기 과제를 해결하기 위해, 기판 상에 채널 영역, 데이터선측 소스 드레인 영역, 화소 전극측 소스 드레인 영역, 상기 채널 영역 및 상기 데이터선측 소스 드레인 영역 간에 형성된 제 1 접합 영역, 그리고 상기 채널 영역 및 상기 화소 전극측 소스 드레인 영역 간에 형성된 제 2 접합 영역을 갖는 반도체층을 형성하는 공정과, 상기 기판 상에서 평면적으로 보아, 상기 반도체층을 덮도록 게이트 절연막을 형성하는 공정과, 상기 기판 상에서 평면적으로 보아, 상기 게이트 절연막을 덮도록 형성된 절연막을 패터닝하여, 상기 기판 상에서 평면적으로 보아, 상기 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막, 및 상기 제 2 접합 영역을 덮도록 형성된 제 2 절연막을 형성하는 공정과, 상기 채널 영역에 게이트 절연막을

개재시켜 대향하도록, 그리고 상기 기판 상에서 평면적으로 보아, 상기 제 1 및 제 2 절연막 상에 연재되도록 게이트 전극을 형성하는 공정과, 서로 교차하여 연재되도록 주사선 및 데이터선을 형성하는 공정과, 상기 주사선 및 상기 데이터선의 교차에 대응하여 규정되는 화소마다 화소 전극을 형성하는 공정을 구비한다.

<51> 본 발명에 관련된 전기 광학 장치의 제조 방법에 의하면, 먼저 기판 상에 채널 영역, 데이터선측 소스 드레인 영역, 화소 전극측 소스 드레인 영역, 채널 영역 및 데이터선측 소스 드레인 영역 간에 형성된 제 1 접합 영역, 그리고 채널 영역 및 화소 전극측 소스 드레인 영역 간에 형성된 제 2 접합 영역을 갖는 반도체층이 형성되고, 계속해서 기판 상에서 평면적으로 보아, 반도체층을 덮도록 게이트 절연막이 형성된다.

<52> 다음으로, 기판 상에서 평면적으로 보아, 게이트 절연막을 덮도록 절연막이 형성된다. 절연막은 패터닝되어, 기판 상에서 평면적으로 보아, 제 1 접합 영역을 덮도록 섬 형상으로 형성된 제 1 절연막, 및 제 2 접합 영역을 덮도록 형성된 제 2 절연막이 형성된다. 또한, 채널 영역에 게이트 절연막을 개재시켜 대향하도록, 또한 기판 상에서 평면적으로 보아, 제 1 및 제 2 절연막 상으로까지 연재되도록 게이트 전극이 형성된다. 게이트 전극은 미리 제 1 및 제 2 절연막이 형성됨으로써, 반도체층에 입사되려고 하는 광을 효과적으로 차광할 수 있도록, 그리고 채널 영역 이외에 전기적인 영향을 주지 않도록 형성된다.

<53> 마지막으로 서로 교차하여 연재되도록 주사선 및 데이터선이 형성되고, 주사선 및 데이터선의 교차에 대응하여 규정되는 화소마다 화소 전극이 형성된다.

<54> 이상 설명한 바와 같이, 본 발명에 관련된 전기 광학 장치의 제조 방법에 의하면, 상기 서술한 고품위의 화상 표시가 가능한 전기 광학 장치를 바람직하게 제조하는 것이 가능하다.

<55> 본 발명의 전기 광학 장치의 제조 방법의 일 양태에서는, 상기 반도체층을 형성하는 공정은, 상기 채널 영역, 상기 데이터선측 소스 드레인 영역, 상기 화소 전극측 소스 드레인 영역, 그리고 상기 제 1 및 제 2 접합 영역이 형성되기 전의 반도체층에 저농도의 이온을 주입함으로써, LDD 영역으로서 상기 제 1 및 제 2 접합 영역을 형성하는 공정과, 상기 제 1 및 제 2 접합 영역이 형성된 반도체층에 고농도의 이온을 주입함으로써, 상기 데이터선측 소스 드레인 영역 및 상기 화소 전극측 소스 드레인 영역을 형성하는 공정을 포함한다.

<56> 이 양태에 의하면, 채널 영역, 데이터선측 소스 드레인 영역, 화소 전극측 소스 드레인 영역, 그리고 제 1 및 제 2 접합 영역이 형성되기 전의 반도체층에 대해 저농도의 이온이 주입된다. 이로써, 제 1 및 제 2 접합 영역이 LDD 영역으로서 형성된다. 또, 제 1 및 제 2 접합 영역이 형성됨으로써, 제 1 및 제 2 접합 영역 간에 형성되는 채널 영역도 규정되게 된다. 이온 주입시에는 LDD 영역으로 하지 않는 부분 (예를 들어 채널 영역)에는 예를 들어 마스크를 형성해 두어, 이온이 주입되지 않도록 한다.

<57> 또한, 제 1 및 제 2 접합 영역이 형성된 후에는 반도체층에 고농도의 이온이 주입된다. 이로써, 데이터선측 소스 드레인 영역 및 화소 전극측 소스 드레인 영역이 형성된다. 데이터선측 소스 드레인 영역 및 화소 전극측 소스 드레인 영역은 고농도로 도핑된 영역으로서 형성되기 때문에, 상기 서술한 저농도의 이온이 주입되어 있어도 되고, 주입되어 있지 않아도 된다. 반대로, 채널 영역 및 제 1 및 제 2 접합 영역에는 고농도의 이온이 주입되지 않도록 실시한다. 또한, 상기 서술한 바와 같은 공정은 전형적으로는 게이트 절연막을 형성한 후에 행해진다.

<58> 이상 설명한 바와 같이, 반도체층에 저농도의 이온과 고농도의 이온의 주입을 실시함으로써, 보다 바람직하게 LDD 영역을 갖는 반도체층을 형성할 수 있다.

<59> 본 발명의 전기 광학 장치의 제조 방법의 다른 양태에서는, 상기 게이트 절연막을 형성하는 공정 후에, 상기 기판 상에서 평면적으로 보아, 상기 게이트 절연막을 덮도록 질화막을 형성하는 공정과, 상기 제 1 및 제 2 절연막을 형성하는 공정 후에, 열인산 처리에 의해 상기 질화막을 제거하는 공정을 추가로 구비한다.

<60> 이 양태에 의하면, 게이트 절연막이 형성되면, 기판 상에서 평면적으로 보아, 게이트 절연막을 덮도록 질화막이 형성된다. 이 때문에, 상기 서술한 제 1 및 제 2 절연막은 질화막의 상층에 형성된다. 여기에서, 질화막은 예를 들어 제 1 및 제 2 절연막을 에칭에 의해 패터닝할 때 등에 보호막으로서 기능한다. 따라서, 과도한 에칭에 의해 게이트 절연막이나 반도체층이 손상되는 것을 방지할 수 있다. 따라서, 제조 공정의 복잡 고도화 등을 방지하는 것이 가능해진다.

<61> 제 1 및 제 2 절연막이 형성된 후에는, 질화막은 열인산 처리에 의해 제거된다. 열인산 처리는 예를 들어 섭씨 120 도 내지 130 도의 인산을 사용하여 20 분 정도의 시간을 들여서 행해진다. 이 때에 제 1 및 제 2 절연막은 예를 들어 산화막과 같은 열인산의 영향을 받지 않는 재료로 구성된다. 따라서, 열인산에 의해 질

화막이 제거되고, 제 1 및 제 2 절연막은 남는다. 이와 같이, 열인산 처리를 실시함으로써 보다 용이하게 절화막의 제거를 실시할 수 있다. 또한, 제 1 및 제 2 절연막과 게이트 절연막 사이에 형성된 절화막 (즉, 제 1 및 제 2 절연막에 의해 보호되어, 열인산의 영향을 받지 않은 절화막)은 남게 되는데, 절화막은 차광 성능을 가지고 있기 때문에, 반도체층에 입사되려고 하는 광을 차광하는 차광막으로서 기능하게 할 수 있다. 따라서, 반도체층에 있어서의 광리크 전류의 발생을 방지한다고 하는 효과를 높이는 것도 가능하다.

<62> 본 발명의 작용 및 다른 이득은 다음에 설명하는 실시하기 위한 최선의 형태로부터 명백해진다.

효과

<63> 본 발명에 의하면, 트랜지스터의 동작 불량을 방지하면서 광리크 전류의 발생을 저감시킬 수 있으며, 고품질의 화상을 표시할 수 있는 전기 광학 장치 및 그 제조 방법, 그리고 그 전기 광학 장치를 구비하여 이루어지는 전자 기기를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

<64> 이하에서는, 본 발명의 각 실시형태에 대하여 도면을 참조하면서 설명한다. 이하의 실시형태에서는 각각 본 발명의 전기 광학 장치의 일례인 구동 회로 내장형의 TFT 액티브 매트릭스 구동 방식의 액정 장치를 예로 든다.

<65> <전기 광학 장치>

<66> 먼저, 본 실시형태에 관련된 액정 장치의 전체 구성에 대하여 도 1 및 도 2를 참조하여 설명한다. 여기에서, 도 1은 TFT 어레이 기판을 그 위에 형성된 각 구성 요소와 함께 대향 기판측에서 본 액정 장치의 개략적인 평면도이고, 도 2는 도 1의 H-H' 선 단면도이다.

<67> 도 1 및 도 2에 있어서, 본 실시형태에 관련된 액정 장치는 대향 배치된 TFT 어레이 기판 (10)과 대향 기판 (20)으로 구성되어 있다. TFT 어레이 기판 (10)은 예를 들어 석영 기판, 유리 기판, 실리콘 기판 등의 투명 기판이다. 대향 기판 (20)도 예를 들어, TFT 어레이 기판 (10)과 동일한 재료로 이루어지는 투명 기판이다. TFT 어레이 기판 (10)과 대향 기판 (20) 사이에는 액정층 (50)이 밀봉되어 있으며, TFT 어레이 기판 (10)과 대향 기판 (20)은 화상 표시 영역 (10a)의 주위에 위치하는 시일 영역에 형성된 시일재 (52)에 의해 서로 접착되어 있다.

<68> 시일재 (52)는 양 기판을 부착시키기 위한, 예를 들어 자외선 경화 수지, 열경화 수지 등으로 이루어지고, 제조 프로세스에 있어서 TFT 어레이 기판 (10) 상에 도포된 후, 자외선 조사, 가열 등에 의해 경화된 것이다. 또, 예를 들어 시일재 (52) 중에는 TFT 어레이 기판 (10)과 대향 기판 (20)의 간격 (기판 간 갭)을 소정 값으로 하기 위한 유리 파이퍼 또는 유리 비즈 등의 캡재 (56)가 산포되어 있다. 본 실시형태에 관련된 액정 장치는 프로젝터의 라이트 밸브용으로서 소형으로 확대 표시를 행하는 데에 적합하다.

<69> 시일재 (52)가 배치된 시일 영역의 내측에 병행하여, 화상 표시 영역 (10a)의 프레임 영역을 규정하는 차광성의 프레임 차광막 (53)이 대향 기판 (20) 측에 형성되어 있다. 단, 이러한 프레임 차광막 (53)의 일부 또는 전부는 TFT 어레이 기판 (10) 측에 내장 차광막으로서 형성되어도 된다.

<70> TFT 어레이 기판 (10) 상에 있어서의, 화상 표시 영역 (10a)의 주변에 위치하는 주변 영역에는 데이터선 구동 회로 (101) 및 샘플링 회로 (7), 주사선 구동 회로 (104), 외부 회로 접속 단자 (102)가 각각 형성된다.

<71> TFT 어레이 기판 (10) 상에 있어서의 주변 영역에 있어서, 시일 영역보다 외주측에 데이터선 구동 회로 (101) 및 외부 회로 접속 단자 (102)가 TFT 어레이 기판 (10)의 1변을 따라 형성되어 있다. 또, TFT 어레이 기판 (10) 상의 주변 영역 중 시일 영역보다 내측에 위치하는 영역에는 TFT 어레이 기판 (10)의 1변을 따르는 화상 표시 영역 (10a)의 1변을 따라 그리고 프레임 차광막 (53)에 덮이도록 하여 샘플링 회로 (7)가 배치된다.

<72> 주사선 구동 회로 (104)는 TFT 어레이 기판 (10)의 1변에 인접하는 2변을 따라, 그리고 프레임 차광막 (53)에 덮이도록 하여 형성되어 있다. 또한, 이와 같이 화상 표시 영역 (10a)의 양측에 형성된 2개의 주사선 구동 회로 (104) 사이를 전기적으로 접속하기 위해, TFT 어레이 기판 (10)의 남는 1변을 따라, 그리고 프레임 차광막 (53)에 덮이도록 하여 복수의 배선 (105)이 형성되어 있다.

<73> 또, TFT 어레이 기판 (10) 상의 주변 영역에 있어서, 대향 기판 (20)의 4개의 코너부에 대향하는 영역에 상하 도통 단자 (106)가 배치됨과 함께, 이 TFT 어레이 기판 (10) 및 대향 기판 (20) 간에는 상하 도통재가 상하 도

통 단자 (106)에 대응하여 그 단자 (106)에 전기적으로 접속되어 형성된다.

<74> 도 2에 있어서, TFT 어레이 기판 (10) 상에는 구동 소자인 화소 스위칭용 TFT나 주사선, 데이터선 등의 배선이 만들어진 적층 구조가 형성된다. 화상 표시 영역 (10a)에는 화소 스위칭용 TFT나 주사선, 데이터선 등의 배선의 상층에 화소 전극 (9a)이 매트릭스 형상으로 형성되어 있다. 화소 전극 (9a) 상에는 배향막 (16)이 형성되어 있다. 또한, 본 실시형태에서는 화소 스위칭 소자는 TFT 외에, 각종 트랜지스터 또는 TFD 등에 의해 구성되어도 된다.

<75> 한편, 대향 기판 (20)에 있어서의 TFT 어레이 기판 (10)과의 대향면 상에 차광막 (23)이 형성되어 있다. 차광막 (23)은 예를 들어 차광성 금속막 등으로 형성되어 있으며, 대향 기판 (20)상의 화상 표시 영역 (10a) 내에서, 예를 들어 격자 형상 등으로 패터닝되어 있다. 그리고, 차광막 (23)상(도 2 중 차광막 (23)보다 하측)에 ITO 등의 투명 재료로 이루어지는 대향 전극 (21)이 복수의 화소 전극 (9a)과 대향하여 예를 들어 베타 형상으로 형성되어 있으며, 또한 대향 전극 (21)상(도 2 중 대향 전극 (21)보다 하측)에는 배향막 (22)이 형성되어 있다.

<76> 액정층 (50)은 예를 들어 1종 또는 복수 종의 네마틱 액정을 혼합한 액정으로 이루어지고, 이를 1쌍의 배향막 간에서 소정의 배향 상태를 취한다. 그리고, 액정 장치의 구동시, 각각에 전압이 인가됨으로써, 화소 전극 (9a)과 대향 전극 (21) 사이에는 액정 유지 용량이 형성된다.

<77> 또한, 여기에서는 도시하고 있지 않지만, TFT 어레이 기판 (10)상에는 데이터선 구동 회로 (101), 주사선 구동 회로 (104) 외에, 복수의 데이터선에 소정 전압 레벨의 프리차지 신호를 화상 신호에 선행하여 각각 공급하는 프리차지 회로, 제조 도중이나 출하시의 당해 액정 장치의 품질, 결함 등을 검사하기 위한 검사 회로 등이 형성되어 있어도 된다.

<78> 다음으로, 본 실시형태에 관련된 액정 장치의 화소부의 전기적인 구성에 대하여 도 3을 참조하여 설명한다. 여기에서, 도 3은 본 실시형태에 관련된 액정 장치의 화상 표시 영역을 구성하는 매트릭스 형상으로 형성된 복수의 화소에 있어서의 각종 소자, 배선 등의 등가 회로도이다.

<79> 도 3에 있어서, 화상 표시 영역 (10a)을 구성하는 매트릭스 형상으로 형성된 복수의 화소 각각에는 화소 전극 (9a) 및 TFT (30)가 형성되어 있다. TFT (30)는 화소 전극 (9a)에 전기적으로 접속되어 있으며, 액정 장치의 동작시에 화소 전극 (9a)을 스위칭 제어한다. 화상 신호가 공급되는 데이터선 (6a)은 TFT (30)의 소스에 전기적으로 접속되어 있다. 데이터선 (6a)에 기록하는 화상 신호 (S1, S2, …, Sn)는, 이 순서로 선 순차적으로 공급해도 상관없고, 서로 인접하는 복수의 데이터선 (6a)끼리에 대해 그룹마다 공급하도록 해도 된다.

<80> TFT (30)의 게이트에는 주사선 (11a)이 전기적으로 접속되어 있으며, 본 실시형태에 관련된 액정 장치는 소정의 타이밍으로 주사선 (11a)에 펄스적으로 주사 신호 (G1, G2, …, Gm)를 이 순서로 선 순차적으로 인가하도록 구성되어 있다. 화소 전극 (9a)은 TFT (30)의 드레인에 전기적으로 접속되어 있으며, 스위칭 소자인 TFT (30)를 일정 기간만큼 그 스위치를 단음으로써, 데이터선 (6a)으로부터 공급되는 화상 신호 (S1, S2, …, Sn)가 소정의 타이밍으로 기록된다. 화소 전극 (9a)을 개재시켜 전기 광학 물질의 일례로서의 액정에 기록된 소정 레벨의 화상 신호 (S1, S2, …, Sn)는 대향 기판에 형성된 대향 전극과의 사이에서 일정 기간 유지된다.

<81> 액정층 (50)(도 2 참조)을 구성하는 액정은 인가되는 전압 레벨에 따라 문자 집합의 배향이나 질서가 변화됨으로써 광을 변조하여, 계조 표시를 가능하게 한다. 노멀리 화이트 모드라면 각 화소의 단위로 인가된 전압에 따라 입사광에 대한 투과율이 감소되고, 노멀리 블랙 모드라면 각 화소의 단위로 인가된 전압에 따라 입사광에 대한 투과율이 증가되어, 전체적으로 액정 장치로부터는 화상 신호에 따른 콘트라스트를 갖는 광이 출사된다.

<82> 여기에서 유지된 화상 신호가 리크되는 것을 방지하기 위해, 화소 전극 (9a)과 대향 전극 (21)(도 2 참조) 사이에 형성되는 액정 용량에 대해 전기적으로 병렬로 축적 용량 (70)이 부가되어 있다. 축적 용량 (70)은 화상 신호의 공급에 따라 각 화소 전극 (9a)의 전위를 일시적으로 유지하는 유지 용량으로서 기능하는 용량 소자이다. 축적 용량 (70)의 일방의 전극은 화소 전극 (9a)과 전기적으로 병렬하여 TFT (30)의 드레인에 전기적으로 접속되고, 타방의 전극은 정전위가 되도록 전위 고정의 용량선 (300)에 전기적으로 접속되어 있다.

축적 용량 (70)에 의하면, 화소 전극 (9a)에 있어서의 전위 유지 특성이 향상되어, 콘트라스트 향상이나 플리커의 저감과 같은 표시 특성의 향상이 가능해진다. 또한, 축적 용량 (70)은, 후술하는 바와 같이, TFT

(30) 로 입사되는 광을 차단하는 내장 차광막으로서도 기능한다.

<83> 다음으로, 상기 서술한 동작을 실현시키는 화소부의 구체적인 구성에 대하여, 도 1 내지 도 3 에 추가하여 도 4 내지 도 9 를 참조하여 설명한다. 여기에서 도 4 는 서로 인접하는 복수의 화소부를 나타내는 평면도이고, 도 5 는 트랜지스터에 주목하여 그 구성을 나타내는 평면도이다. 또, 도 6 은 도 4 의 A-A' 선 단면도이고, 도 7 은 도 6 에 있어서의 트랜지스터 부분의 확대도이다. 또한, 도 8 은 본 실시형태에 관련된 액정 장치의 변형예를 나타내는 평면도이고, 도 9 는 도 4 의 B-B' 선 단면도이다.

<84> 또한, 도 4 내지 도 9 에서는 각 층·각 부재를 도면 상에서 인식할 수 있을 정도의 크기로 하기 위해, 그 각 층·각 부재마다 축척을 달리하고 있다. 이 점에 대해서는, 후술하는 해당하는 각 도면에 대하여 동일하다.

도 4 내지 도 9 에서는, 도 1 또는 도 2 를 참조하여 설명한 구성 중 TFT 어레이 기판측의 구성에 대해서만 설명하는데, 설명의 편의상, 이들 도면에서는 화소 전극 (9a) 보다 상측에 위치하는 부분의 도시를 생략하고 있다. 또, 도 5 에서는 트랜지스터에 주목하여, 그 구성을 보다 상세하게 나타냄과 함께, 비개구 영역에 있어서의 트랜지스터에 대한 데이터선이나 주사선, 축적 용량을 구성하는 각종 막의 배치 관계에 대해서도 개략적으로 나타내고 있다.

<85> 도 4 에 있어서, 화소 전극 (9a) 은 TFT 어레이 기판 (10) 상에 매트릭스 형상으로 복수 형성되어 있다. 그리고, 화소 전극 (9a) 의 종횡의 경계를 각각 따라서 데이터선 (6a) 및 주사선 (11a) 이 형성되어 있다. 주사선 (11a) 은 도 4 중 X 방향을 따라 연장되어 있으며, 데이터선 (6a) 은 주사선 (11a) 과 교차되도록, 도 4 중 Y 방향을 따라 연장되어 있다. 주사선 (11a) 및 데이터선 (6a) 이어서 교차하는 지점 각각에는, 도 5 에 확대하여 나타내는 바와 같은, 화소 스위칭용 TFT (30) 가 형성되어 있다.

<86> 상기 서술한 주사선 (11a), 데이터선 (6a) 및 TFT (30), 그리고 축적 용량 (70), 하측 차광막 (110), 중계층 (93) 은 TFT 어레이 기판 (10) 상에서 평면적으로 보아, 화소 전극 (9a) 에 대응하는 각 화소의 개구 영역 (99a) (즉, 각 화소에 있어서, 표시에 실제로 기여하는 광이 투과 또는 반사되는 영역) 을 둘러싸는 비개구 영역 (99b) 내에 배치되어 있다. 즉, 이들 주사선 (11a), 데이터선 (6a), TFT (30), 축적 용량 (70), 하측 차광막 (110) 및 중계층 (93) 은, 표시에 방해되지 않도록, 각 화소의 개구 영역 (99a) 이 아니라, 비개구 영역 (99b) 내에 배치되어 있다.

<87> 비개구 영역 (99b) 은 예를 들어 TFT 어레이 기판 (10) 측의 데이터선 (6a) 이나 주사선 (11a), 또는 축적 용량 (70) 을 구성하는 도전막의 적어도 일부가 차광성을 갖는 차광막에 의해 규정되고, 이러한 차광막에 의해 각 화소에 입사되는 광을 차광할 수 있는 영역으로서, TFT 어레이 기판 (10) 측에서 규정된다. 보다 구체적으로는, 비개구 영역 (99b) 은 Y 방향을 따르는 제 1 영역 (99ba) 및 X 방향을 따르는 제 2 영역 (99bb) 을 포함한다. 또, 바람직하게는 도 2 를 참조하여 설명한 바와 같이, 대향 기판 (20) 측에서 형성된 차광막 (23) 에 대해서도, TFT 어레이 기판 (10) 측의 차광막과 함께 비개구 영역 (99b) 이 규정된다.

<88> 이하에서는, 도 6 에 나타나 있는 화소부의 구성 요소를 하층측에서부터 순서대로 설명한다.

<89> 도 6 에 있어서, 하측 차광막 (110) 은 TFT 어레이 기판 (10) 상에 배치되고, 예를 들어 텅스텐 (W), 티탄 (Ti), 티탄나이트라이드 (TiN) 등의 고용점 금속 재료 등의 차광성의 도전 재료로 이루어진다. 또, 하측 차광막 (110) 은, 도 4 또는 도 5 에 나타내는 바와 같이, 예를 들어 주사선 (11a) 의 연재 방향 (즉, X 방향) 을 따라 형성되어 있는, 즉 각 주사선 (11a) 에 대응하여 화상 표시 영역 (10a) 에 스트라이프 형상으로 형성되어 있다. 이러한 하측 차광막 (110) 에 의하면, TFT 어레이 기판 (10) 에 있어서의 이면 반사나, 복판식 프로젝터 등에 의해 다른 액정 장치로부터 발해져 합성 광학계를 통해 오는 광 등의, 복귀광 중 TFT (30) 로 진행되는 광을 차광할 수 있다.

<90> 또한, 하측 차광막 (110) 은 주사선 (11a) 과 콘택트홀 등에 의해 전기적으로 접속됨으로써, 용장적(冗長)으로 주사선으로서 기능하게 하는 것이 가능하다.

<91> 하지 절연막 (12) 은 예를 들어 실리콘 산화막 등으로 이루어진다. 하지 절연막 (12) 은 TFT 어레이 기판 (10) 의 전체면에 형성됨으로써, TFT 어레이 기판 (10) 의 표면 연마시에 있어서의 거칠기나, 세정 후에 남는 오염 등으로 인하여 화소 스위칭용 TFT (30) 의 특성이 변화되는 것을 방지하는 기능을 갖는다.

<92> 도 4 내지 도 6 에 있어서, TFT (30) 는 반도체층 (1a), 게이트 전극 (3a) 을 포함하여 구성되어 있다.

<93> 반도체층 (1a) 은 예를 들어 폴리실리콘으로 이루어지고, 도 4 중 Y 방향을 따른 채널 길이를 갖는 채널 영역 (1a'), 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c), 그리고 데이터선측 소스 드레인 영역 (1d) 및

화소 전극측 소스 드레인 영역 (1e)으로 이루어진다. 즉, TFT (30)는 LDD 구조를 가지고 있다. 또한, 데이터선측 LDD 영역 (1b)은 본 발명의 「제 1 접합 영역」의 일례이고, 화소 전극측 LDD 영역 (1c)은 본 발명에 관련된 「제 2 접합 영역」의 일례이다.

<94> 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e)은 채널 영역 (1a')을 기준으로 하여, Y 방향을 따라 거의 미리 대칭으로 형성되어 있다. 즉, 데이터선측 LDD 영역 (1b)은 채널 영역 (1a') 및 데이터선측 소스 드레인 영역 (1d) 간에 형성되어 있다. 화소 전극측 LDD 영역 (1c)은 채널 영역 (1a') 및 화소 전극측 소스 드레인 영역 (1e) 간에 형성되어 있다. 데이터선측 LDD 영역 (1b), 화소 전극측 LDD 영역 (1c), 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e)은 예를 들어 이온 임플랜테이션법 등의 불순물 주입에 의해 반도체층 (1a)에 불순물을 주입하여 이루어지는 불순물 영역이다. 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c)은 각각 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 보다 불순물이 적은 저농도의 불순물 영역으로서 형성된다. 이러한 불순물 영역에 의하면, TFT (30)의 비동작시에 있어서, 소스 영역 및 드레인 영역에 흐르는 오프 전류를 저감시키고, 또한 TFT (30)의 동작시에 흐르는 온 전류의 저하를 억제할 수 있다. 또한, TFT (30)는 LDD 구조를 갖는 것이 바람직하지만, 데이터선측 LDD 영역 (1b), 화소 전극측 LDD 영역 (1c)에 불순물 주입을 실시하지 않는 오프 셋 구조이어도 되고, 게이트 전극을 마스크로 하여 불순물을 고농도로 주입하여 데이터선측 소스 드레인 영역 및 화소 전극측 소스 드레인 영역을 형성하는 자기 정합형이어도 된다.

<95> 반도체층 (1a)에 있어서의 데이터선측 LDD 영역 (1b) 및 데이터선측 소스 드레인 영역 (1d)의 상층측에는 게이트 절연막 (2) 및 제 1 질화막 (32a)을 개재시켜 제 1 절연막 (31a)이 형성된다. 마찬가지로, 화소 전극측 LDD 영역 (1c) 및 화소 전극측 소스 드레인 영역 (1e)의 상층측에는 게이트 절연막 (2) 및 제 2 질화막 (32b)을 개재시켜 제 2 절연막 (31b)이 형성된다. 제 1 절연막 (31a) 및 제 2 절연막 (31b)은 예를 들어 이산화규소 (SiO_2)로 구성되어 있다. 또, 제 1 질화막 (32a) 및 제 2 질화막 (32b)은 예를 들어 질화규소 (SiN)로 구성되어 있으며, 반도체층 (1a)에 상층측으로부터 입사되려고 하는 광을 차광하는 기능을 갖는다.

<96> 주사선 (11a)은 반도체층 (1a) 보다 상층측에 예를 들어 실리콘 산화막 등으로 이루어지는 절연막 (202)을 개재시켜 배치된다. 주사선 (11a)은 예를 들어 도전성 폴리실리콘으로 이루어지고, X 방향으로 연재되도록 형성된다. 주사선 (11a)에는 그 일부로서 차광성을 갖는 게이트 전극 (3a)이 형성되어 있다. 게이트 전극 (3a)은 게이트 절연막 (2)을 개재시켜 평면적으로 보아 채널 영역 (1a')에 중첩되도록 형성되어 있다. 또한, 게이트 전극 (3a)은 데이터선측 LDD 영역 (1b) 및 데이터선측 소스 드레인 영역 (1d), 그리고 화소 전극측 LDD 영역 (1c) 및 화소 전극측 소스 드레인 영역 (1e)에도 중첩되도록 형성되어 있다.

<97> 여기에서, 게이트 전극 (3a)은 상기 서술한 제 1 절연막 (31a) 및 제 2 절연막 (31b)이 형성되어 있기 때문에, 제 1 절연막 (31a) 및 제 2 절연막 (31b) 상에 연재되도록 형성된다. 이 때문에, 게이트 전극 (3a)은 데이터선측 LDD 영역 (1b) 및 데이터선측 소스 드레인 영역 (1d), 그리고 화소 전극측 LDD 영역 (1c) 및 화소 전극측 소스 드레인 영역 (1e)과 중첩되는 영역에서는 채널 영역 (1a')에 중첩되는 영역에 비하면, 반도체층으로부터 떨어진 위치에 배치된다. 따라서, 게이트 전극 (3a)이 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c)에 전기적인 영향을 줄 때까지 근접되지 않는다. 따라서, 트랜지스터에 있어서의 동작 불량을 효과적으로 방지하는 것이 가능하다. 이 관점에서는, 제 1 절연막 (31a) 및 제 2 절연막 (31b)은 각각, 예를 들어 수십 내지 수천 nm (나노미터) 정도의 막두께를 가짐과 함께 LDD 영역과 거의 동일한 윤곽 또는 한층 큰 윤곽을 갖도록 형성된다.

<98> 또, 게이트 전극 (3a)은 차광성을 가지고 있기 때문에, 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c)에 대해 상층측으로부터 입사되려고 하는 광은 게이트 전극 (3a)에 의해 차광된다. 이 때문에 게이트 전극 (3a)은 게이트 본래의 기능을 다하는 것을 조건으로 하여, 예를 들어 반사율이 높거나 또는 광흡수율이 높은 등, 차광성이 우수한 불투명한 폴리실리콘막, 금속막, 금속 실리사이드막 등의 단일층 또는 다층으로 구성되어 있는 것이 바람직하다. 단, 게이트 전극 (3a)의 재료에 약간이라도 차광 능력(즉, 광반사 능력 또는 광흡수 능력)이 구비되어 있으면, 상기 서술한 바와 같은 독자적인 형상 및 배치를 갖는 한, 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c)에 대해 입사되려고 하는 광을 차광하는 기능은 상응하게 얻어진다.

<99> 도 7에 있어서, 상기 서술한 제 1 절연막 (31a) 및 제 2 절연막 (32b)은 기판 (10) 상에서 평면적으로 보아, 채널 영역 (1a')으로부터 소정 거리 (W) 떨어진 위치에 배치되는 것이 좋다. 소정 거리 (W)는 예를 들어 $0.125\mu\text{m}$ 정도이고, 이와 같이 배치함으로써, 채널 영역 (1a')의 유지 특성에 편차가 생기는 것을 억제하는 것

이 가능해진다. 또, 채널 영역 (1a') 과 화소 전극측 LDD 영역 (1c) 의 계면에서 가장 광리크 전류가 발생하기 쉽다는 점에서, 이러한 구성에 의하면, 그 계면에서의 차광성의 향상을 도모할 수 있다.

<100> 상기 서술한 게이트 전극 (3a) 의 구성은 어디까지나 일례이며, 예를 들어 이하에 나타내는 바와 같은 구성을 취하는 것도 가능하다.

<101> 도 8 에 있어서 게이트 전극 (3a) 은 제 1 절연막 (31a) 및 제 2 절연막 (32b) 를 넘은 위치까지 연재되고, 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 의 일부에 게이트 절연막 (2) 을 개재시켜 대향하도록 형성되어도 된다. 이와 같이 구성함으로써, 예를 들어 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 의 상충측으로부터, 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c) 에 대해 비스듬하게 입사되려고 하는 광을 차광하는 것이 가능해진다. 따라서, 보다 효과적으로 광리크 전류의 발생을 방지할 수 있다.

<102> 또한, 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 은 고농도로 도핑된 도전층이기 때문에, 상기 서술한 바와 같이, 게이트 전극 (3a) 이 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 에 근접하도록 배치되었다 하더라도, 게이트 전극 (3a) 에 생기는 전계가 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 에 전기적인 영향을 주어, 트랜지스터에 동작 불량이 발생하는 경우는 대부분 또는 실용상 전혀 없다.

<103> 이상 설명한 바와 같이, 본 실시형태에 관련된 액정 장치에서는 제 1 절연막 (31a) 및 제 2 절연막 (32b), 그리고 제 1 질화막 (32a) 및 제 2 질화막 (32b) 을 형성함으로써 게이트 전극 (3a) 을 바람직하게 차광을 행할 수 있는 위치에 배치할 수 있다. 따라서, 반도체층 (1a) 에 입사되는 광을 보다 효과적으로 차광하여, 광리크 전류의 발생을 방지하는 것이 가능하다.

<104> 도 5 에 있어서, 화소 전극측 LDD 영역 (1c) 은, 비개구 영역 (99b) 에서 제 1 영역 (99ba) 및 제 2 영역 (99bb) 이 서로 교차하는 교차 영역 (99cr) 에 배치되어 있다. 교차 영역 (99cr) 에서는 화소 전극측 LDD 영역 (1c) 에 대해 그것보다 상충측으로부터 입사되는 광 중, 도 5 에서 화살표 Py 로 나타내는 진행 방향을 따라 진행되는 광은 제 1 영역 (99ba) 에 의해 차광하는 것이 가능하고, 도 5 에서 화살표 Px 로 나타내는 진행 방향을 따라 진행되는 광은 제 2 영역 (99bb) 에 의해 차광하는 것이 가능하다. 또한, 도 5 에 있어서, 화살표 Py 는 Y 방향을 따라 진행되는 성분을 갖는 광의 진행 방향의 일례를 나타내고, 화살표 Px 는 X 방향을 따라 진행되는 성분을 갖는 광의 진행 방향의 일례를 나타낸 것이다.

<105> 따라서, 교차 영역 (99cr) 에서는 게이트 전극 (3a) 에 추가하여, 제 1 영역 (99ba) 및 제 2 영역 (99bb) 에 의해 화소 전극측 LDD 영역 (1c) 에 대해 진행되는 광을 차광할 수 있다. 따라서, 화소 전극측 LDD 영역 (1c) 에 입사되는 광을 효과적으로 저감시키는 것이 가능해진다.

<106> 여기에서, 그 상세한 내용에 대해서는 후술하는데, 특히 화소 전극측 LDD 영역 (1c) 에 광이 조사된 경우에는, 데이터선측 LDD 영역 (1b) 에 광이 조사된 경우와 비교하여, TFT (30) 에 있어서의 광리크 전류가 발생하기 쉬운 것으로 본원 발명자는 추찰하고 있다. 본 실시형태에서는, 반도체층 (1a) 에 형성되는 각종 영역 중 화소 전극측 LDD 영역 (1c) 에 대한 차광성을 말하자면 핀포인트로 높일 수 있다. 따라서, 각 화소의 TFT (30) 의 광리크 전류를 효과적으로 저감시킬 수 있다.

<107> 또, 본 실시형태에서는, 화소 전극측 LDD 영역 (1c) 에 대해 교차 영역 (99cr) 과는 별도로 차광 영역을 형성하지 않더라도, 핀포인트로 화소 전극측 LDD 영역 (1c) 에 대한 차광성을 높일 수 있다. 따라서, 이러한 핀포인트로 차광성을 높이기 위한 영역을 형성함으로써, 각 화소의 비개구 영역 (99b) 의 배치 면적이 넓어져, 개구영역 (99a) 이 보다 작아지는 것을 방지하는 것이 가능해진다. 그 결과, 각 화소를 미세화해도, 핀포인트로 차광성을 향상시키고 또한 개구율도 보다 향상시킬 수 있다.

<108> 도 6 에 있어서, TFT 어레이 기판 (10) 상의 TFT (30) 보다 충간 절연막 (41) 을 개재시켜 상충측에는 축적 용량 (70) 이 형성되어 있다.

<109> 축적 용량 (70) 은 하부 용량 전극 (71) 과 상부 용량 전극 (300) 이 유전체막 (75) 을 개재시켜 대향 배치됨으로써 형성되어 있다.

<110> 상부 용량 전극은 용량선 (300) 의 일부로서 형성되어 있다. 그 구성에 대해서는 도시를 생략하고 있는데, 용량선 (300) 은 화소 전극 (9a) 이 배치된 화상 표시 영역 (10a) 에서부터 그 주위로 연이어 형성되고, 정전위원과 전기적으로 접속된다. 이로써, 상부 용량 전극 (300) 은 고정 전위로 유지되어, 고정 전위측 용량 전

극으로서 기능할 수 있다. 상부 용량 전극 (300)은 예를 들어, Al (알루미늄), Ag (은) 등의 금속 또는 합금을 함유한 비투명한 금속막으로 형성되어 있으며, TFT (30)를 차광하는 상측 차광막 (내장 차광막)으로서도 기능한다. 또한, 상부 용량 전극 (300)은 예를 들어, Ti (티탄), Cr (크롬), W (텅스텐), Ta (탄탈), Mo (몰리브덴), Pd (팔라듐) 등의 고용점 금속 중 적어도 하나를 함유하는, 금속 단체, 합금, 금속 실리사이드, 폴리실리사이드, 이들을 적층한 것 등으로 구성되어도 된다.

<111> 도 4 또는 도 6에 있어서, 하부 용량 전극 (71)은 TFT (30)의 화소 전극측 소스 드레인 영역 (1e) 및 화소 전극 (9a)에 전기적으로 접속된 화소 전위측 용량 전극이다. 보다 구체적으로는, 하부 용량 전극 (71)은 콘택트홀 (83) (도 4 및 도 6 참조)을 통하여 화소 전극측 소스 드레인 영역 (1e)과 전기적으로 접속됨과 함께, 콘택트홀 (84) (도 4 및 도 8 참조)을 통하여 중계층 (93)에 전기적으로 접속되어 있다. 또한, 중계층 (93)은 콘택트홀 (85) (도 4 및 도 9 참조)을 통하여 화소 전극 (9a)에 전기적으로 접속되어 있다. 즉, 하부 용량 전극 (71)은 중계층 (93)과 함께 화소 전극측 소스 드레인 영역 (1e) 및 화소 전극 (9a)간의 전기적인 접속을 중계한다. 하부 용량 전극 (71)은 예를 들어 도전성 폴리실리콘, 또는 예를 들어 Al (알루미늄) 등의 금속 또는 합금을 함유한 비투명한 금속막으로 형성되어 있다.

<112> 여기에서, 하부 용량 전극 (71)은, 바람직하게는 화소 전위측 용량 전극으로서의 기능 외에, 상측 차광막으로서의 상부 용량 전극 (300)과 TFT (30) 사이에 배치되는, 광흡수층 또는 차광막으로서의 기능도 갖는다. 따라서, 교차 영역 (99cr)에 있어서, 화소 전극측 LDD 영역 (1c)에 대해 그것보다 상층측으로부터 입사되는 광에 대하여, 상부 용량 전극 (300) 및 하부 용량 전극 (71) 각각에 의해서도 차광하는 것이 가능하다.

<113> 유전체막 (75)은 예를 들어 HTO (High Temperature Oxide) 막, LTO (Low Temperature Oxide) 막 등의 산화실리콘막, 또는 질화실리콘막 등으로 구성된 단층 구조, 또는 다층 구조를 가지고 있다.

<114> 도 6 및 도 9에 있어서, TFT 어레이 기판 (10)상의 축적 용량 (70)보다도 층간 절연막 (42)을 개재시켜 상층측에는 데이터선 (6a) 및 중계층 (93)이 형성되어 있다.

<115> 데이터선 (6a)은 반도체층 (1a)의 데이터선측 소스 드레인 영역 (1d)에 절연막 (202), 층간 절연막 (41), 유전체막 (75) 및 층간 절연막 (42)을 관통하는 콘택트홀 (81)을 통하여 전기적으로 접속되어 있다. 데이터선 (6a) 및 콘택트홀 (81)의 내부는, 예를 들어 Al-Si-Cu, Al-Cu 등의 Al (알루미늄) 함유 재료, 또는 Al 단체, 또는 Al 층과 TiN 층 등의 다층막으로 이루어진다. 데이터선 (6a)은 TFT (30)를 차광하는 기능도 가지고 있다.

<116> 도 4 또는 도 5에 나타내는 바와 같이, 데이터선 (6a)은 교차 영역 (99cr)에서 게이트 전극 (3a)과 중첩되도록 형성된다. 따라서, 교차 영역 (99cr)에서 화소 전극측 LDD 영역 (1c)에 대해 그것보다 상층측으로부터 입사되는 광에 대하여 데이터선 (6a)에 의해서도 차광하는 것이 가능해진다.

<117> 도 4 및 도 9에 있어서, 중계층 (93)은 층간 절연막 (42)상에서 데이터선 (6a) (도 6 참조)과 동층에 형성되어 있다. 데이터선 (6a) 및 중계층 (93)은 예를 들어 금속막 등의 도전 재료로 구성되는 박막을 층간 절연막 (42)상에 박막 형성법을 사용하여 형성해 두고, 당해 박막을 부분적으로 제거, 즉 패터닝함으로써 서로 이간시킨 상태에서 형성된다. 따라서, 데이터선 (6a) 및 중계층 (93)을 동일 공정에서 형성할 수 있기 때문에, 장치의 제조 프로세스를 간편하게 할 수 있다.

<118> 도 6 및 도 9에 있어서, 화소 전극 (9a)은 데이터선 (6a)보다도 층간 절연막 (43)을 개재시켜 상층측에 형성되어 있다. 화소 전극 (9a)은 하부 용량 전극 (71), 콘택트홀 (83, 84 및 85), 그리고 중계층 (93)을 개재시켜 반도체층 (1a)의 화소 전극측 소스 드레인 영역 (1e)에 전기적으로 접속되어 있다. 콘택트홀 (85)은 층간 절연층 (43)을 관통하도록 형성된 구멍부의 내벽에 ITO 등의 화소 전극 (9a)을 구성하는 도전 재료가 성막됨으로써 형성되어 있다. 화소 전극 (9a)의 상측 표면에는 러빙 처리 등의 소정의 배향 처리가 실시된 배향막 (16)이 형성되어 있다.

<119> 이상으로 설명한 화소부의 구성은 각 화소부에 공통이다. 화상 표시 영역 (10a) (도 1 참조)에는 이러한 화소부가 주기적으로 형성되어 있다.

<120> 따라서, 이상 설명한 바와 같은 본 실시형태의 액정 장치에서는, 그 동작시에 있어서, TFT (30)의 광리크 전류의 발생에서 기인하는 표시 불량의 발생을 방지, 또는 발생해도 표시상, 표시 불량으로 시인되지 않을 정도로 저감시키는 것이 가능해진다. 또, TFT (30)의 동작 불량이나 개구율의 저하를 방지하면서 용이하게 각 화소를 정제화할 수도 있다. 그 결과, 본 실시형태에서는 액정 장치에서 고품질의 화상을 표시할 수 있다.

- <121> 여기에서, 상기 서술한 TFT (30)의 동작시에, 화소 전극측 LDD 영역 (1c)에 있어서, 데이터선측 LDD 영역 (1b)에 비해 광리크 전류가 상대적으로 발생하기 쉬운 이유에 대하여 도 9 내지 도 15를 참조하여 상세하게 설명한다.
- <122> 우선, 테스트용 TFT에 광을 조사한 경우에 있어서의 드레인 전류의 크기를 측정한 측정 결과에 대하여 도 10을 참조하여 설명한다. 여기에서, 도 10은 테스트용 TFT에 있어서의 광조사 위치와 드레인 전류의 관계를 나타내는 그래프이다.
- <123> 도 10에 있어서, 데이터 (E1)는 테스트용 단체인 TFT, 즉 TEG (Test Element Group)에 대해 광 스폿 (약 2.4um의 가시광 레이저)을 드레인 영역측에서부터 소스 영역측으로 순서대로 주사하면서 조사한 경우에 있어서의 드레인 전류의 크기를 측정한 결과를 나타내고 있다. TEG는 채널 영역, 소스 영역 및 드레인 영역에 추가하여, 채널 영역과 소스 영역의 접합부에 형성된 소스측 접합 영역, 및 채널 영역과 드레인 영역의 접합부에 형성된 드레인측 접합 영역을 가지고 있다.
- <124> 또한, 도 10의 횡축은 광 스폿이 조사된 광조사 위치를 나타내고 있으며, 채널 영역과 드레인측 접합 영역의 경계 및 채널 영역과 소스측 접합 영역의 경계, 그리고 채널 영역을 제로로 하고 있다. 도 10의 종축은 드레인 전류의 크기 (단, 소정의 값으로 규격화된 상대값)를 나타내고 있으며, 드레인 전류가 드레인 영역에서 소스 영역을 향하여 흐르고 있는 경우에는, 정(正)의 값 (즉, 플러스의 값)을 나타내고, 드레인 전류가 소스 영역에서부터 드레인 영역을 향하여 흐르고 있는 경우에는 부(負)의 값 (즉, 마이너스의 값)을 나타낸다.
- <125> 도 10에 있어서, 데이터 (E1)는 어느 광조사 위치에서나 플러스의 값을 나타내고 있다. 즉, 드레인 전류가 드레인 영역에서 소스 영역을 향하여 흐르고 있는 것을 나타내고 있다. 또, 데이터 (E1)는 드레인측 접합 영역 내에서, 소스측 접합 영역 내에서도 큰 값을 나타내고 있다. 즉, 드레인측 접합 영역 내에 광 스폿이 조사된 경우에는, 소스측 접합 영역 내에 광 스폿이 조사된 경우보다 드레인 전류가 커지는 것을 나타내고 있다. 즉, 드레인측 접합 영역 내에 광 스폿이 조사된 경우에는, 소스측 접합 영역 내에 광 스폿이 조사된 경우보다 광리크 전류가 커지는 것을 나타내고 있다. 또한, 드레인 전류는 암(暗) 전류 (또는, 서브스레스홀드 리크, 즉 광을 조사하지 않는 상태에서도, TEG의 오프 상태에서 소스 영역 및 드레인 영역 사이로 흐르는 누출 전류) 와 광리크 전류 (또는 광여기 전류, 즉 광이 조사됨에 따른 전자의 여기에서 기인하여 발생되는 전류)로 구성되어 있다.
- <126> 다음으로, 드레인측 접합 영역 내에 광 스폿이 조사된 경우가 소스측 접합 영역 내에 광 스폿이 조사된 경우보다 광리크 전류가 커지는 메커니즘에 대하여, 도 11 및 도 12를 참조하여 설명한다. 여기에서, 도 11은 드레인측 접합 영역에서 광여기가 발생한 경우에 있어서의 캐리어의 움직임을 나타내는 개념도이다. 도 12는 소스측 접합 영역에서 광여기가 발생한 경우에 있어서의 캐리어의 움직임을 나타내는 개념도이다. 또한, 도 11 및 도 12에서는, 상기 서술한 TFT (30)가 전기적으로 접속된 화소 전극 (9a)에 있어서의 중간 계조의 표시를 상정하여, 소스 전위 (즉, 소스 영역의 전위)를 4.5V, 케이트 전위 (즉, 채널 영역의 전위)를 0V, 드레인 전위 (즉, 드레인 영역의 전위)를 9.5V로 하고 있다. 도 11 및 도 12의 횡축은 TEG를 구성하는 반도체층에 있어서의 각 영역을 나타내고 있다. 도 11 및 도 12의 종축은 전자의 포텐셜 (페르미 레벨)을 나타내고 있다. 전자는 부의 전하를 갖기 때문에, 각 영역에 있어서의 전위가 높을수록 전자의 포텐셜은 낮아지고, 각 영역에 있어서의 전위가 낮을수록 전자의 포텐셜은 높아진다.
- <127> 도 11은 채널 영역 및 드레인 영역 간에 형성된 드레인측 접합 영역에 광 스폿이 조사되어, 드레인측 접합 영역에서 광여기가 발생되는 경우에 있어서의 캐리어의 움직임을 나타내고 있다.
- <128> 도 11에 있어서, 광리크 전류는 2개의 전류 성분으로 이루어진다고 추정할 수 있다.
- <129> 즉, 제 1 전류 성분으로서 광여기에 의해 발생된 전자의 이동에 의한 전류 성분이 있다. 보다 구체적으로는, 드레인측 접합 영역에 있어서의 광여기에 의해 발생된 전자 (도면 중 「e」 참조)가, 드레인측 접합 영역에서부터 포텐셜이 보다 낮은 드레인 영역으로 이동함으로써 발생되는 전류 성분 (이 전류 성분은 드레인 영역에서부터 소스 영역으로 흐른다)이다.
- <130> 제 2 전류 성분으로서 광여기에 의해 발생된 훌 (즉, 정공, 도면 중 「h」 참조)의 이동에 의한 전류 성분이 있다. 보다 구체적으로는, 드레인측 접합 영역에 있어서의 광여기에 의해 발생된 훌이 드레인측 접합 영역에서부터 포텐셜이 보다 낮은 (즉, 전자의 포텐셜로는 보다 높은) 채널 영역으로 이동함으로써 발생하는 바이폴러

효과에서 기인하는 전류 성분이다. 즉, 채널 영역으로 이동한 홀의 정전하에 의해, 채널 영역의 포텐셜(즉, 이른바 베이스 포텐셜)이 포텐셜 Lc1에서 포텐셜 Lc2로 낮아지기 때문에, 소스 영역에서부터 드레인 영역으로 향하는 전자가 증대된다고 하는 효과에 의한 전류 성분(이 전류 성분은, 드레인 영역에서부터 소스 영역으로 흐른다)이다. 따라서, 드레인측 접합 영역에서 광여기가 발생되는 경우에 있어서, 제 1 및 제 2 전류 성분은 모두 드레인 전류(바꾸어 말하면, 콜렉터 전류)를 증대시키는 방향(즉, 드레인 영역에서부터 소스 영역으로 흐르는 방향)으로 발생한다.

<131> 도 12는 채널 영역 및 소스 영역 간에 형성된 소스측 접합 영역에 광 스포트이 조사되어, 소스측 접합 영역에서 광여기가 발생되는 경우에 캐리어의 움직임을 나타내고 있다.

<132> 도 12에 있어서, 광리크 전류는, 도 11을 참조하여 상기 서술한 드레인측 접합 영역에서 광여기가 발생되는 경우와는 달리, 홀이 소스측 접합 영역에서부터 포텐셜이 보다 낮은(즉, 전자의 포텐셜로는 보다 높은) 채널 영역으로 이동하는 바이폴러 효과에서 기인한 제 2 전류 성분이 지배적이라고 추정할 수 있다. 즉, 소스측 접합 영역에 있어서의 광여기에 의해 발생된 전자(도면 중 「e」 참조)가, 소스측 접합 영역에서부터 포텐셜이 보다 낮은 소스 영역으로 이동함으로써 발생되는 제 1 전류 성분(이 전류 성분은 소스 영역에서부터 드레인 영역으로 흐른다)은 바이폴러 효과에서 기인한 제 2 전류 성분(이 전류 성분은 드레인 영역에서부터 소스 영역으로 흐른다) 보다 적다고 추정할 수 있다.

<133> 도 12에 있어서, 바이폴러 효과에서 기인한 제 2 전류 성분(즉, 채널 영역으로 이동한 홀의 정(正)전하에 의해, 베이스 포텐셜이 포텐셜 Lc1에서 포텐셜 Lc3으로 낮아지기 때문에, 소스 영역에서부터 드레인 영역으로 향하는 전자가 증대된다고 하는 효과에 의한 전류 성분)은 드레인 영역에서부터 소스 영역으로 흐른다. 한편, 상기 서술한 제 1 전류 성분은 소스 영역에서부터 드레인 영역으로 흐른다. 즉, 제 1 전류 성분과 제 2 전류 성분은 서로 반대 방향으로 흐른다. 여기에서, 다시 도 10에 있어서, 소스측 접합 영역에 광 스포트을 조사한 경우에는, 드레인 전류(데이터(E1) 참조)는 정의 값을 나타내고 있다. 즉, 이 경우에는 드레인 전류는 드레인 영역에서부터 소스 영역을 향하여 흐르고 있다. 따라서, 제 1 전류 성분은 암전류나 제 2 전류 성분인 바이폴러 효과에 의한 전류 성분을 억제할 뿐으로, 드레인 전류의 흐름을 소스 영역에서부터 드레인 영역을 향하게 할 정도로까지 크지 않다고 할 수 있다.

<134> 또한, 채널 영역 및 소스 영역 간의 전위차는 채널 영역 및 드레인 영역 간의 전위차보다 작기 때문에, 소스 영역측의 공핍화(空乏化) 영역(즉, 소스측 접합 영역)은 드레인 영역측의 공핍화 영역(즉, 드레인측 접합 영역) 보다 좁다. 이 때문에, 소스측 접합 영역에 광 스포트을 조사한 경우에는 드레인측 접합 영역에 광 스포트을 조사한 경우와 비교하여 광여기의 절대량이 적다.

<135> 이상, 도 11 및 도 12를 참조하여 설명한 바와 같이, 드레인측 접합 영역에서 광여기가 발생되는 경우, 제 1 및 제 2 전류 성분은 모두 드레인 전류를 증대시키는 방향으로 발생된다. 한편, 소스측 접합 영역에서 광여기가 발생되는 경우, 제 1 전류 성분이 제 2 전류 성분을 억제한다. 따라서, 드레인측 접합 영역 내에 광 스포트이 조사된 경우가 소스측 접합 영역 내에 광 스포트이 조사된 경우보다 드레인 전류가 커진다(즉, 광리크 전류가 커진다).

<136> 다음으로, 화소 전극측 소스 드레인 영역이 드레인 전위가 됨과 함께 화소 전극측 접합 영역 내에 광 스포트이 조사된 경우가 데이터선측 소스 드레인 영역이 드레인 전위가 됨과 함께 데이터선측 접합 영역 내에 광 스포트이 조사된 경우보다 광리크 전류가 커지는 메커니즘에 대하여 도 13 및 도 14를 참조하여 설명한다. 여기에서, 도 13은 데이터선측 소스 드레인 영역이 드레인 전위가 되는 경우에 있어서, 데이터선측 접합 영역(바꾸어 말하면, 드레인측 접합 영역)에서 광여기가 발생한 때에 있어서의 캐리어의 움직임을 나타내는 개념도이다. 도 14는 화소 전극측 소스 드레인 영역이 드레인 전위가 되는 경우에 있어서, 화소 전극측 접합 영역(바꾸어 말하면, 드레인측 접합 영역)에서 광여기가 발생한 때에 있어서의 캐리어의 움직임을 나타내는 개념도이다.

<137> 이하에서는, 화소 스위칭용 TFT를 포함하는 화소부에 전하가 유지되어 광여기가 발생된 경우를 생각해 본다. 상기 서술한 바와 같은 TEG를 상정한 경우와 다른 점은, 화소 스위칭용 TFT의 화소 전극측은 플로팅 상태가 될 수 있다는 점이다. 화소 스위칭용 TFT의 화소 전극측에는 축적 용량(70)과 같은 유지 용량이 접속되는 경우도 있고, 용량값이 충분히 크면, 상기 서술한 TEG를 사용한 경우와 마찬가지로 고정 전극에 가까운 상태가 되는데, 용량이 충분히 크지 않으면, 플로팅 상태 또는 이것에 가까운 상태가 된다. 또한, 여기에서는, 용량값은 충분히 크지 않은 것으로 가정한다.

<138>

도 13 및 도 14 에 있어서, 액정 장치에서는, 이른바 번인(burn-in)을 방지하기 위해 교류 구동이 채용된다. 여기에서는, 중간 계조의 표시를 상정하여, 화소 전극에, 7V 를 기준 전위로 하여, 4.5V 의 마이너스 필드의 전하와 9.5V 의 플러스 필드의 전하가 교대로 유지되는 경우를 상정한다. 이 때문에 화소 스위칭용 TFT 의 소스 및 드레인은 화소 전극측 소스 드레인 영역과 데이터선측 소스 드레인 영역 사이에서 고정되지 않고 변화된다. 즉, 도 13 에 나타내는 바와 같이, 화소 전극에 마이너스 필드의 전하가 유지되는 경우 (즉, 화소 전극측 소스 드레인 영역의 전위가 데이터선측 소스 드레인 영역의 전위보다 낮아지는 경우) 에는, 화소 전극측 소스 드레인 영역은 소스가 되는 데 대해, 도 14 에 나타내는 바와 같이, 화소 전극에 플러스 필드의 전하가 유지되는 경우 (즉, 화소 전극측 소스 드레인 영역의 전위가 데이터선측 소스 드레인 영역의 전위보다 높아지는 경우) 에는 화소 전극측 소스 드레인 영역은 드레인이 된다.

<139>

도 13 에 있어서, 화소 전극에 마이너스 필드의 전하가 유지되는 경우에는, 화소 전극측 소스 드레인 영역이 소스 (또는 에미터) 가 되고, 데이터선측 소스 드레인 영역이 드레인 (또는 콜렉터) 이 된다. 드레인측 접합 영역인 데이터선측 접합 영역에서 광여기가 발생된 경우, 상기 서술한 바와 같이, 광여기에 의해 발생된 전자의 이동에 의한 제 1 전류 성분과 바이폴러 효과에서 기인하는 제 2 전류 성분이 발생한다. 여기에서, 바이폴러 효과에서 기인하는 제 2 전류 성분이 발생되면 (즉, 베이스 포텐셜이 포텐셜 Lc1 에서 포텐셜 Lc2 로 낮아져, 소스인 화소 전극측 소스 드레인 영역에서부터 드레인인 데이터선측 소스 드레인 영역으로 전자가 이동하면), 플로팅 상태인 화소 전극측 소스 드레인 영역으로부터 전자가 빠지게 되어, 에미터로서의 화소 전극측 소스 드레인 영역의 포텐셜이 포텐셜 Ls1 에서 포텐셜 Ls2 로 저하된다 (전위는 상승한다). 즉, 드레인측 접합 영역인 데이터선측 접합 영역에서 광여기가 발생된 경우, 베이스 포텐셜이 저하됨과 함께 에미터로서의 화소 전극측 소스 드레인 영역의 포텐셜도 저하된다. 바꾸어 말하면, 드레인측 접합 영역인 데이터선측 접합 영역에서 광여기가 발생된 경우, 베이스 전위의 상승에 수반하여 에미터 전위도 상승한다. 이 때문에, 드레인 전류 (즉, 콜렉터 전류) 가 억제되게 된다.

<140>

한편, 도 14 에 있어서, 화소 전극에 플러스 필드의 전하가 유지되는 경우에는, 데이터 전극측 소스 드레인 영역이 소스 (또는 에미터) 가 되고, 화소 전극측 소스 드레인 영역이 드레인 (또는 콜렉터) 이 된다. 드레인측 접합 영역인 화소 전극측 접합 영역에서 광여기가 발생된 경우, 상기 서술한 바와 같이, 광여기에 의해 발생된 전자의 이동에 의한 제 1 전류 성분과 바이폴러 효과에서 기인하는 제 2 전류 성분이 발생한다. 여기에서, 소스가 되는 데이터선측 소스 드레인 영역은 데이터선과 접속되어 있기 때문에, 화소 전극과는 달리 플로팅 상태가 아니어서, 전위에 변화는 생기지 않는다. 바이폴러 효과에서 기인하는 제 2 전류 성분이 생기면 (즉, 베이스 포텐셜이 포텐셜 Lc1 에서 포텐셜 Lc2 로 낮아져, 소스인 데이터선측 소스 드레인 영역에서 드레인인 화소 전극 소스 드레인 영역으로 전자가 이동하면), 플로팅 상태인 화소 전극측 소스 드레인 영역으로 전자가 흘러들어가, 콜렉터로서의 화소 전극측 소스 드레인 영역의 포텐셜이 포텐셜 Ld1 에서 포텐셜 Ld2 로 상승한다 (전위는 저하된다). 그러나, 콜렉터로서의 화소 전극측 소스 드레인 영역의 포텐셜의 상승은, 상기 서술한 소스로서의 화소 전극측 소스 드레인 영역의 포텐셜의 저하와는 달리, 드레인 전류를 억제하는 기능은 거의 없다. 드레인 전류 (즉, 콜렉터 전류) 는 에미터 전위에 대한 베이스 전위의 크기에 따라 거의 정해지기 때문에, 콜렉터 전위가 저하되어도 드레인 전류를 억제하는 기능은 거의 생기지 않는, 바꾸어 말하면, 바이폴러 트랜지스터의 포화 영역에 들어간 상태이다.

<141>

이상, 도 13 및 도 14 를 참조하여 설명한 바와 같이, 화소 전극에 플러스 필드의 전하가 유지되는 경우 (즉, 화소 전극측 소스 드레인 영역이 드레인이 되는 경우) 에는, 바이폴러 효과에서 기인한 제 2 전류 성분은 거의 억제되지 않는 데 대해, 화소 전극에 마이너스 필드의 전하가 유지되는 경우 (즉, 데이터측 소스 드레인 영역이 드레인이 되는 경우) 에는, 바이폴러 효과에서 기인한 제 2 전류 성분은, 플로팅 상태인 화소 전극측 소스 드레인 영역의 전위의 상승에서 기인하여 억제된다. 즉, 화소 전극측 소스 드레인 영역이 드레인이 되는 경우보다 광리크 전류에서 기인하여 드레인 전류가 증가한다.

<142>

여기에서, 도 15 는 화소 스위칭용 TFT 전체에 비교적 강한 광을 조사했을 때의 화소 전극 전위의 파형을 나타내고 있다.

<143>

도 15 에 있어서, 데이터 E2 는 화소 전극에 플러스 필드의 전하가 유지되는 경우 (화소 전극 전위가 전위 V1 이 되는 경우) 에 있어서의 화소 전극 전위의 변동 ($\Delta 1$) 은 화소 전극에 마이너스 필드의 전하가 유지되는 경우 (화소 전극 전위가 전위 V2 가 되는 경우) 에 있어서의 화소 전극 전위의 변동 ($\Delta 2$) 보다 큰 것을 나타내고 있다. 즉, 화소 전극에서 플러스 필드의 전하는 마이너스 필드의 전하보다 유지되기 어려운 (즉, 광 리크가 발생하기 쉬운) 것을 나타내고 있다. 이것은 화소 전극에 플러스 필드의 전하가 유지되는 경우 (즉, 화소

전극측 소스 드레인 영역이 드레인이 되는 경우) 가 화소 전극에 마이너스 필드의 전하가 유지되는 경우 (즉, 데이터선측 소스 드레인 영역이 드레인이 되는 경우) 보다 광리크 전류가 발생하기 쉽다는 상기 서술한 메커니즘과 일치하고 있다.

<144> 이상, 도 10 내지 도 15 를 참조하여 상세하게 설명한 바와 같이, 화소 스위칭용 TFT 에 있어서의 드레인측 접합 영역에서 광여기가 발생되는 경우에 드레인 전류가 증가하기 쉽다. 또한, 화소 전극측 소스 드레인 영역이 드레인이 되는 경우에 있어서 드레인 전류가 증가되기 쉽다 (반대로 말하면, 데이터선측 소스 드레인 영역이 드레인이 되는 경우에는, 바이폴러 효과에서 기인한 전류 성분이 억제되고 있다). 따라서, 본 실시형태에 관련된 액정 장치와 같이, 화소 전극측 접합 영역인 화소 전극측 LDD 영역 (1c) 에 대한 차광성을 데이터선측 접합 영역인 데이터선측 LDD 영역 (1b) 에 대한 차광성보다 높임으로써, 높은 개구율을 유지하면서 TFT (30) 에 있어서의 광리크 전류를 매우 효과적으로 저감시킬 수 있다.

<전기 광학 장치의 제조 방법>

<146> 다음으로, 상기 서술한 본 실시형태에 관련된 액정 장치의 제조 프로세스에 대하여 도 16 내지 도 18 을 참조하여 설명한다. 여기에서, 도 16, 도 17 및 도 18 은 각각 제조 프로세스의 각 공정을 순서를 따라 나타내는 공정도이다. 또한 도 16 내지 도 18 에서는 트랜지스터 (30) 를 화상 표시용 트랜지스터 (Pix) 와 드라이버용 트랜지스터 (Dr) 로 나누어 나타내고 있다.

<147> 또, 이하에서는 트랜지스터 (30) 를 형성하는 공정에 대하여 상세하게 설명하고, 이것보다 상층 및 하층에 형성되는 층의 제조 공정에 대해서는 생략하기로 한다. 예를 들어 감압 CVD 등에 의해 아모르퍼스 실리콘막을 형성하고 열처리를 실시함으로써 폴리실리콘막을 고상 성장시키거나 또는 감압 CVD 법 등에 의해 폴리실리콘막을 직접 형성하고, 그 후의 패터닝 등에 의해 반도체층 (1a) 을 형성한다. 또한, 도면에 있어서의 좌측에 배치된 반도체층 (1a) 이 화상 표시용 트랜지스터 (Pix) 를 구성하는 반도체층 (1a) 이고, 도면에 있어서의 우측에 배치된 반도체층 (1a) 이 드라이버용 트랜지스터 (Dr) 를 구성하는 반도체층 (1a) 이다. 또, 이 시점에 있어서의 반도체층 (1a) 에는 채널 영역 (1a'), 데이터선측 LDD 영역 (1b), 화소 전극측 LDD 영역 (1c), 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 은 형성되어 있지 않다. 반도체층 (1a) 이 형성된 후에는 형성된 반도체층 (1a) 을 평면적으로 봐서 덮도록, 열산화 등에 의해 게이트 절연막 (2) 을 형성한다.

<148> 도 16(b) 에 나타내는 공정에서는 게이트 절연막 (2) 의 상층에 이온 주입 시의 마스크가 되는 제 1 마스크 (510) 를 형성한다. 제 1 마스크 (510) 는 화상 표시용 트랜지스터 (Pix) 측에서는 반도체층 (1a) 의 채널 영역 (1a') 이 형성되는 부분에 대향하는 위치에 형성된다. 한편으로, 드라이버용 트랜지스터 (Dr) 측에서는 반도체층 (1a) 의 전체면을 덮도록 형성된다. 계속해서, 제 1 마스크 (510) 의 상층측으로부터 반도체층 (1a) 에 저농도 이온을 주입한다. 이 때, 저농도 이온은 반도체층 (1a) 에 있어서의 제 1 마스크 (510) 에 의해 덮여져 있지 않은 부분에만 주입된다.

<149> 도 16(c) 에 나타내는 공정에서는 제 1 마스크 (510) 대신에 제 2 마스크 (520) 를 형성한다. 또한, 제 2 마스크 (520) 는 제 1 마스크 (510) 를 제거한 후에 새로 형성되어도 되고, 제 1 마스크 (510) 를 부분적으로 제거하거나, 제 1 마스크 (510) 에 부분적인 추가를 하거나 함으로써 형성되어도 된다. 제 2 마스크 (520) 는 화상 표시용 트랜지스터 (Pix) 측 및 드라이버용 트랜지스터 (Dr) 측 모두에 채널 영역 (1a'), 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c) 이 형성되는 부분과 대향하는 위치에 형성된다. 계속해서, 제 2 마스크 (520) 의 상층측으로부터 반도체층 (1a) 에 고농도 이온을 주입한다. 이로써, 화상 표시용 트랜지스터 (Pix) 측에서는 채널 영역 (1a'), 데이터선측 LDD 영역 (1b), 화소 전극측 LDD 영역 (1c), 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 이 형성된다. 한편으로, 드라이버용 트랜지스터 (Dr) 측에서는 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 이 형성된다.

<150> 도 17(a) 에 나타내는 공정에서는 게이트 절연막 (2) 을 평면적으로 봐서 덮도록, 예를 들어 감압 CVD 법, 플라즈마 CVD 법 등에 의해 질화막 (32) 을 형성한다. 질화막 (32) 은 예를 들어 SiN 을 함유하고 있으며, $0.025 \mu\text{m}$ 정도의 두께로 형성된다. 또한, 형성한 질화막 (32) 을 평면적으로 봐서 덮도록 절연막 (31) 을 형성한다. 절연막 (31) 은 예를 들어 SiO_2 를 함유하고 있으며, $0.3 \sim 0.4 \mu\text{m}$ 정도의 두께로 형성된다. 보다 구체적으로는 여기에서는 예를 들어, 상압 또는 감압 CVD 법 등에 의해 TEOS (테트라 · 에틸 · 오르소 · 실리케이트) 가스, TEB (테트라 · 에틸 · 보레이트) 가스, TMOP (테트라 · 메틸 · 옥시 · 포스레이트) 가스 등을 사용하여 NSG (논실리케이트 유리), PSG (인실리케이트 유리), BSG (보론실리케이트 유리), BPSG (보론인실리케이트 유리) 등

의 실리케이트 유리막, 질화 실리콘막이나 산화 실리콘막 등으로 이루어지는 절연막 (31) 을 형성하면 된다.

<151> 도 17(b) 에 나타내는 공정에서는 절연막 (31) 을 애칭에 의해 패터닝하여, 섬 형상의 제 1 절연막 (31a) 및 제 2 절연막 (31b) 을 형성한다. 제 1 절연막 (31a) 및 제 2 절연막 (31b) 은 화상 표시용 트랜지스터 (Pix) 측에서 평면적으로 보아, 적어도 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c) 을 덮도록 형성된다.

또, 이들에 추가하여 데이터선측 소스 드레인 영역 (1d) 및 화소 전극측 소스 드레인 영역 (1e) 을 덮도록 형성해도 된다. 또한, 이 애칭에 있어서, 상기 서술한 질화막 (32) 은 하층인 게이트 절연막 (2) 및 반도체 층 (1a) 을 보호하는 보호막 (소위 애치 스토퍼막) 으로서 기능한다.

<152> 도 17(c) 에 나타내는 공정에서는 열인산 처리에 의해 질화막 (32) 을 제거한다. 열인산 처리는 예를 들어 섭씨 120 도 내지 130 도에서 20 분 정도 행해진다. 이 열인산 처리에서는 상기 서술한 제 1 절연막 (31a) 및 제 2 절연막 (31b) 은 영향을 받지 않아 제거되지 않는다. 또, 질화막 (32) 중 제 1 절연막 (31a) 및 제 2 절연막 (31b) 에 덮인 부분도 제 1 질화막 (32a) 및 제 2 질화막 (32b) 으로서 남게 된다. 이 제 1 질화막 (32a) 및 제 2 질화막 (32b) 은 차광성을 가지고 있기 때문에, 반도체층 (1a) 에 입사되려고 하는 광을 차광한다는 기능을 구비한다.

<153> 도 18(a) 에 나타내는 공정에서는 예를 들어 감압 CVD 법 등에 의해 폴리실리콘막을 퇴적한 후에, 인 (P) 을 열화산하고, 이 폴리실리콘막을 도전화함으로써 게이트 전극 (3a) 을 형성한다. 게이트 전극 (3a) 은 화상 표시용 트랜지스터 (Pix) 측에서는 채널 영역 (1a') 에 대향함과 함께, 제 1 절연막 (31a) 및 제 2 절연막 (31b) 상에 연재되도록 형성된다. 한편으로, 드라이버용 트랜지스터 (Dr) 측에서는 채널 영역 (1a') 이 형성되는 부분에 대향하도록 형성된다.

<154> 도 18(b) 에 나타내는 공정에서는 드라이버용 트랜지스터 (Dr) 측에 게이트 전극 (3a) 의 상층측으로부터 저농도의 이온을 반도체층 (1a) 에 주입한다. 이로써, 드라이버용 트랜지스터 (Dr) 측의 반도체층 (1a) 에 채널 영역 (1a'), 데이터선측 LDD 영역 (1b) 및 화소 전극측 LDD 영역 (1c) 이 형성된다. 또한, 상기 서술한 이온 주입시에 게이트 전극 (3a) 은 마스크로서 기능한다. 즉, 드라이버용 트랜지스터 (Dr) 는 자기 정합형 트랜지스터이다.

<155> 이상 설명한 바와 같은 공정에 의해 트랜지스터 (30) 가 형성된다. 본 실시형태에 관련된 전기 광학 장치의 제조 방법에 의하면, 제 1 절연막 (31a) 및 제 2 절연막 (31b) 을 형성함으로써, 게이트 전극 (3a) 을 용이하게 바람직한 위치에 배치할 수 있다. 따라서, 상기 서술한 바와 같은 고품위의 화상 표시를 가능하게 하는 전기 광학 장치를 보다 용이하게 제조하는 것이 가능하다.

<156> <전자 기기>

<157> 다음으로, 상기 서술한 전기 광학 장치인 액정 장치를 각종의 전자 기기에 적용하는 경우에 대하여 설명한다. 여기에서, 도 19 는 프로젝터의 구성예를 나타내는 평면도이다. 이하에서는, 이 액정 장치를 라이트 밸브로서 사용한 프로젝터에 대하여 설명한다.

<158> 도 19 에 나타내는 바와 같이, 프로젝터 (1100) 의 내부에는 할로겐 램프 등의 백색 광원으로 이루어지는 램프 유닛 (1102) 이 형성되어 있다. 이 램프 유닛 (1102) 으로부터 사출된 투사광은 라이트 가이드 (1104) 내에 배치된 4 장의 미러 (1106) 및 2 장의 다이크로익 미러 (1108) 에 의해 RGB 의 3 원색으로 분리되고, 각 원색에 대응하는 라이트 밸브로서의 액정 패널 (1110R, 1110B 및 1110G) 에 입사된다.

<159> 액정 패널 (1110R, 1110B 및 1110G) 의 구성은 상기 서술한 액정 장치와 동등하고, 화상 신호 처리 회로로부터 공급되는 R, G, B 의 원색 신호에 의해 각각 구동되는 것이다. 그리고, 이들 액정 패널에 의해 변조된 광은 다이크로익 프리즘 (1112) 에 3 방향으로부터 입사된다. 이 다이크로익 프리즘 (1112) 에서는 R 및 B 의 광이 90 도로 굽절되는 한편 G 의 광이 직진한다. 따라서, 각 색의 화상이 합성되는 결과, 투사 렌즈 (1114) 를 통하여 스크린 등에 컬러 화상이 투사되게 된다.

<160> 여기에서, 각 액정 패널 (1110R, 1110B 및 1110G) 에 의한 표시 이미지에 대하여 주목하면, 액정 패널 (1110G) 에 의한 표시 이미지는 액정 패널 (1110R, 1110B) 에 의한 표시 이미지에 대해 좌우 반전하는 것이 필요해진다.

<161> 또한, 액정 패널 (1110R, 1110B 및 1110G) 에는 다이크로익 미러 (1108) 에 의해 R, G, B 의 각 원색에 대응하는 광이 입사되기 때문에, 컬러 필터를 형성할 필요는 없다.

<162> 또한, 도 19 를 참조하여 설명한 전자 기기 외에도 모바일형 퍼스널 컴퓨터나, 휴대 전화, 액정 텔레비전이나, 뷰파인더형, 모니터 직시형의 비디오 테이프 리코더, 카 네비게이션 장치, 페이저, 전자 수첩, 전자식 탁상 계산기, 워드 프로세서, 워크스테이션, 텔레비전 전화, POS 단말, 터치 패널을 구비한 장치 등을 들 수 있다. 그리고, 이들 각종 전자 기기에 적용할 수 있다는 것은 말할 필요도 없다.

<163> 또, 본 발명은 상기 서술한 각 실시형태에서 설명한 액정 장치 이외에도 반사형 액정 장치 (LCOS), 플라즈마 디스플레이 (PDP), 전계 방출형 디스플레이 (FED, SED), 유기 EL 디스플레이, 디지털 마이크로미러 디바이스 (DMD), 전기 영동 장치 등에도 적용할 수 있다.

<164> 본 발명은 상기 서술한 실시형태에 한정되는 것은 아니며, 청구의 범위 및 명세서 전체로부터 판독할 수 있는 발명의 요지 또는 사상에 반하지 않는 범위에서 적절히 변경할 수 있으며, 그러한 변경을 수반하는 전기 광학 장치 및 그 제조 방법, 그리고 그 전기 광학 장치를 구비한 전자 기기도 또한 본 발명의 기술적 범위에 포함된다.

도면의 간단한 설명

<165> 도 1 은 본 실시형태에 관련된 액정 장치의 구성을 개략적으로 나타내는 평면도이다.

<166> 도 2 는 도 1 의 H-H' 선 단면도이다.

<167> 도 3 은 본 실시형태에 관련된 액정 장치의 화상 표시 영역을 구성하는 매트릭스 형상으로 형성된 복수의 화소에 있어서의 각종 소자, 배선 등의 등가 회로도이다.

<168> 도 4 는 서로 인접하는 복수의 화소부의 평면도이다.

<169> 도 5 는 트랜지스터에 주목하여 그 구성을 나타내는 평면도이다.

<170> 도 6 은 도 4 의 A-A' 선 단면도이다.

<171> 도 7 은 도 6 에 있어서의 트랜지스터 부분의 확대도이다.

<172> 도 8 은 본 실시형태에 관련된 액정 장치의 변형예를 나타내는 단면도이다.

<173> 도 9 는 도 4 의 B-B' 선 단면도이다.

<174> 도 10 은 테스트용 TFT 에 있어서의 광조사 위치와 드레인 전류의 관계를 나타내는 그래프이다.

<175> 도 11 은 드레인측 접합 영역에서 광여기가 발생한 경우에 있어서의 캐리어의 움직임을 나타내는 개념도이다.

<176> 도 12 는 소스측 접합 영역에서 광여기가 발생한 경우에 있어서의 캐리어의 움직임을 나타내는 개념도이다.

<177> 도 13 은 데이터선측 소스 드레인 영역이 드레인 전위가 되는 경우에 있어서, 데이터선측 접합 영역 (바꾸어 말하면, 드레인측 접합 영역) 에서 광여기가 발생했을 때에 있어서의 캐리어의 움직임을 나타내는 개념도이다.

<178> 도 14 는 화소 전극측 소스 드레인 영역이 드레인 전위가 되는 경우에 있어서, 화소 전극측 접합 영역 (바꾸어 말하면, 드레인측 접합 영역) 에서 광여기가 발생했을 때에 있어서의 캐리어의 움직임을 나타내는 개념도이다.

<179> 도 15 는 화소 스위칭용 TFT 전체에 비교적 강한 광을 조사했을 때의 화소 전극 전위의 파형을 나타내고 있다.

<180> 도 16 은 본 실시형태에 관련된 액정 장치의 제조 프로세스의 각 공정을 순서를 따라 나타내는 공정도 (그 1) 이다.

<181> 도 17 은 본 실시형태에 관련된 액정 장치의 제조 프로세스의 각 공정을 순서를 따라 나타내는 공정도 (그 2) 이다.

<182> 도 18 은 본 실시형태에 관련된 액정 장치의 제조 프로세스의 각 공정을 순서를 따라 나타내는 공정도 (그 3) 이다.

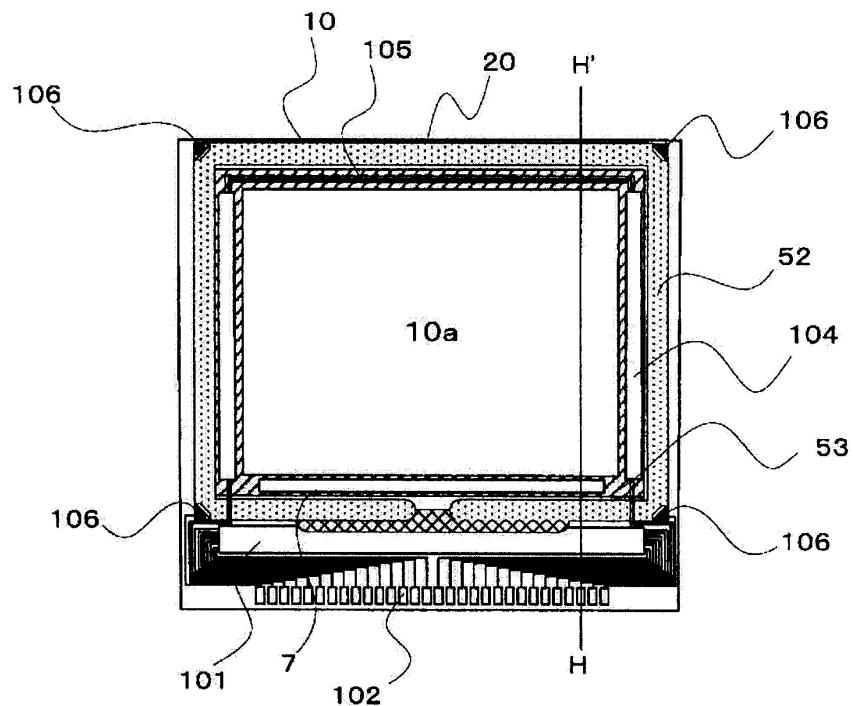
<183> 도 19 는 전기 광학 장치를 적용한 전자 기기의 일례인 프로젝터의 구성을 나타내는 평면도이다.

<184> *부호의 설명*

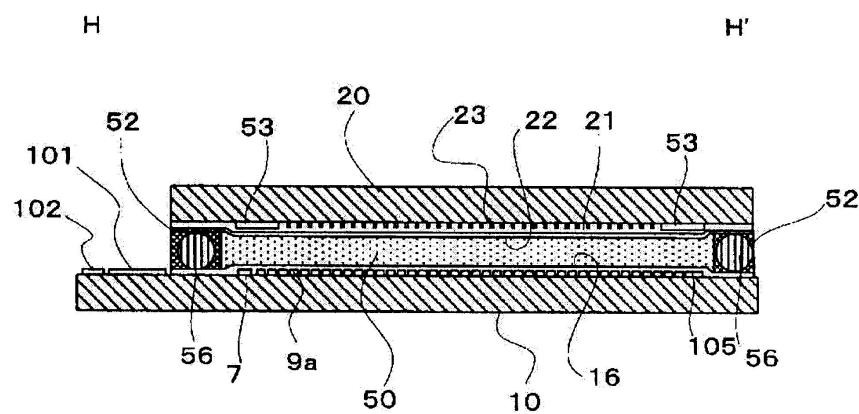
<185> 1a…반도체층, 1a'…채널 영역, 1b…데이터선측 LDD 영역, 1c…화소 전극측 LDD 영역, 1d…데이터선측 소스 드레인 영역, 1e…화소 전극측 소스 드레인 영역, 2…케이트 절연막, 3a…케이트 전극, 6a…데이터선, 9a…화소 전극, 10…TFT 어레이 기판, 10a…화상 표시 영역, 11a…주사선, 30…TFT, 31a…제 1 절연막, 31b…제 2 절연막, 32a : 제 1 질화막, 32b : 제 2 질화막, 99a…개구 영역, 99b…비개구 영역, 99ba…제 1 영역, 99bb…제 2 영역, 99cr…교차 영역

도면

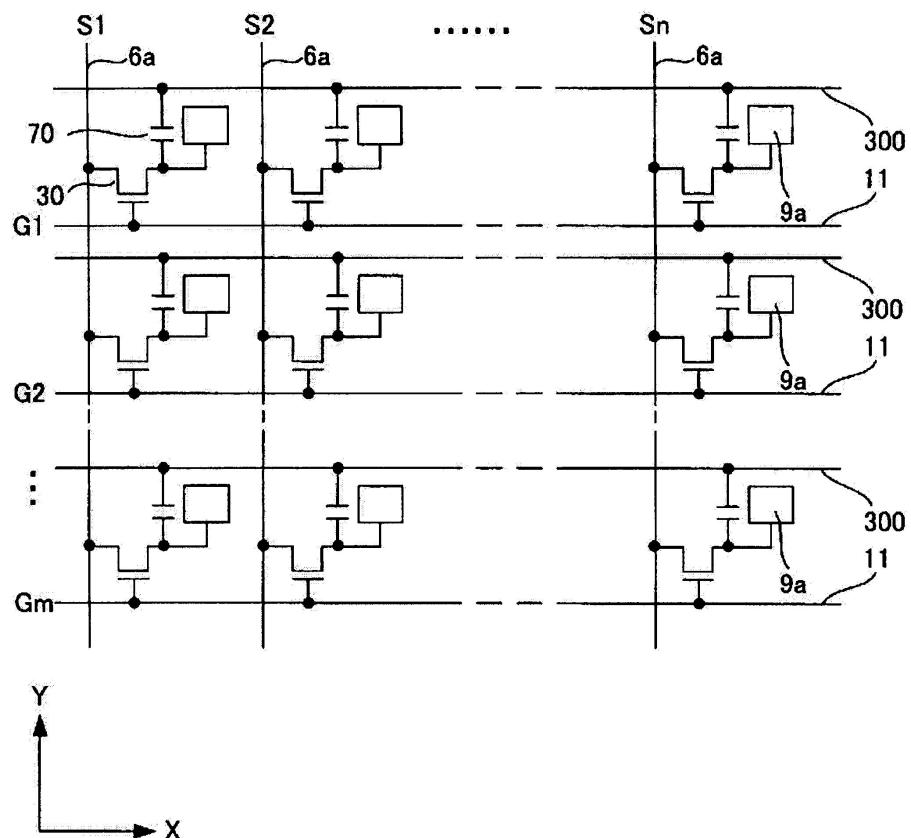
도면1



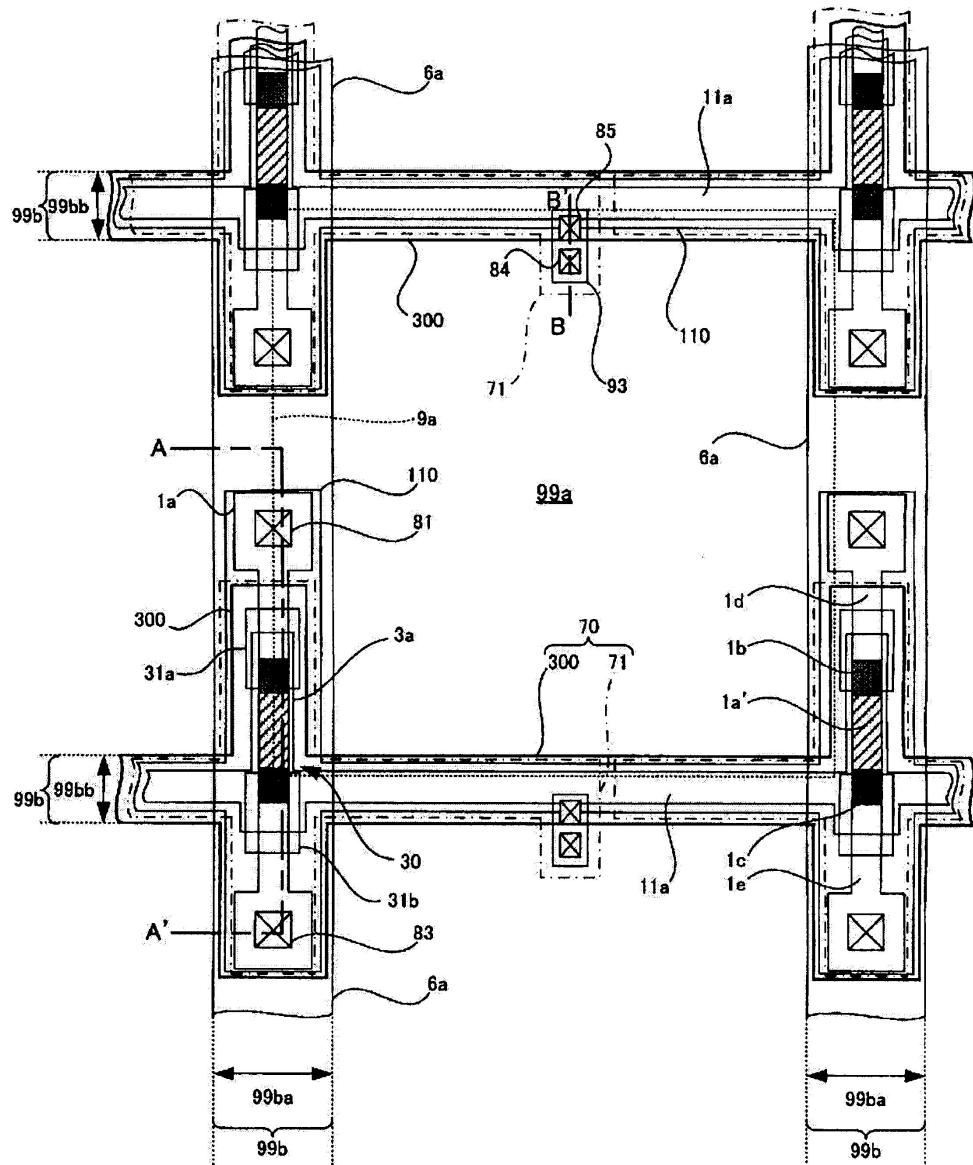
도면2



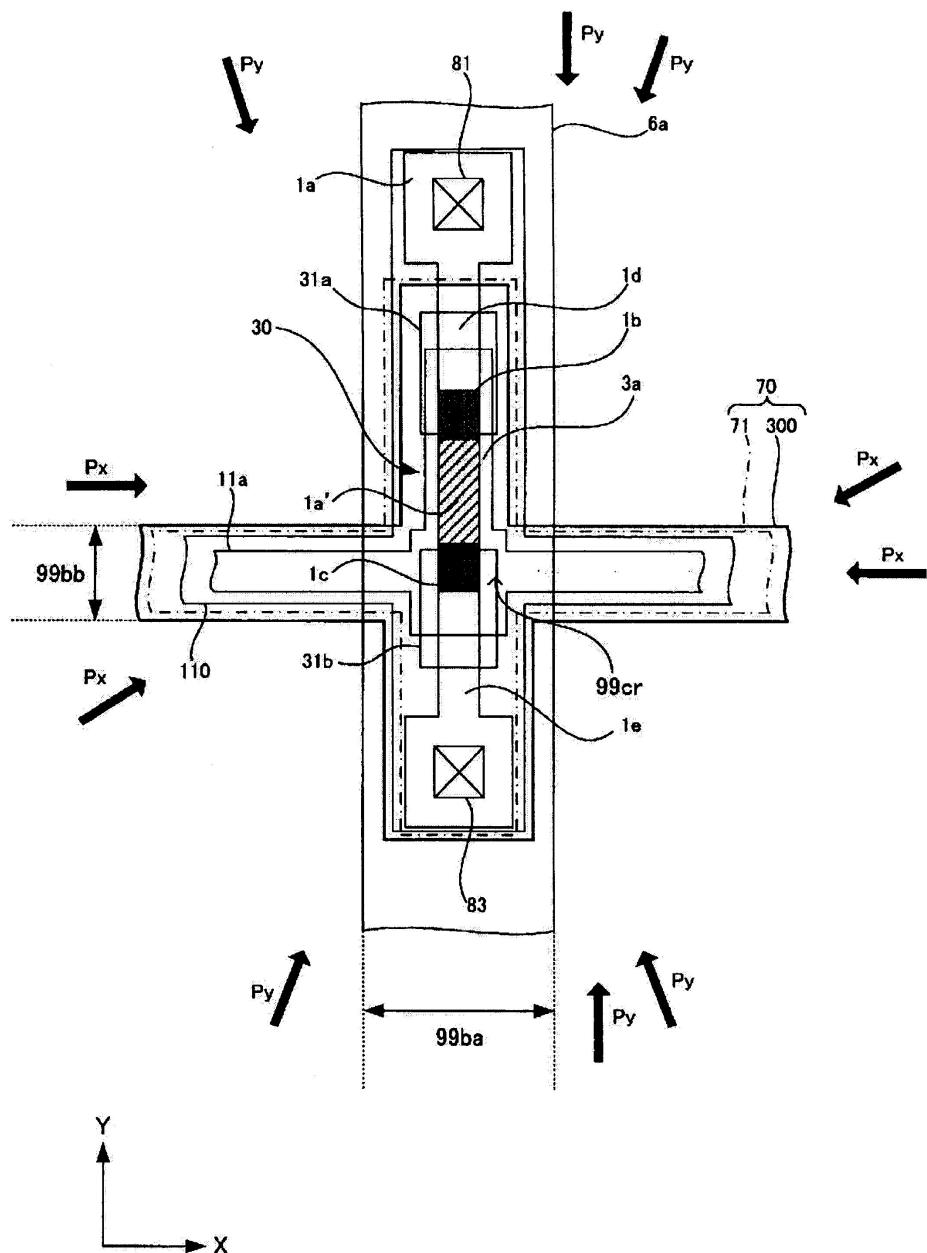
도면3



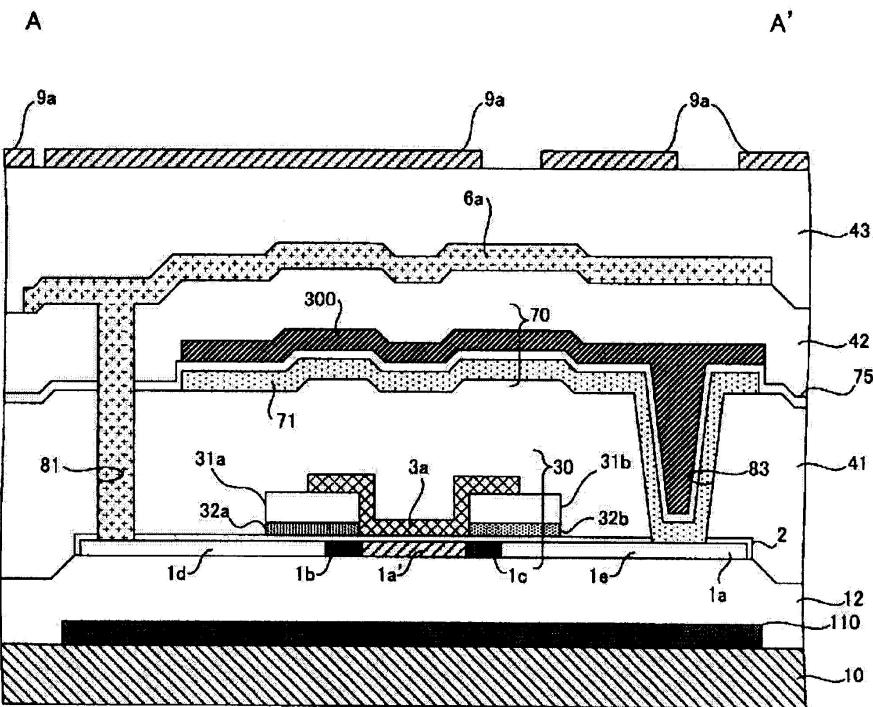
도면4



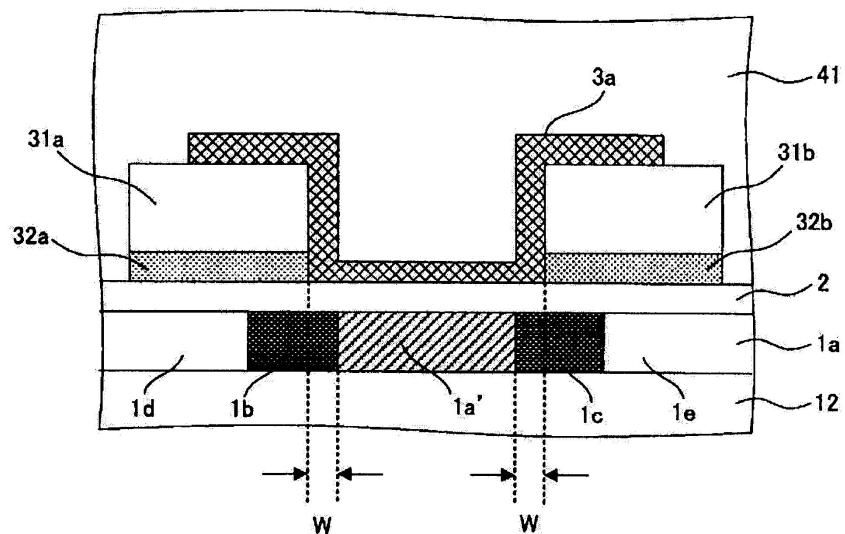
도면5



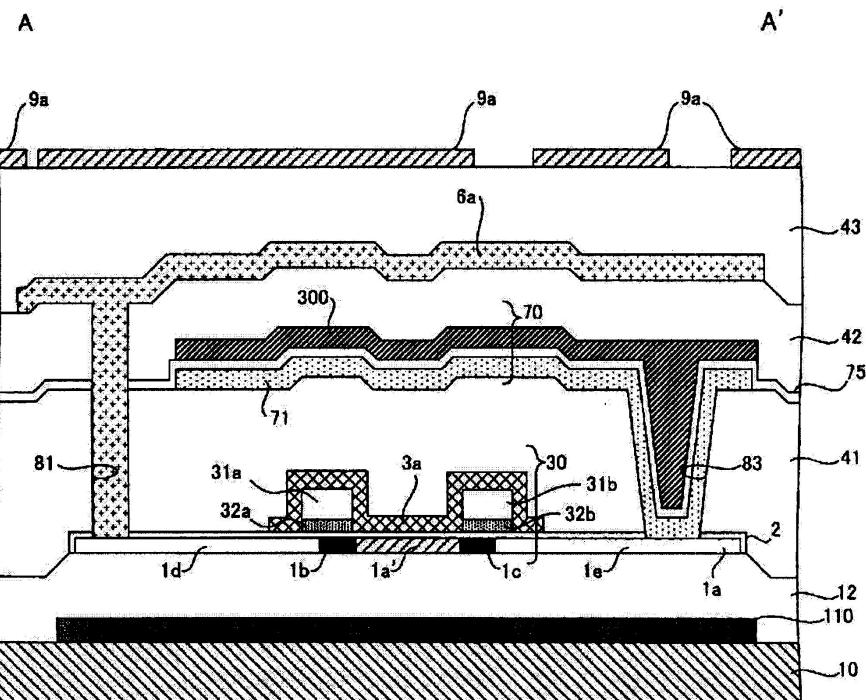
도면6



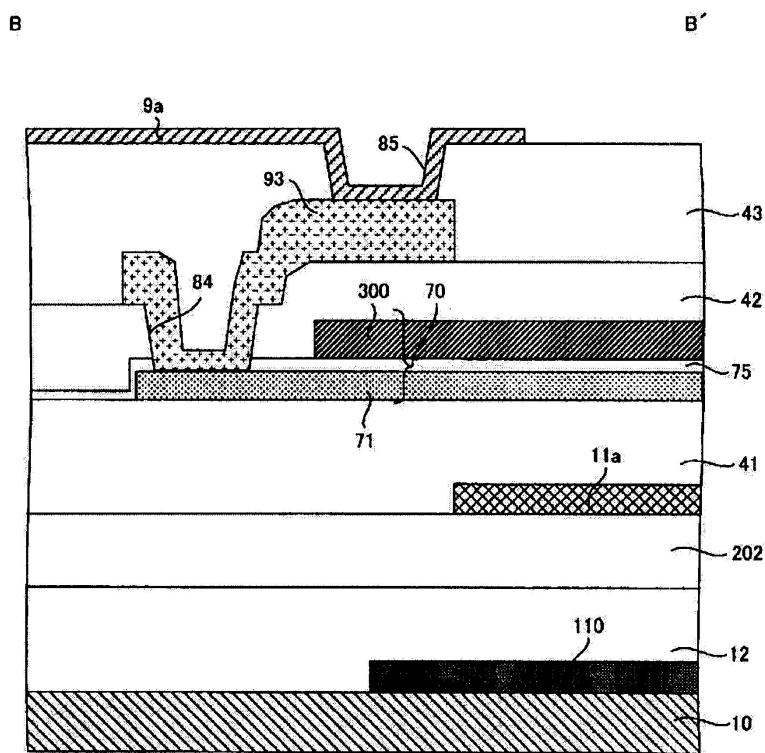
도면7



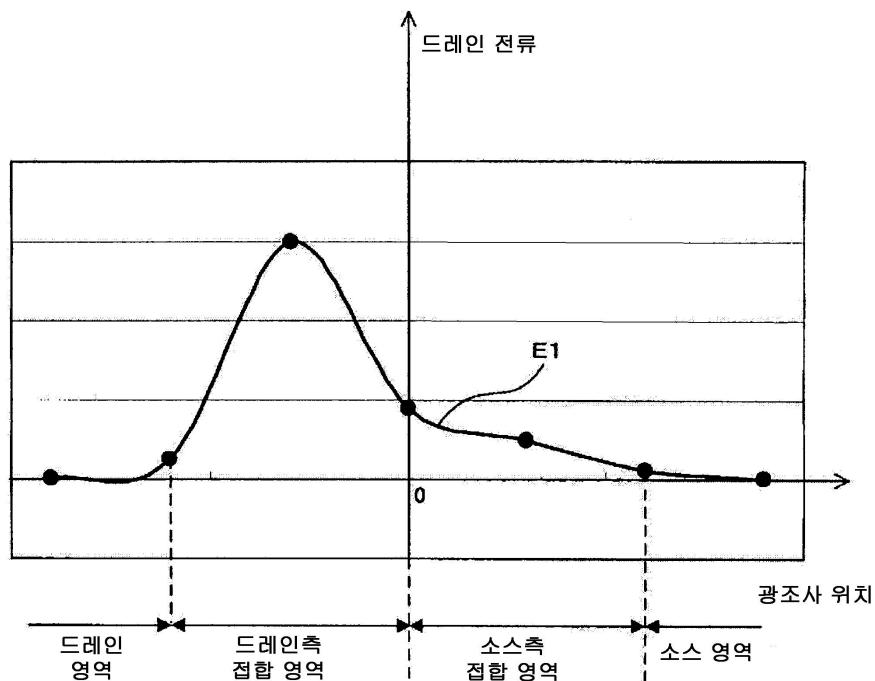
도면8



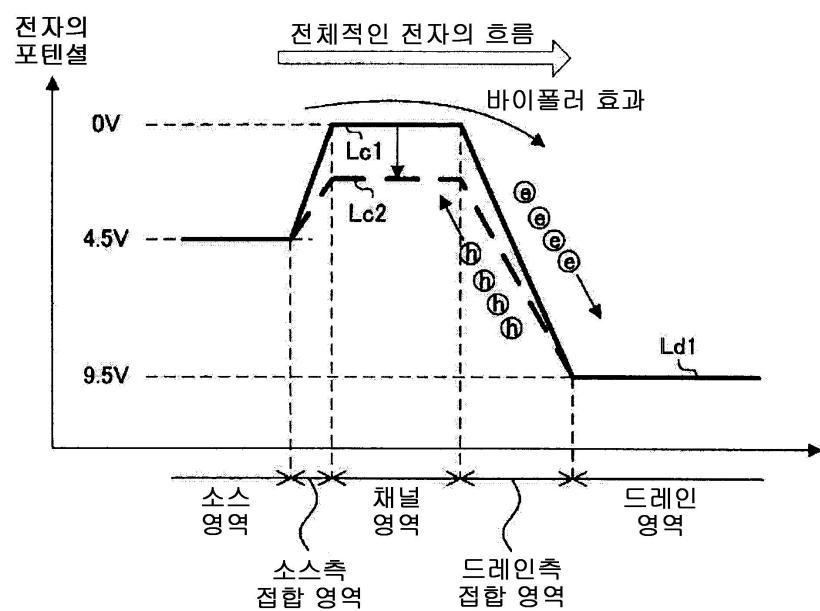
도면9



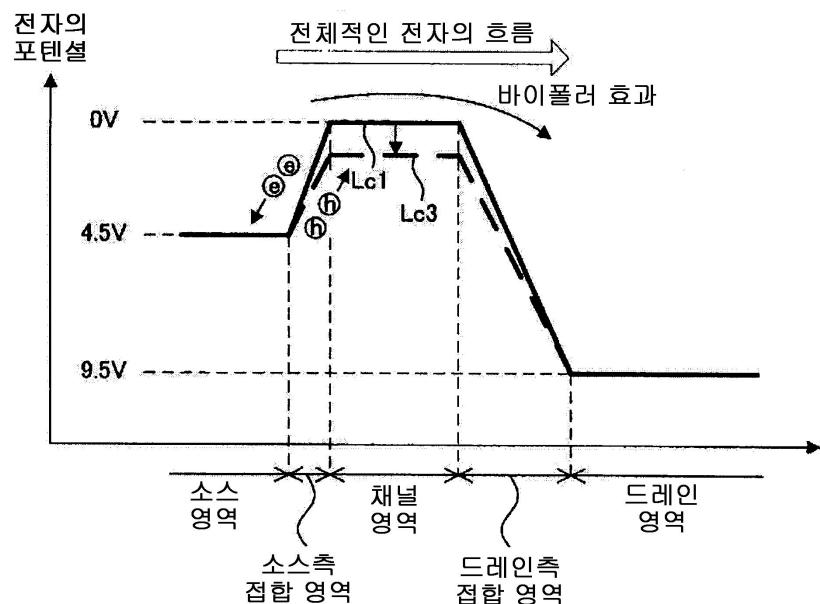
도면10



도면11

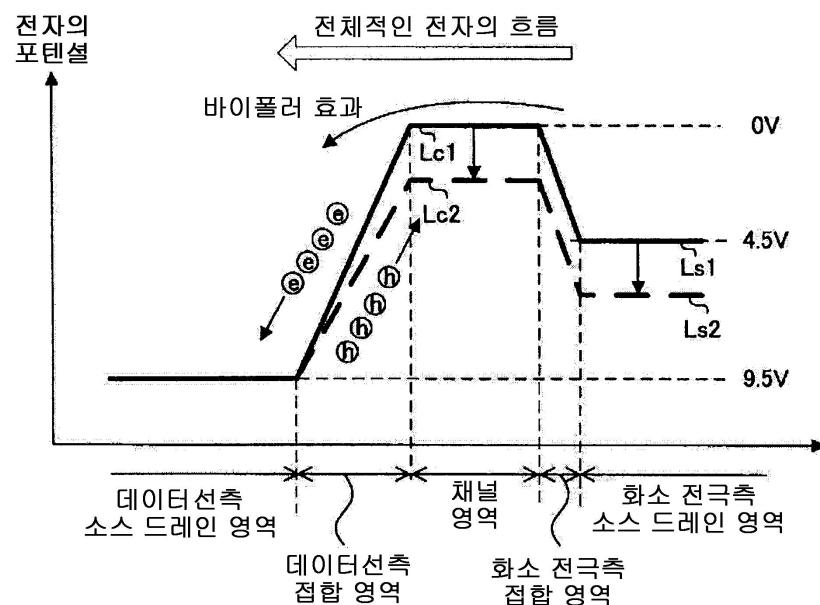


도면12

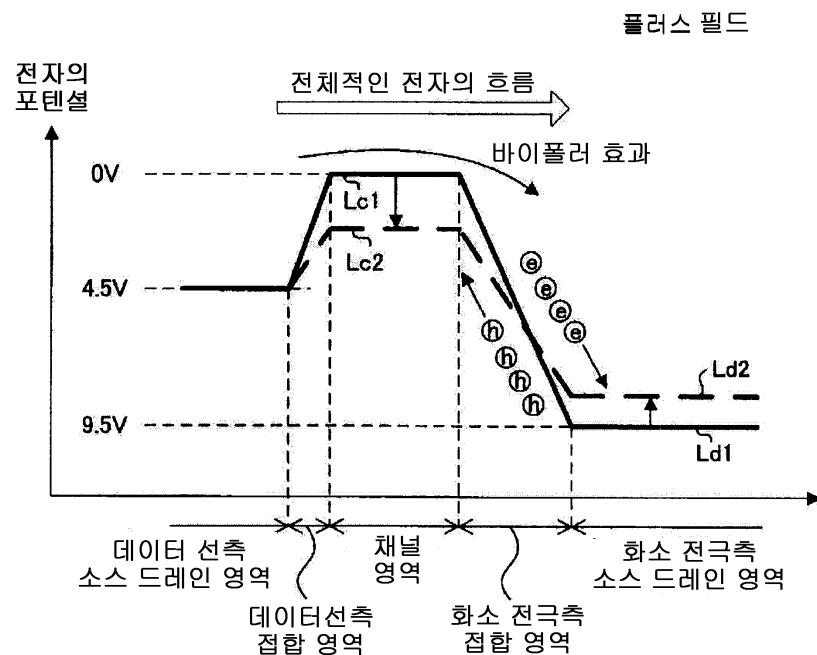


도면13

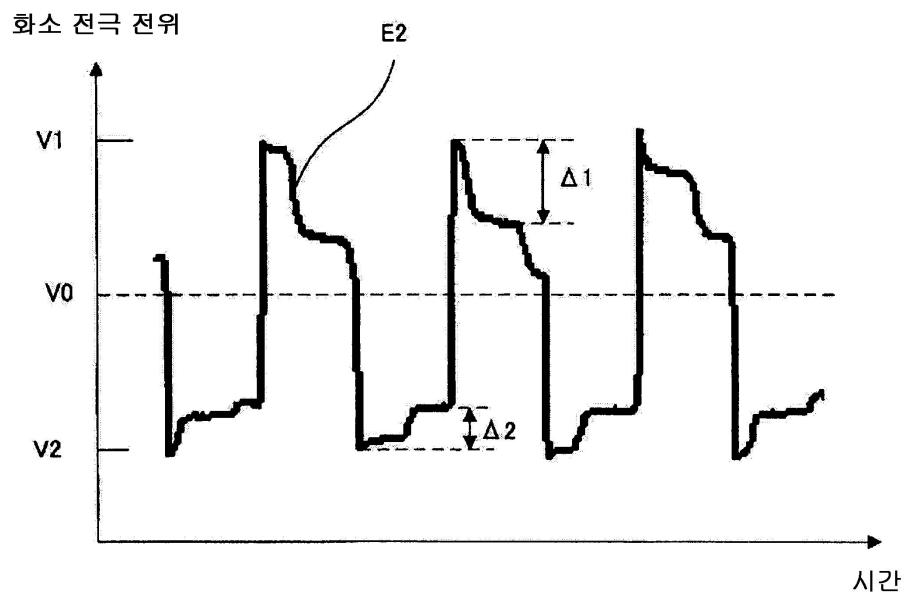
마이너스 필드



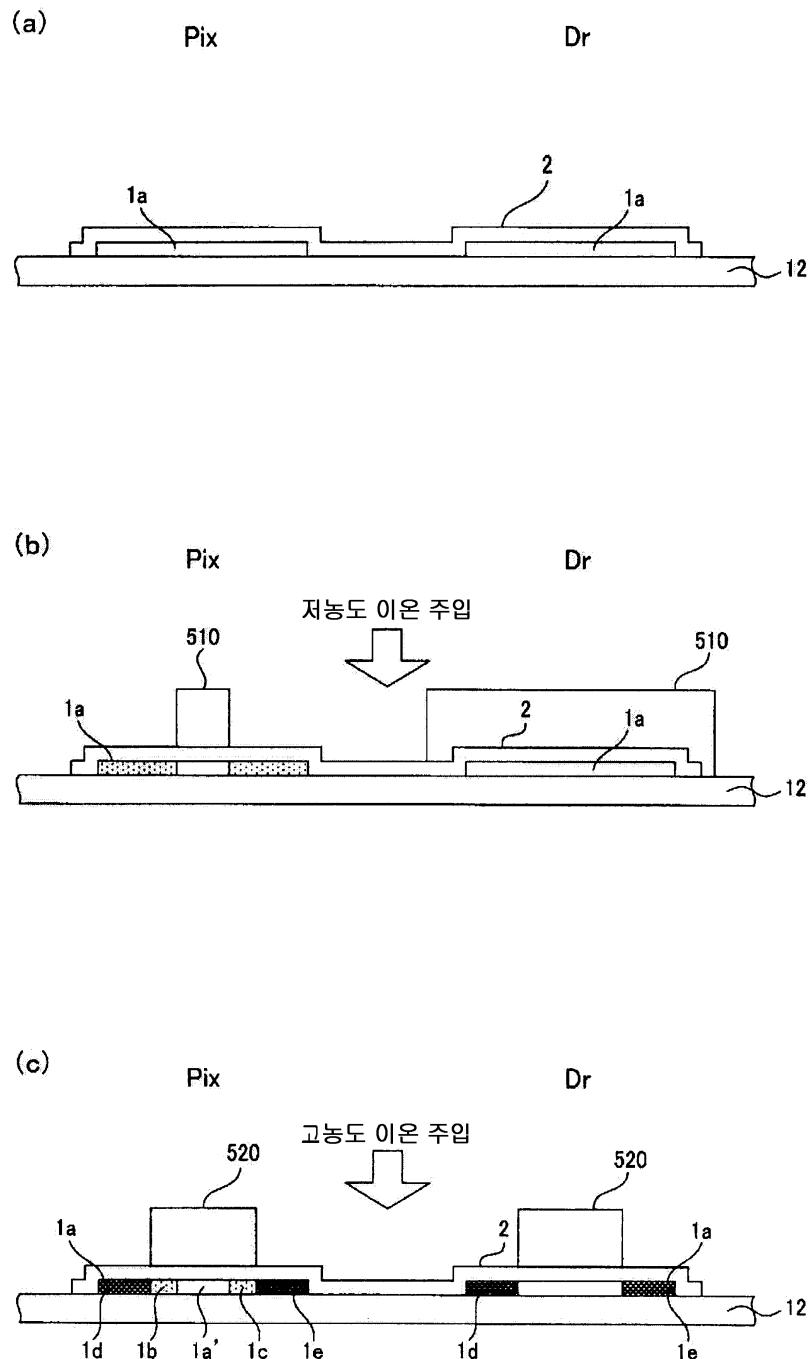
도면14



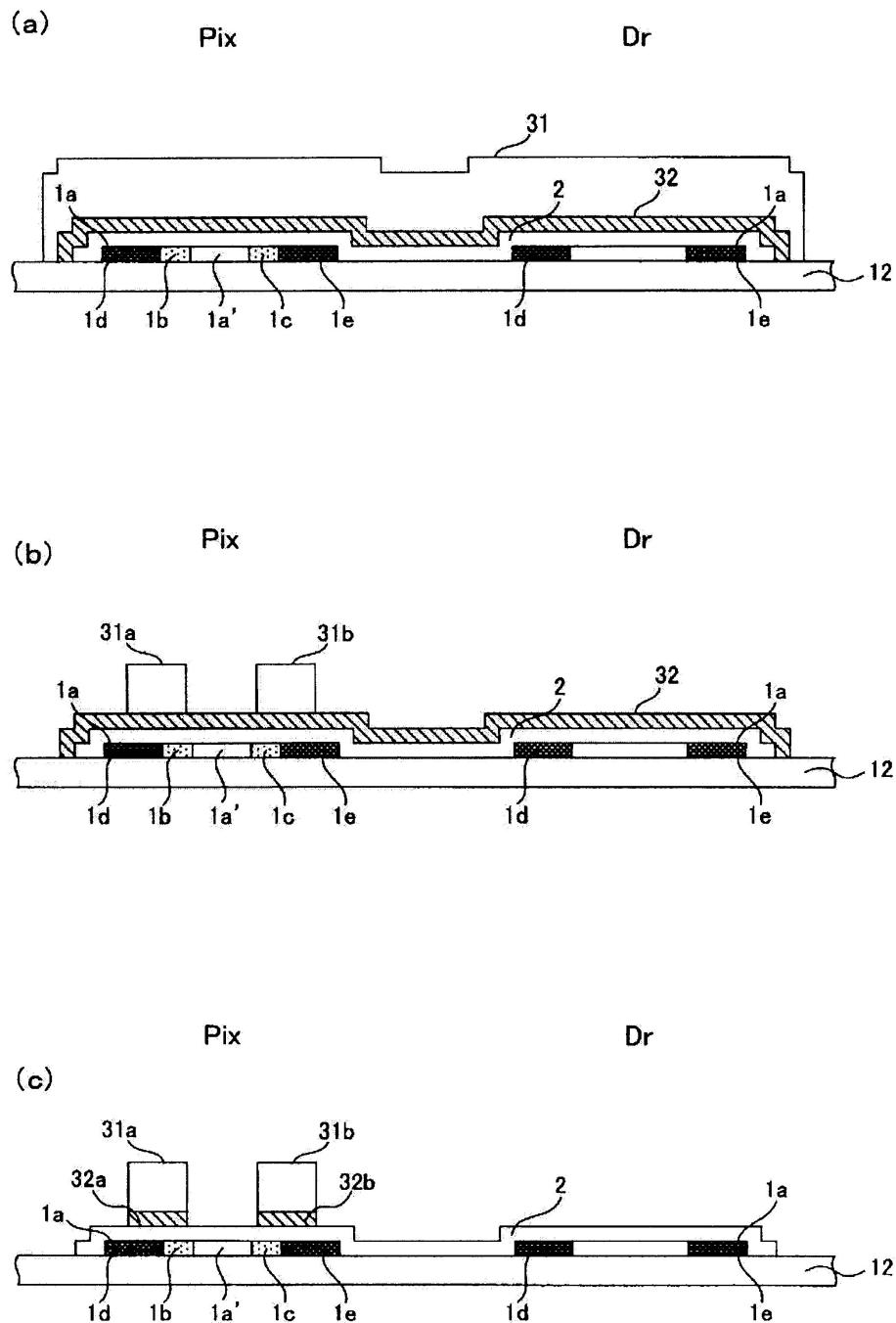
도면15



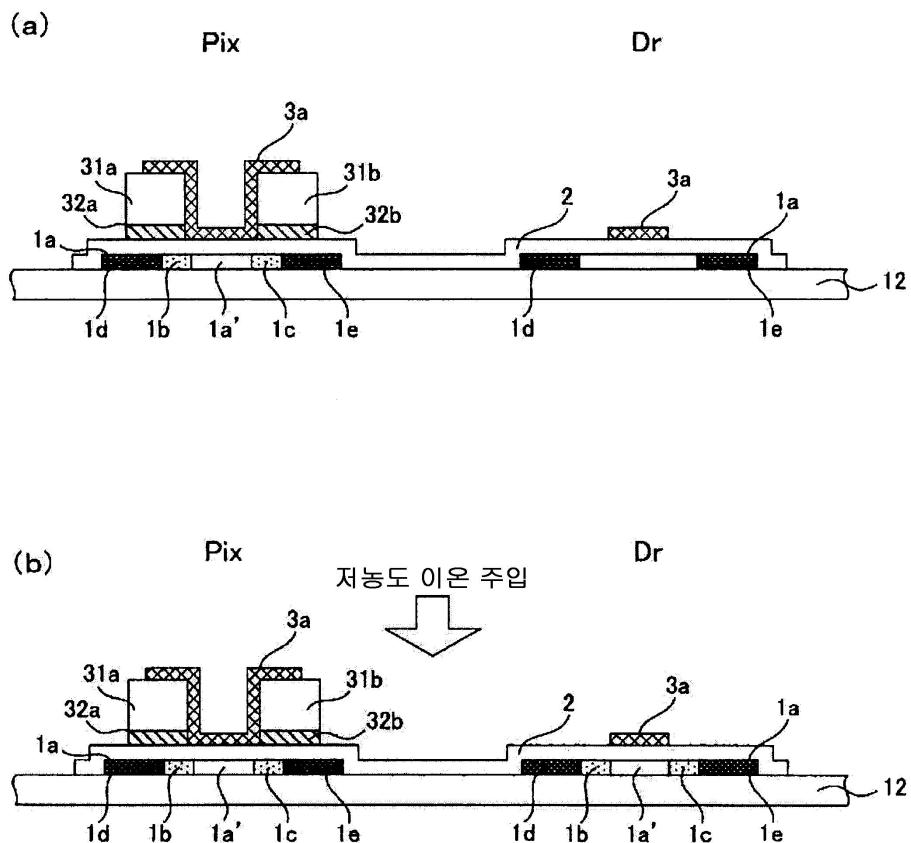
도면16



도면17



도면18



도면19

