

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-236404

(P2014-236404A)

(43) 公開日 平成26年12月15日(2014.12.15)

(51) Int.Cl.	F I	テーマコード (参考)
H04L 7/04 (2006.01)	H04L 7/04 A	5K029
H04L 25/38 (2006.01)	H04L 25/38 B	5K047

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号	特願2013-117585 (P2013-117585)	(71) 出願人	000005821
(22) 出願日	平成25年6月4日 (2013.6.4)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100104732
			弁理士 徳田 佳昭
		(74) 代理人	100115554
			弁理士 野村 幸一
		(72) 発明者	阪本 充弘
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		(72) 発明者	横内 保行
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		Fターム(参考)	5K029 AA18 EE10 GG10 HH29
			5K047 AA12 AA15 JJ03

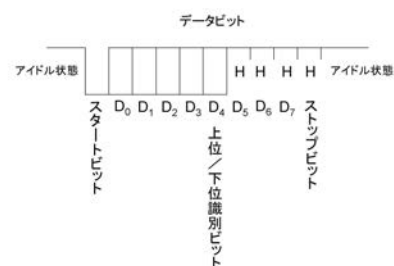
(54) 【発明の名称】 シリアル通信装置

(57) 【要約】

【課題】シリアル通信装置のパルス発振回路に、精度は悪いが安価なCR発振回路を用いてコストの低減を図りながら、シリアル通信装置間の通信は正常に行われるようにする。

【解決手段】8ビットのデータビットの内後方の3ビットD₅～D₇を“H”に固定して送信することにより、CR発振回路の発振周波数が正常値よりもずれた場合でも、D₅～D₇の部分あるいはアイドル状態部でストップビットを検出できるようにし、データビット内のD₄を分割したデータの上位／下位関係を識別できるようにして送信することにより、通信異常で1フレーム欠落した場合でも、以降のデータを正しく復元することができるようにした。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

通信線または無線によって他の通信装置と調歩同期式にてシリアルデータを送受信する通信の回路を備えた通信装置であって、送信データのデータビット内に上位／下位関係を識別するビットを備え、データ長から 1 ビット減算したビット以下の予め決められた後方の数ビットを L レベルまたは H レベルのいずれか一方に固定して送信することを特長とするシリアル通信装置。

【請求項 2】

前記通信装置は、前記送信データを L レベルまたは H レベルに固定しない前方の数ビットに分割して送信することを特徴とする請求項 1 記載のシリアル通信装置。

10

【請求項 3】

前記通信装置は、分割して送信されたデータを分割された回数受信し、前記前方の数ビットと上位／下位識別ビットから元のデータを復元することを特徴とする請求項 2 に記載のシリアル通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリアル通信によってデータを送受信するシリアル通信装置に関するものである。

【背景技術】

20

【0002】

従来この種のシリアル通信装置はマスタとスレーブとに別れており、マスタとスレーブはシリアル通信で結ばれている。その通信方式としては、調歩同期方式が選択されている。調歩同期方式は、マスタとスレーブの双方に一定周波数のパルスが発生する発振回路を設け、それによりタイミングを取って通信を行う。

【0003】

図 1 1 は、従来のシリアル通信装置の概略構成図である。マスタ 1 は、通信ライン 4 を介して、スレーブ 2 と通信を行う。マスタ 1、スレーブ 2 は、それぞれ CPU 1 1、CPU 2 1 により通信が行われるが、それらには発振回路 1 5、2 5 が設けられていて、それぞれ一定周波数のパルスが発生するようにしている。

30

【0004】

図 1 2 はマスタ 1 からスレーブ 2、またはスレーブ 2 からマスタ 1 へデータを送信する場合のフォーマットである。通信速度が 4 8 0 0 b p s である場合、1 ビットの時間は、 $1 \div 4 8 0 0 = 2 0 8 . 3 \mu \text{秒}$ となる。すなわち、 $2 0 8 . 3 \mu \text{秒}$ 毎に、順にスタートビット（“ L ” 固定）、データビット $D_0 \sim D_7$ 、ストップビット（“ H ” 固定）を出力していく。

【0005】

図 1 3 は従来のシリアル通信装置の受信データのサンプリングタイミングを示す図である。データを受信するには、図 1 2 に示すように、スタートビットの立下りエッジを検出した後、ノイズ等の影響で一時的に“ L ” になった場合を排除するため、 $2 0 8 . 3 \mu \text{秒}$ の $1/2$ 、すなわち、 $1 0 4 . 1 5 \mu \text{秒}$ が経過した時点でスタートビットが“ L ” になっているか否かをチェックする。その後、 $2 0 8 . 3 \mu \text{秒}$ 毎にデータビット $D_0 \sim D_7$ 、ストップビットが“ H ” であれば、正しいデータとして処理する。

40

【0006】

マスタとスレーブはそれぞれ異なる発振回路を用いているため、発振回路から出力されるパルスに時間的な誤差があると正常に通信ができなくなる。上記パルスの時間的な誤差が約 $\pm 2 . 5 \%$ を超えると、サンプリングのタイミングがずれてしまって通信が成り立たなくなる。例えばスレーブの発振回路に安価な CR 発振回路を用いた場合、CR 発振回路は、周囲温度等の影響を受けて、発振周波数が大きく変動し、そのため通信速度が規定値より変化し、マスタとスレーブ間で通信できなくなる可能性が大きくなる。

50

【0007】

通信速度を遅くすることにより、通信が正常に行われるようになると考えられるかもしれないが、通信の元になる発振周波数の変動が要因であるため、通信速度を2400bpsと遅く変更しても改善するものではない。

【0008】

図14は従来のシリアル通信装置において改良した通信フォーマットを示した図である。図14においてスタートビットを2ビット準備し、その後にデータビットD₀～D₇、ストップビットを出力するようにし、マスタから送信されたデータをスレーブが受信する際に、CPU21は受信したスタートビット1のエッジ間隔を測定し、その間隔に基づいてCR発振を修正し、通信できるようにしている（例えば、特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平11-120424号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、前記従来の方式では、スタートビット1の間隔を測定する必要があるため、それを測定するための特別な機能を搭載したCPUが必要になるという課題があった。また通常のCPUの機能では非同期通信のフォーマットは決まっており、スタートビットは1ビット、データビットは7ビットまたは8ビット、パリティビットは無し、または1ビット（偶数パリティ、奇数パリティ）、ストップビットは1ビットまたは2ビットであり、スタートビットを2ビットにすることは通常のCPUではできないため特別なCPUが必要となり、CPUが高価になるという課題があった。

20

【0011】

本発明は、前記従来の課題を解決するもので、発振精度は低いが高価なCR発振回路及び通常のCPUを用いてコストの低減を図りながら、マスタとスレーブの間の通信は正常に行われるようにすることを目的とするものである。

【課題を解決するための手段】

【0012】

前記従来の課題を解決するため、本発明のシリアル通信装置は、通信線または無線によって他の通信装置と調歩同期式にてシリアルデータを送受信する通信用の回路を備えた通信装置であって、送信データのデータビット内に上位／下位関係を識別するビットを持ち、データ長から1ビット減算したビット以下の予め決められた後方の数ビットをLレベルまたはHレベルのいずれか一方に固定して送信することを特長とする。このようにすると高価なCR発振回路を用いてコスト低減を図りながら、発振周波数が大きく変動した場合に、ストップビットおよびストップビットに近いデータビットで正規のサンプリングができなくても、予め決められた後方の数ビット分をストップビットとして認識できるようになるため、通信を正常に行うことができる。

30

【0013】

また、分割したデータの上位／下位関係を識別できるようにして送受信しているため、通信異常で1フレーム欠落した場合でも、データ復元時にフレーム欠落を検出することができるため、以降のデータを正しく復元することができる。

40

【0014】

また本発明のシリアル通信装置は、通信線または無線によって他の通信装置と調歩同期式にてシリアルデータを送受信する通信用の回路を備えた通信装置であって、通信のためのCPU、前記CPUに発振周波数を供給するためのCR発振回路、前記CR発振回路周辺の温度を測定するための検出素子を備え、前記温度検出素子で検出される温度に応じて通信速度設定を補正することにより、通信を正常に行うことができる。

【発明の効果】

50

【0015】

本発明のシリアル通信装置は、安価ながら発振周波数の変動が大きいC R発振回路を使用しても正常に通信することができる。

【図面の簡単な説明】

【0016】

【図1】本発明の第1実施形態におけるシリアル通信装置の概略構成図

【図2】同シリアル通信装置の通信フォーマットを示す図

【図3】同シリアル通信装置の受信データのサンプリングタイミングを示す図

【図4】同シリアル通信装置の送信データを示す図

【図5】同シリアル通信装置の実際の送信データを示す図

10

【図6】同シリアル通信装置において、マスタの発振周波数が変化した場合のスレーブのサンプリングのタイミングを示す図

【図7】同シリアル通信装置において、スレーブが受信したデータを復元した状態を示す図

【図8】同シリアル通信装置において、アイドル状態の論理が“L”の場合の送信データを示す図

【図9】本発明の第2実施形態におけるシリアル通信装置の概略構成図

【図10】同シリアル通信装置のC R発振回路の温度と発振精度との関係を示した図

【図11】従来のシリアル通信装置の概略図

【図12】同シリアル通信装置の通信フォーマットを示す図

20

【図13】同シリアル通信装置の受信データのサンプリングタイミングを示す図

【図14】従来の他のシリアル通信装置の通信フォーマットを示す図

【発明を実施するための形態】

【0017】

以下、本発明の形態を図面に基づいて詳細に説明する。

【0018】

(実施の形態1)

図1は実施形態1の概略構成図である。マスタ1は通信を行うためのCPU11とC R発振回路12とバッファ13を備え、同様にスレーブ2は通信を行うためのCPU21とC R発振回路22とバッファ23を備え、互いに通信ライン4を介して通信する。

30

【0019】

図2は通信フォーマットである。スタートビットが1ビット、データビットD0～D7が8ビット、ストップビット(“H”固定)で1ビットである。また通信していない期間、通信アイドル時は“H”とする。図2は従来の通信フォーマットを示す図12と同じであるため説明を省く。

【0020】

図3は通信速度が4800bpsの場合の受信のサンプリングタイミングを示す図である。図3は従来の受信のサンプリングタイミングを示す図13と同じであるため説明を省く。

【0021】

40

図4のデータ30は、マスタあるいはスレーブから送信する際の8ビットデータである。図5は通信フォーマットに実際にデータを送信する場合を示す図である。通信はデータを最小ビットから順番に送信していく。データビットのD4は送信データの上位/下位関係を識別するためのビットであり、D5～D7は“H”固定する。

【0022】

マスタからスレーブにデータ30を送る場合について説明する。マスタはデータ30を送信する際、データを上位4ビット、下位4ビットの順に2回に分けて送信する。最初にデータ30の上位4ビットのA7～A4を通信フォーマットのデータビットD3～D0に入れ、D4には先ほどセットしたデータが上位4ビットであることを識別するため“H”を入れ、D7～D5は“H”固定にして送信する。スレーブは受信したデータのD7～D

50

D_5 は破棄して、 D_4 から上位 4 ビットと判断し、 $D_3 \sim D_0$ を 8 ビットのバッファの上位 4 ビットにセットする。

【0023】

次にマスタはデータ 30 の下位 4 ビットの $A_3 \sim A_0$ を通信フォーマットのデータビット $D_3 \sim D_0$ に入れ、 D_4 には先ほどセットしたデータが下位 4 ビットであることを識別するため “L” を入れ、 $D_7 \sim D_5$ は “H” 固定にして送信する。スレーブは受信したデータの $D_7 \sim D_5$ は破棄して、 D_4 から下位 4 ビットと判断し、 $D_3 \sim D_0$ を前記 8 ビットのバッファの下位 4 ビットにセットする。このようにスレーブはマスタよりデータ 30 を 2 回で受信することができる。

【0024】

10

図 6 は第 1 実施形態においてマスタの発振周波数に変化した場合のスレーブのサンプリングのタイミングを示す図である。説明の簡略化のためにスレーブの発振周波数は正常であるとする。(a) はマスタの発振周波数が正常の場合、(b) はマスタの発振周波数が正常値より低い場合、(c) はマスタの発振周波数が正常値よりも高い場合である。

【0025】

スレーブのサンプリングタイミングは通信速度が 4800 bps の場合、矢印のタイミングでサンプリングを行う。スレーブにおいて実施されるスタートビットのサンプリングタイミングを T_{START} 、データビット $D_0 \sim D_7$ のサンプリングタイミングをそれぞれ $T_0 \sim T_7$ 、ストップビットのサンプリングタイミングを T_{STOP} とする。

【0026】

20

図 6 (a) の場合にはデータビット $D_0 \sim D_7$ およびストップビットの中央でサンプリングできている。図 6 (b) の場合には、ストップビットの受信タイミングでサンプリングが行われず、データビット D_7 で T_7 と T_{STOP} のサンプリングが 2 回行われている。この場合 D_7 は “H” であるため、本来のストップビットのサンプリングではないが、スレーブではストップビットとして正常に認識される。このように送信側の発振周波数が低い場合でも $D_4 \sim D_7$ が “H” 固定であるため、受信側でストップビットのサンプリング T_{STOP} がずれて D_4 の受信タイミングでサンプリングが実施されてもストップビットが正常に認識され、正常にデータ受信できる。

【0027】

また図 6 (c) の場合には、ストップビットの受信タイミングでサンプリングが行われず、アイドル状態で行われている。この場合、アイドル状態では “H” であるため、本来のストップビットのサンプリングではないが、ストップビットとして正常に認識される。

30

【0028】

このように送信側の発振周波数が高い場合でもアイドル状態が “H” 固定であるため、ストップビットのサンプリング T_{STOP} がずれてアイドル状態サンプリングが実施されてもストップビットが正常に認識され、正常にデータ受信できる。

【0029】

受信側の発振周波数が正常で、データビット $D_4 \sim D_7$ が “H” 固定の場合、受信側で正常にデータを受信できる送信側の発振周波数の許容誤差は、 $\pm 4.5\%$ であり、前記従来の通信フォーマットの許容誤差 $\pm 2.5\%$ よりも大幅に発振周波数の誤差を許容できる。

40

【0030】

またデータビット $D_1 \sim D_7$ の 7 ビットを “H” 固定にすると前記発振周波数の許容誤差は $\pm 8.9\%$ まで拡大できる。このようにデータビットの送信する際の後方の “H” に固定するビット数を増やすと許容できる発振周波数の誤差は拡大する。

【0031】

図 7 は第 1 実施形態においてスレーブが受信したデータを復元した状態を示す図である。(a) はデータ受信が正常だった場合、(b) は通信異常により元データの下位 4 ビット情報を持つフレームが欠落した場合である。図 8 (a) の場合には正常にデータ受信されているため、正常にデータを復元できる。図 8 (b) の場合には、下位 4 ビットの情報

50

が含まれるフレームが欠落しているため、次に受信したデータは次の8ビットデータの上位4ビットである。このままデータ復元を行うと8ビットのバッファの下位4ビットにセットされてしまい、以降のデータが4ビット毎ずれて結合されていってしまう。そこで、上位／下位識別ビットを確認しながらデータ復元を行うことで下位4ビットが欠落していることを検出できるため、バッファにセットしてあるデータを一旦破棄し、次の上位4ビットとしてバッファに再度セットすることで以降のデータを正常に復元することができる。

【0032】

なお、上記第1実施形態では、 $D_5 \sim D_7$ を“H”に固定したが、CR発振回路のずれ量によっては“H”に固定するビット数を変えても良い。“H”に固定するビット数を増やすと発振のずれを許容する量は増加する。

10

【0033】

また、上記第1実施形態では、スレーブを1つとしたが、スレーブが複数あっても良い。なお、上記第1実施形態では、 $D_5 \sim D_7$ を“H”固定としたが、図8に示すようにアイドル状態の論理が“L”の場合には“L”に固定する。

【0034】

なお、上記第1実施形態では、データビット長が8ビットであるが、データビット長は7ビットでも良い。データビット長が7ビットの場合、“H”または“L”に固定するビット長は6ビット以下とする。

【0035】

なお、上記第1実施形態では、上位／下位識別ビットの上位4ビットを“H”、下位4ビットを“L”としたが、上位4ビットを“L”、下位4ビットを“H”としても良い。また、上記第1実施形態では、上位／下位識別ビットを設けているが、このビットを無くし“H”または“L”に固定するビットとしても良い。

20

(実施の形態2)

図9は第2実施形態の概略図である。マスタ1およびスレーブ2のそれぞれには、CR発振回路周辺の温度を検出するためのサーミスタ14および24が搭載されている。電圧とGND間にサーミスタは抵抗と直列に接続され、その接続部はCPUのAD変換器に接続され、電圧を検出できるようになっており、電圧に応じた温度の検出が可能である。

【0036】

図10はCR発振回路の温度と発振精度との関係を示した図である。この情報をテーブル化してCPU内部に保持する。

30

【0037】

検出温度が100℃の場合だとCR発振回路の発振周波数が10%増加するため、補正しない場合はCPUの通信速度設定が4800bpsの設定でも実際には4848bpsとなるため、サーミスタによりCR発振回路周辺の温度を検出し、例えば100℃を検出した場合には、通信速度の設定を $4800 \text{ (bps)} \div (100 + 10) [\%] = 4364 \text{ bps}$ に設定することにより、実際の通信速度は4800bpsとなり、正常に通信が可能となる。

【0038】

また検出温度が-50℃の場合だとCR発振回路の発振周波数が5%減少するため、補正しない場合はCPUの通信速度設定が4800bpsの設定でも実際には4560bpsとなるため、サーミスタによりCR発振回路周辺の温度を検出し、例えば100℃を検出した場合には、通信速度の設定を $4800 \text{ (bps)} \div (100 - 5) [\%] = 5053 \text{ bps}$ に設定することにより、実際の通信速度は4800bpsとなり、正常に通信が可能となる。

40

【0039】

なお、CR発振回路、温度検出素子はCPU内部にあっても良い。

【産業上の利用可能性】

【0040】

以上のように本発明のシリアル通信装置は、回路が安価にできるため、回路を搭載し、

50

通信を行うモータ等の用途にも適用できる。

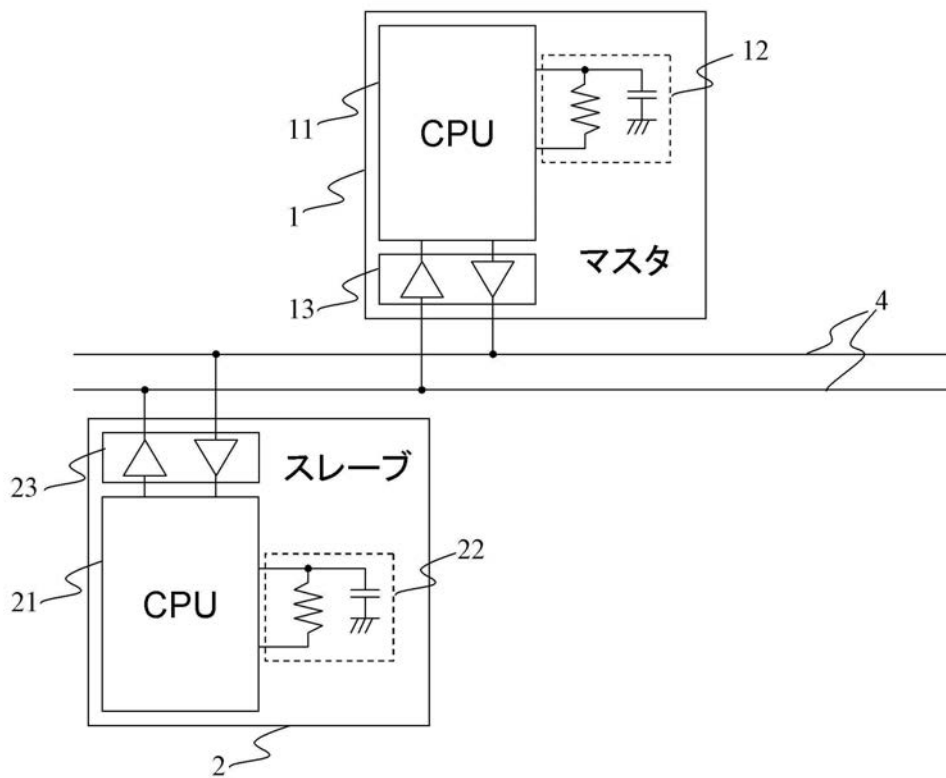
【符号の説明】

【0041】

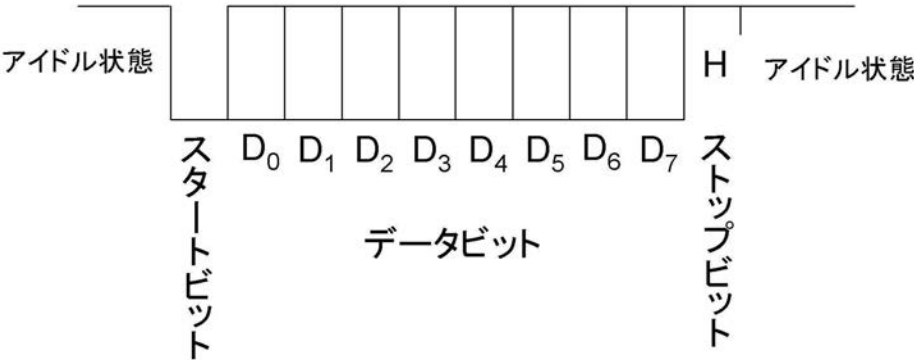
- 1 マスタ
- 2 スレーブ
- 11、21 CPU
- 12、22 CR発振回路
- 13、23 バッファ
- 14、24 サーミスタ
- 15、25 発振回路
- 30 データ

10

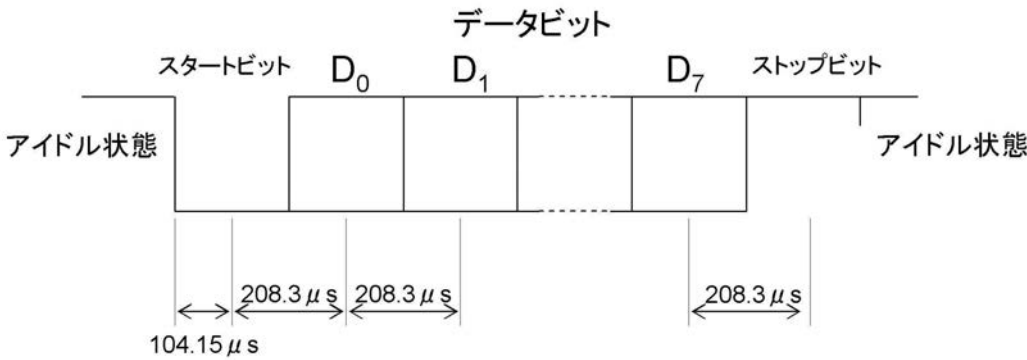
【図1】



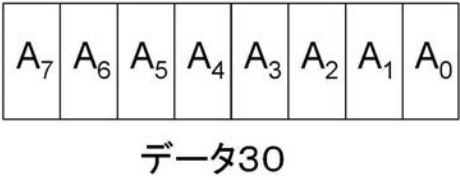
【図 2】



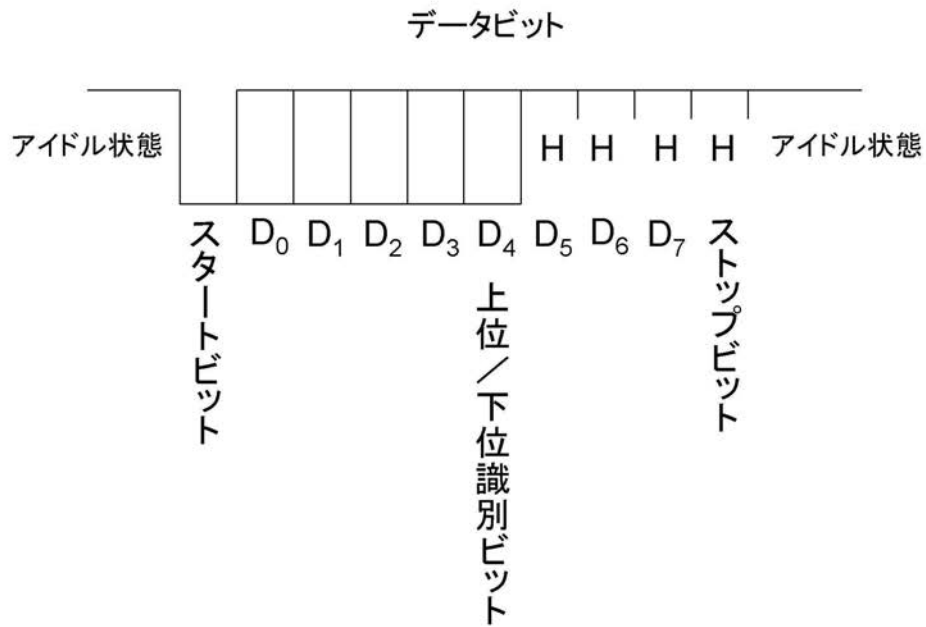
【図 3】



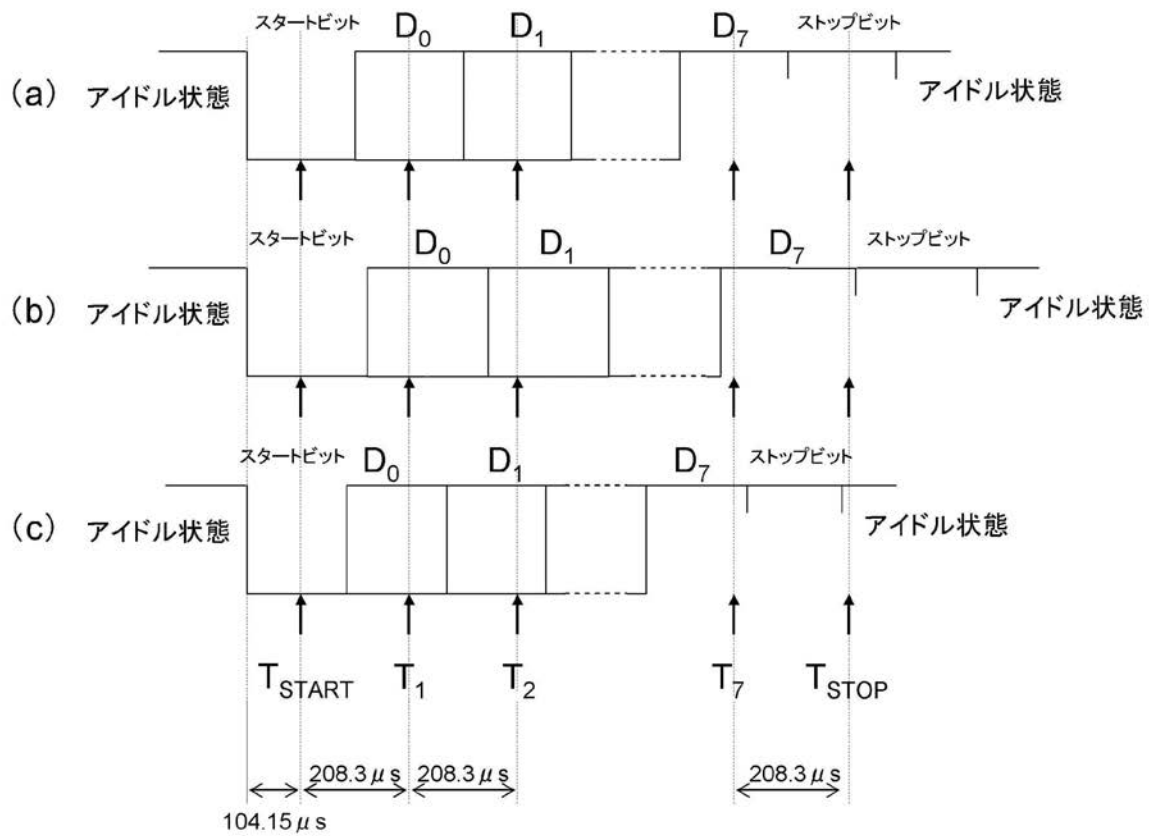
【図 4】



【図 5】



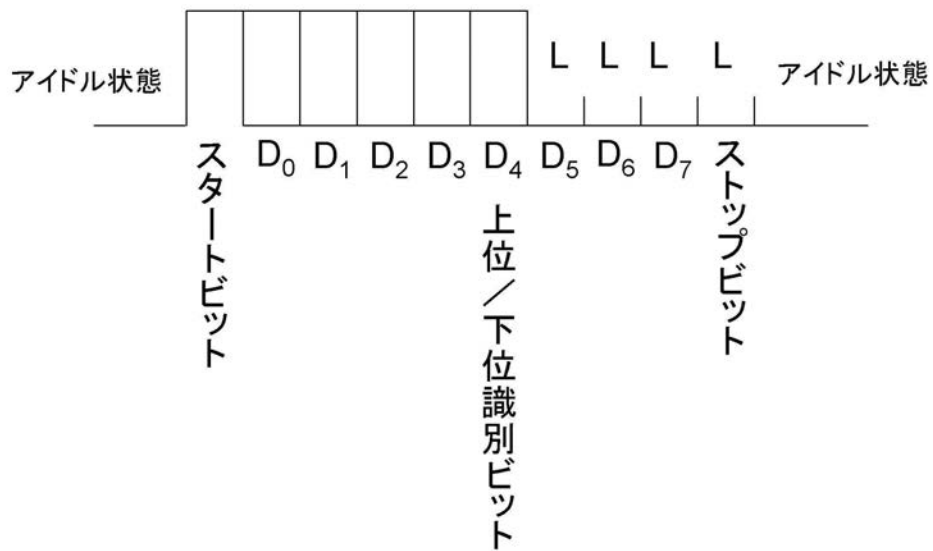
【図 6】



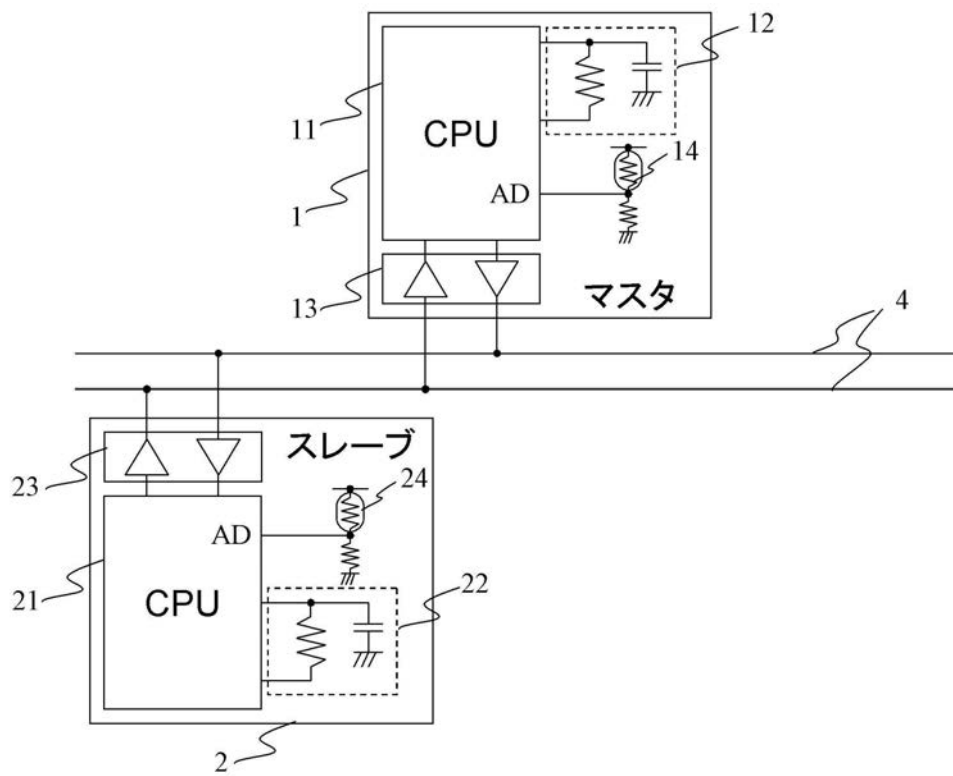
【図 7】



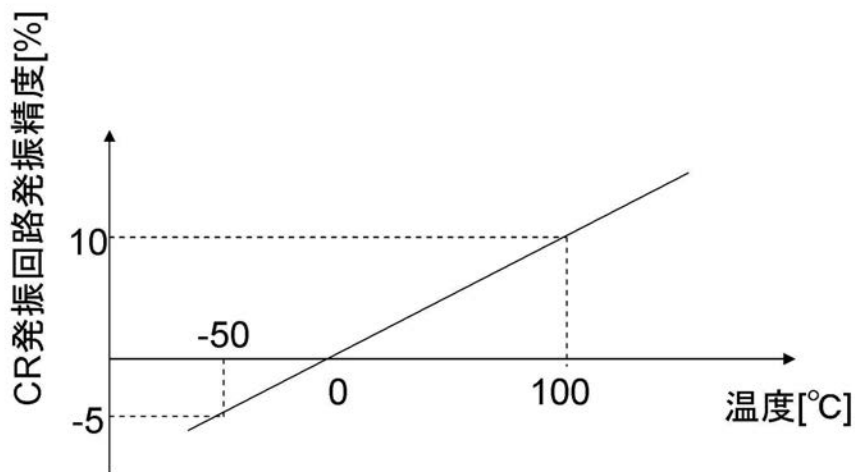
【図 8】



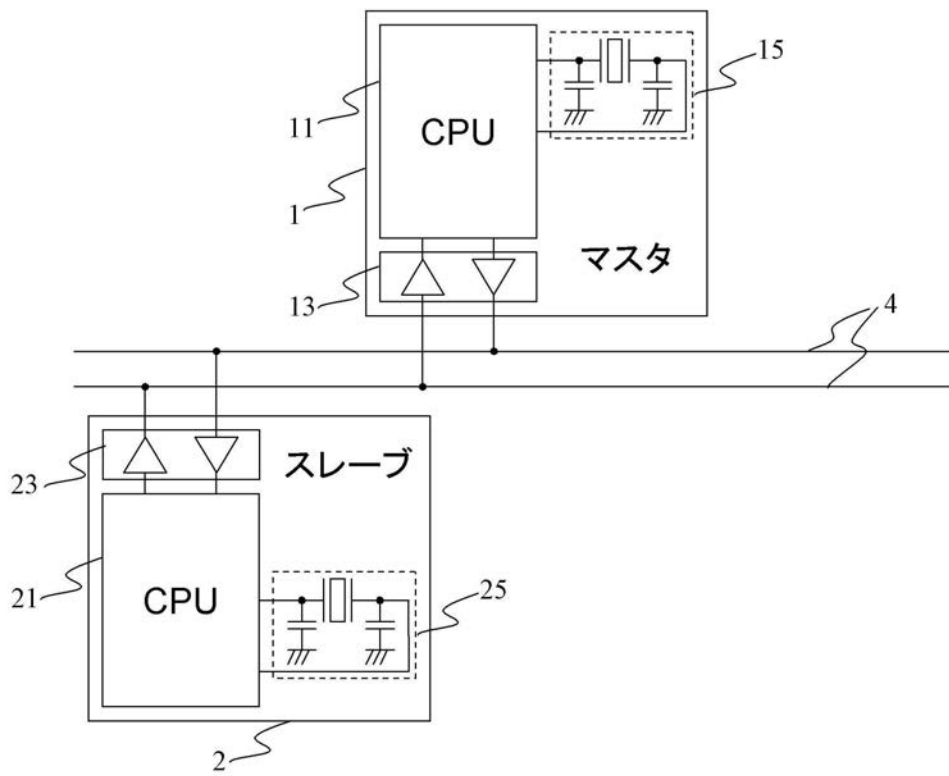
【図 9】



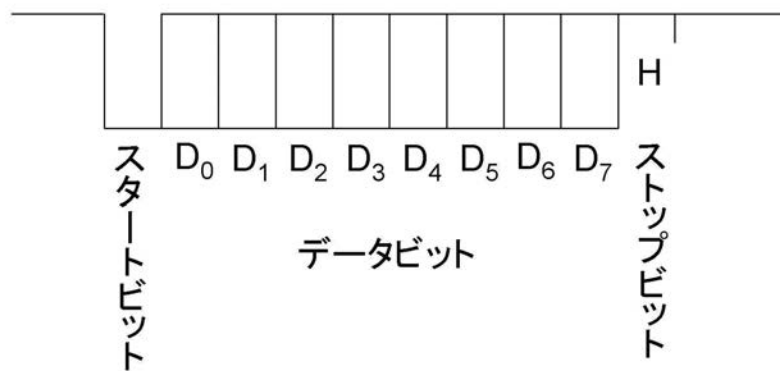
【図 10】



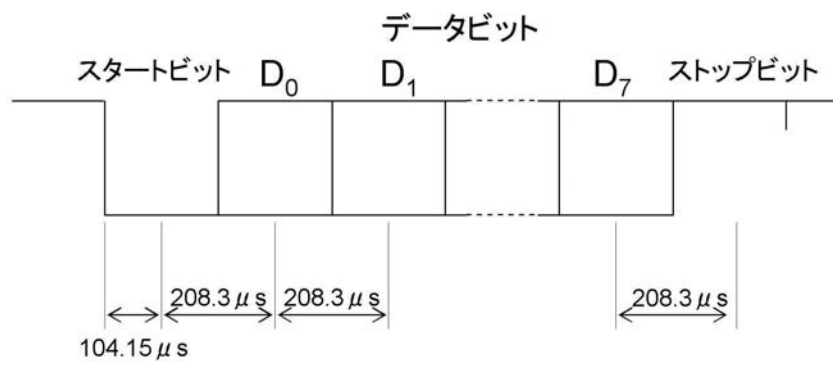
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

