

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/004549 A1

(51) 国際特許分類:

H02M 1/088 (2006.01) *H02M 7/48* (2007.01)
H02M 1/00 (2007.01) *H03K 17/12* (2006.01)
H02M 1/08 (2006.01)

(21) 国際出願番号: PCT/JP2019/025614

(22) 国際出願日: 2019年6月27日(27.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-124140 2018年6月29日(29.06.2018) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

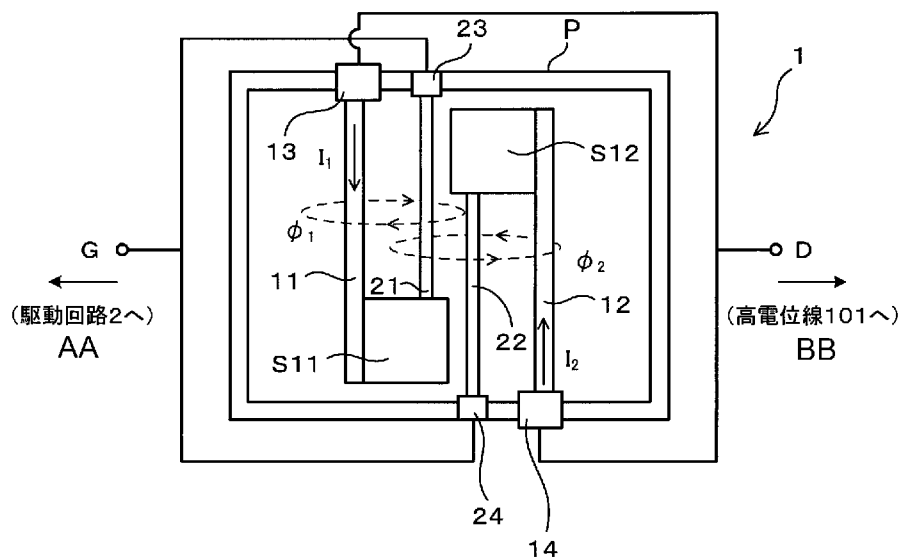
(72) 発明者: 檜山 卓希 (HIYAMA Takaki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 増澤 高志 (MASUZAWA Takashi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 特許業務法人あいち国際特許事務所 (AICHI, TAKAHASHI, IWAKURA & ASSOCIATES); 〒4500002 愛知県名古屋市 中村区名駅3丁目26番19号 名駅永田ビル Aichi (JP).

(54) Title: POWER SEMICONDUCTOR DEVICE AND POWER CONVERSION DEVICE

(54) 発明の名称: 電力用半導体装置及び電力変換装置

(図1)



AA To drive circuit 2

BB To high potential line 101

(57) Abstract: This power semiconductor device (1) is provided with a pair of semiconductor switching elements (S11, S12) connected in parallel and a drive circuit (2) for driving the semiconductor switching elements (S11, S12), and has: a pair of drive paths (21, 22) for applying drive signals from the drive circuit (2) to each of the pair of semiconductor switching elements (S11, S12); and a pair of main current paths (11, 12) for supplying current to each of the pair of semiconductor switching elements (S11, S12). Magnetic fluxes (Φ_1 , Φ_2) respectively generated in the pair of main current paths (11, 12) penetrate a circuit passing through at least one of the pair of drive paths (21, 22), and the directions of the

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

magnetic fluxes ($\Phi 1$, $\Phi 2$) are opposed to each other in the peripheries of the drive paths (21, 22).

(57) 要約: 並列接続された一対の半導体スイッチング素子(S 1 1、S 1 2)と、半導体スイッチング素子(S 1 1、S 1 2)を駆動するための駆動回路(2)と、を備える電力用半導体装置(1)であって、駆動回路(2)からの駆動信号を一対の半導体スイッチング素子(S 1 1、S 1 2)のそれぞれに与える一対の駆動経路(2 1、2 2)と、一対の半導体スイッチング素子(S 1 1、S 1 2)のそれぞれに電流を供給するための一対の主電流経路(1 1、1 2)とを有しており、一対の主電流経路(1 1、1 2)にそれぞれ発生する磁束($\Phi 1$ 、 $\Phi 2$)が、一対の駆動経路(2 1、2 2)の少なくとも一方を通る回路を貫き、かつ、駆動経路(2 1、2 2)の周囲において磁束($\Phi 1$ 、 $\Phi 2$)の向きが互いに対向している。

明 細 書

発明の名称：電力用半導体装置及び電力変換装置

関連出願の相互参照

[0001] 本出願は、2018年6月29日に提出された特許出願番号2018-124140号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、電力用半導体装置とそれを用いた電力変換装置に関する。

背景技術

[0003] ハイブリッド自動車、電気自動車、発電システム等に用いられる電力変換装置において、より大きな電力が要求される傾向にある。そのため、大電流化に対応するための一手段として、電力変換装置を構成するスイッチング回路において、複数の半導体スイッチング素子を並列駆動させる技術が採用されている。この技術では、例えば、絶縁ゲート型半導体素子を並列に配置してゲートに共通の駆動信号を供給し、同時に駆動することで、電流が均等に分配されるようにしている。

[0004] ただし、例えば、各素子へ電流を流す電流経路の配線構造の違いによってインピーダンスに差が生じたり、各素子のスイッチング特性のバラツキによりオンオフタイミングにずれが生じたりすると、素子間に電流アンバランスが生じる。この電流アンバランスによって、特定の素子に電流が集中しやすくなり、また、大電流化に伴い、電流の絶対値が増加すると素子が発熱しやすくなる。その場合には、特定の素子の異常過熱現象や素子破壊のおそれがあることから、電流アンバランスを抑制するための技術が重要となっている。

[0005] 一例として、特許文献1には、第1、第2スイッチ・モジュールを、それぞれ第1、第2トランジスタを含んで構成し、相互接続部(例えば、ボンディングワイヤやバスバー)を介して電力ノード及び制御ノードに並列に結合させた、電力モジュールが開示されている。この電力モジュールでは、第1、第

2 スイッチ・モジュールに接続される第1、第2相互接続部の一部を1対1に相互結合あるいは自己結合させて、各スイッチ・モジュールに流れる電流量を平衡化するようにになっている。具体的には、第1スイッチ・モジュールのドレイン・ソース経路と第2スイッチ・モジュールのゲート経路(又は、第2スイッチ・モジュールのドレイン・ソース経路と第1スイッチ・モジュールのゲート経路)の配線インダクタンスを磁気結合させることで、電流変化により誘導的に生じる誘起電圧をゲート電圧に印加し、電流アンバランスを補正している。

先行技術文献

特許文献

[0006] 特許文献1：特開2017-175602号公報

発明の概要

[0007] 特許文献1の構成では、第1、第2スイッチ・モジュールのドレイン・ソース経路とゲート経路の配線インダクタンスを1対1で結合させるため、例えば、素子間の電流アンバランスが補正された後も、ゲート経路に電流変化による誘起電圧が印加されることになる。このように、ゲート電圧が常に電流変化の影響を受けるために、電圧変動によるゲート発振が生じやすくなり、損失増大や短絡故障等を引き起こす懸念がある。

[0008] 本開示の目的は、複数の半導体スイッチング素子を並列駆動させる回路構成において、電流アンバランスを抑制すると共に、電圧変動によるゲート発振等の不具合を抑制可能な電力用半導体装置及び電力変換装置を提供しようとするものである。

[0009] 本開示の一態様は、

並列接続された一对の半導体スイッチング素子と、一对の上記半導体スイッチング素子を駆動するための駆動回路と、を備える電力用半導体装置であって、

上記駆動回路からの駆動信号を一对の上記半導体スイッチング素子のそれぞれに与える一对の駆動経路と、一对の上記半導体スイッチング素子のそれ

ぞれに電流を供給するための一対の主電流経路と、を有しており、

上記駆動経路及び上記主電流経路は、一対の上記主電流経路にそれぞれ発生する磁束が、一対の上記駆動経路の少なくとも一方を通る回路を貫き、かつ、上記駆動経路の周囲において上記磁束の向きが互いに対向するように配置される、電力用半導体装置にある。

[0010] また、本開示の他の態様は、

一対の上記半導体スイッチング素子を一組以上含む電力変換回路部と、上記駆動回路を駆動させて上記電力変換回路部の動作を制御する制御回路部と、を備える、電力変換装置にある。

[0011] 上記一態様の電力変換装置において、駆動回路からの駆動信号により一対の半導体スイッチング素子が並列駆動されると、一対の主電流経路に電流が流れ、電流に比例した磁束が発生する。一対の主電流経路は、発生する磁束が対向するように配置されているので、磁束が互いに打ち消し合うように作用し、駆動経路には、磁束の差分に応じた誘起電圧が発生する。

[0012] したがって、一対の主電流経路の電流変化に差異がない場合には、駆動経路に誘起電圧は印加されず、電流変化に差異が生じた場合のみ、誘起電圧が印加されることになる。そして、電流変化に応じた誘起電圧が印加されることで、流れる電流を均等にすることが可能になる。これにより、電流アンバランスを抑制しながら、電圧変動によるゲート発振を抑制することができる。また、このような電力用半導体装置を電力変換回路部に用いることで、大電流に対応した電力変換装置の実現が可能になる。

[0013] 以上のごとく、上記態様によれば、複数の半導体スイッチング素子を並列駆動させる回路構成において、電流アンバランスを抑制すると共に、電圧変動によるゲート発振等の不具合を抑制可能な電力用半導体装置及び電力変換装置を提供することができる。

図面の簡単な説明

[0014] 本開示についての上記目的及びその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、

[図1]図1は、実施形態1における、電力変換装置を構成する電力用半導体装置の概略構造図であり、

[図2]図2は、実施形態1における、電力変換装置の全体構成を示す回路図であり、

[図3]図3は、実施形態1における、電力用半導体装置の主要部の回路図であり、

[図4]図4は、実施形態1における、電力用半導体装置の基本構成例における回路図であり、

[図5]図5は、実施形態1における、電力用半導体装置の構成による作動を説明するための回路図であり、

[図6]図6は、従来の電力用半導体装置の構成における作動を説明するための回路図であり、

[図7]図7は、試験例1における、電力用半導体装置のターンオン時のシミュレーション波形図であり、

[図8]図8は、試験例1における、電力用半導体装置のターンオフ時のシミュレーション波形図であり、

[図9]図9は、試験例1における、電力用半導体装置のターンオン時のインダクタンス比（1：2）の影響を示すシミュレーション波形図であり、

[図10]図10は、試験例1における、電力用半導体装置のターンオン時のインダクタンス比（1：5）の影響を示すシミュレーション波形図であり、

[図11]図11は、試験例1における、電力用半導体装置のターンオン時のインダクタンス比（1：8）の影響を示すシミュレーション波形図であり、

[図12]図12は、試験例1における、電力用半導体装置のターンオフ時のインダクタンス比（1：2）の影響を示すシミュレーション波形図であり、

[図13]図13は、試験例1における、電力用半導体装置のターンオフ時のインダクタンス比（1：5）の影響を示すシミュレーション波形図であり、

[図14]図14は、試験例1における、電力用半導体装置のターンオフ時のインダクタンス比（1：8）の影響を示すシミュレーション波形図であり、

[図15]図 1 5 は、実施形態 2 における、電力用半導体装置の主要部構成を示す回路図であり、

[図16]図 1 6 は、実施形態 3 における、電力用半導体装置の主要部構成を示す回路図であり、

[図17]図 1 7 は、実施形態 3 の変形例における、電力用半導体装置の主要部構成を示す回路図である。

発明を実施するための形態

[0015] (実施形態 1)

以下、電力用半導体装置及び電力変換装置に係る実施形態 1 について、図 1 ～図 5 を参照して説明する。

図 1、図 2 において、本形態の電力用半導体装置（以下、半導体装置と略称する）1 は、並列接続された一対の半導体スイッチング素子（以下、スイッチング素子と略称する）S 1 1、S 1 2 と、スイッチング素子 S 1 1、S 1 2 を駆動するための駆動回路 2 と、を備える。また、半導体装置 1 は、駆動回路 2 とスイッチング素子 S 1 1、S 1 2 との間を接続し、駆動回路 2 からの駆動信号をスイッチング素子 S 1 1、S 1 2 のそれぞれに与える一対の駆動経路 2 1、2 2 と、一対のスイッチング素子 S 1 1、S 1 2 のそれぞれに電流を供給するための一対の主電流経路 1 1、1 2 と、を有している。

[0016] 図 1、図 3 に示すように、これら駆動経路 2 1、2 2 及び主電流経路 1 1、1 2 は、一対の主電流経路 1 1、1 2 にそれぞれ発生する磁束 $\Phi 1$ 、 $\Phi 2$ が、一対の駆動経路 2 1、2 2 の少なくとも一方を通る回路を貫き、かつ、駆動経路 2 1、2 2 の周囲においてこれら磁束 $\Phi 1$ 、 $\Phi 2$ の向きが互いに対向するように配置される。

[0017] 具体的には、図 4 に示すように、一対のスイッチング素子 S 1 1、S 1 2 は、一対の駆動経路 2 1、2 2 の少なくとも一方における寄生インダクタンス $L a$ （又は $L b$ ）と、一対の主電流経路 1 1、1 2 における寄生インダクタンス $L 1$ 、 $L 2$ とが、それぞれ磁気結合している。

好適には、一対の駆動経路 2 1、2 2 の少なくとも 1 つを挟んでその両側

に、一对の主電流経路 1 1、1 2 が平行に配置されている構成とすることができる（すなわち、図 1 参照）。このとき、一对のスイッチング素子 S 1 1、S 1 2 と、一对の駆動経路 2 1、2 2、及び、一对の主電流経路 1 1、1 2 とは、同一のパッケージ P 内に配置される構成とすることができる。

[0018] このような半導体装置 1 を用いて、電力変換装置としてのインバータ装置 1 0 を構成することができる（すなわち、図 2 参照）。電力変換装置 1 0 は、半導体装置 1 の一对のスイッチング素子 S 1 1、S 1 2 を一組以上含んで構成される、電力変換回路部としてのインバータ部 3 0 と、駆動回路 2 を駆動させてインバータ部 3 0 の動作を制御する制御回路部 2 0 と、を備える。

[0019] 次に、本形態の半導体装置 1 と、半導体装置 1 を用いたインバータ装置 1 0 について、詳細を説明する。

図 2 に示すように、インバータ装置 1 0 は、三相交流モータ（以下、モータと略称する）M 等の交流負荷に給電するためのもので、モータ M に接続されるインバータ部 3 0 と、三相交流電源（以下、電源と略称する）5 0 に接続されるコンバータ部 4 0 と、インバータ部 3 0 とコンバータ部 4 0 との間に介設される平滑コンデンサ C と、駆動回路 2 へ駆動信号を出力する制御回路部 2 0 と、を備える。インバータ装置 1 0 の出力側には、モータ M の各相（すなわち、U 相、V 相、W 相）に対応する U 端子、V 端子及び W 端子が設けられ、入力側には、電源 5 0 の各相（すなわち、R 相、S 相、T 相）に対応する R 端子、S 端子及び T 端子が設けられる。

[0020] コンバータ部 4 0 は、6 個のダイオード D 1 ～D 6 からなる三相全波整流回路にて構成され、電源 5 0 からの交流電力を整流して出力する。6 個のダイオード D 1 ～D 6 は、各相 2 個のダイオードの直列接続体（すなわち、ダイオード D 1、D 3、D 5 とダイオード D 2、D 4、D 6）が並列接続されてダイオードブリッジ回路を構成しており、各相の直列接続体の接続点 4 1 ～4 3 に、それぞれ R 端子、S 端子及び T 端子が接続されている。各相の直列接続体の両端は、それぞれ高電位線 1 0 1、低電位線 1 0 2 に接続される。

[0021] コンバータ部40の出力側において、インバータ部30との間には、平滑コンデンサCが配設される。平滑コンデンサCの一端側は高電位線101に接続され、他端側は低電位線102に接続される。平滑コンデンサCは、コンバータ部40から出力される直流電圧を平滑化する。平滑コンデンサCによって平滑化された直流電力は、さらに、インバータ部30によって交流電力に変換されて出力される。

[0022] インバータ部30は、三相交流モータMの各相に対応する三相のハーフブリッジ回路を並列接続した構成を有している。各相のハーフブリッジ回路は、2個のアームスイッチ（すなわち、上アームスイッチS1、S3、S5と下アームスイッチS2、S4、S6）の直列接続体からなり、U相、V相、W相の上下アームスイッチの接続点31～33に、それぞれU端子、V端子及びW端子が接続される。

[0023] 後述するように、6個のアームスイッチS1～S6は、それぞれ並列駆動される複数のスイッチング素子を含んで構成することができる。6個のアームスイッチS1～S6は、少なくとも1つが上記図1の一对のスイッチング素子S11、S12にて構成されていればよく、好適には、2つ以上のアームスイッチ、例えば、6個の全部を一对のスイッチング素子S11、S12の組にて構成することができる。

ここでは、便宜上、複数のスイッチング素子を有する場合も1つのアームスイッチS1～S6として図示するものとする。

[0024] インバータ部30は、各相の2個のアームスイッチの一方がオン状態のとき、他方がオフ状態となるように駆動される。駆動回路2は、インバータ部30の6個のアームスイッチS1～S6のそれぞれに対応して設けられ、制御回路部20から出力される制御信号に基づいて、各アームスイッチを駆動するための駆動信号を出力する。このとき、各相が所定のタイミングで順に駆動されると共に、各相の上アームスイッチS1、S3、S5と下アームスイッチS2、S4、S6とが、それぞれ交互に駆動されることによって、U端子、V端子及びW端子を介して、モータMに交流電力が供給される。

[0025] 制御回路部20は、インバータ部30の上アームスイッチS1、S3、S5及び下アームスイッチS2、S4、S6を所定のタイミングで駆動するための制御信号を生成して、駆動回路2へ出力する。制御回路部20には、例えば、図示しないセンサからモータMの回転角信号や各相の電流検出信号等の各種情報が入力されており、モータMの要求電力に応じた出力が得られるように、インバータ部30が制御される。

[0026] アームスイッチS1～S6は、絶縁ゲート型の半導体スイッチング素子、例えば、MOSFET（すなわち、電界効果トランジスタ）にて構成され、例えば、SiC、GaN等のワイドバンドギャップ半導体を用いたMOSFETが使用される。駆動回路2は、MOSFETのゲート端子に接続されてゲート電圧を制御し、MOSFETのドレイン端子とソース端子との間の導通・遮断を切り替える。MOSFETのドレイン端子とソース端子は、上アームスイッチS1、S3、S5においては、高電位線101と上下アームスイッチの接続点31～33とにそれぞれ接続され、下アームスイッチS2、S4、S6においては、各接続点31～33と低電位線102とにそれぞれ接続される。なお、MOSFETは、ドレイン－ソース端子間に逆並列接続されるダイオードを内蔵する。

アームスイッチS1～S6には、IGBT（すなわち、絶縁ゲートバイポーラトランジスタ）を用いることもでき、その場合には、IGBTのコレクタ端子がMOSFETのドレイン端子に、エミッタ端子がMOSFETのソース端子に対応する。

[0027] このとき、インバータ部30の各アームスイッチは、それぞれ、並列に接続した一对のスイッチング素子S11、S12を内蔵する半導体装置1として構成することができる。

図4に一般的な回路構成例として示すように、一对のスイッチング素子S11、S12（例えば、MOSFET）は、ドレイン端子同士、ソース端子同士が互いに接続されて、共通のドレイン端子D、ソース端子Sを介して高電位線101又は低電位線102と接続点31～33との間に接続されて、

並列駆動される。

ここでは、一对のスイッチング素子S 1 1、S 1 2が、例えば、インバータ部30の上アームスイッチS 1、S 3、S 5の1つを構成するものとして、以降説明する。

[0028] 図1に実装構造の一例を示すように、半導体装置1は、一对のスイッチング素子S 1 1、S 1 2と、一对の主電流経路1 1、1 2と、一对の駆動経路2 1、2 2とが、それぞれ対称配置されるように、長方形形状の同一のパッケージP内に樹脂モールドされている。パッケージPの対向する二辺には、スイッチング素子S 1 1、S 1 2の駆動経路2 1、2 2、主電流経路1 1、1 2にそれぞれ接続されるゲートパッド2 3、2 4、ドレインパッド1 3、1 4が配置される。ゲートパッド2 3、2 4は、共通のゲート端子Gに接続され、ドレインパッド1 3、1 4は、共通のドレイン端子Dに接続される。

[0029] 共通のゲート端子Gは、スイッチング素子S 1 1、S 1 2に共通の駆動回路2に接続され、駆動回路2から共通の駆動信号が入力することで、ゲートパッド2 3、2 4、駆動経路2 1、2 2を介してスイッチング素子S 1 1、S 1 2が同時にオンオフ駆動される。駆動回路2は、例えば、制御回路部20からの制御指令に対応させて、所定のゲート電圧信号を駆動信号として出力し、スイッチング素子S 1 1、S 1 2のゲート電圧を上昇させるように構成されている。スイッチング素子S 1 1、S 1 2は、ゲート電圧が所定の閾値電圧以上となるとターンオンして、ドレインーソース間が導通する。

[0030] 一方、共通のドレイン端子Dは、スイッチング素子S 1 1、S 1 2に共通の高電位線101に接続される。スイッチング素子S 1 1、S 1 2がターンオンすると、高電位線101から、ドレインパッド1 3、1 4、主電流経路1 1、1 2を介して、スイッチング素子S 1 1、S 1 2にドレイン電流I 1が流れ、共通のソース端子S（例えば、図3参照）から、接続点31～33に続く出力線へ出力される。

[0031] ターンオフ時には、駆動回路2からの駆動信号が停止し、スイッチング素子S 1 1、S 1 2のゲート電圧が低下することにより、ドレインーソース間

が遮断される。

なお、パッケージP内外の配線、例えば、主電流経路11、12及び駆動経路21、22や、ゲートパッド23、24又はドレインパッド13、14と、駆動回路2又は高電位線101とを接続する経路等は、主にボンディングワイヤやバスバー等の配線用導体にて構成される。

[0032] 半導体装置1は、具体的には、パッケージPの長手方向の一方の半部（例えば、図1における左半部）に、スイッチング素子S11と主電流経路11及び駆動経路21が配置され、他方の半部（例えば、図1における右半部）に、スイッチング素子S12と主電流経路12及び駆動経路22が配置される。

パッケージPの一辺（例えば、図1における上辺）には、スイッチング素子S11側の高電位側端子13及び制御用端子23が近接して設けられており、パッケージPの他の一辺（例えば、図1における下辺）には、スイッチング素子S12側の高電位側端子14及び制御用端子24が近接して設けられている。これら端子に接続される主電流経路11、12及び駆動経路21、22は、対向する一辺側に位置するスイッチング素子S11、S12へ向けて、互いに平行に延び、対応するスイッチング素子S11、S12にそれぞれ接続される。

[0033] このとき、パッケージPの対向する二辺間において、スイッチング素子S11とスイッチング素子S12とは、パッケージPの中心に対して概略点対称に位置するように配置される。同様に、スイッチング素子S11側の主電流経路11、駆動経路21、高電位側端子13及び制御用端子23と、スイッチング素子S12側の主電流経路12、駆動経路22、高電位側端子14及び制御用端子24とは、パッケージPの中心に対して概略点対称に位置するように配置される。

[0034] このようにすると、パッケージP内における、スイッチング素子S11とスイッチング素子S12への導体配線経路が同じ構成となる。また、パッケージP外の共通のドレイン端子Dやゲート端子Gへの導体配線経路を、同様

に均等に形成することで、経路長や配線形状の違い等に起因する配線インピーダンスの差をほぼなくすることができる。

[0035] また、駆動経路 2 1、2 2 は、パッケージ P の概略中央部に平行配置され、それらを挟んで外側に、主電流経路 1 1、1 2 が平行配置される。駆動経路 2 1 は、主電流経路 1 1、1 2 とそれぞれ磁気結合し、駆動経路 2 2 は、主電流経路 1 1、1 2 とそれぞれ磁気結合するように、互いに近接して配置される。

すなわち、図 3 に示すように、主電流経路 1 1、1 2 をドレイン電流 I_1 、 I_2 が流れることによって磁束 Φ_1 、 Φ_2 が発生し、磁束 Φ_1 、 Φ_2 は、駆動経路 2 1 又は駆動経路 2 1 にて形成される閉回路を貫通する。

[0036] また、主電流経路 1 1、1 2 は、駆動経路 2 1、2 2 の周囲においてこれら磁束 Φ_1 、 Φ_2 の向きが互いに対向するように配置される。このとき、主電流経路 1 1 を流れるドレイン電流 I_1 の方向と、主電流経路 1 2 を流れるドレイン電流 I_2 の方向とが対向しているので（すなわち、図 1、図 3 中にそれぞれ矢印で示す）、主電流経路 1 1 に発生する磁束 Φ_1 と主電流経路 1 2 に発生する磁束 Φ_2 とは、互いに打ち消し合うように作用する。

これにより、主電流経路 1 1、1 2 の電流変化に差異がある場合のみ、誘起電圧を印加させることが可能となる。この作用について、図 4～図 6 により説明する。

[0037] すなわち、図 4 の基本回路構成において、主電流経路 1 1、1 2 には寄生インダクタンス L_1 、 L_2 が、駆動経路 2 1、2 2 には寄生インダクタンス L_a 、 L_b が、それぞれ存在する。

ここで、2 つの主電流経路 1 1、1 2 における配線の寄生インダクタンス L_1 、 L_2 を、駆動経路 2 1 における配線の寄生インダクタンス L_a と磁気結合させる。同様に、主電流経路 1 1、1 2 の寄生インダクタンス L_1 、 L_2 を、駆動経路 2 2 の寄生インダクタンス L_b と、磁気結合させる。

さらに、図 5 に示すように、2 つの寄生インダクタンス L_1 、 L_2 を貫く磁束 Φ_1 、 Φ_2 の向きを、対向させる。その場合には、駆動経路 2 1 の寄生

インダクタンス L_a を貫く磁束は、磁束 Φ_1 、 Φ_2 の差分であり、下記式1で表される。

$$\text{式1: } \Delta\Phi = \Phi_1 - \Phi_2$$

また、電流変化に伴う磁束変化によって、駆動経路21に生じる誘起電圧 V_a の大きさは、下記式2で表される。

$$\begin{aligned} \text{式2: } V_a &= d\Delta\Phi / dt \\ &= n_1 \cdot d\Phi_1 / dt - n_2 \cdot d\Phi_2 / dt \end{aligned}$$

なお、 n_1 、 n_2 は、巻き数であり、ここでは、 $n_1 = n_2 = 1$ となる。

[0038] なお、上述した図1において、2つの主電流経路11、12、2つの駆動経路21、22は、それぞれ同等の構成となっており、これら寄生インダクタンス L_1 、 L_2 、寄生インダクタンス L_a 、 L_b は、ほぼ同等とみなすことができる。このとき、2つの主電流経路11、12を流れるドレイン電流 I_1 、 I_2 によって発生する磁束 Φ_1 、 Φ_2 も、ほぼ同等となる。その場合には、これらの差分もほぼゼロとなるか、比較的小さい値となる。

[0039] また、各経路における磁束変化は、各経路の電流変化とインダクタンスに比例するので、上記式2は、以下の式21のように変形できる。

$$\begin{aligned} \text{式21: } V_a &= d\Phi_1 / dt - d\Phi_2 / dt \\ &= L_1 \cdot dI_1 / dt - L_2 \cdot dI_2 / dt \end{aligned}$$

つまり、各主電流経路11、12の電流変化が等しい場合には、上記式1において、 $\Delta\Phi = 0$ となり、誘起電圧 $V_a = 0$ となる。 $\Delta\Phi \neq 0$ である場合には、電流変化に伴って生じる磁束の差分に応じた誘起電圧 V_a が、ゲート電圧に印加される。

なお、図示を省略するが、駆動経路22の寄生インダクタンス L_a を貫く磁束 $\Delta\Phi$ 、駆動経路22に生じる誘起電圧 V_b も同様の式で表すことができる。

[0040] したがって、磁束 Φ_1 、 Φ_2 の向きを適切な方向にすることで、誘起電圧 V_a 、 V_b の正負を調整することができ、電流アンバランスを補正することができる。例えば、スイッチング素子 S_{11} 、 S_{12} のオンタイミングにず

れがある場合には、ターンオンが遅い方はゲート電圧に誘起電圧を上乗せし、ターンオンが早い方はゲート電圧が低下する方向に誘起電圧を印加して、オンタイミングのずれを抑制することができる。

スイッチングのオフタイミングや定常時も同様であり、スイッチング素子 S 1 1、S 1 2 の一方に電流が集中するのが抑制される。これにより、ゲート電圧への影響を最小限とし、電圧変動を抑制して、ゲート発振によるリスクを大幅に低減することができる。

[0041] これに対して、図 6 に示すように、例えば、主電流経路 1 1、1 2 の 1 つと、駆動経路 2 1、2 2 の 1 つとを、従来のように 1 対 1 で磁気結合させた構成では、磁束 Φ の変化に対する誘起電圧 V は、下記式 3 のようになる。

$$\text{式 3 : } V = n \cdot d\Phi / dt$$

この場合には、ゲート電圧が常に電流変化の影響を受けることになり、ゲート発振による短絡故障や損失増大といったリスクを解消することができない。

[0042] (試験例 1)

本形態の効果を確認するために、上記図 1 の構成におけるスイッチング動作のシミュレーション試験を行って、結果を図 7 ～図 1 4 に示した。

図 7 は、ターンオン時のシミュレーション結果であり、駆動経路 2 1、2 2 の寄生インダクタンス L_a 、 L_b (以下、適宜、駆動経路インダクタンスと称する) と、主電流経路 1 1、1 2 の寄生インダクタンス L_1 、 L_2 (以下、適宜、主電流経路インダクタンスと称する) とを磁気結合させた場合 (すなわち、図 7 の下図) と、磁気結合していない場合 (すなわち、図 7 の上図) とを比較して示している。

図 7 の下図は、駆動経路 2 1、2 2 のゲート電圧 V_{g1} 、 V_{g2} に対する、主電流経路 1 1、1 2 のドレイン電流 I_1 、 I_2 の時間変化を示しており、ゲート電圧 V_{g1} 、 V_{g2} には、ドレイン電流 I_1 、 I_2 の電流変化による誘起電圧 V_a 、 V_b がそれぞれ印加されている。

なお、主電流経路インダクタンスと駆動経路インダクタンスとの比である

インダクタンス比を 1 : 5 としてシミュレーションを行った。

[0043] 図 7 の上図は、誘起電圧 V_a 、 V_b が印加されていない駆動経路 21、22 のゲート電圧 $V_{g1'}$ 、 $V_{g2'}$ に対する、ドレイン電流 $I_{1'}$ 、 $I_{2'}$ の時間変化を示している。このとき、駆動回路 2 からの駆動信号によりゲート電圧 $V_{g1'}$ 、 $V_{g2'}$ が上昇して、一对のスイッチング素子 S_{11} 、 S_{12} の閾値電圧に達すると、スイッチング素子 S_{11} 、 S_{12} がターンオンする。その際に、例えば、又はスイッチング素子 S_{11} 、 S_{12} の閾値電圧のバラツキや、図示するように、ゲート電圧 $V_{g1'}$ 、 $V_{g2'}$ に差があることで、スイッチング素子 S_{11} 、 S_{12} がターンオンのタイミングにずれが生じる。そして、ずれを保持したままドレイン電流 $I_{1'}$ 、 $I_{2'}$ が上昇してドレイン電流 $I_{1'}$ 、 $I_{2'}$ のピーク電流の差が大きくなり、その後も電流の差が大きいままとなる（例えば、図中に矢印で示す）。

[0044] これに対して、図 7 の下図に示すように、磁気結合させた場合には、例えば、ゲート電圧 V_{g2} が先に上昇して、スイッチング素子 S_{12} がターンオンし、ドレイン電流 I_2 が流れると、この電流変化に伴い、誘起電圧 V_a 、 V_b が発生する。誘起電圧 V_a 、 V_b は、駆動経路 21、22 に対してゲート電圧 V_{g1} 、 V_{g2} の差が小さくなる方向に印加されてターンオン後の立ち上がりにおけるずれが小さくなる。そして、ピーク電流付近及びその後のドレイン電流 I_1 、 I_2 の差が縮小されることで、素子間の電流が均等化されて、電流アンバランスを抑制することができる。

[0045] 図 8 は、ターンオフ時のシミュレーション結果であり、同様に、駆動経路インダクタンスと、主電流経路インダクタンスとを磁気結合させた場合（すなわち、図 8 の下図）と、磁気結合していない場合（すなわち、図 8 の上図）とを比較して示している。

図 8 の上図において、駆動回路 2 からの駆動信号が停止されて、ゲート電圧 $V_{g1'}$ 、 $V_{g2'}$ が下降して、一对のスイッチング素子 S_{11} 、 S_{12} の閾値電圧まで低下すると、スイッチング素子 S_{11} 、 S_{12} がターンオフする。その場合も、例えば、図示するようなゲート電圧 $V_{g1'}$ 、 $V_{g2'}$

の差により、ターンオフのタイミングにずれが生じると、ドレイン電流 I_1 、 I_2 も差を有したまま下降することになる（例えば、図中に矢印で示す）。

[0046] これに対して、図8の下図に示すように、磁気結合させた場合には、例えば、ゲート電圧 V_{g2} が先に下降して、スイッチング素子 S_{12} がターンオフし、ドレイン電流 I_2 が低下する。この電流変化に伴い、誘起電圧 V_a 、 V_b が発生して、駆動経路 21 、 22 に対して印加され、ドレイン電流 I_1 、 I_2 の差が小さくなる（例えば、図中に矢印で示す）。このように、素子間の電流が均等化されて、電流アンバランスを抑制することができる。

[0047] 図9～図11は、ターンオン時について、インダクタンス比（主電流経路インダクタンス：駆動経路インダクタンス）を、 $1:2$ 、 $1:5$ 、 $1:8$ に変更した場合について、シミュレーションを行った結果であり、それぞれ磁気結合させた場合と磁気結合していない場合とを比較して示している。

インダクタンス比を調整することで、主電流経路 11 、 12 における電流変化に対して誘起される誘起電圧 V_a 、 V_b を調整することができる。例えば、図9のように、インダクタンス比を $1:2$ とすることで、ドレイン電流 I_1 、 I_2 よりも、立ち上がり時及びのピーク電流の差が縮小しており、電流アンバランスを抑制する効果が得られる。

図10のように、インダクタンス比を $1:5$ とした場合（すなわち、図7に対応する）には、立ち上がり時及びピーク電流付近の差がより小さくなる。図11のように、インダクタンス比を $1:8$ とした場合には、立ち上がりの途中でドレイン電流 I_1 、 I_2 が同等となり、ピーク電流付近以降は、再び差が生じる。

[0048] 図12～図14は、ターンオフ時について、インダクタンス比（主電流経路インダクタンス：駆動経路インダクタンス）を、 $1:2$ 、 $1:5$ 、 $1:8$ に変更した場合について、シミュレーションを行った結果であり、それぞれ磁気結合させた場合と磁気結合していない場合とを比較して示している。

例えば、図12のように、インダクタンス比を $1:2$ とすることで、ター

ンオフ後の立ち下がりにおけるドレイン電流 I_1 、 I_2 の差が小さくなっており、図 13 のように、インダクタンス比を 1 : 5 とした場合（すなわち、図 8 に対応する）には、ターンオフ後の立ち下がりの途中でドレイン電流 I_1 、 I_2 が同等となる。図 14 のように、インダクタンス比を 1 : 8 とした場合には、立ち下がりの途中でより早期にドレイン電流 I_1 、 I_2 が同等となるが、その後、再び差が生じる。

[0049] これらの結果より、インダクタンス比を 1 : 1 よりも大きくし、例えば、1 : 2 ~ 1 : 8 の範囲とすることで、スイッチング時に早期にドレイン電流 I_1 、 I_2 の差を小さくする効果が得られる。好ましくは、インダクタンス比を 1 : 2 よりも大きく、1 : 8 よりも小さい範囲とするのがよく、電流アンバランスを好適に補正することができる。

[0050] （実施形態 2）

電力用半導体装置に係る実施形態 2 について、図 15 を参照して説明する。

上記実施形態 1 では、電力用半導体装置 1 において、駆動経路 21、22 と主電流経路 11、12 とを配線経路の寄生インダクタンスを用いて磁気結合させたが、誘導性部品として構成されたインダクタを用いて磁気結合させることもできる。その一例として、本形態では、駆動経路 21、22 の一方に誘起電圧を印加するためのインダクタ部品 6 を導入している。それ以外の電力用半導体装置 1 及び電力変換装置 10 の基本構成は、上記実施形態 1 と同様であり、以下、相違点を中心に説明する。

なお、実施形態 2 以降において用いた符号のうち、既出の実施形態において用いた符号と同一のものは、特に示さない限り、既出の実施形態におけるものと同様の構成要素等を表す。

[0051] 図 15 に等価回路として示すように、本形態の電力用半導体装置 1 は、一対の半導体スイッチング素子 S_{11} 、 S_{12} と、駆動経路 21、22 と、主電流経路 11、12 とを有している。駆動経路 21、22 は、ゲート端子 G に接続され、主電流経路 11、12 は、ドレイン端子 D とソース端子 S との

間に、並列に接続されている。電力用半導体装置 1 は、上記実施形態 1 と同様に、例えば、同一のパッケージ P に収容した構成とすることができる。

[0052] 駆動経路 2 1、2 2 のうちの一方、例えば、駆動経路 2 1 と主電流経路 1 1、1 2 とは、インダクタ部品 6 によって磁気結合されている。インダクタ部品 6 は、磁性材料からなる共通の環状鉄心 6 0 と、主電流経路 1 1、1 2 にそれぞれ導入される第 1 インダクタ 6 1 及び第 2 インダクタ 6 2 と、駆動経路 2 1 に導入されるインダクタ 6 3 とを有する。第 1 インダクタ 6 1 及び第 2 インダクタ 6 2 と、インダクタ 6 3 は、それぞれ環状鉄心 6 0 の周囲に巻回された巻線部品からなり、巻線部品の両端の端子が、主電流経路 1 1、1 2 又は駆動経路 2 1 を構成する配線と直接、又は、他の導体配線を用いて接続される。

[0053] ここで、主電流経路 1 1 に導入される第 1 インダクタ 6 1 と、主電流経路 1 2 に導入される第 2 インダクタ 6 2 とは、共通の環状鉄心に対して巻線の方向が逆となるように巻回される。これにより、主電流経路 1 1、1 2 に流れる電流によって、環状鉄心 6 0 が形成する磁路に磁束 $\Phi 1$ 、 $\Phi 2$ を発生させると共に、磁束 $\Phi 1$ 、 $\Phi 2$ の向きを対向させている。駆動経路 2 1 に導入されるインダクタ 6 3 は、例えば、第 1 インダクタ 6 1 と同じ向きに巻回される。

なお、第 1 インダクタ 6 1 と第 2 インダクタ 6 2 のインダクタンスを構成する巻線部品の巻き数をそれぞれ $n 1$ 、 $n 2$ としたとき、誘起電圧 $V a$ は、下記式 2 2 で表される。

$$\text{式 2 2 : } V a = n 1 \cdot d \Phi 1 / d t - n 2 \cdot d \Phi 2 / d t$$

[0054] 本形態の構成によっても、駆動経路 2 1 に導入されるインダクタ 6 3 には、磁束 $\Phi 1$ 、 $\Phi 2$ の差分に応じた誘起電圧 $V a$ が印加されて、主電流経路 1 1、1 2 を流れる電流が均等化される。また、磁束 $\Phi 1$ 、 $\Phi 2$ の差分が生じる場合のみ、誘起電圧 $V a$ が発生するので、電流アンバランスを抑制しながら、電圧変動によるゲート発振を抑制する同様の効果が得られる。

[0055] (実施形態 3)

電力用半導体装置に係る実施形態 3 について、図 16～図 17 を参照して説明する。

本形態は、実施形態 2 の変形例であり、駆動経路 21、22 の両方に、インダクタ部品を導入した例としている。以下、相違点を中心に説明する。

図 16 に示すように、本形態において、駆動経路 22 に導入されるインダクタ部品 7 は、駆動経路 21 に導入されるインダクタ部品 6 と同様の構造を有し、共通の環状鉄心 70 と、主電流経路 11、12 にそれぞれ導入される第 1 インダクタ 71 及び第 2 インダクタ 72 と、駆動経路 22 に導入されるインダクタ 73 とを有する。第 1 インダクタ 71 及び第 2 インダクタ 72 と、インダクタ 73 は、それぞれ環状鉄心 70 の周囲に巻回された巻線部品からなる。

[0056] 主電流経路 11 に導入される第 1 インダクタ 71 と、主電流経路 12 に導入される第 2 インダクタ 72 とは、共通の環状鉄心に対して巻線の方法が逆となるように巻回されて、環状鉄心 60 が形成する磁路に発生する磁束 $\Phi 1$ 、 $\Phi 2$ の向きを対向させている。駆動経路 22 に導入されるインダクタ 73 は、例えば、第 2 インダクタ 72 と同じ向きに巻回される。

[0057] あるいは、図 17 に示すように、駆動経路 21、22 に導入されるインダクタ部品を一体的に構成することもできる。ここでは、例えば、駆動経路 21 に導入されるインダクタ部品 6 の環状鉄心 70 に、駆動経路 22 に導入されるインダクタ 73 を巻回している。このようにすると、図 16 におけるインダクタ部品 7 に用いられる部品を省略することができ、構成が簡易にできる。

[0058] 本形態の構成によっても、駆動経路 21、22 に導入されるインダクタ 63、73 に、磁束 $\Phi 1$ 、 $\Phi 2$ の差分が生じるときに、その差分に基づく誘起電圧 V_a 、 V_b が印加される。したがって、電流アンバランスを抑制しながら、電圧変動によるゲート発振を抑制する同様の効果が得られる。

[0059] 本開示は上記各実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の実施形態に適用することが可能である。例えば、上記

実施形態では、図2に示すインバータ部30のアームスイッチS1～S6が、2個のスイッチング素子S11、S12で構成される場合について説明したが、アームスイッチS1～S6の数は特に限定されず、例えば、4個のスイッチング素子を含んでいてもよい。その場合には、一对のスイッチング素子S11、S12を2組用いて、アームスイッチS1～S6を構成することができる。

[0060] また、上記実施形態では、電力変換装置1をモータMに接続して、交流出力を供給するためのインバータ装置10として構成したが、モータMに限らず任意の負荷に用いることができる。また、インバータ装置10に限らず、車両搭載機器、発電システム用機器、その他の任意の機器に適用可能である。

請求の範囲

- [請求項1] 並列接続された一対の半導体スイッチング素子（ S_{11} 、 S_{12} ）と、一対の上記半導体スイッチング素子を駆動するための駆動回路（2）と、を備える電力用半導体装置（1）であって、
- 上記駆動回路からの駆動信号を一対の上記半導体スイッチング素子のそれぞれに与える一対の駆動経路（ 21 、 22 ）と、一対の上記半導体スイッチング素子のそれぞれに電流を供給するための一対の主電流経路（ 11 、 12 ）と、を有しており、
- 上記駆動経路及び上記主電流経路は、一対の上記主電流経路にそれぞれ発生する磁束（ Φ_1 、 Φ_2 ）が、一対の上記駆動経路の少なくとも一方を通る回路を貫き、かつ、上記駆動経路の周囲において上記磁束の向きが互いに対向するように配置される、電力用半導体装置。
- [請求項2] 一対の上記半導体スイッチング素子は、一対の上記駆動経路の少なくとも一方におけるインダクタンス（ L_a 、 L_b ）と、一対の上記主電流経路におけるインダクタンス（ L_1 、 L_2 ）とが、それぞれ磁気結合している、請求項1に記載の電力用半導体装置。
- [請求項3] 一対の上記駆動経路の少なくとも一方を挟んでその両側に、一対の上記主電流経路が平行に配置されており、少なくとも一方の上記駆動経路の寄生インダクタンスと、一対の上記主電流経路における寄生インダクタンスとが、それぞれ磁気結合している、請求項2に記載の電力用半導体装置。
- [請求項4] 一対の上記駆動経路を挟んでその両側に、一対の上記主電流経路が平行に配置されており、各駆動経路の寄生インダクタンスと、一対の上記主電流経路における寄生インダクタンスとが、それぞれ磁気結合している、請求項2に記載の電力用半導体装置。
- [請求項5] 一対の上記半導体スイッチング素子は、一対の上記駆動経路の少なくとも一方に導入されるインダクタ（ 63 、 73 ）と、一対の上記主電流経路に導入される第1インダクタ（ 61 、 71 ）及び第2インダ

クタ（６２、７２）とが、それぞれ磁気結合している、請求項２に記載の電力用半導体装置。

[請求項６] 上記第１インダクタ、上記第２インダクタ及び上記インダクタは、共通の環状鉄心（６０、７０）に巻回された巻線部品にて構成される、請求項５に記載の電力用半導体装置。

[請求項７] 上記主電流経路における上記インダクタンスと上記駆動経路の上記インダクタンスとの比が、１：２～１：８である、請求項２～６のいずれか１項に記載の電力用半導体装置。

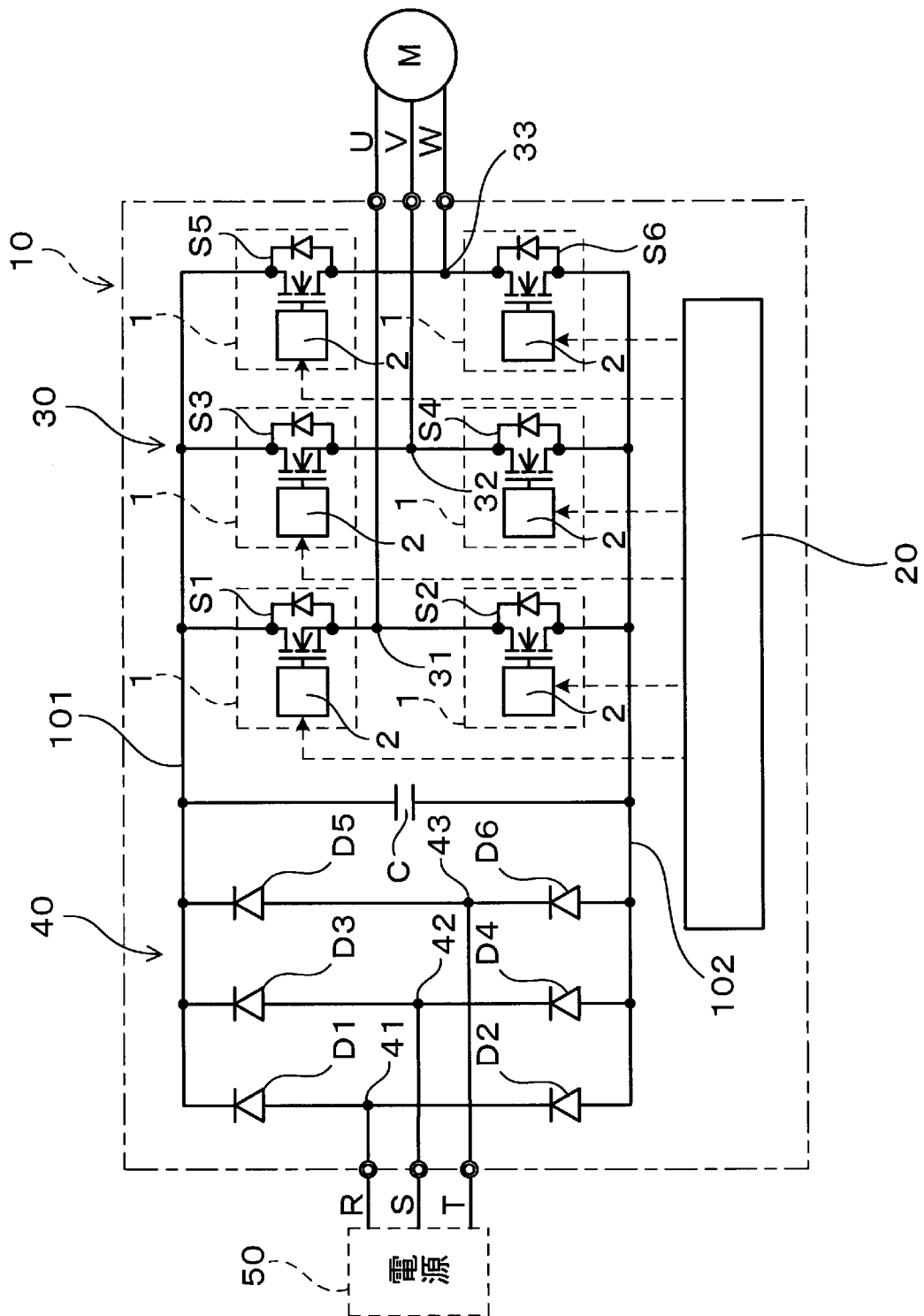
[請求項８] 一対の上記半導体スイッチング素子と、一対の上記駆動経路、及び、一対の上記主電流経路とは、同一のパッケージ（Ｐ）内に配置される、請求項１～７のいずれか１項に記載の電力用半導体装置。

[請求項９] 請求項１～８のいずれか１項に記載の電力用半導体装置にて構成される電力変換装置（１０）であって、

一対の上記半導体スイッチング素子を一組以上含む電力変換回路部（３０）と、上記駆動回路を駆動させて上記電力変換回路部の動作を制御する制御回路部（２０）と、を備える、電力変換装置。

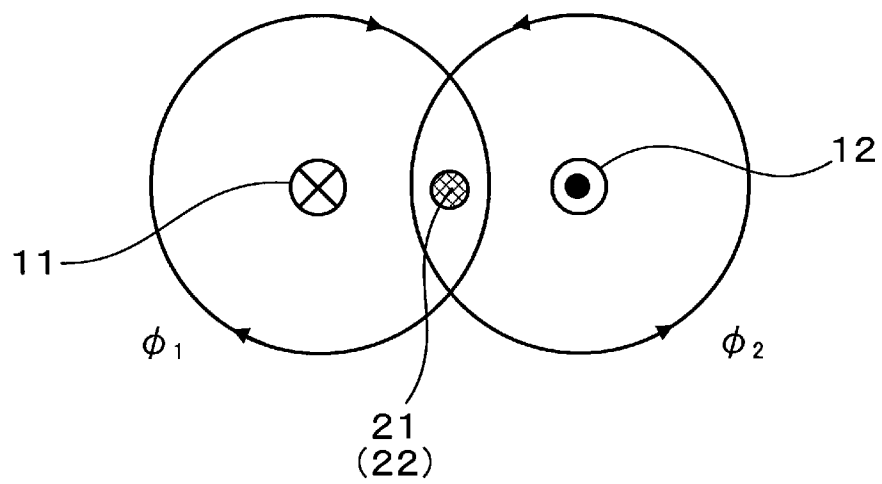
[図2]

(図 2)



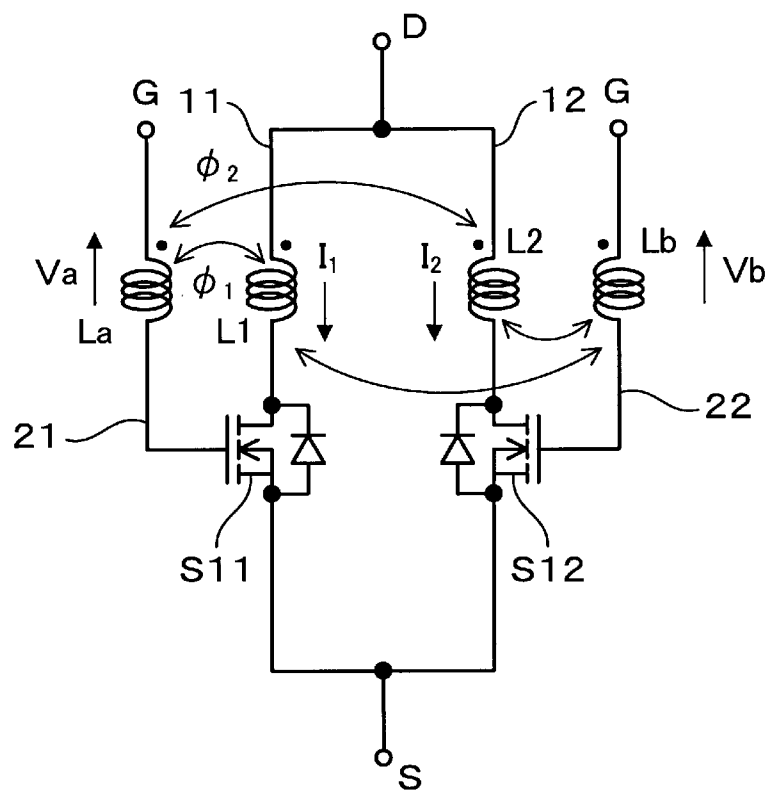
[図3]

(図 3)



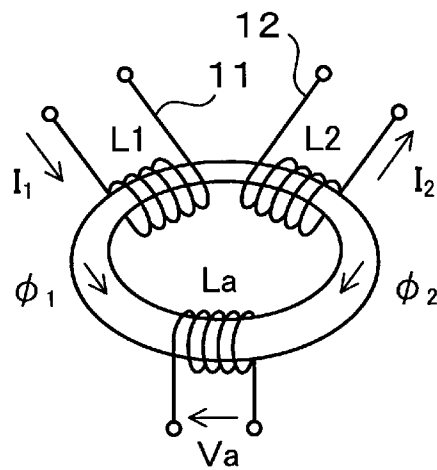
[図4]

(図 4)



[図5]

(図 5)

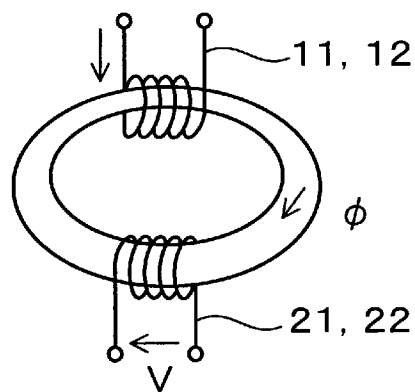


$$\Delta\phi = \phi_1 - \phi_2 \quad \dots \text{(式 1)}$$

$$V_a = \frac{d\Delta\phi}{dt} \quad \dots \text{(式 2)}$$

[図6]

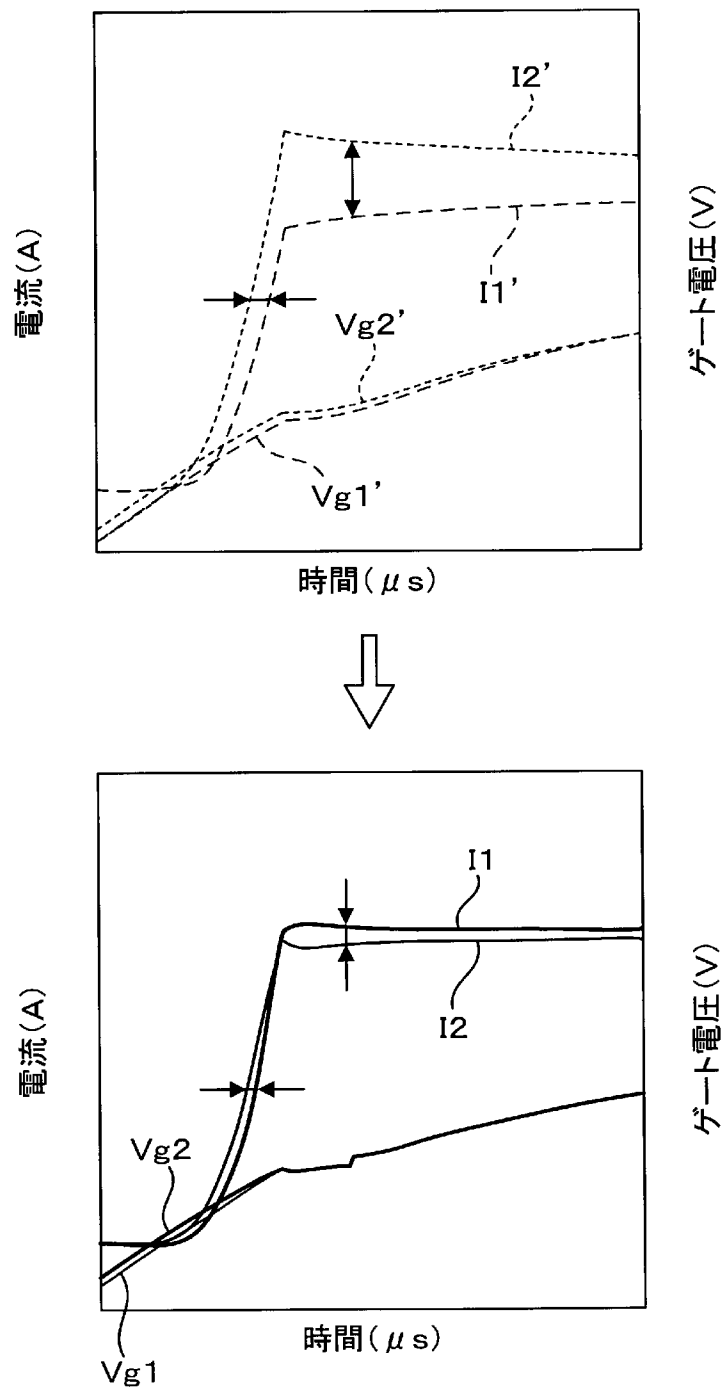
(図 6)



$$V = n \frac{d\phi}{dt} \quad \dots \text{(式 3)}$$

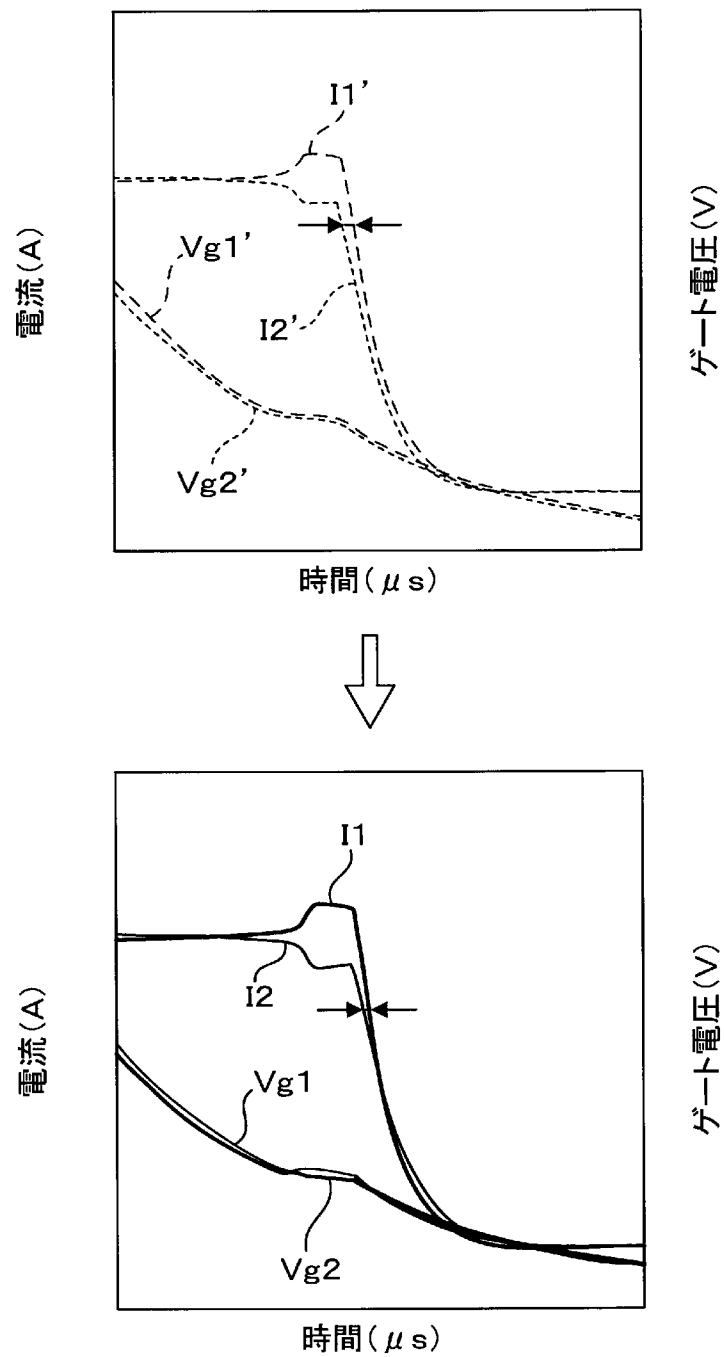
[図7]

(図 7)



[図8]

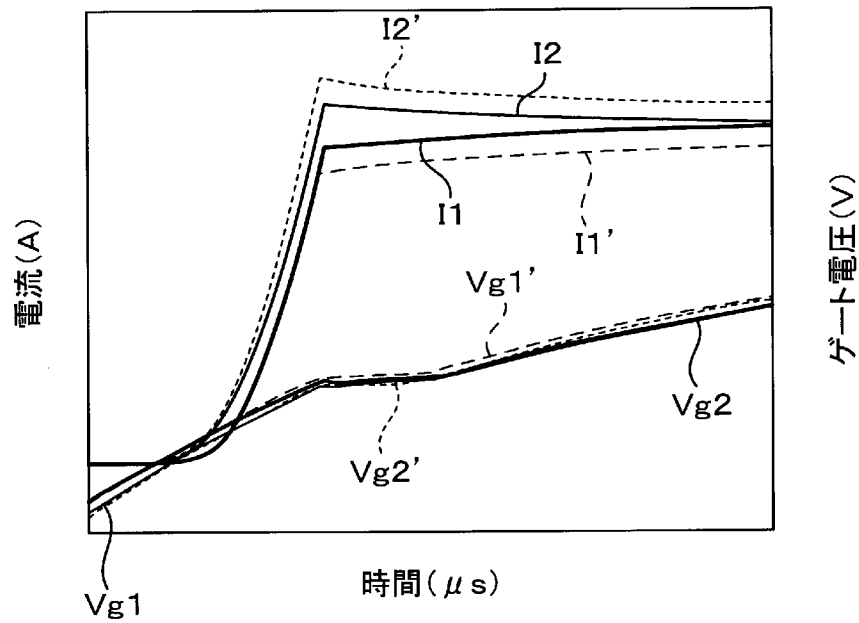
(図 8)



[図9]

(図 9)

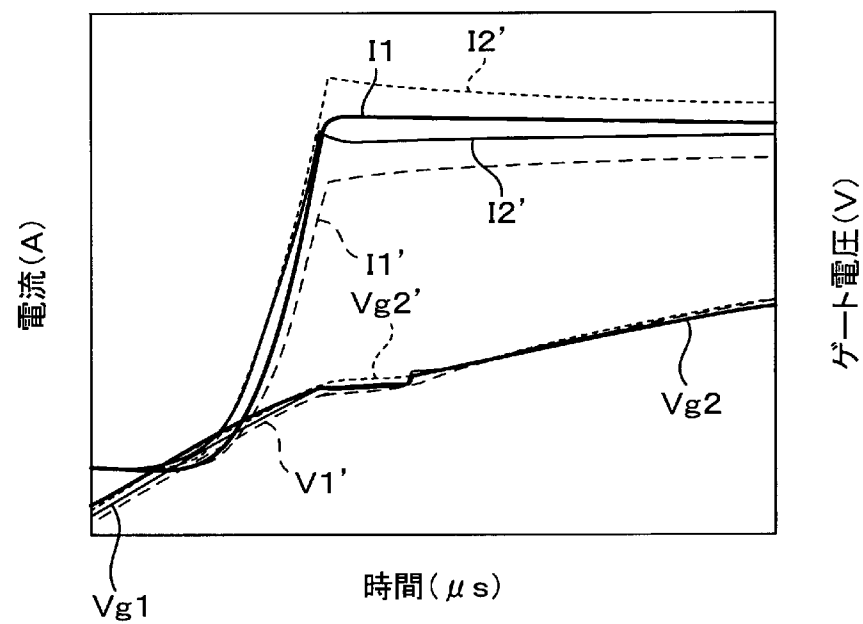
(インダクタンス比 1 : 2)



[図10]

(図 10)

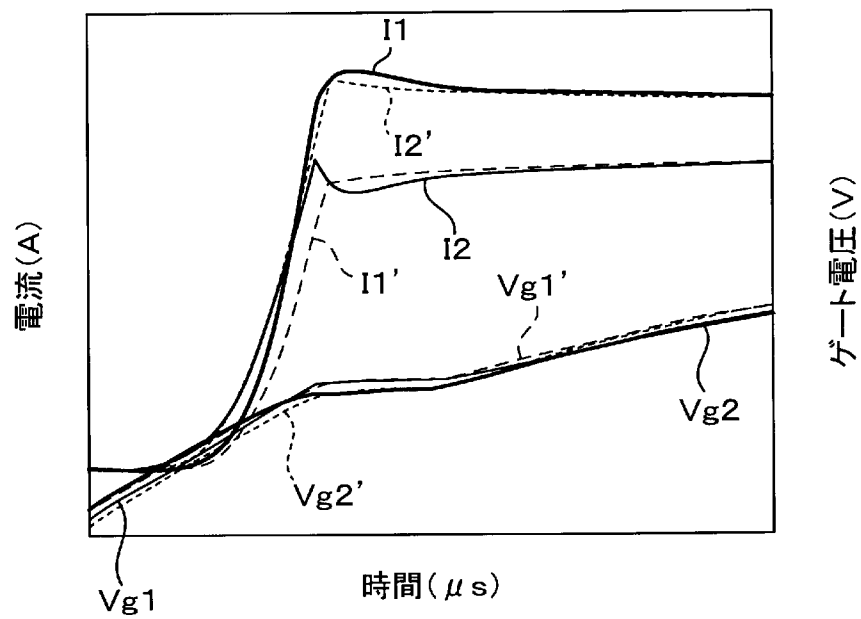
(インダクタンス比 1 : 5)



[図11]

(図 1 1)

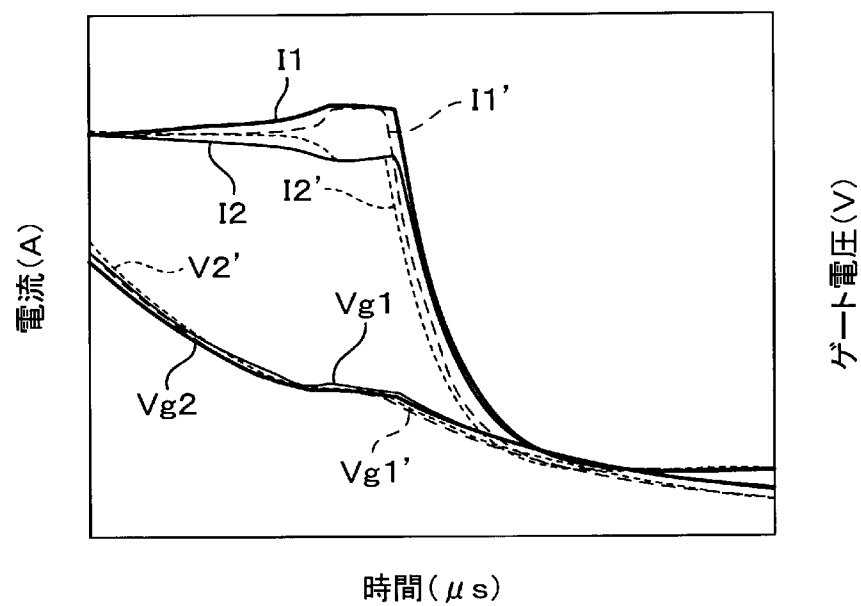
(インダクタンス比 1 : 8)



[図12]

(図 1 2)

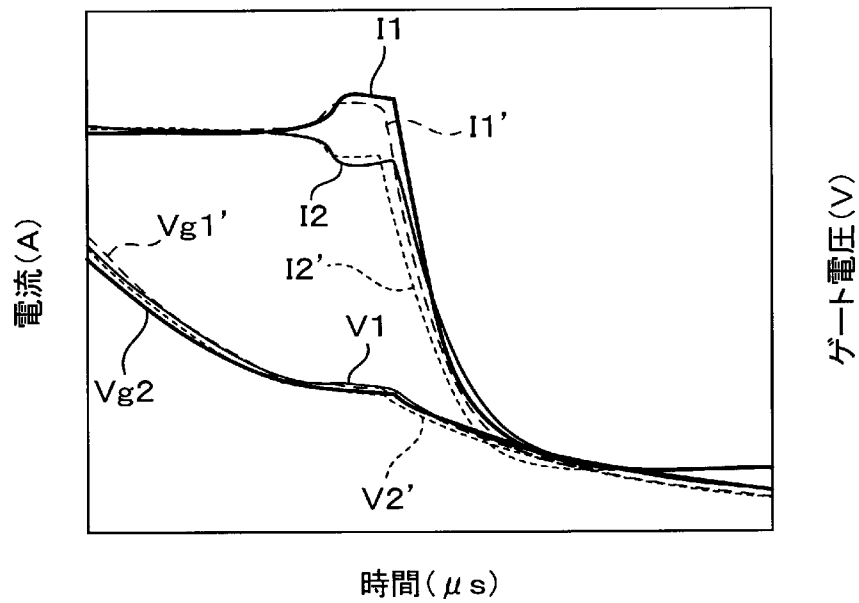
(インダクタンス比 1 : 2)



[図13]

(図 1 3)

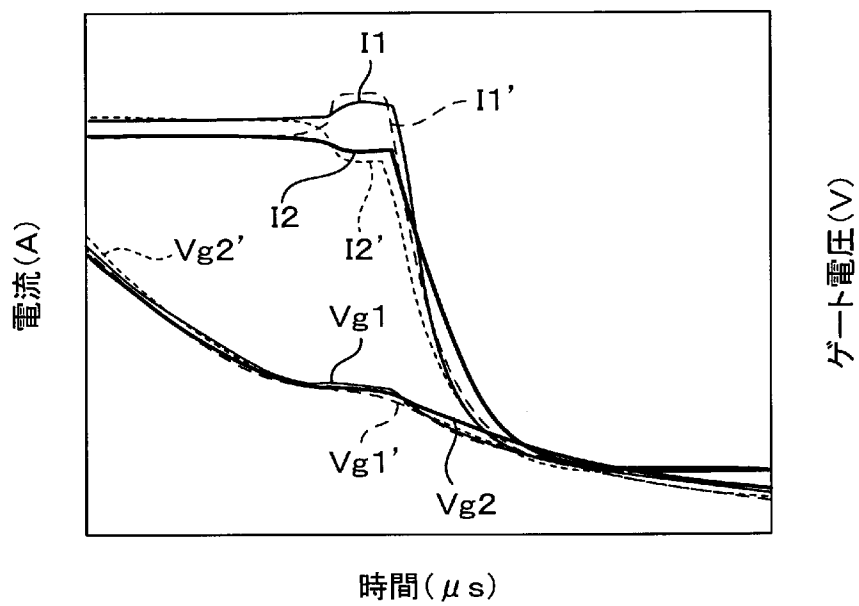
(インダクタンス比 1 : 5)



[図14]

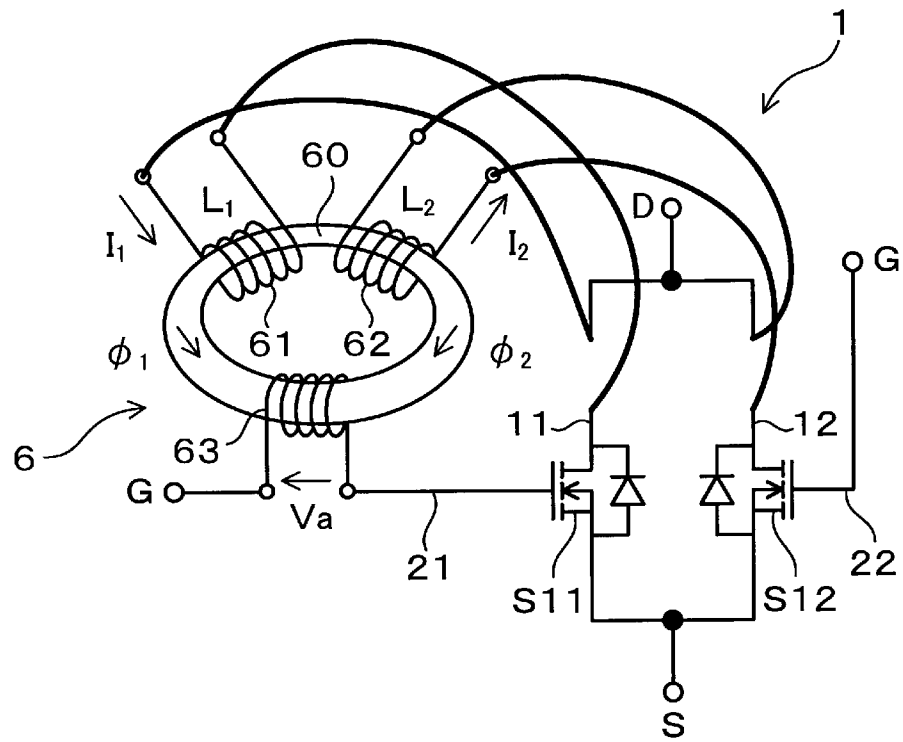
(図 1 4)

(インダクタンス比 1 : 8)



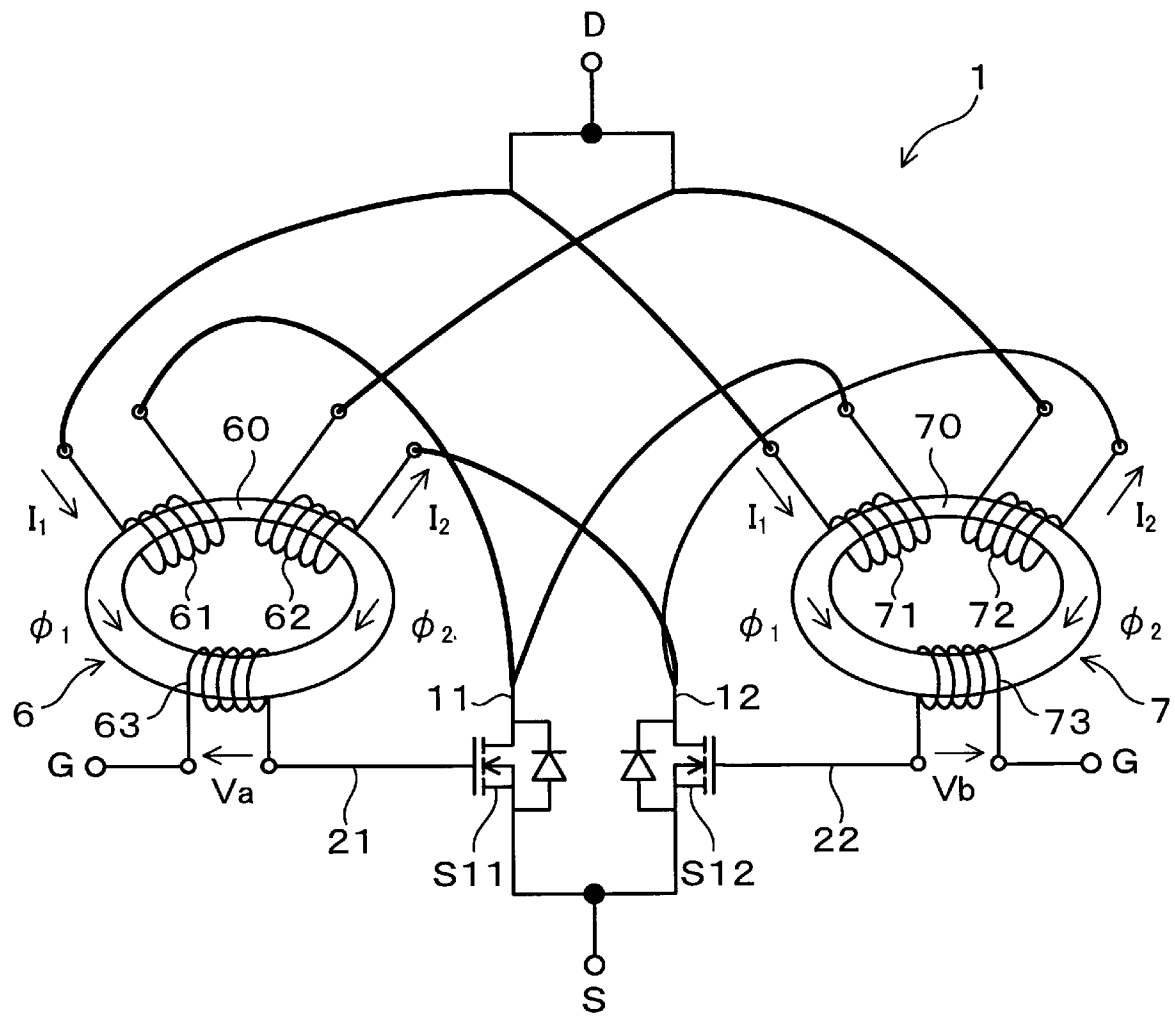
[図15]

(図 15)



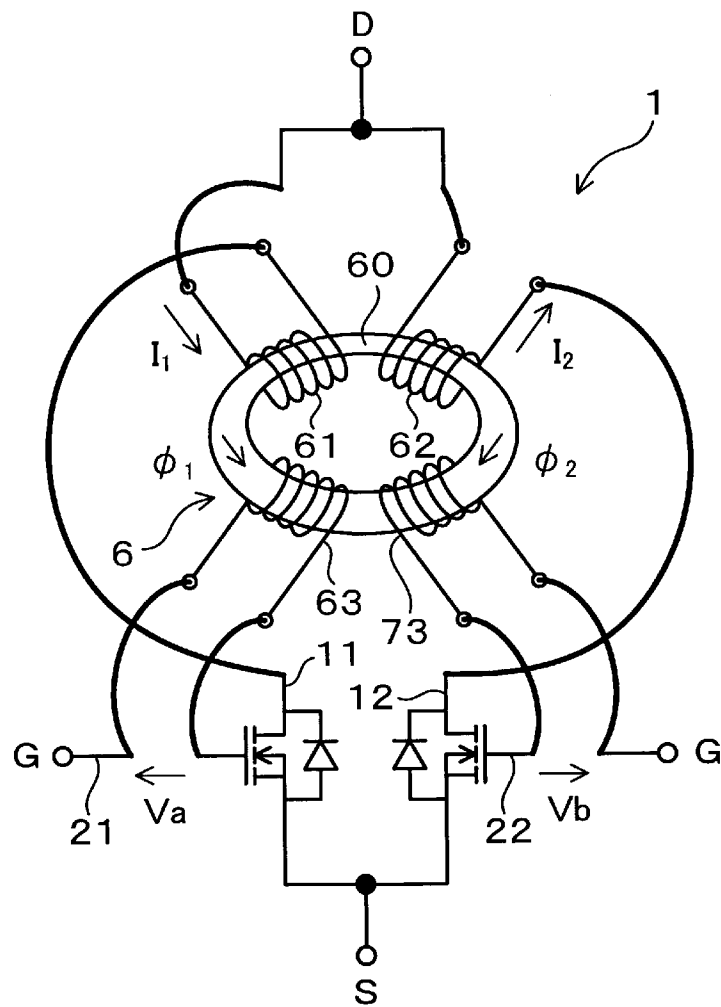
[図16]

(図 16)



[図17]

(図 17)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025614

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M1/088(2006.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i,
H02M7/48(2007.01)i, H03K17/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/088, H02M1/00, H02M1/08, H02M7/48, H03K17/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-42030 A (TOYOTA MOTOR ENGINEERING & MANUFACTURING NORTH AMERICA INC.) 23 February 2017, entire text, all drawings & US 9503079 B1, entire text, all drawings & DE 102016108611 A1 & CN 106208634 A	1-9
A	JP 2007-89292 A (FUJI ELECTRIC HOLDINGS CO., LTD.) 05 April 2007, entire text, all drawings (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 September 2019 (02.09.2019)

Date of mailing of the international search report
17 September 2019 (17.09.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025614

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 49-59955 A (PIONEER MAGNETICS INC.) 11 June 1974, entire text, all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M1/088(2006.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i, H02M7/48(2007.01)i, H03K17/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/088, H02M1/00, H02M1/08, H02M7/48, H03K17/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-42030 A（トヨタ モーター エンジニアリング アンド マニュファクチャリング ノース アメリカ, インコーポレイティド）2017.02.23, 全文, 全図 & US 9503079 B1, 全文, 全図 & DE 102016108611 A1 & CN 106208634 A	1-9
A	JP 2007-89292 A（富士電機ホールディングス株式会社）2007.04.05, 全文, 全図（ファミリーなし）	1-9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻生 哲朗

5G

2953

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 49-59955 A (パイオニア マグネテイツクス インコーポレイテッド) 1974.06.11, 全文, 全図 (ファミリーなし)	1-9