



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

268 426

(21) PV 8514-87.C
(22) Přihlášeno 25 11 87

(40) Zveřejněno 14 08 89
(45) Vydáno 31 08 90

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 13/12

(75)

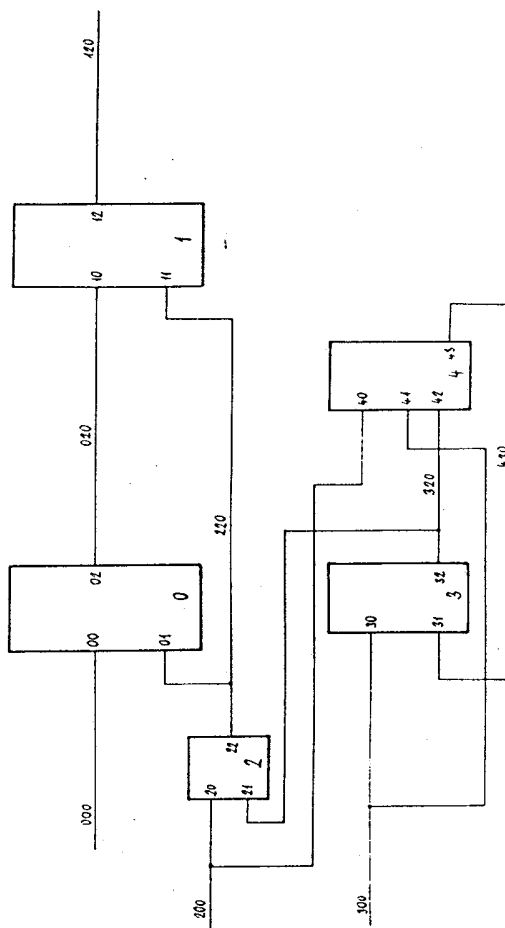
Autor vynálezu

ŠMILAUER BOHDAN ing., PRAHA

(54)

Zapojení synchronizačních obvodů
adaptéru kanál-kanál

(57) Zapojení řeší úsporně synchroniza-
ci a přidělování priorit pomocí synchro-
nizátoru blokovatelného mikroprogramem
procesoru vstup/výstup a s prodlužova-
telným účinkem blokování podle potřeby.
Asynchronní řídicí signály mohou být
takto pozdrženy, aby mohly být zpraco-
vány mikroprogramem bez nebezpečí, že
změní svůj stav, dříve než bude reago-
vat mikroprogram procesoru vstupu/výs-
tupu. Podstata zapojení spočívá v tom,
že první a druhý synchronizační registr
jsou zapojeny v sérii a na jejich hodi-
nové vstupy je přiváděn takt blokovatelný
hradlem a toto hradlo hodin je spo-
jeno na RS klopný obvod, který je ov-
ládnán prodlužovatelným čítačem.



Vynález se týká zapojení synchronizačních obvodů adaptéru kanál-kanál, které slouží k propojení dvou počítačů pomocí interfejsu vstupu/výstupu, přičemž jde o adaptér obvodově nesymetrický, který ze strany hostitelského počítače je řízen mikroprogramově procesorem vstupu/výstupu a strana ke spojenému počítači je řízena obvodově.

Dosud užívané adaptéry kanál-kanál jsou obvodově řešené a jsou obvodově symetrické pro obě strany a využívají synchronizace řídicích signálů pomocí rozhodovače priority. Tento rozhodovač priority je důležitý, protože zahájení výběrových sledů i obou stran je vzájemně asynchronní a výběrové sledy se mohou vzájemně střetávat. Takové řešení je obvodově náročné, obtížně diagnostikovatelné a obtížně přizpůsobitelné případným požadavkům na změnu funkce.

Uvedené nevýhody odstraňuje zapojení synchronizačních obvodů adaptéru kanál-kanál podle vynálezu, přičemž zapojení synchronizačních obvodů se skládá z prvního synchronizačního registru, z blokovacího hradla hodin, z RS klopného obvodu blokování a z prodlužovatelného čítače délky blokování, jehož podstata spočívá v tom, že asynchronní vstupní řídicí sběrnice je připojena na datový vstup prvního synchronizačního registru, jehož výstup je zapojen na datový vstup druhého synchronizačního registru, z jehož výstupu vystupuje synchronní blokovatelná vstupní řídicí sběrnice, a dále vodič vnitřních hodin je zapojen na hodinový vstup prodlužovatelného čítače délky blokování a na první vstup blokovacího hradla hodin, jehož výstup je zapojen na hodinový vstup prvního synchronizačního registru a na hodinový vstup druhého synchronizačního registru, vodič impulsu zahájení blokování je zapojen na vkládací vstup prodlužovatelného čítače délky blokování a na nastavovací vstup RS klopného obvodu blokování, jehož výstup je zapojen na druhý vstup blokovacího hradla hodin a na nulovací vstup prodlužovatelného čítače délky blokování, jehož výstup je zapojen na nulovací vstup RS klopného obvodu blokování.

Výhodou zapojení podle vynálezu je, že důsledně synchronizuje všechny asynchronní vstupní řídicí signály na dvoustupňovém synchronizačním registru, aby se zamezilo vzniku metastabilních stavů vzhledem k vnitřním hodinám počítače. Tyto hodiny jsou blokovatelné pomocí mikroprogramu procesoru vstupu/výstupu tak, aby po dobu, kdy mikroprogram testuje nebo mění stav obvodů adaptéru kanál-kanál, byly synchronizační hodiny zastaveny, a tím bylo zabráněno jakékoliv změně stavu adaptéru kanál-kanál od spojeného počítače.

Na výkresu je znázorněno jedno z možných zapojení podle vynálezu, které se skládá z prvního synchronizačního registru 0, z druhého synchronizačního registru 1, dále z blokovacího hradla hodin 2, z RS klopného obvodu 3 blokování hodin a z prodlužovatelného čítače 4 délky blokování.

Znázorněné obvody na výkresu jsou zapojeny tak, že asynchronní vstupní řídicí sběrnice 000 je připojena na datový vstup 00 prvního synchronizačního registru 0, jehož výstup 02 je zapojen na datový vstup 10 druhého synchronizačního registru 1, z jehož výstupu 12 vystupuje synchronní blokovatelná vstupní řídicí sběrnice 120 a vodič 200 vnitřních hodin je zapojen na hodinový vstup 40 prodlužovatelného čítače 4 délky blokování a na první vstup 20 blokovacího hradla 2 hodin, jehož výstup 22 je zapojen na hodinový vstup 01 prvního synchronizačního registru 0 a na hodinový vstup 11 druhého synchronizačního registru 1, vodič 300 impulsu zahájení blokování je zapojen na vkládací vstup 41 prodlužovatelného čítače 4 délky blokování a na nastavovací vstup 30 RS klopného obvodu 3 blokování, jehož výstup 32 je zapojen na druhý vstup 21 blokovacího hradla 2 hodin a na nulovací vstup 42 prodlužovatelného čítače 4 délky blokování, jehož výstup 43 je zapojen na nulovací vstup 31 RS klopného obvodu 3 blokování.

Zapojení synchronizačních obvodů adapteru kanál-kanál podle vynálezu pracuje následujícím způsobem.

Po asynchronní vstupní řídící sběrnici 000 jsou přiváděny výběrové sledy ze spojeného počítače, které jsou asynchronní oproti vnitřním hodinám na vodiči 200 vnitřních hodin adaptéru kanál-kanál. Pokud není blokování v činnosti, je RS klopný obvod 3 vynulován a na jeho výstupu 32 je logická jednotka, která je vedena na vstup

21 blokovacího hradla 2 hodin a vnitřní hodiny procházejí z vodiče 200 vnitřních hodin na výstup 22 blokovacího hradla hodin 2, z něhož jsou vedeny na hodinový vstup

01, respektivě na výstup 02 prvního synchronizačního registru 0, respektivě druhého synchronizačního registru 1. První synchronizační registr 0 i druhý synchronizační registr 1 jsou hranově taktované, a tím dochází k přenosu signálů z asynchronní vstupní řídící sběrnice 000 na synchronní blokovanou vstupní řídící sběrnici 120 až po nejbližších dvou periodách vnitřních hodin a změny signálů na synchronní blokované vstupní řídící sběrnici 120 jsou možné jen v době blízké po hraně vnitřních hodin, jsou tedy již synchronní s vnitřními hodinami, postupujícími po vodiči 200 vnitřních hodin. Synchronizace asynchronní vstupní řídící sběrnice 000 je dvou-
stupňová, aby případné metastabilní stavy odezněly na prvním synchronizačním registru 0 a výstup 12 druhého synchronizačního registru 1 byl již zcela synchronní.

Výstup 12 pak tvoří synchronní blokovanou vstupní řídící sběrnici 120. V některých okamžicích je třeba otestovat procesorem vstup/výstup stav vodičů synchronní blokované vstupní řídící sběrnice 120 a pokud to dovoluje stav této sběrnice 120 (např. ze spojeného počítače neprobíhá žádný výběrový sled), je třeba podle tohoto stavu změnit stav adaptéru kanál-kanál. Aby nemohlo v době mezi testem stavu synchronní blokované vstupní řídící sběrnice 120 a změnou stavu adapteru kanál-kanál dojít k nežádoucí změně stavu této synchronní blokované vstupní řídící sběrnice 120, nastaví se impulsem po vodiči 300 impulsu zahájení blokování RS klopný obvod 3 do logické jednotky, a tím se jeho výstup 32 vynuluje a blokovací hradlo 2 hodin se uzavře, takže se přestanou taktovat oba synchronizační registry 0 a 1, a tím se nemůže měnit stav synchronní blokované vstupní řídící sběrnice 120.

Po dobu blokování je zaručeno, že se stav této synchronní blokované vstupní řídící sběrnice 120 nemůže měnit. Impulsem po vodiči 300 impulsu zahájení blokování se naplní prodlužovatelný čítač 4 délky blokování, který po svém vyčerpání pomocí výstupu 43 vynuluje RS klopný obvod 3 blokování, a tím opět uvolní taktování synchronizačních registrů 0 a 1. K opětovnému naplnění prodlužovatelného čítače 4 délky blokování může dojít kdykoliv pomocí impulsu na vodiči 300 zahájení blokování, tedy i v době, kdy ještě probíhá blokování hodin, a tak je možno dobu blokování hodin podle potřeby prodlužovat.

Zapojení synchronizačních obvodů podle vynálezu lze s výhodou použít při konstrukci obecných obvodových řadičů, které jsou z vnějška ovládány asynchronními řídícími signály a zevnitř jsou ovládány programovatelným procesorem.

PŘEDMĚT VYNÁLEZU

Zapojení synchronizačních obvodů adapteru kanál-kanál, skládající se z prvního synchronizačního registru, z druhého synchronizačního, z blokovacího hradla hodin, z RS klopného obvodu blokování a z prodlužovatelného čítače délky blokování, vyznačující se tím, že asynchronní vstupní řídící sběrnice (OGG) je připojena na datový vstup (CC) prvního synchronizačního registru (0), jehož výstup (G2) je zapojen na datový vstup (10) druhého synchronizačního registru (1), z jehož výstupu (12) vystupuje synchronní blokovatelná vstupní řídící sběrnice (120) a vodič (200) vnitřních hodin je zapojen na hodinový vstup (40) prodlužovatelného čítače (4) délky blokování a na první vstup (20) blokovacího hradla (2) hodin, jehož výstup (22) je zapojen na hodinový vstup (01) prvního synchronizačního registru (0) a na hodinový vstup (11) druhého synchronizačního registru (1) a vodič (300) impulsu zahájení blokování je zapojen na vkládací vstup (41) prodlužovatelného čítače (4) délky blokování a na nastavovací vstup (30) RS klopného obvodu (3) blokování, jehož výstup (32) je zapojen na druhý vstup (21) blokovacího hradla (2) hodin a na nulovací vstup (42) prodlužovatelného počítáče (4) délky blokování, jehož výstup (43) je zapojen na nulovací vstup (31) RS klopného obvodu (3) blokování.

1 výkres

