(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 114868253 A
(43)申请公布日 2022.08.05

(21)申请号 202080072167.2

(22)申请日 2020.10.07

(30)优先权数据
16/600,825 2019.10.14 US

(85)PCT国际申请进入国家阶段日
2022.04.14

(86)PCT国际申请的申请数据
PCT/US2020/054510 2020.10.07

(87)PCT国际申请的公布数据
WO2021/076367 EN 2021.04.22

(71)申请人 沃尔夫斯皮德股份有限公司
地址 美国北卡罗莱纳

(72)发明人 E·琼斯 T·阿尔科恩 J·郭 F·拉都勒斯库 S·什帕德

(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 张小稳

(51)Int.Cl.
H01L 29/06(2006.01)
H01L 29/40(2006.01)
H01L 29/778(2006.01)
H01L 21/335(2006.01)

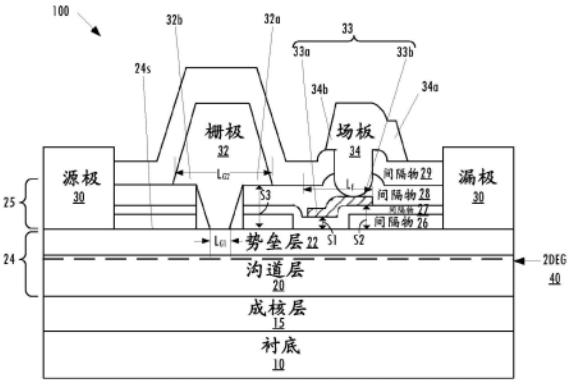
权利要求书3页 说明书14页 附图7页

(54)发明名称

靠近传导沟道的台阶式场板和相关的制造方法

(57)摘要

晶体管包括半导体层结构(24)、半导体层结构上的源极电极(30)和漏极电极(30)、在源极电极与漏极电极之间在半导体层结构的表面上的栅极(32)、以及场板(33)。场板包括邻近栅极的第一部分(33a)和邻近源极电极或漏极电极的第二部分(33b)。场板的第二部分比场板的第一部分更远离半导体层结构的表面,并且比栅极的延伸部分(32a)更接近半导体层结构的表面。还讨论了相关的装置和制造方法。



CN 114868253 A

1.一种晶体管,包括:

半导体层结构;

所述半导体层结构上的源极电极和漏极电极;

在所述源极电极与所述漏极电极之间在所述半导体层结构的表面上的栅极;和

场板,包括邻近所述栅极的第一部分和邻近所述源极电极或漏极电极的第二部分,其中所述第二部分比所述第一部分更远离所述半导体层结构的表面并且比所述栅极的延伸部分更接近所述半导体层结构的表面。

2.根据权利要求1所述的晶体管,进一步包括:

间隔物绝缘体层,包括堆叠在所述半导体层的表面上的多个间隔物层,以限定分别将所述场板的第一部分、所述场板的第二部分和所述栅极的延伸部分与所述半导体层结构的表面分开的第一厚度、第二厚度和第三厚度。

3.根据权利要求2所述的晶体管,其中所述多个间隔物层在所述栅极的相对侧限定基本上共面的表面,其中所述栅极的延伸部分朝向所述场板的第一部分沿着所述基本上共面的表面之一横向地延伸。

4.根据权利要求3所述的晶体管,其中所述多个间隔物层包括:

第一间隔物层,包括在其表面中的凹槽;

第二间隔物层,包括在所述凹槽中的第一部分和在所述凹槽的外部的所述第一间隔物层的表面上的第二部分,其中所述第二间隔物层的第一部分和第二部分分别位于所述场板的第一部分和第二部分与所述半导体层结构的表面之间;和

第三间隔物层,在所述第二间隔物层上包括基本上共面的表面,其中所述场板在所述第三间隔物层与所述第二间隔物层之间。

5.根据权利要求3或4所述的晶体管,其中,所述栅极的延伸部分包括旁瓣部分,所述旁瓣部分在所述栅极的相对侧沿着所述基本上共面的表面横向地延伸。

6.根据权利要求5所述的晶体管,进一步包括:

侧壁间隔物,将所述栅极在其相对侧与所述多个间隔物层中的一个或多个间隔物层分开,其中所述场板的第一部分朝向所述栅极横向地延伸并且由所述侧壁间隔物之一与所述栅极分开。

7.根据权利要求2至4中的任一项所述的晶体管,其中,所述场板是第一场板,并且进一步包括:

第二场板,在所述间隔物绝缘体层的表面上并且延伸穿过其一部分以接触所述第一场板。

8.根据权利要求1至4中的任一项所述的晶体管,其中,所述场板的第一部分和所述栅极的延伸部分朝向彼此横向地延伸并且在垂直于所述半导体层结构的表面的方向上是非重叠的。

9.一种晶体管,包括:

半导体层结构;

所述半导体层结构上的源极电极和漏极电极;

在所述源极电极与所述漏极电极之间在所述半导体层结构的表面上的栅极;和

在所述栅极与所述源极电极或漏极电极之间的场板,其中所述场板比所述栅极的横向

延伸部分更接近所述半导体层结构的表面，并且其中所述栅极的横向延伸部分与所述场板不重叠。

10.根据权利要求9所述的晶体管，其中，所述场板包括邻近所述栅极的第一部分和邻近所述源极电极或漏极电极的第二部分，其中所述第二部分比所述第一部分更远离所述半导体层结构的表面。

11.根据权利要求10所述的晶体管，进一步包括：

间隔物绝缘体层，包括堆叠在所述半导体层的表面上的多个间隔物层，以限定分别将所述场板的第一部分、所述场板的第二部分和所述栅极的横向延伸部分与所述半导体层结构的表面分开的第一厚度、第二厚度和第三厚度。

12.根据权利要求11所述的晶体管，其中，所述多个间隔物层在所述栅极的相对侧限定基本上共面的表面，并且其中所述栅极的横向延伸部分包括旁瓣部分，所述旁瓣部分在所述栅极的相对侧沿着所述基本上共面的表面横向地延伸。

13.根据权利要求12所述的晶体管，其中所述多个间隔物层包括：

第一间隔物层，包括在其表面中的凹槽；

第二间隔物层，包括在所述凹槽中的第一部分和在所述凹槽的外部的所述第一间隔物层的表面上的第二部分，其中所述第二间隔物层的第一部分和第二部分分别位于所述场板的第一部分和第二部分与所述半导体层结构的表面之间；和

第三间隔物层，在所述第二间隔物层上包括基本上共面的表面，其中所述场板在所述第三间隔物层与所述第二间隔物层之间。

14.根据权利要求11至13中的任一项所述的晶体管，其中，所述场板是第一场板，并且进一步包括：

第二场板，在所述间隔物绝缘体层的表面上并且延伸穿过其一部分以接触所述第一场板。

15.一种晶体管，包括：

沟道层和势垒层，限定其间的异质结；

所述势垒层上的源极电极和漏极电极；

栅极，在所述势垒层上并且包括旁瓣部分，所述旁瓣部分分别朝向所述源极电极和漏极电极从所述栅极的相对侧横向地延伸；

在所述栅极与所述漏极电极之间在所述势垒层上的场板；和

间隔物绝缘体层，包括多个间隔物层，所述多个间隔物层之间具有所述场板，其中所述间隔物层在所述栅极的相对侧堆叠在所述势垒层上并且将所述栅极的旁瓣部分与所述势垒层分开。

16.根据权利要求15所述的晶体管，其中，所述多个间隔物层在所述栅极的相对侧限定基本上共面的表面，其中所述栅极的旁瓣部分直接在所述基本上共面的表面上横向地延伸。

17.根据权利要求15或16所述的晶体管，其中，所述间隔物层在所述栅极的相对侧具有基本上均匀的厚度。

18.根据权利要求15或16所述的晶体管，其中，所述场板包括邻近所述栅极的第一部分和邻近所述漏极电极的第二部分，其中所述第二部分比所述第一部分更远离所述势垒层的

表面。

19.根据权利要求18所述的晶体管，其中，所述场板的第一部分和所述栅极的旁瓣部分之一朝向彼此横向地延伸并且在垂直于所述势垒层的表面的方向上是非重叠的。

20.根据权利要求18所述的晶体管，进一步包括：

侧壁间隔物，将所述栅极在其相对侧与所述多个间隔物层分开，其中所述场板的第一部分朝向所述栅极横向地延伸并且由所述侧壁间隔物之一与所述栅极分开。

21.一种制造晶体管的方法，该方法包括：

形成沟道层和势垒层，在其间限定异质结；

在所述势垒层上形成源极电极、漏极电极和栅极，其中所述栅极包括旁瓣部分，所述旁瓣部分分别朝向所述源极电极和所述漏极电极从所述栅极的相对侧横向地延伸；和

在所述势垒层上形成间隔物绝缘体层和场板，所述间隔物绝缘体层包括多个间隔物层，所述多个间隔物层之间具有所述场板，其中所述间隔物层在所述栅极的相对侧堆叠在所述势垒层上并将所述栅极的旁瓣部分与所述势垒层分开。

22.根据权利要求21所述的方法，其中所述多个间隔物层限定基本上共面的表面，所述栅极的侧瓣部分直接在所述基本上共面的表面上横向地延伸。

23.根据权利要求21或22所述的方法，其中，所述场板包括邻近所述栅极的第一部分和邻近所述源极电极或漏极电极的第二部分，其中所述第二部分比所述第一部分更远离所述势垒层的表面。

24.根据权利要求23所述的方法，其中形成所述间隔物绝缘体层和所述场板包括：

形成第一间隔物层，所述第一间隔物层包括在其表面中的凹槽；

形成第二间隔物层，所述第二间隔物层包括在所述凹槽中的第一部分和在所述凹槽的外部的所述第一间隔物层的表面上的第二部分；

分别在所述第二间隔物层的第一部分和第二部分上形成所述场板的第一部分和第二部分；和

在所述第二间隔物层以及所述场板的第一部分和第二部分上形成第三间隔物层。

25.根据权利要求24所述的方法，其中所述场板是第一场板，并且进一步包括：

形成延伸穿过所述第三间隔物层的开口，以暴露所述第一场板的第一部分或第二部分中的至少一个；和

在所述第三间隔物层上形成所述第二场板并且所述第二场板延伸到所述开口中以接触所述第一场板。

靠近传导沟道的台阶式场板和相关的制造方法

[0001] 要求优先权

[0002] 本申请要求于2019年10月14日在美国专利和商标局提交的美国专利申请No.16/600,825的优先权的利益,该美国专利申请的公开内容通过引用整体地并入本文。

技术领域

[0003] 本发明涉及半导体装置,并且更具体地,涉及包括场板的晶体管和相关的制造方法。

背景技术

[0004] 诸如硅(Si)和砷化镓(GaAs)之类的材料在低功率的半导体装置中发现了广泛的应用,并且在Si的情况下发现了低频应用。然而,例如,由于它们的相对小的带隙(在室温下对于Si为1.12eV并且对于GaAs为1.42)和相对小的击穿电压,这些材料可能不太适合高功率和/或高频应用。

[0005] 对于高功率、高温和/或高频应用和装置,可以使用宽带隙半导体材料,诸如碳化硅(SiC)(例如,在室温下对于αSiC约为2.996eV的带隙)和III族氮化物(例如,在室温下对于氮化镓(GaN)约为3.36eV的带隙)。通常,与GaAs和Si相比,这些材料可以具有更高的电场击穿强度和更高的电子饱和速度。

[0006] 高功率和/或高频应用特别感兴趣的装置是高电子迁移率晶体管(HEMT),其也称为调制掺杂场效应晶体管(MODFET)。在HEMT装置中,可以在具有不同的带隙能量的两种半导体材料的异质结处形成二维电子气(2DEG)。较小带隙的材料可以具有比较宽带隙的材料更高的电子亲和力。2DEG是未掺杂的较小带隙的材料中的累积层,并且可以包含相对高的表面电子浓度,例如超过10^{13}载流子/cm^2。另外,源自较宽带隙的半导体的电子可以转移到2DEG,允许由于降低的电离杂质散射而导致的相对高的电子迁移率。这种相对高的载流子浓度和载流子迁移率的组合可以使HEMT具有相对大的跨导,并且可以相对于金属半导体场效应晶体管(MESFET)提供性能优势用于高频应用。

[0007] 由于诸如相对高的击穿场、相对宽的带隙、相对大的导带偏移和/或相对高的饱和电子漂移速度之类的材料特性的组合,在氮化镓/氮化铝镓(GaN/AlGaN)材料系统中制造的HEMT可以生成大量的射频(RF)功率。已经证明了GaN/AlGaN系统中的不同类型的HEMT。例如,美国专利No.5,192,987和No.5,296,395描述了AlGaN/GaN HEMT结构和制备方法。另外,Sheppard等人的美国专利No.6,316,793描述了HEMT装置,该HEMT装置具有半绝缘碳化硅衬底、衬底上的AlN缓冲层、缓冲层上的绝缘GaN层、GaN层上的AlGaN势垒层以及AlGaN有源结构上的钝化层。此外,Sheppard等人的美国专利No.7,045,404描述了以下HEMT装置,该HEMT装置包括保护层和/或低损伤凹槽制造技术,这可以减少在装置的欧姆接触的退火期间可能发生的对晶体管的栅极区域中的半导体的损伤。

[0008] 电子捕获和导致的DC和RF特性之间的差异可能是这些装置性能的限制因素。已经采用氮化硅(SiN)钝化来缓解该捕获问题,导致高性能装置在10GHz下功率密度超过10W/

mm。例如,Wu等人的美国专利No.6,586,781描述了用于降低基于GaN的晶体管中的捕获效应的方法和结构。然而,由于这些结构中存在的高电场,电荷捕获可能仍然是一个问题。

[0009] 场板用于增强微波频率下基于GaN的HEMT的性能并且相对于非场板装置表现出性能改善。一些场板方法可以涉及将场板连接到晶体管的栅极,其中场板在沟道的漏极侧的顶部。该配置可以导致晶体管的栅极-漏极侧的电场减小,从而增加击穿电压并降低高场捕获效应。然而,具有栅极-漏极场板的晶体管可能表现出相对差的可靠性性能,特别是在栅极的源极侧的电场变得显著的C类(或更高级别)操作中。

发明内容

[0010] 根据一些实施例,晶体管包括半导体层结构、半导体层结构上的源极电极和漏极电极、在源极电极与漏极电极之间在半导体层结构的表面上的栅极、以及场板。场板包括邻近栅极的第一部分和邻近源极电极或漏极电极的第二部分。场板的第二部分比场板的第一部分更远离半导体层结构的表面,并且比栅极的延伸部分更接近半导体层结构的表面,所述栅极的延伸部分邻近半导体层结构的表面。

[0011] 在一些实施例中,场板的第二部分可以邻近漏极电极。

[0012] 在一些实施例中,晶体管可以进一步包括间隔物绝缘体层,该间隔物绝缘体层包括堆叠在半导体层的表面上的多个间隔物层,所述多个间隔物层限定分别将场板的第一部分、场板的第二部分和栅极的延伸部分与半导体层结构的表面分开的第一厚度、第二厚度和第三厚度。

[0013] 在一些实施例中,由多个间隔物层限定的第三厚度在栅极的相对侧可以是基本上均匀的。在一些实施例中,多个间隔物层可以在栅极的相对侧限定基本上共面的表面,并且栅极的延伸部分可以朝向场板的第一部分沿着基本上共面的表面之一横向地延伸。

[0014] 在一些实施例中,多个间隔物层可以包括:第一间隔物层,在其表面中具有凹槽;第二间隔物层,包括在凹槽中的第一部分和在凹槽的外部的第一间隔物层的表面上的第二部分;和第三间隔物层,在第二间隔物层上具有基本上共面的表面,第二间隔物层和第三间隔物层之间具有场板。第二间隔物层的第一部分和第二部分可以分别位于场板的第一部分和第二部分与半导体层结构的表面之间。

[0015] 在一些实施例中,场板的第一部分和第二间隔物层的第二部分的相应上表面可以基本上是共面的。

[0016] 在一些实施例中,场板的第一和第二部分可以约束在第三间隔物层的基本上共面的表面下方。

[0017] 在一些实施例中,栅极的延伸部分可以包括旁瓣部分,所述旁瓣部分在栅极的相对侧沿着基本上共面的表面横向地延伸。在一些实施例中,栅极的相对的旁瓣部分可以是基本上对称的。

[0018] 在一些实施例中,侧壁间隔物可以将栅极在其相对侧与多个间隔物层中的一个或多个间隔物层分开。场板的第一部分可以朝向栅极横向地延伸并且由侧壁间隔物之一与栅极分开。

[0019] 在一些实施例中,场板可以是第一场板,并且可以提供第二场板,第二场板在间隔物绝缘体层的表面上并且延伸穿过其一部分以接触第一场板。在一些实施例中,第二场板

可以朝向漏极电极横向地延伸超出第一场板的第二部分。

[0020] 在一些实施例中,场板的第一部分和栅极的延伸部分可以朝向彼此横向地延伸并且在垂直于半导体层结构的表面的方向上是非重叠的。

[0021] 在一些实施例中,半导体层结构可以包括堆叠的缓冲层和势垒层,并且缓冲层和势垒层被配置为在其间的异质结处限定二维电子气(2DEG)沟道层。

[0022] 根据一些实施例,晶体管包括:半导体层结构;半导体层结构上的源极电极和漏极电极;在源极电极与漏极电极之间在半导体层结构的表面上的栅极;和栅极与源极电极或漏极电极之间的场板。场板比栅极的横向延伸部分更接近半导体层结构的表面,并且栅极的横向延伸部分与场板不重叠。

[0023] 在一些实施例中,场板可以包括邻近栅极的第一部分和邻近源极电极或漏极电极的第二部分。第二部分可以比第一部分更远离半导体层结构的表面。

[0024] 在一些实施例中,间隔物绝缘体层可以包括多个间隔物层,所述多个间隔物层堆叠在半导体层的表面上,以限定分别将场板的第一部分、场板的第二部分和栅极的横向延伸部分与半导体层结构的表面分开的第一厚度、第二厚度和第三厚度。

[0025] 在一些实施例中,多个间隔物层可以在栅极的相对侧限定基本上共面的表面,并且栅极的横向延伸部分可以包括在栅极的相对侧直接沿着基本上共面的表面横向地延伸的旁瓣部分。

[0026] 在一些实施例中,多个间隔物层可以包括:第一间隔物层,在其表面中具有凹槽;第二间隔物层,包括在凹槽中的第一部分和在凹槽的外部的第一间隔物层的表面上的第二部分;和第三间隔物层,在第二间隔物层上具有基本上共面的表面,第二间隔物层和第三间隔物层之间具有场板。第二间隔物层的第一部分和第二部分可以分别位于场板的第一部分和第二部分与半导体层结构的表面之间。

[0027] 在一些实施例中,场板可以是第一场板,并且可以提供第二场板,第二场板在间隔物绝缘体层的表面上并且延伸穿过其一部分以接触第一场板。在一些实施例中,第二场板可以朝向漏极电极横向地延伸超出第一场板的第二部分。

[0028] 根据一些实施例,晶体管包括:沟道层和势垒层,在其间限定异质结;势垒层上的源极电极和漏极电极;势垒层上的栅极,并且栅极包括分别从栅极的相对侧朝向源极电极和漏极电极横向地延伸的旁瓣部分;在栅极与漏极电极之间在势垒层上的场板;和间隔物绝缘体层,包括多个间隔物层,所述多个间隔物层之间具有场板。间隔物层在栅极的相对侧堆叠在势垒层上并且将栅极的旁瓣部分与势垒层分开。

[0029] 在一些实施例中,多个间隔物层可以在栅极的相对侧限定基本上共面的表面,其中栅极的旁瓣部分在所述基本上共面的表面上横向地延伸。

[0030] 在一些实施例中,间隔物层在栅极的相对侧可以具有基本上均匀的厚度。

[0031] 在一些实施例中,场板可以包括邻近栅极的第一部分和邻近漏极电极的第二部分,并且第二部分可以比第一部分更远离势垒层的表面。在一些实施例中,场板的第二部分可以比栅极的旁瓣部分更接近势垒层的表面。

[0032] 在一些实施例中,多个间隔物层可以堆叠以限定分别将场板的第一部分、场板的第二部分和栅极的旁瓣部分与势垒层的表面分开的第一厚度、第二厚度和第三厚度。

[0033] 在一些实施例中,场板的第一部分和栅极的旁瓣部分之一可以朝向彼此横向地延

伸并且在垂直于势垒层的表面的方向上可以是非重叠的。

[0034] 在一些实施例中，侧壁间隔物可以将栅极在其相对侧与多个间隔物层分开。场板的第一部分可以朝向栅极横向地延伸并且可以由侧壁间隔物之一与栅极分开。

[0035] 根据一些实施例，制造晶体管的方法包括：形成在其间限定异质结的沟道层和势垒层；在势垒层上形成源极电极、漏极电极和栅极，其中栅极包括分别从栅极的相对侧朝向源极电极和漏极电极横向地延伸的旁瓣部分；和在势垒层上形成间隔物绝缘体层和场板。间隔物绝缘体层包括多个间隔物层，所述多个间隔物层之间具有场板。间隔物层在栅极的相对侧堆叠在势垒层上并将栅极的旁瓣部分与势垒层分开。

[0036] 在一些实施例中，可以形成多个间隔物层，以在栅极的相对侧限定基本上共面的表面，栅极的旁瓣部分直接在基本上共面的表面上横向地延伸。

[0037] 在一些实施例中，场板可以形成为包括邻近栅极的第一部分和邻近漏极电极的第二部分，并且第二部分比第一部分更远离势垒层的表面。

[0038] 在一些实施例中，形成间隔物绝缘体层和场板可以包括：形成第一间隔物层，所述第一间隔物层包括在其表面中的凹槽；形成第二间隔物层，所述第二间隔物层包括在凹槽中的第一部分和在凹槽的外部的第一间隔物层的表面上的第二部分；分别在第二间隔物层的第一部分和第二部分上形成场板的第一部分和第二部分；以及在第二间隔物层以及场板的第一部分和第二部分上形成第三间隔物层。

[0039] 在一些实施例中，场板可以是第一场板。方法可以进一步包括：形成延伸穿过第三间隔物层的开口，以暴露第一场板的第一部分或第二部分中的至少一个；和在第三间隔物层上形成第二场板并第二场板延伸到开口中以接触第一场板。

[0040] 本领域技术人员将在审查以下附图和详细描述时对根据一些实施例的其它装置和方法变得清楚。除了以上实施例的任何和所有组合之外，所有这样的附加实施例旨在包括在本说明书内，并且在本发明的范围内，并且由所附权利要求保护。

附图说明

[0041] 图1是根据本发明的一些实施例的包括掩埋场板的晶体管装置的单位单元的示意性截面。

[0042] 图2-图12是图示根据本发明的一些实施例的用于制造晶体管装置的方法中的示例性中间制造步骤的示意性截面图。

[0043] 图13是根据本发明的进一步实施例的包括掩埋场板的晶体管装置的单位单元的示意性截面。

[0044] 图14是根据本发明的又进一步实施例的包括掩埋场板的晶体管装置的单位单元的示意性截面。

[0045] 图15是根据本发明的还进一步实施例的包括掩埋场板的晶体管装置的单位单元的示意性截面。

具体实施方式

[0046] 场板是可以被配置为更改晶体管装置的沟道区域中的电场分布以改善装置的操作特性(例如，击穿电压、增益、最大操作频率)的导电结构。例如，在HEMT或其它基于半导体

的场效应晶体管(FET)装置中,在栅极-漏极区域的正常操作期间可能出现大电场。场板可以被配置为减小给定偏置电压下的装置有源区域中的峰值电场。这种场板不仅可以管理场分布,而且还可能影响漏极-源极和栅极-漏极电容C_{ds}、C_{gd}两者。定位栅极与漏极(也称为栅极-漏极区域)之间的场板也可以被配置为调制装置有源区域,导致可能在大射频(RF)信号下影响正确的装置操作的表面捕获效应减小。更一般地,场板可以用于减轻当装置在高电场下操作时可能出现的不利影响(低击穿电压、电荷捕获现象、低可靠性)。

[0047] 本发明的实施例提供了用于场板结构的特定配置和制造方法,其可以降低电容、捕获效应和/或峰值电场分布。特别地,本发明的实施例允许制造台阶式或分级式的场板结构,由此减小传导沟道与场板之间的间距或间隔。在一些实施例中,可以在栅极与漏极之间提供场板,从而减少栅极-漏极电容C_{gd}和靠近漏极供应电压的峰值电场。

[0048] 例如,掩埋场板可以包括邻近栅极的第一部分和邻近漏极电极的第二部分,该第一部分与半导体层结构的表面(其中感应或以其它方式限定传导沟道)分开第一距离或间距,并且该第二部分与半导体层的表面分开大于第一距离或间距的第二距离或间距。邻近栅极的间隔物层中的凹槽可以用于以台阶式几何形状(与半导体层表面处于不同的距离或间距的第一和第二台阶部分)和/或分级式几何形状(从台阶部分之一延伸或连接台阶部分的分级式部分)限定掩埋场板的第一和第二部分。在一些实施例中,可以包括附加的侧壁间隔物以控制栅极与场板之间的横向间距。如本文中所使用的,术语“横向”指代相对于半导体层结构的主表面基本上平行的方向。而且,一些实施例可以包括延伸穿过一个或多个间隔物层以接触掩埋场板的第二或附加场板,从而以台阶式或分级式的场板结构限定第二“台阶”。提供紧密靠近栅极和/或传导沟道的掩埋场板可以增强或改善C_{gd}和捕获效应的降低。台阶式或分级式的场板结构还可以减小靠近漏极供应电压的峰值电场。

[0049] 图1是根据本发明的一些实施例的包括掩埋场板的晶体管结构的单位单元的示意性截面。特别地,图1图示了包括具有如本文所述的台阶式或分级式结构的掩埋场板的HEMT的示例。

[0050] HEMT包括沟道层和沟道层上的势垒层。源极电极和漏极电极可以形成为与势垒层欧姆接触。在源极电极与漏极电极之间在势垒层的表面上形成栅极,并且在势垒层上方形成间隔物绝缘体层。取决于配置,可以在形成栅极之前或之后形成间隔物绝缘体层。间隔物绝缘体层可以是电介质层、未掺杂的或耗尽的$Al_xGa_{1-x}N$($0\leq x\leq 1$)材料的层或其组合。导电场板形成在间隔物绝缘体层中,并从栅极朝向源极电极或漏极电极延伸距离Lf。场板可以电连接到源极电极。在某些情况下,场板与源极电极之间的电连接可以在装置的有源区域之外。场板可以减小装置中的峰值电场,导致击穿电压增加并且电荷捕获减少。电场的减小还可以产生其它益处,诸如降低泄漏电流并增强可靠性。

[0051] HEMT可以包括基于III族氮化物的半导体层结构,但也可以使用其它材料系统。应该注意的是,虽然在本文主要参考HEMT的制造进行了描述,但是本文描述的实施例的元件和概念可以应用于多种不同类型的晶体管结构,包括但不限于金属半导体场效应晶体管(MESFET)和金属氧化物半导体异质结构场效应晶体管(MOSHFET)。

[0052] 现在参考图1,HEMT 100包括衬底10上的基于GaN或基于其它III族氮化物的半导体层结构24。III族氮化物可以指代在氮与元素周期表的III族中的元素之间形成的半导体化合物,III族中的元素诸如是铝(Al)、镓(Ga)和/或铟(In),以形成二元(例如,GaN)、三元

(例如,AlGaN、AlInN)和四元(例如,AlInGaN)化合物。因此,可以使用诸如$Al_xGa_{1-x}N$之类的配方来描述这些化合物,其中0≤x≤1。衬底10可以包括碳化硅、硅、蓝宝石、尖晶石、氧化锌、硅、砷化镓、氧化锌或能够支持III族氮化物材料的生长的任何其它材料。与蓝宝石相比,碳化硅与III族具有更接近的晶格匹配,并且可以允许在其上形成较高质量的III族氮化物膜。碳化硅还具有非常高的导热率,使得碳化硅上的III族氮化物装置的总输出功率可能不受衬底的热耗散的限制(可能在一些情况下,在蓝宝石上形成一些装置)。

[0053] 也可以在衬底10上形成可选的缓冲器、成核和/或过渡层。例如,可以在衬底10上形成成核层15以减小衬底10与半导体层结构24的下一层之间的晶格失配。成核层15的形成和组成可以取决于用于衬底10的材料。例如,可以经由外延生长方法在衬底10上生长$Al_zGa_{1-z}N$(0≤z≤1)成核层15,外延生长方法诸如是MOCVD(金属有机化学气相沉积)、HVPE(氢化物气相外延)或MBE(分子束外延)。在Nakamura的美国专利No.5,290,393和Moustakas的美国专利No.5,686,738中描述了在各种衬底上形成成核层15的方法。在Edmond等人的美国专利No.5,393,993、Edmond等人的美国专利No.5,523,589和Edmond等人的美国专利No.5,739,554中描述了在碳化硅衬底上形成成核层的方法。

[0054] HEMT 100的半导体层结构24包括沟道层20和势垒层22。沟道层20可以形成在成核层15上。势垒层22可以与成核层15和衬底10相对地形成在沟道层20上。沟道层20和势垒层22中的一者或两者可以包括子层,子层包括III族氮化物材料的掺杂或未掺杂的(即,“无意掺杂的”)层,包括可以逐步或不断分级的材料组成。在一些实施例中,沟道层20可以包括$Al_xGa_yIn_{(1-x-y)}N$的一个或多个层,其中0≤x≤1,0≤y≤1并且x+y≤1。例如,沟道层20可以是GaN层。在一些实施例中,势垒层22可以包括$Al_xGa_{1-x}N$或$Al_xIn_yGa_{1-x-y}N$的一个或多个层,其中0≤x≤1,0≤y≤1并且x+y≤1。半导体层结构24可以是包括经由外延生长方法形成在衬底10上的这些和/或其它层的外延结构。例如,可以使用用于生长成核层15的相同或类似的方法来形成沟道层和势垒层20、22。可以通过HEMT 100的有源区域外部的台面蚀刻或离子实现来完成装置之间的电隔离。

[0055] 在HEMT装置100中,沟道层20和势垒层22可以由具有不同带隙的材料形成,使得在沟道层20与势垒层22之间的界面处限定异质结。特别地,在沟道层20和势垒层22均由III族氮化物层形成的情况下,沟道层20可以是GaN层,并且势垒层22可以是AlGaN层。可以在沟道层20与势垒层22之间的异质界面处感应2DEG传导沟道40,并且沟道层20、2DEG传导沟道40和势垒层22通常可以形成HEMT 100的有源区域。

[0056] 在其它实施例中,沟道层20和势垒层22可以具有不同的晶格常数。例如,势垒层22可以是比沟道层20具有较小的晶格常数的相对薄层,使得势垒层22在两者之间的界面处“伸展”。因此,可以提供赝晶HEMT(pHEMT)装置。在Sheppard等人的美国专利No.6,316,793、Wu等人的美国专利No.6,586,781、Smith的美国专利No.6,548,333和Prashant等人的美国申请公开No.2002/0167023以及Parikh等人的美国申请公开No.2003/0020092中图示了示例HEMT结构。在Kahn等人的美国专利No.5,192,987和Kahn等人的美国专利No.5,296,395中图示了基于其它氮化物的HEMT结构。

[0057] 源极电极和漏极电极30形成在半导体层结构24上,以限定与势垒层22的欧姆接触。栅极32在源极电极与漏极电极30之间形成在势垒层22的表面上。当栅极32在适当的电平处偏置时,电流可以通过在由沟道层20和势垒层22限定的异质界面处的2DEG传导沟道40

在源极电极和漏极电极30之间流动。

[0058] 栅极32的形成可以包括沉积电介质或其它间隔物绝缘体层25、使用掩模和/或其它牺牲层蚀刻通过间隔物绝缘体层25以及将栅极沉积到间隔物绝缘体层25的蚀刻部分中。可以同样地执行源极电极和漏极电极30的形成，如通过以上的专利和公开中的示例所描述的。在一些实施例中，栅极32可以包括横向地延伸到间隔物绝缘体层25的部分上的一个或多个延伸部分，例如，限定T形(在本文中也称为“T-栅极”)的相对的旁瓣部分32a、32b。栅极32和旁瓣部分32a、32b可以限定多个不同的长度(L_{G1}和L_{G2})。在一些实施例中，旁瓣部分32a、32b可以在栅极32的相对侧基本上对称地延伸到间隔物绝缘体层25上。

[0059] 如图1中所示，间隔物绝缘体层25包括依次堆叠在半导体层结构24的表面24s上的多个间隔物层26、27、28。间隔物绝缘体层25还包括在栅极32的一侧在间隔物层26、27、28之间的掩埋场板33。掩埋场板33包括金属或其它导电材料，例如铜、金和/或复合金属。在一些实施例中，掩埋场板33可以定位在栅极32与漏极电极30之间，以便减小峰值或以其它方式重新分布电场，以减小栅极-漏极电容C_{gd}和/或减少HEMT 100的漏极侧的捕获效应。在一些实施例中，具有类似的台阶式结构(未示出)的掩埋场板可以附加地或可替代地定位在栅极32与源极电极30之间。

[0060] 掩埋场板33具有包括两个或更多个部分的阶梯台阶轮廓，其在本文中通过参考邻近栅极32的第一台阶部分33a和邻近漏极电极30的第二台阶部分33b的示例来图示。场板33的台阶部分33a、33b可以由连续层或由不连续层的堆叠来限定。也就是说，场板33的台阶部分33a、33b可以由单个层或多个层来限定。在一些实施例中，台阶部分33a、33b可以包括它们之间的不连续性。场板33的每个台阶部分33a、33b定位在与表面24s(因此，下面的传导沟道40)的不同距离或间距处。包括处于与传导沟道40的较近和较远距离或间距的第一和第二台阶部分33a和33b的场板33可以允许降低C_{gd}和捕获效应以及减小靠近漏极电极30的峰值电场。

[0061] 特别地，如图1中所示，可以依次堆叠间隔物层26、27以限定掩埋场板33的第一和第二部分33a、33b与表面24s之间的不同厚度，以提供不同的间距S1、S2。例如，间隔物层26可以包括其中的凹槽，使得当间隔物层27和掩埋场板33依次形成在间隔物层26上和凹槽中时，场板33的部分33a比部分33b更接近表面24s。

[0062] 另外，间隔物层26、27、28可以在栅极32的相对侧将旁瓣部分32a、32b与表面24s分开。例如，间隔物层26、27、28可以在栅极32的相对侧限定基本上均匀的厚度或间距S3和/或共面的表面，栅极32的旁瓣部分32a、32b延伸到该共面的表面上。在一些实施例中，栅极32的旁瓣部分32a和场板33的台阶部分33a可以重叠并由第三间隔物层28的部分分开。在一些实施例中，栅极32的旁瓣部分32a和场板33的台阶部分33a可以在垂直于表面24s的方向上是非重叠的。

[0063] 间隔物层26、27、28可以形成为将掩埋场板33的第二台阶部分33b定位成比第一台阶部分33a更远离半导体层结构24的表面24s(因此，传导沟道40)，并且比栅极32的旁瓣部分32a、32b更接近半导体层结构24的表面24s。更一般地，间隔物绝缘体层25可以是多层堆叠，多层堆叠的层26、27、28具有相应的厚度，可以将相应的厚度形成为控制栅极旁瓣部分32a、32b与表面24s之间的距离或间距，控制场板台阶部分33a、33b与表面24s之间的距离或间距，和/或控制栅极旁瓣部分32a、32b与场板台阶部分33a、33b之间的距离或间距。

[0064] HEMT 100还可以包括延伸穿过上间隔物层29以接触掩埋场板33的第一和/或第二台阶部分33a、33b的附加或第二场板34。第二场板34也可以具有台阶式或分级式结构，其中第一部分34a比第二部分34b更接近半导体层结构24的表面24s。第二场板34的第一部分34a还可以更接近漏极电极30，并且可以允许进一步控制C_{gd}、捕获效应和/或靠近漏极电极30的峰值电场。

[0065] 尽管在图1中图示了栅极32以及源极电极和漏极电极30在势垒层22的表面24s上的平面HEMT配置，但是将理解，依据本发明的实施例的具有台阶式或分级式场结构的掩埋场板33可以用于其它HEMT配置，诸如凹陷栅极HEMT(其中源极电极和漏极电极30相对于表面24s上的栅极32升高)和凹陷源极/漏极HEMT(其中源极电极和漏极电极30朝向沟道层20延伸超出表面24s)。

[0066] 图2-图12是图示根据本发明的一些实施例的用于制造晶体管装置的方法中的示例性中间制造步骤的示意性截面图。图2-图12的示例图示了在晶体管装置的栅极与漏极电极之间的具有台阶式或分级式结构的掩埋场板的制造；然而，应该理解，在一些实施例中，类似的制造步骤可以附加地或可替代地用于制造在栅极与源极电极之间的场板(未示出)。

[0067] 如图2中所示，第一间隔物层26形成在包括势垒层22的半导体层结构24的表面24s上，该势垒层22限定与下面的沟道层20的异质结。如上所讨论的，沟道层20和势垒层22可以是经由外延生长方法形成的外延结构(例如，包括III族氮化物材料)。成核层15可以形成在衬底10(例如，SiC衬底)上以减小与衬底10的晶格失配。第一间隔物层26可以是毯覆地形成在势垒层22上的电介质或其它绝缘体层。例如，第一间隔物层26可以是由高质量溅射和/或气相沉积方法形成的氮化硅或氧化硅层。

[0068] 在图3中，在第一间隔物层26中限定孔或凹槽26r。例如，可以使用暴露间隔物层26的一部分的掩模光学地限定和打开凹槽26r。可以选择凹槽26r的横向位置和/或宽度以在与后续步骤中要形成的栅极和漏极电极的期望距离处提供掩埋场板33的台阶部分33a、33b。在一些实施例中，凹槽26r可以延伸穿过间隔物层26以暴露半导体层结构24的表面24s。

[0069] 在图4中，在第一间隔物层26上形成第二间隔物层27。第二间隔物层27可以沿着第一间隔物层26的表面共形地延伸并沿着凹槽26r的底表面和侧壁延伸到凹槽26r中以限定在凹槽26r的内部和外部的第二间隔物层27的部分之间的台阶差。第二间隔物层27同样可以是电介质或其它绝缘体层(例如，氮化硅或氧化硅层)，并且可以通过与第一间隔物层26类似或不同的方法形成。

[0070] 图5图示了第二间隔物层27上的场板33的形成。例如，可以使用掩模和/或图案化工艺在第二间隔物层27的部分上形成金属或其它导电层。由第一间隔物层26中的凹槽26r的内部和外部的第二间隔物层27的部分限定的台阶差导致以台阶式配置的包括第一和第二部分33a和33b的场板33。分级式部分可以连接台阶部分33a和33b。凹槽26r中的第二间隔物层27的厚度限定了将掩埋场板33的第一部分33a与表面24s分开的第一距离或间距S1，而第一间隔物层26和凹陷26r外部的第一间隔物层26的表面上的第二间隔物27的组合厚度限定了将掩埋场板33的第二部分33b与表面24s分开的第二距离或间距S2。

[0071] 场板33的第一部分33a可以朝向装置的一侧(例如，源极侧)在第二间隔物层27上横向地延伸距离L_{fs}。场板33的第二部分33b可以朝向装置的另一侧(例如，漏极侧)在第二间

隔物层27上横向地延伸距离L_{fd}。L_{fs}和L_{fd}可以是相同或不同的距离。在一些实施例中，场板33的与表面24s处于不同的间距S1、S2处的部分33a、33b可能是不连续的。例如，第一部分33a可以形成在凹槽26r中的第二间隔物层27的部分上，并且第二部分33b可以在凹槽外部的第二间隔物层27的表面上分开形成，或者可以以其它方式包括与第一部分33a的不连续性。也就是说，场板33的第一和第二部分33a、33b可以由单个连续层或由多个堆叠层限定。

[0072] 通过在图3中形成凹槽26r，在图4中在凹槽26r中形成第二间隔物层27并在图5中在凹槽26r中形成掩埋场板33的第一部分33a，场板33的第一部分33a比场板33的第二部分33b更接近表面24s。场板33的部分33a与表面24s之间的电介质或其它间隔物绝缘体层25的减小的厚度S1可以减小由于在栅极与漏极电极之间提供场板33而导致的电容(例如，相对于与表面24s具有均匀间距S2的平面场板)。

[0073] 在图6中，在第二间隔物层27上和场板33上形成第三间隔物层28。第三间隔物层28可以沿着第二间隔物层27和场板33的台阶部分33a、33b的表面共形地延伸以限定掩埋场板配置。第三间隔物层28同样可以是电介质或其它绝缘体层(例如，氮化硅或氧化硅层)，并且可以通过与第一和/或第二间隔物层26和/或27类似或不同的方法形成。第一、第二和第三间隔物层26、27、28可以共同地限定如本文所述的间隔物绝缘体层25。

[0074] 本文描述的间隔物绝缘体层25的间隔物层26、27、28可以是电介质材料，诸如氮化硅、氮化铝、二氧化硅和/或其它合适的材料。其它材料也可以用于间隔物绝缘体层25的层26、27、28。例如，间隔物层26、27、28还可以包括氧化镁、氧化钪、氧化铝和/或氮氧化铝。间隔物层26、27、28可以具有相同或不同的厚度。在一些实施例中，第一间隔物层26可以具有比第二间隔物层27更小的厚度，和/或第二间隔物层27可以具有比第三间隔物层28更小的厚度。间隔物绝缘体层25可以包括相对于半导体层结构24的表面24s具有基本上均匀的厚度或间距S3的部分P以及具有不均匀厚度或间距S4的部分。

[0075] 如上所述，尽管参考包括两个台阶部分33a、33b的场板33进行了图示，但是依据本发明的实施例的台阶式或分级式场板可以包括附加的台阶部分。例如，仍然参考图6，可以在第三间隔物层28中形成附加的孔或凹槽(未示出)以暴露场板的第二部分33b的至少一部分，并且可以在由附加凹槽暴露的场板33的第二部分33b上以及附加凹槽外部的第三间隔物层28的表面上形成场板33的附加台阶部分(未示出)。更一般地，虽然参考包括三个间隔物层26、27、28的间隔物绝缘体层25和包括两个台阶33a、33b的场板33的制造进行了图示，但是将理解，可以依据本文描述的实施例制造具有多于三个间隔物层的间隔物绝缘体层25和具有多于两个台阶部分的场板33。

[0076] 图7图示了间隔物绝缘体层25的部分P中的孔或开口25o的形成，其中可以在后续步骤中形成栅极。例如，可以使用暴露第三间隔物层28的一部分的掩模来光学地限定和打开开口25o。如图7中所示，开口25o延伸穿过间隔物层28、27、26以暴露半导体层结构24的表面24s(即，势垒层22的表面)的一部分。可以利用图案化的掩模和相对于势垒层22的低损伤蚀刻来形成开口25o。开口25o可以在源极与漏极之间偏移，使得与漏极电极相比，开口25o以及随后的栅极可以更接近源极电极。而且，尽管被图示为宽度均匀，但是应该理解，由于相对于间隔物绝缘体层25的多个层26、27、28的蚀刻的各向异性，开口25o可以在某些部分中更宽。

[0077] 如图8中所示，在间隔物绝缘体层25的开口25o中的相对的侧壁处形成侧壁间隔物

25s。例如，侧壁间隔物25s可以形成为限定要在后续步骤中形成的期望第一栅极长度L_{G1}，特别是在如上所述栅极开口25o的宽度不均匀的实施例中。在一些实施例中，可以使用间隔物绝缘体收缩工艺形成侧壁间隔物25s。侧壁间隔物25s同样可以是电介质或其它绝缘体层(例如，氮化硅或氧化硅层)，并且可以将掩埋场板33的第一部分33a的横向延伸分开以免接触栅极32。

[0078] 图9图示了间隔物绝缘体层25中的开口25o中的栅极32的形成。栅极32延伸穿过间隔物绝缘体层25以接触势垒层22的暴露部分。可以经由金属化工艺在开口25o中直接在间隔物绝缘体层25的相对侧壁处的侧壁间隔物25s上形成栅极32，使得在侧壁间隔物25s与栅极32之间可能不形成间隙。合适的栅极材料可以取决于势垒层22的组成。然而，在某些实施例中，能够制成与基于氮化物的半导体材料的肖特基接触的材料可以用于栅极32，诸如Ni、Pt、$NiSi_x$、Cu、Pd、Cr、TaN、W和/或WSiN。

[0079] 栅极32包括一个或多个延伸部分(被图示为相对的旁瓣部分32a、32b)，所述一个或多个延伸部分在开口25o外部的间隔物绝缘体层25的表面部分上横向地延伸以限定第二栅极长度L_{G2}。旁瓣部分32a、32b可以与栅极32是一体的。可以在制造工艺中控制旁瓣部分32a、32b延伸到栅极32的相对侧的间隔物绝缘体层25上的长度。在一些实施例中，旁瓣部分32a可以比旁瓣部分32b更长(并且因此，限定第二栅极长度L_{G2}的大部分)，反之亦然。在其它实施例中，旁瓣部分32a和32b可以在栅极32的相对侧沿着第三间隔物层28的表面横向地延伸基本上相同的长度。可以如下所述地进一步控制晶体管装置的栅极-漏极电容(C_{gd})和/或栅极-源极电容(C_{gs})，这些电容可能是由于间隔物绝缘体层25的夹在旁瓣部分32a、32b与半导体层结构24之间的部分而导致的。

[0080] 如图9中所示，栅极32形成为使得在栅极32的相对侧，旁瓣部分32a和32b与半导体层结构24s的表面24s(因此，在势垒层22与沟道层20之间的异质结处限定的传导沟道)分开基本上均匀的距离或间距S3。在本文所述的实施例中，具有台阶式形状的掩埋场板33可以被配置为增加第三间隔物层28的平坦性，栅极32的旁瓣部分32a和32b在第三间隔物层28上延伸，使得间隔物绝缘体层25在栅极32的相对侧包括基本上共面的表面，其中场板33的第一和第二部分33a和33b约束在基本上共面的表面下方。

[0081] 特别地，由于在图3中形成的第一间隔物层26中的凹槽26r，掩埋场板33的第一部分33a的上表面可以与第二间隔物层27的其上形成有第三间隔物层28的上表面基本上是共面的。这样，当在图6中在场板33和第二间隔物层27上形成第三间隔物层28时，其中形成栅极开口25o的间隔物绝缘体层25的部分P的表面可以基本上是平面的，使得在栅极32的相对侧形成在其上的旁瓣部分32a和32b可以形成在基本上共面的表面上，并且与半导体层结构24的表面24s均匀地间隔开间距S3。相比之下，第三间隔物层28的形成在场板33的在凹陷26r外部的第二台阶部分33b上的部分可以具有不均匀的厚度(由间距S4示出)。掩埋场板33的台阶式或分级式结构增加了第三间隔物层28的不均匀厚度S4与形成栅极32的部分P之间的距离，使得旁瓣或翼32a和32b与表面24s间隔开均匀的间距S3。在一些实施例中，栅极32可以形成有旁瓣或翼32a和32b，旁瓣或翼32a和32b在栅极32的相对侧基本上对称地延伸。

[0082] 在图10中，在栅极32和第三间隔物层28上形成第四间隔物层29。第四间隔物层29可以沿着栅极32的旁瓣32a、32b和上表面并且沿着第三间隔物层28的表面共形地延伸。第四间隔物层29同样可以是电介质或其它绝缘体层(例如，氮化硅或氧化硅层)，并且可以通

过与第一、第二和/第三间隔物层26、27、28类似或不同的方法形成。在一些实施例中，第四间隔物层29可以是在比第一、第二和/或第三间隔物层26、27、28低的温度下形成的钝化层，因为一旦沉积栅极金属化，则较高温度可能不可行。

[0083] 在图11中，在第四间隔物层29中形成孔或开口29o以暴露场板33的一部分。例如，可以使用暴露第四间隔物层29的覆于场板33上的一部分的掩模光学地限定和打开开口29o。如图11中所示，开口29o延伸穿过间隔物层29、28以暴露掩埋场板33的第二部分33b的表面。开口29o可以附加地或可替代地暴露掩埋场板33的第一部分33a的表面。

[0084] 图12图示了在开口29o中形成接触掩埋场板33的附加或第二场板34。第二场板34是延伸穿过间隔物层29、28以接触掩埋场板的第一和/或第二部分33a、33b的导电结构。第二场板34也可以具有台阶式或分级式结构，其中第一部分34a比第二部分34b更接近半导体层结构24的表面24s。第二场板34的第一和第二部分34a和34b的表面之间的台阶差可以与掩埋场板33的第一和第二部分33a和33b的表面之间的台阶差相同或不同。可以控制朝向源极或漏极(S/D)的第二场板34的第一部分34a的横向延伸部，以便进一步减小峰值或以其它方式重新分布电场而基本上不降低超出阈值的击穿电压。尽管未图示，但是源极电极和漏极电极可以形成在势垒层22上(例如，通过将开口蚀刻到间隔物绝缘体层25中以暴露下面的势垒层22并在其上沉积欧姆接触件)以达图1的装置100。

[0085] 图13-图15是根据本发明的进一步实施例的包括具有各种台阶式或分级式结构的掩埋场板的晶体管结构的单位单元的示意性截面。特别地，图13-图15分别图示了包括台阶式或分级式掩埋场板结构33’、33”和33”’的HEMT 100’、100”和100”’的示例。HEMT 100’、100”和100”’的一些元件或层可以类似于图1的HEMT 100的那些元件或层，并且省略其重复描述。

[0086] 例如，图13图示了具有由相应层而不是如图1中所示的单个连续层限定的第一和第二台阶部分33a’和33b’的掩埋场板33’。场板33’的台阶部分33a’和33b’定位在分别与半导体层结构的表面24s(因此下面的传导沟道40)不同的距离或间距S1和S2处。场板33a’的第一部分和第二间隔物层27的相应上表面可以基本上是共面的。在一些实施例中，台阶部分33a’和33b’可以包括它们之间的不连续性。

[0087] 在本文描述的实施例中，掩埋场板33的第一部分33a朝向栅极32横向地延伸长度L_{fs}，并且栅极32的旁瓣部分32a朝向掩埋场板33横向地延伸栅极长度L_{G2}的一部分。在图1至图13的实施例中，在掩埋场板33的第一部分33a与栅极32的旁瓣部分32a之间维持横向间距或间隔，使得栅极32的横向延伸的旁瓣部分32a与场板33不重叠。也就是说，场板33的第一部分33a被约束在旁瓣部分32a的边缘或边界之外，并且不在旁瓣部分32a与半导体层结构24的表面24s之间延伸，使得掩埋场板33的第一部分33a和栅极32的旁瓣部分32a在垂直于表面24s的方向上(在本文中也称为垂直重叠)是非重叠的。然而，本发明的实施例不限于掩埋场板33的第一部分33a的任何特定长度，掩埋场板33的第一部分33a在一些实施例中可以与横向延伸的旁瓣部分32a、32b重叠。

[0088] 图14是包括掩埋场板33”的晶体管结构的单位单元的示意性截面，其中掩埋场板33”的第一部分33a”朝向栅极32横向地延伸超出旁瓣部分32a的边缘。掩埋场板33”的第一部分33a”与栅极32的旁瓣部分32a垂直地重叠，并且可以进一步从旁瓣部分32a的边缘之间延伸一定距离到侧壁间隔物25s。如在本文所描述的其它实施例中那样，与栅极32的旁瓣部

分32a重叠的场板33”的第一部分33a”之间的电隔离由其间的间隔物绝缘体层25的部分来提供，特别是由第三间隔物层28来提供。而且，侧壁间隔物25s之一提供掩埋场板33”的第一部分33a”的横向延伸部与栅极32之间的电隔离。

[0089] 在图14的示例中，第一部分33a”沿着表面24s的在栅极32与场板33”之间的整个部分横向地延伸并接触侧壁间隔物25s。然而，可以改变掩埋场板33”的第一部分33a”与栅极32的旁瓣部分32a的重叠量以及第一部分33a”在栅极-漏极区域上延伸的长度L_{fs}。

[0090] 图15是包括掩埋场板33”’的晶体管结构的单位单元的示意性截面，其中掩埋场板33”’的第一部分33a”’也朝向栅极32横向地延伸并超出旁瓣部分32a的边缘，但沿着小于表面24s的在栅极32与场板33”之间的整个部分。也就是说，掩埋场板33”’的第一部分33a”’与栅极32的旁瓣部分32a垂直地重叠，但是不接触侧壁间隔物25s。这样，场板33的第一部分33a”’可以与栅极32的侧壁横向地分开侧壁间隔物25s的厚度或更多。在图15中，第一和第二台阶部分33a”’和33b”’由相应层而不是单个连续层来限定。第一和第二台阶部分33a”’和33b”’可以垂直地重叠。场板33”’的第一部分33a”’和第二间隔物层27的相应上表面可以基本上是共面的。场板33”’的第一部分33a”’在第三间隔物层28的基本上共面的表面之一与表面24s之间延伸。与栅极32的旁瓣部分32a重叠的场板33”’的第一部分33a”’之间的电隔离由其间的第三间隔物层28的部分来提供。

[0091] 根据本发明的实施例，通过形成具有将场板台阶部分33a、33b和栅极旁瓣部分32a与半导体层结构24的表面24s分开的变化的厚度S1、S2和S3的间隔物绝缘体层25，可以减小栅极32与源极电极或漏极电极30之间的电容(例如，相对于由具有均匀厚度的间隔物绝缘体层与表面24s分开的平面场板)。依据本文描述的实施例，可以通过避免和/或控制场板部分33a与栅极旁瓣部分32a之间的垂直重叠来进一步减小和/或调整电容。

[0092] 在一些实施例中，掩埋场板的台阶式构造可以有助于减小靠近漏极的峰值电场。特别地，通过形成具有台阶式结构33a、33b的掩埋场板33，通过在掩埋场板33的第二部分33b与半导体层结构24的表面24s之间形成具有较大厚度S2的间隔物绝缘层25(因此，更接近在势垒层22与沟道层20之间的异质结处限定的传导沟道40)，可以减小邻近漏极的峰值电场，这也可以减小电荷捕获效应。

[0093] 因此，本发明的实施例通常涉及晶体管结构，其中掩埋场板与势垒层分开不同的距离或间距。在一些实施例中，可以由一个或多个较薄的间隔物层将场板和半导体层结构分开，而一个或多个较厚的间隔物层可以将场板和栅极的横向延伸部分分开。在另一个实施例中，间隔物绝缘体层可以具有可变的厚度，在场板与半导体层结构之间具有相对薄的厚度，并且在场板与栅极的横向延伸部分之间具有相对较厚的厚度。在一些实施例中，场板可以提供在间隔物层内的凹槽中，以减小场板与半导体层结构之间的距离或间距。

[0094] 虽然本文已经参考特定HEMT结构描述了本发明的实施例，但是本发明不应被解释为限于这种结构，并且可以应用于在许多不同晶体管结构中形成栅极电极，诸如pHEMT(包括GaAs/AlGaAs pHEMT)和/或GaN MESFET。

[0095] 而且，附加层可以包括在晶体管装置中，同时仍然受益于本发明的教导。这种附加层可以包括GaN帽层，如例如Smith的美国专利No.6,548,333所描述的。在一些实施例中，可以沉积诸如SiN_x或相对高质量的AlN之类的绝缘层以制作MISHEMT和/或钝化表面。附加层还可以包括复合分级的过渡层或多个层。另外，上述势垒层22和/或沟道层20可以包括多个

层。因此，本发明的实施例不应被解释为将这些层限制为单个层，而是可以包括例如具有GaN、AlGaN和/或AlN层的组合的势垒层。

[0096] 参考附图描述了本发明，在附图中示出了本发明的实施例。然而，本发明不应被解释为限于本文所阐述的实施例。相反，提供了这些实施例以使得本公开将是彻底和完整的，并且将向本领域技术人员完全传达本发明的范围。在附图中，为了清楚起见，层和区域的厚度被夸大。相似的编号时钟指代相似的元素。

[0097] 应当理解，当诸如层、区域或衬底之类的元件被称为在另一个元件“上”或“延伸到另一个元件上”时，它可以直接在其它元件上或直接延伸到其它元件上或者也可以存在中间元件。相比之下，当元件被称为“直接在另一个元件上”或“直接延伸到另一个元件上”时，不存在中间元件。还应该理解，当元件被称为“连接”或“耦接”到另一个元件时，它可以直接连接或耦接到其它元件或者可以存在中间元件。相比之下，当元件被称为“直接连接”或“直接耦接”到另一个元件时，不存在中间元件。

[0098] 还应该理解，尽管在本文中可以使用术语第一、第二等来描述各种元件，但是这些元件不应受这些术语的限制。这些术语仅用于将一个元件与另一个元件区分开来。例如，在不脱离本发明的范围的情况下，第一元件可以被称为第二元件，并且类似地第二元件也可以被称为第一元件。

[0099] 此外，可以在本文中使用诸如“下”或“底部”和“上”或“顶部”之类的相对术语来描述如图中所示的一个元件与另一个元件的关系。应当理解，除了图中所描绘的取向之外，相对术语旨在包涵装置的不同取向。例如，如果将一个图中的装置翻转，则描述为在其它元件的“下”侧的元件将被定向在其它元件的“上”侧。因此，示例性术语“下”可以包涵“下”和“上”取向两者，这取决于图的特定取向。类似地，如果将一个图中的装置翻转，则描述为在其它元件“下方”或“下面”的元件将被定向为在其它元件“上方”。因此，示例性术语“下方”或“下面”可以包涵上方和下方取向两者。

[0100] 本发明的描述中使用的术语仅用于描述特定实施例的目的，并且不旨在限制本发明。如在本发明的描述和所附的权利要求中所使用的，单数形式“一”、“一个”和“该”旨在也包括复数形式，除非上下文另有清楚地表明。还应理解，如本文所用的术语“和/或”指代并且包涵相关列出项目中的一个或多个的任何和所有可能的组合。还应进一步理解，术语“包括”和/或“包括有”当在本说明书中使用时指定所述的特征、整数、步骤、操作、元件和/或组件的存在，但不排除存在或添加一个或多个其它特征、整数、步骤、操作、元件、组件和/或其组。

[0101] 本文参考作为本发明的理想实施例(和中间结构)的示意性图示的截面图示描述了本发明的实施例。因此，可以预期例如由制备技术和/或容差导致的与图示的形状的变化。因此，本发明的实施例不应被解释为限于本文中所示的区域的特定形状，而是包括例如由制备导致的形状的偏差。例如，作为矩形图示的注入区域通常在其边缘处将具有圆形或弯曲的特征和/或注入浓度的梯度，而不是从注入到非注入区域的二进制改变。同样地，通过注入形成的掩埋区域可能导致掩埋区域与通过其发生注入的表面之间的区域中的一些注入。因此，附图中所示的区域本质上是示意性的，并且它们的形状不旨在图示装置的区域的实际形状，并且不旨在限制本发明的范围。

[0102] 除非另有限定，否则在公开本发明的实施例中使用的所有术语，包括技术和科学

术语，具有与本发明所属领域的普通技术人员通常理解的含义相同的含义，并且不一定限于描述本发明时已知的具体定义。因此，这些术语可以包括在此时间之后创建的等同项。应进一步理解，诸如在常用的词典中定义的术语之类的术语应该被解释为具有与它们在本说明书以及相关技术的上下文中的含义一致的含义，并且不应在理想化或过于正式的意义中解释，除非本文中另有明确定义。本文提及的所有公开、专利申请、专利和其它参考文献通过引用将其整体并入本文。

[0103] 在附图和说明书中，已经公开了本发明的典型实施例，并且虽然已经采用了特定术语，但它们仅用于通用和描述性的意义，而不是用于限制的目的。

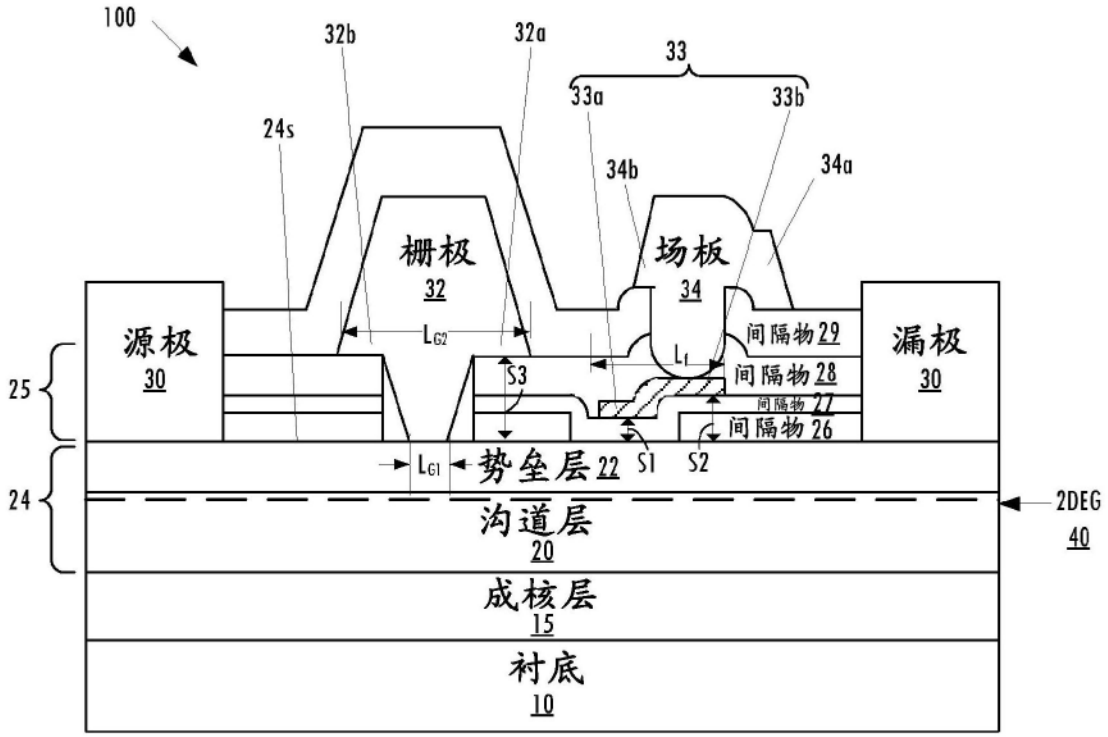

100
32b
32a
33
33a
33b
24s
34b
34a
栅极
32
场板
34
源极
30
漏极
30
间隔物29
间隔物28
间隔物27
间隔物26
25
24
S3
S1
S2
势垒层22
2DEG
40
沟道层
20
成核层
15
衬底
10

图1

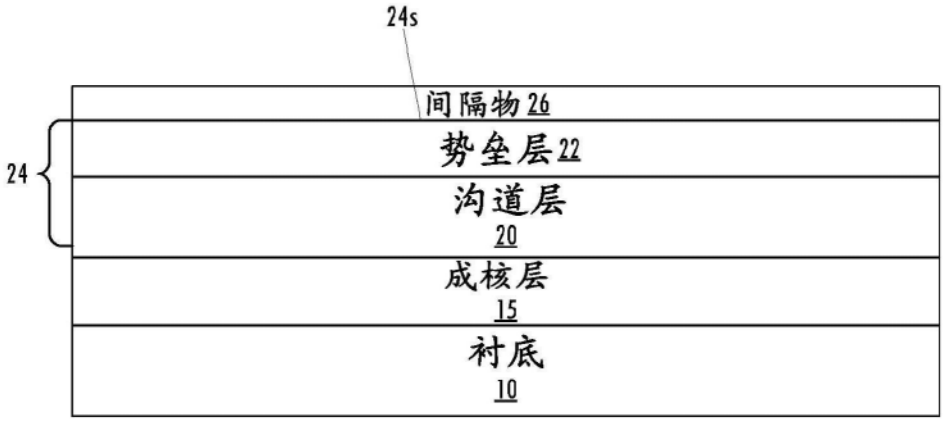

24s
间隔物26
24
势垒层22
沟道层
20
成核层
15
衬底
10

图2

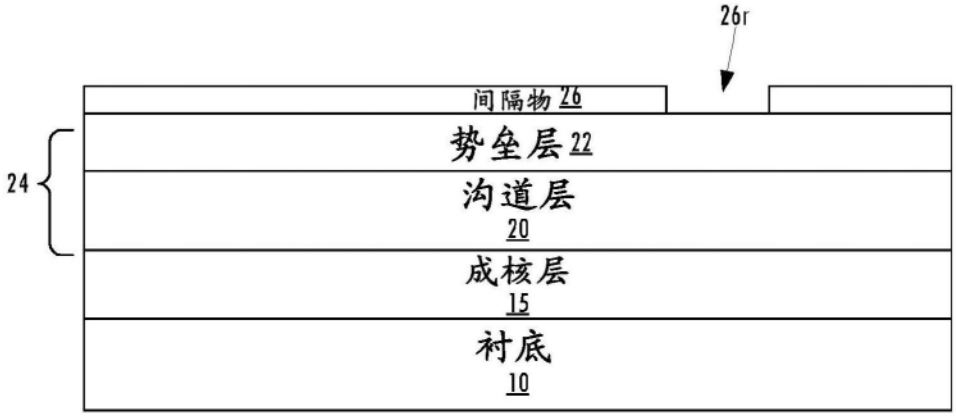

26r
间隔物 26
势垒层 22
24
沟道层
20
成核层
15
衬底
10

图3


间隔物 27
间隔物 26
势垒层 22
24
沟道层
20
成核层
15
衬底
10

图4

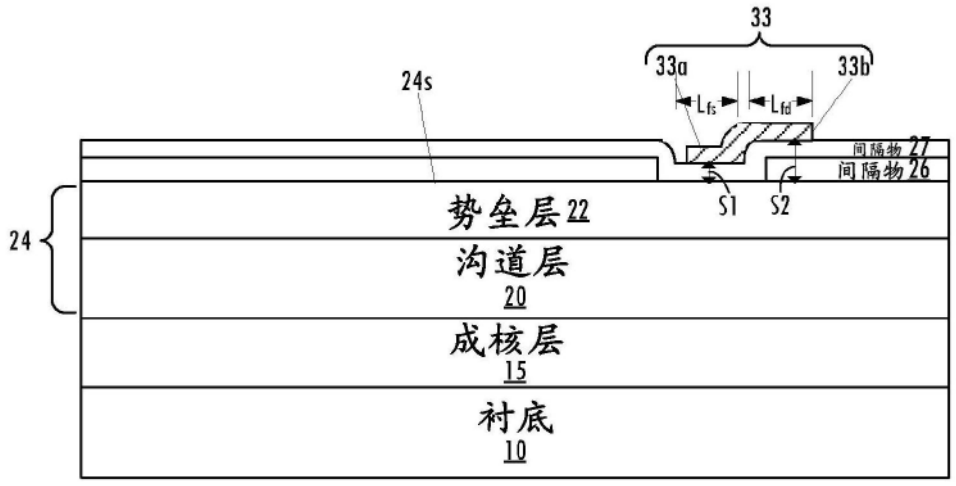

33
33a
33b
24s
L_{fs}
L_{fd}
间隔物 27
间隔物 26
S1
S2
势垒层 22
24
沟道层
20
成核层
15
衬底
10

图5

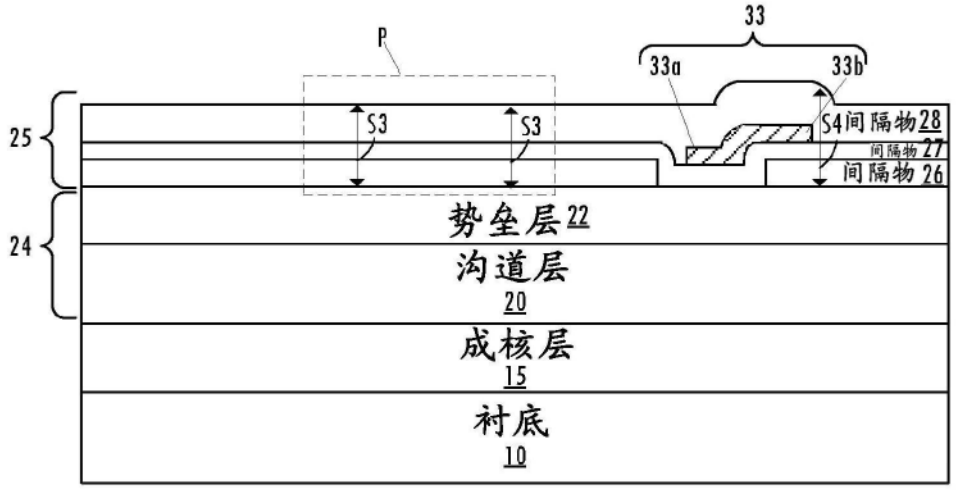

P
33
33a
33b
S3
S3
S4
间隔物 28
间隔物 27
间隔物 26
25
24
势垒层 22
沟道层
20
成核层
15
衬底
10

图6

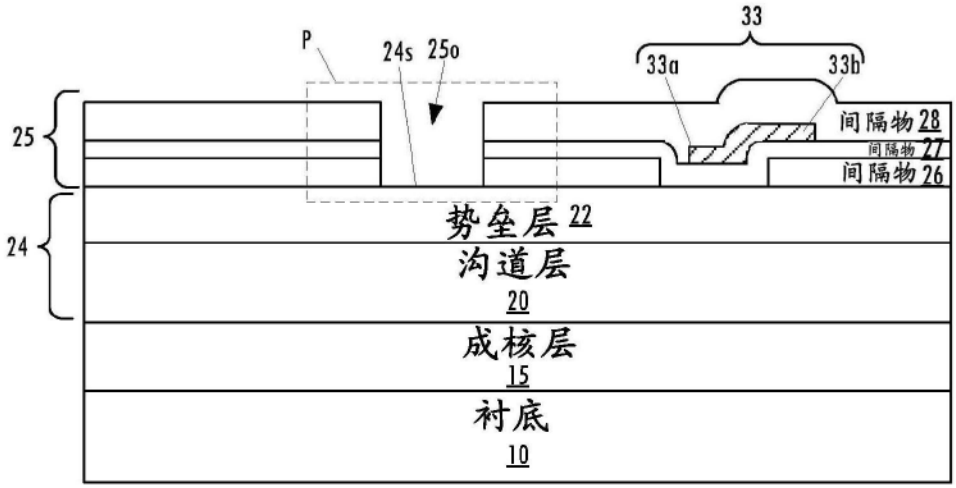

P
24s
25o
33
33a
33b
间隔物 28
间隔物 27
间隔物 26
25
24
势垒层 22
沟道层
20
成核层
15
衬底
10

图7

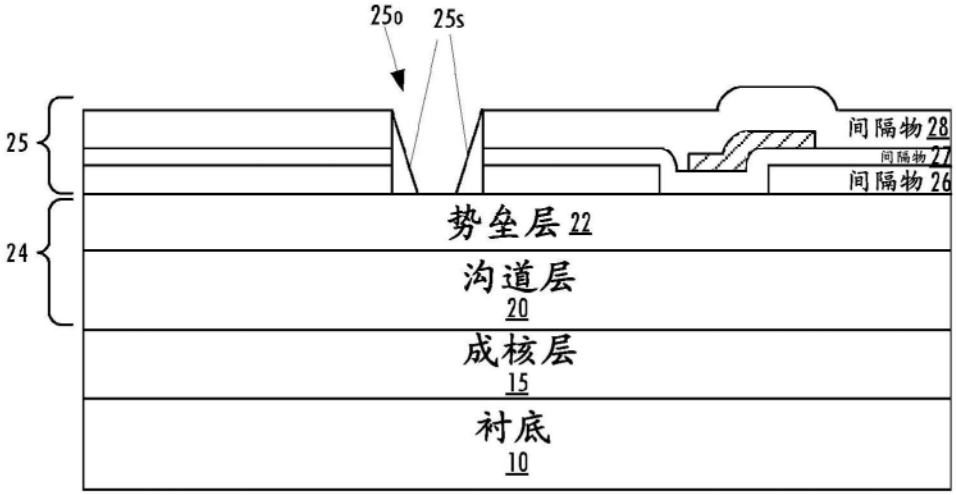

25o
25s
25
24
间隔物 28
间隔物 27
间隔物 26
势垒层 22
沟道层
20
成核层
15
衬底
10

图8

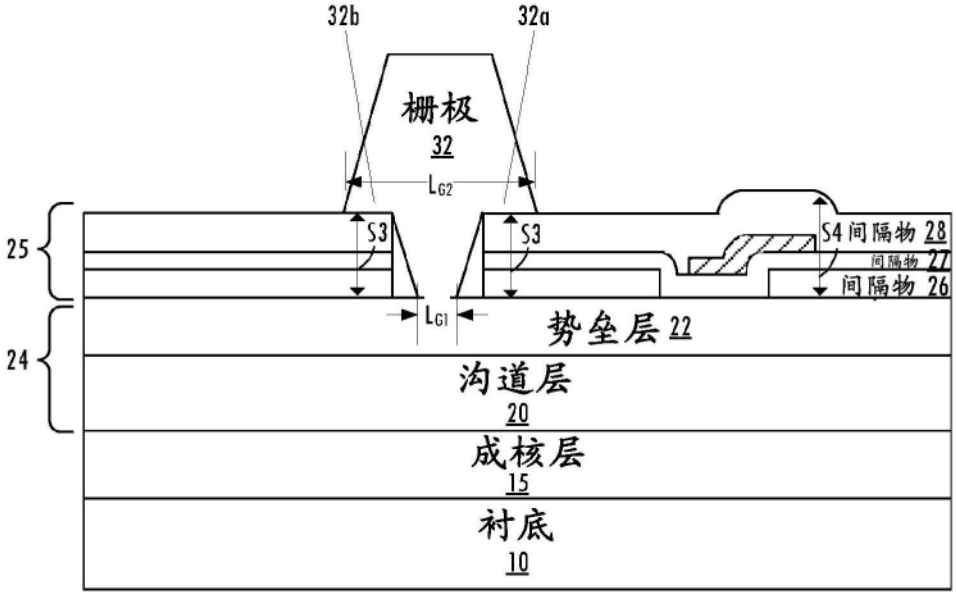

32b
32a
栅极
32
L_{G2}
S3
S3
S4
25
24
间隔物 28
间隔物 27
间隔物 26
L_{G1}
势垒层 22
沟道层
20
成核层
15
衬底
10

图9

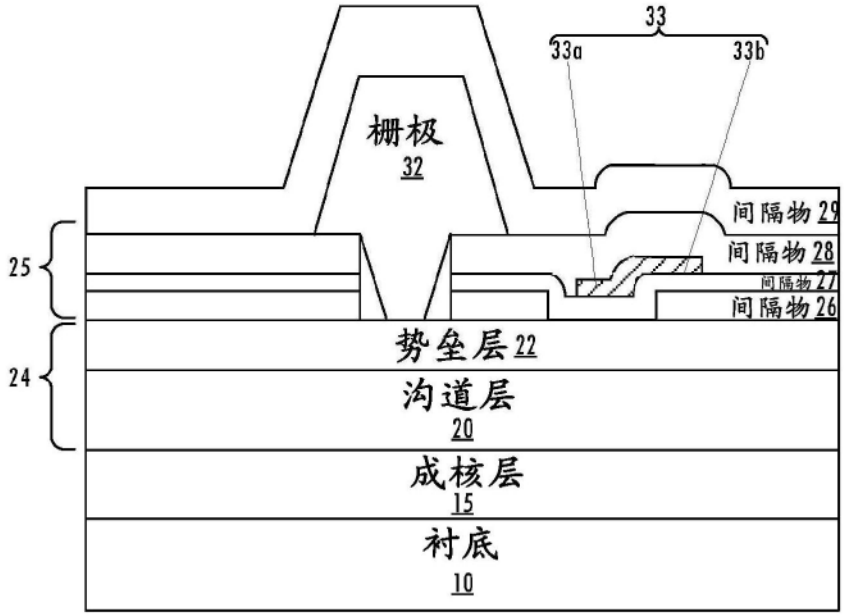

33
33a
33b
栅极
32
间隔物 29
间隔物 28
间隔物 27
间隔物 26
25
24
势垒层 22
沟道层
20
成核层
15
衬底
10

图10

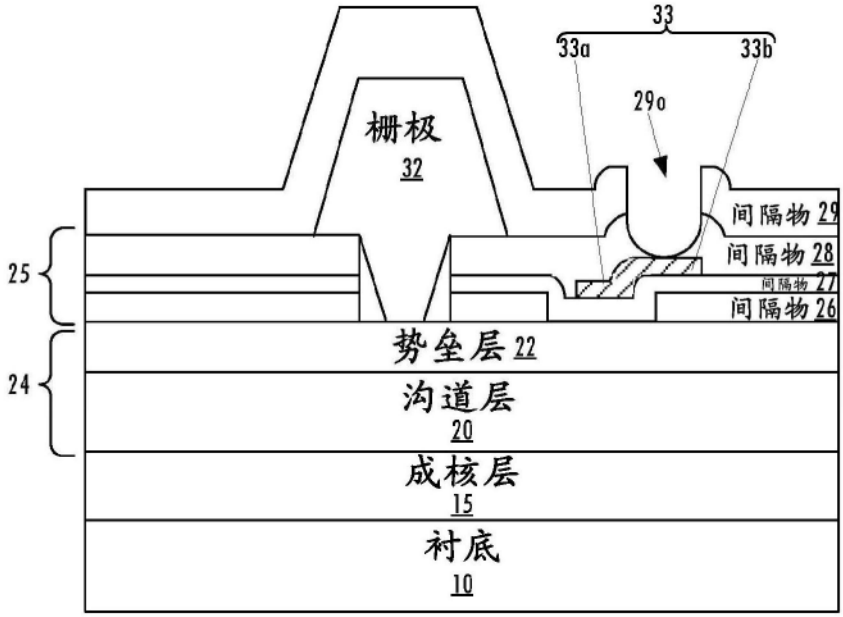

33
33a
33b
29o
栅极
32
间隔物 29
间隔物 28
间隔物 27
间隔物 26
25
24
势垒层 22
沟道层
20
成核层
15
衬底
10

图11

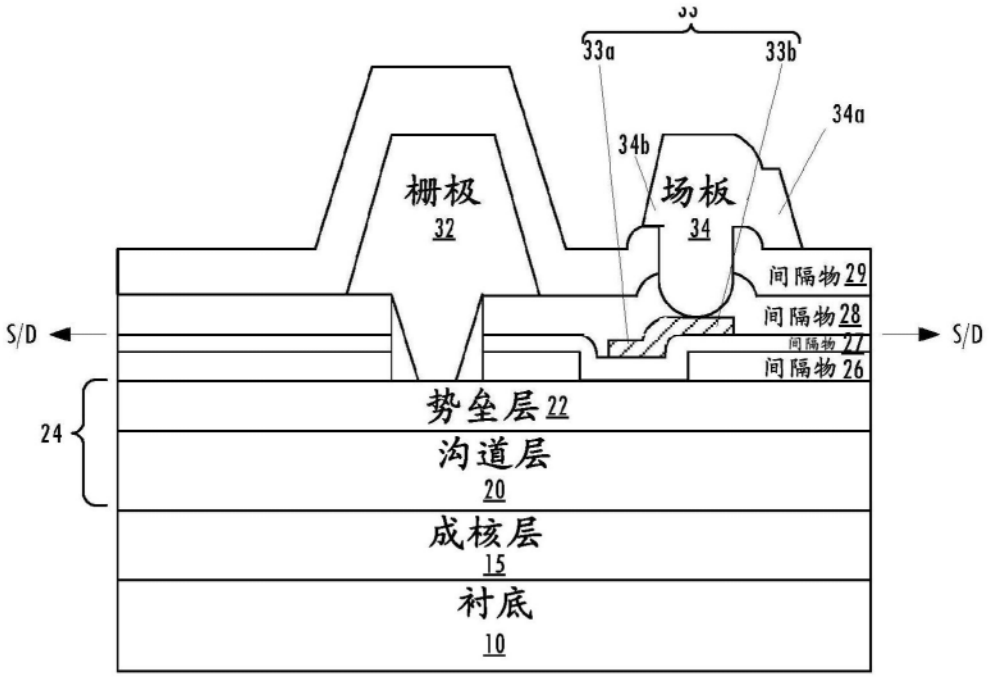

33
33a
33b
34a
34b
栅极
32
场板
34
间隔物29
间隔物28
间隔物27
间隔物26
S/D
S/D
24
势垒层22
沟道层
20
成核层
15
衬底
10

图12

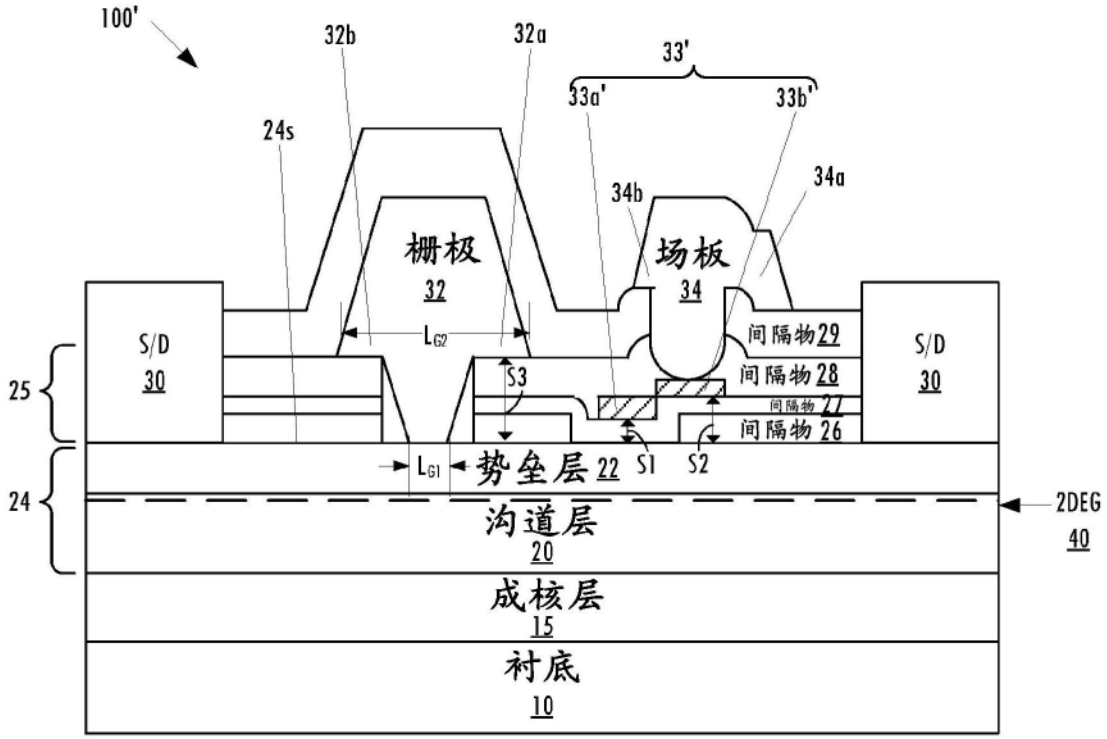

100'
32b
32a
33'
33a'
33b'
24s
34a
34b
栅极
32
场板
34
S/D
30
S/D
30
L_{G2}
S3
间隔物29
间隔物28
间隔物27
间隔物26
25
24
L_{G1}
势垒层22
S1
S2
2DEG
40
沟道层
20
成核层
15
衬底
10

图13

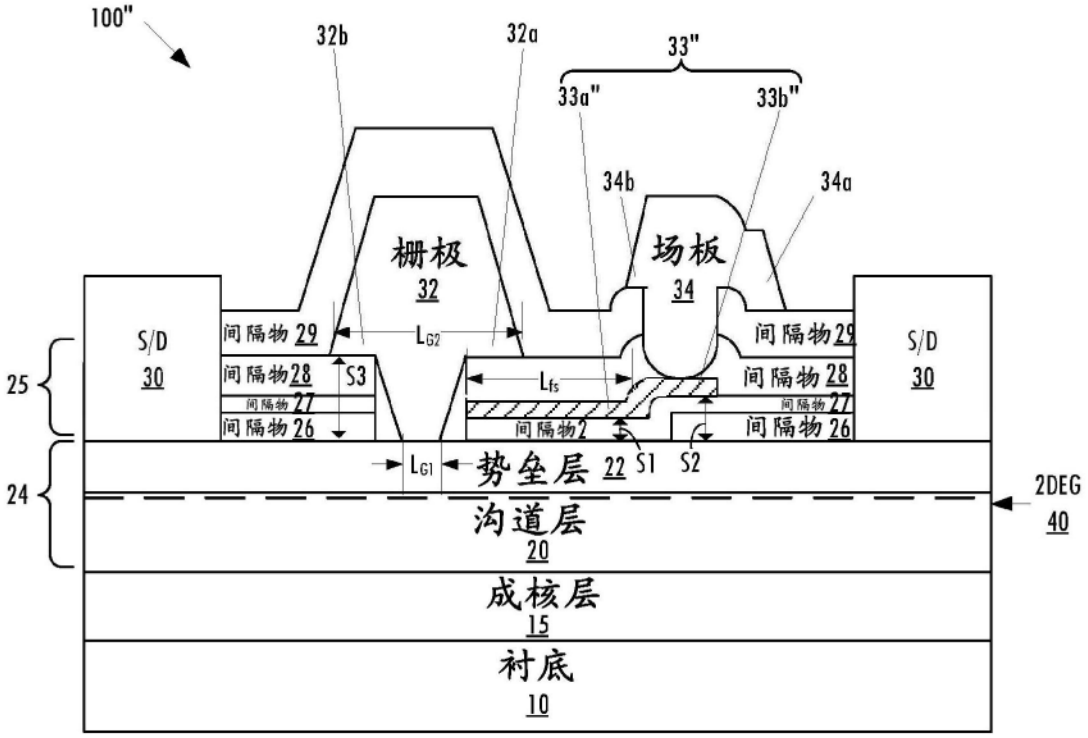

100"
32b
32a
33"
33a"
33b"
34b
34a
栅极
32
场板
34
S/D
30
间隔物29
间隔物28
间隔物27
间隔物26
间隔物2
S3
L_{G2}
L_{fs}
S1
S2
25
24
L_{G1}
势垒层 22
2DEG
40
沟道层
20
成核层
15
衬底
10

图14

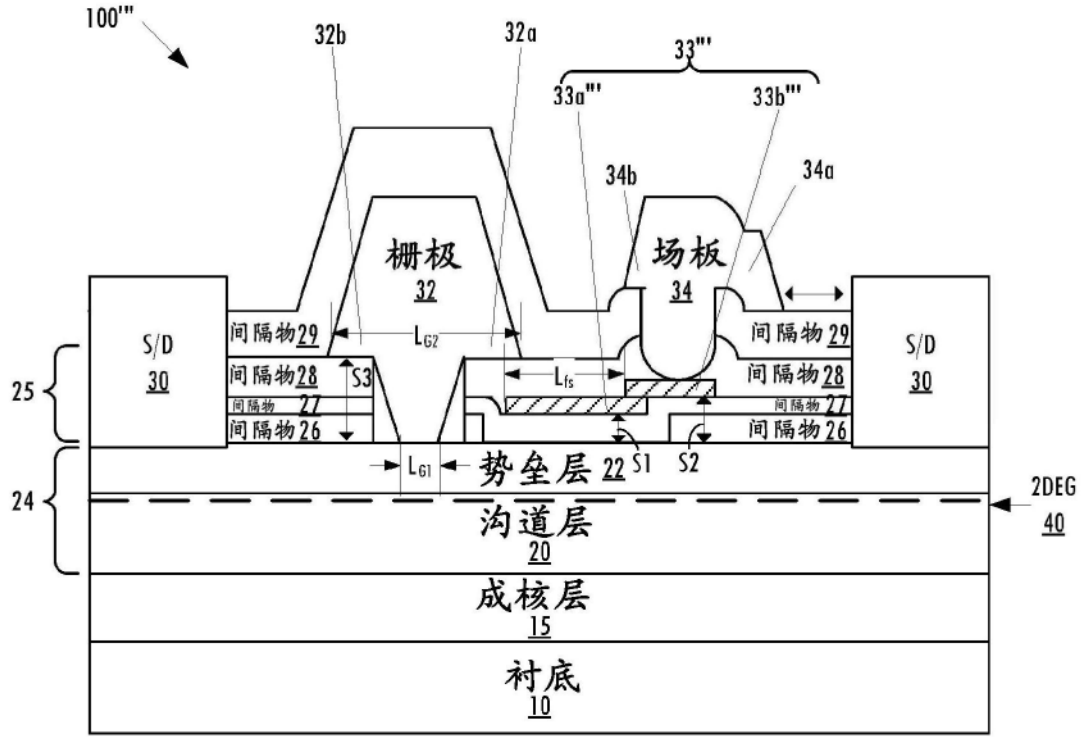

100'"
32b
32a
33'"
33a'"
33b'"
34b
34a
栅极
32
场板
34
S/D
30
间隔物29
间隔物28
间隔物27
间隔物26
S3
L_{G2}
L_{fs}
S1
S2
25
24
L_{G1}
势垒层 22
2DEG
40
沟道层
20
成核层
15
衬底
10

图15