

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4579539号
(P4579539)

(45) 発行日 平成22年11月10日(2010.11.10)

(24) 登録日 平成22年9月3日(2010.9.3)

(51) Int.Cl.	F I
HO 1 L 21/761 (2006.01)	HO 1 L 21/76 J
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 A
	HO 1 L 27/08 3 3 1 D

請求項の数 3 (全 6 頁)

(21) 出願番号 特願2003-543096 (P2003-543096)
 (86) (22) 出願日 平成14年10月10日(2002.10.10)
 (65) 公表番号 特表2005-536867 (P2005-536867A)
 (43) 公表日 平成17年12月2日(2005.12.2)
 (86) 国際出願番号 PCT/US2002/032346
 (87) 国際公開番号 W02003/041161
 (87) 国際公開日 平成15年5月15日(2003.5.15)
 審査請求日 平成17年10月7日(2005.10.7)
 (31) 優先権主張番号 10/003,535
 (32) 優先日 平成13年11月2日(2001.11.2)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 78735 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6501
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 ドウ、ヤン
 アメリカ合衆国 78748 テキサス州
 オースティン ニーマン ドライブ 2
 609

最終頁に続く

(54) 【発明の名称】 高周波数信号のアイソレーションを提供する半導体素子

(57) 【特許請求の範囲】

【請求項1】

基板(21)と；
 前記基板(21)内の埋込nウェル(25)と；
 前記基板(21)の表面である基板表面から前記埋込nウェル(25)まで、前記基板表面と垂直方向に延びると共に、前記埋込nウェル(25)の外周に接触するnウェルリング(24)であって、前記nウェルリング(24)と前記埋込nウェル(25)は絶縁分離pウェル(22)を形成することと；
 前記絶縁分離pウェル(22)の表面に位置する電子回路と；
 前記絶縁分離pウェル(22)に位置し、かつ前記基板表面から前記埋込nウェル(25)内に前記基板表面と垂直方向に延びると共に前記埋込nウェル(25)に接触する複数のnウェルプラグ(27)と
 を有する半導体素子であって、
 複数の前記nウェルプラグ(27)は、それぞれ複合ウェル結束部(34、44)を有し、
 前記nウェルリング(24)は、複合ウェルリング(23)を有し、
 前記複合ウェル結束部(34、44)は、
 前記nウェルプラグ(27)上に位置する第1n+活性領域(40)と、
 前記nウェルプラグ(27)の外周を取り囲むように位置する第1ウェル間STI(38)と、

10

20

前記第 1 ウェル間 S T I (3 8) の外周を取り囲むように位置する第 1 p + 活性領域 (3 6) と、

前記第 1 p + 活性領域 (3 6) の外周を取り囲むように位置する第 1 ウェル内 S T I (4 2) と

を有し、

前記複合ウェルリング (2 3) は、

前記 n ウェルリング (2 4) 上に位置する第 2 n + 活性領域 (2 9) と、

前記 n ウェルリング (2 4) の内周に取り囲まれるように位置する第 2 ウェル間 S T I (2 6) と、

前記 n ウェルリングの外周を取り囲むように位置する第 3 ウェル間 S T I (2 6) と

、
前記第 2 ウェル間 S T I (2 6) の内周に取り囲まれるように位置する第 2 p + 活性領域 (2 8) と、

前記第 2 p + 活性領域の内周に取り囲まれるように位置する第 2 ウェル内 S T I (3 0) と

を有することを特徴とする、半導体素子。

【請求項 2】

前記 n ウェルプラグ (2 7) のドーパント濃度は、 10^{17} 原子 / $\text{cm}^3 \sim 10^{19}$ 原子 / cm^3 の範囲内にあり、

前記埋込 n ウェル (2 5) のドーパント濃度は、 10^{17} 原子 / $\text{cm}^3 \sim 5 \times 10^{19}$ 原子 / cm^3 の範囲内にある、請求項 1 記載の半導体素子。

【請求項 3】

前記複数の n ウェルプラグ (2 7) の各々の長さは、0.5 マイクロメートル ~ 1.0 マイクロメートルの範囲内にあり、

前記複数の n ウェルプラグ (2 7) の各々の幅は、0.5 マイクロメートル ~ 1.0 マイクロメートルの範囲内にある、請求項 1 または 2 記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体素子に関し、より詳細には半導体素子における高周波信号のアイソレーションに関する。

【背景技術】

【0002】

集積回路設計のコストを低減するためには、1つの集積回路にできるだけ多くの機能性を含めることが望ましい。例えば、低コストの無線通信システムでは、デジタル論理回路と同じ集積回路に R F (無線周波数) 回路を含むことが望ましい。しかしながら、デジタル論理回路により生成されたノイズが、フェーズロックループ (P L L) や低ノイズ増幅器回路のような高感度な R F 回路ブロックに入る恐れがある。概念上、理想的なファラデーケージは外部の電磁干渉を防止し、完璧な信号のアイソレーションを提供する。集積回路では、ノイズの影響を緩和すると共に信号のアイソレーションを提供するために、埋込ウェルが使用される。p 型基板を用いた C M O S ツインウェルプロセスでは、n ウェルと p 型基板との間の p n 接合が P M O S に対する信号のアイソレーションを提供する。N M O S の信号のアイソレーションは、絶縁分離 p ウェル (I P W) ポケットを作成すべく n ウェルと共に深い n + 埋込ウェル (D N W) を使用して遂行され、これはトリプルウェルプロセスと呼ばれることがある。集積回路内のファラデーケージに近づくために使用される埋込ウェルは、ノイズの影響を軽減するが、埋込ウェルの使用によっては、より高い R F 周波数での適切な信号のアイソレーションを提供することができない。

【0003】

図 1 は先行技術の半導体素子 10 の平面図を示す。図 2 は図 1 の先行技術の半導体素子 10 の断面図を示す。半導体素子 10 は p 型基板 18 を備えている。深い埋込 n ウェル 1

10

20

30

40

50

6は、nウェルリング15と共に、絶縁分離pウェル12を形成する。絶縁分離pウェル12の表面には複数のp+ウェル結尾部14が埋め込まれている。絶縁分離pウェル12の表面に、電子回路が構築される(図示しない)。絶縁分離pウェル12は、ウェル内に実装された回路をウェル外に実装される回路から分離する機能を果たす。しかしながら、深い埋込nウェル16は、RF周波数範囲における信号のアイソレーションには不都合な、比較的高い抵抗を有している。

【発明を実施するための最良の形態】

【0004】

一般に、本発明は、基板21、埋込nウェル25、およびnウェルリング24を備えた半導体素子20を提供する。nウェルリング24は、半導体素子20の表面から埋込nウェル25まで延びている。nウェルリング24と埋込nウェル25は絶縁分離pウェル22を形成する。絶縁分離pウェル22は複数のnウェルプラグ27を有し、この複数のnウェルプラグ27は半導体素子20の表面から絶縁分離pウェル22内に延びると共に、埋込nウェル25と接触する。複数のnウェルプラグ27は、nウェル抵抗を減少させて、高周波信号に対するより良好なアイソレーションを提供する。

【0005】

図3は、本発明の半導体素子20の一部分の平面図を示す。図4は、4-4線に沿った図3の半導体素子20の断面図を示す。図3および図4の両方を参照すると、半導体素子20は基板21、深い埋込nウェル25、複合ウェルリング23、および複合ウェル結尾部34,44を備えている。深い埋込nウェル25とnウェルリング24により絶縁分離pウェル22が形成されている。複合ウェルリング23はnウェルリング24、ウェル間STI(STI:シャロートレンチ分離)26、ウェル内STI30、n+活性領域29、およびp+活性領域28を有する。複合ウェル結尾部34はnウェルプラグ27、p+活性領域36、ウェル間STI38、n+活性領域40、およびウェル内STI42を有する。複合ウェル結尾部34と同様の複数の複合ウェル結尾部が、絶縁分離pウェル22の至る所に間隔を開けて配置される。しかしながら、説明のため、図3と図4にはただ1つの他の複合ウェル結尾部である複合ウェル結尾部44しか図示していない。

【0006】

深い埋込nウェル25を、はじめに基板21に埋め込む。その後、nウェルリング24を深い埋込nウェル25の上に埋め込み、絶縁分離pウェル22を構築する。

ウェル間STI26、ウェル内ウェルSTI30、n+活性領域29、およびp+活性領域28をnウェルリング24と絶縁分離pウェル22の上に形成する。複合ウェル結尾部34,44を同時に、複合ウェルリング23と同じマスクで形成する。nウェルプラグ27はnウェルリング24と同時に形成する。nウェルプラグ27は、約 1×10^{17} 原子/cm³ ~ 1×10^{19} 原子/cm³の範囲の濃度でドーピングし、埋込nウェル25を約 1×10^{17} 原子/cm³ ~ 5×10^{19} 原子/cm³の濃度でドーピングする。次にp+活性領域36、ウェル間STI38、n+活性領域40、およびウェル内STI42を、nウェルプラグ27の上に形成する。p+活性領域36はnウェルプラグの周囲に保護リングを形成し、プロセスに敏感な漏洩電流を無くすと共に、複合nウェル結尾部をより丈夫にする。

【0007】

オームの並列抵抗器の法則のため、絶縁分離pウェル内にnウェル結尾部が多く存在するほど、抵抗はより下がる。しかしながら、nウェルを追加することにより集積回路の表面積が増加するという犠牲を払って抵抗は下がる。図示した実施形態では、複合nウェル結尾部は、約50マイクロメートル未満の距離を互いに開けて等間隔に離間配置される。nウェル結尾部の間隔を短くすると、nウェル結尾部の数は増加し、より良質な信号アイソレーションが得られる。複数のnウェルプラグ27の各々は、約0.5マイクロメートル~1.0マイクロメートルの範囲の長さを有し、かつ、約0.5マイクロメートル~1.0マイクロメートルの幅を有する。他の実施形態では、複合nウェル結尾部を50マイクロメートルよりもさらに離して離間配置することができ、回路設計または他の関連物を収容する非等な様式で離間配置し得る。さらに、nウェルプラグは異なる長さや幅を有し

10

20

30

40

50

ていてもよい。例えば1実施形態では、nウェルプラグはストリップを形成する長方形である。

【0008】

複合ウェル結束部34, 44は、絶縁分離pウェル22を貫く複数の並行な導電通路を提供することにより、深い埋込nウェル25と接触させ、埋込nウェル25の深いnウェル抵抗を減少させるために使用される。また、複合ウェル結束部34, 44は、nウェルリング24と同じマスクを使用して絶縁分離pウェル22内に埋め込まれてもよい。pウェル埋め込み後、n+活性領域40とp+活性領域36がウェルとのオーム接触をなすために形成される。図示した実施形態では、最適の信号アイソレーションを達成するために、複合ウェルリング23と複合ウェル結束部34, 44が同様の構造を有している。周波数が増加するにつれて、集中ウェル抵抗 R_w が信号アイソレーション量を決定する。

10

【0009】

合計ウェル抵抗は次の方程式により示される： $R_w = R_{nw} * R_{pw} / (R_{nw} + R_{pw})$ 、式中 R_{nw} は深いnウェル抵抗であり、 R_{pw} は絶縁分離pウェル抵抗である。高周波では集中ウェル抵抗が分流器として機能する。 R_w を最小限にすることにより、約10ギガヘルツ(GHz)までの周波数に対するノイズのアイソレーションが改善される。

【0010】

本発明を特定の実施形態に関して説明してきたが、当業者にはさらなる改変と改良が想到されるだろう。したがって、本発明はそのようなすべてのバリエーションや改変を特許請求の範囲の範囲内にあるものとして包含するものとする。

20

【図面の簡単な説明】

【0011】

【図1】先行技術の半導体素子の平面図。

【図2】図1の先行技術の半導体素子の断面図。

【図3】本発明の半導体素子の平面図。

【図4】図3の半導体素子の断面図。

【図1】

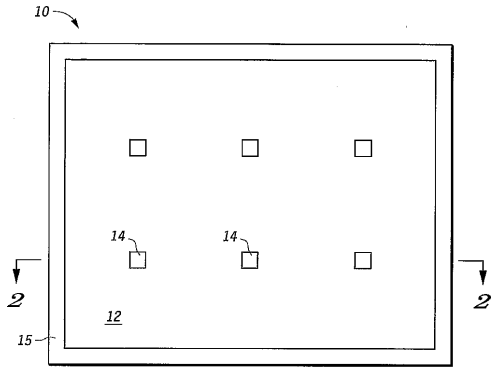
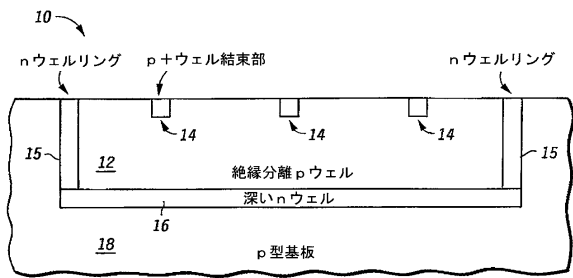


FIG. 1
-PRIOR ART-

【図2】



-PRIOR ART-

【図3】

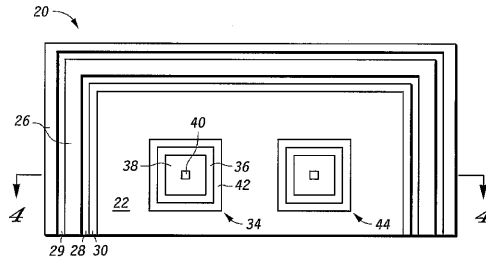
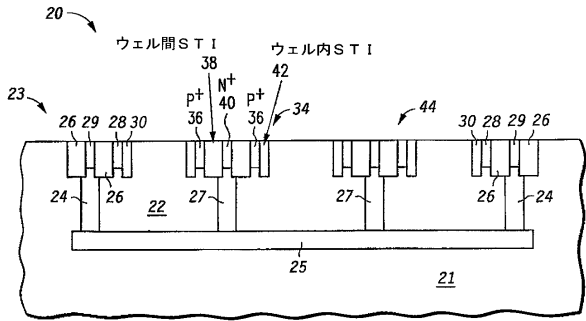


FIG. 3

【図4】



フロントページの続き

- (72)発明者 バナジー、スマン クマール
アメリカ合衆国 85202 アリゾナ州 メサ サウス ロングモア 850 ナンバー296
- (72)発明者 トーマ、レイナー
アメリカ合衆国 85234 アリゾナ州 ギルバート イースト スタンフォード アベニュー
3909
- (72)発明者 デュバレット、アラン
アメリカ合衆国 78739 テキサス州 オースティン バック ベイ レーン 5827

審査官 三浦 尊裕

- (56)参考文献 特開平10-200063(JP,A)
特開2000-021972(JP,A)
特開昭62-177959(JP,A)
特開平03-053561(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/761
H01L 21/822
H01L 27/04
H01L 27/08