



(12) 发明专利

(10) 授权公告号 CN 102132349 B

(45) 授权公告日 2015. 06. 17

(21) 申请号 200980132504. 6

(22) 申请日 2009. 06. 30

(30) 优先权数据

61/133, 675 2008. 07. 01 US

61/133, 921 2008. 07. 07 US

61/134, 688 2008. 07. 10 US

(85) PCT国际申请进入国家阶段日

2011. 02. 22

(86) PCT国际申请的申请数据

PCT/US2009/049328 2009. 06. 30

(87) PCT国际申请的公布数据

W02010/002943 EN 2010. 01. 07

(73) 专利权人 LSI 公司

地址 美国加利福尼亚

(72) 发明人 J·延

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王田

(51) Int. Cl.

G11C 16/10(2006. 01)

G11C 16/34(2006. 01)

G11C 11/56(2006. 01)

(56) 对比文件

US 2004/0057284 A1, 2004. 03. 25,

CN 101101792 A, 2008. 01. 09,

US 2008/0019188 A1, 2008. 01. 24,

US 2007/0189073 A1, 2007. 08. 16,

CN 1391231 A, 2003. 01. 15,

审查员 罗晓雅

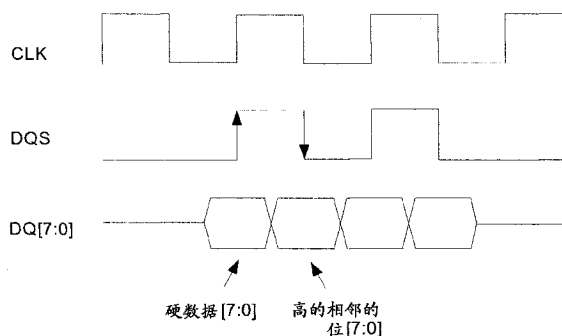
权利要求书2页 说明书10页 附图9页

(54) 发明名称

用于在闪存存储器控制器和闪存存储器阵列之间接口的方法和设备

(57) 摘要

提供了用于在闪存存储器控制器和闪存存储器阵列之间接口的方法和设备。所述接口包括在所述闪存存储器控制器和所述闪存存储器阵列之间的通信通道, 其中所述通信通道在时钟信号的第一边沿承载对于所述闪存存储器阵列中的目标单元的数据, 并且其中所述通信通道在所述时钟信号的第二边沿承载对于所述目标单元的额外的信息。对于示例性写访问, 所述额外的信息包括例如关于与所述目标单元关联的一个或多个入侵单元的信息。对于示例性读访问, 所述额外的信息包括例如在所述第一边沿发送的对于所述目标单元的所述数据的软信息。



1. 一种用于在闪存存储器控制器和闪存存储器阵列之间接口的方法,包括:
使用时钟信号的第一上升边沿发送对于所述闪存存储器阵列中的目标单元的数据;以及

使用所述时钟信号的第二下降边沿发送对于所述目标单元的关于所述数据的额外的信息;

其中

a) 所述发送步骤包括写访问,并且其中所发送的额外的信息包括关于与所述目标单元关联的一个或更多个入侵单元的信息;或

b) 所述发送步骤包括读访问,并且其中所发送的额外的信息包括在所述第一上升边沿发送的对于所述目标单元的所述数据的软信息。

2. 根据权利要求 1 所述的方法,其中在 a) 情况下,所述关于所述一个或更多个入侵单元的信息包括对于所述一个或更多个入侵单元的编程数据的一个或更多个位。

3. 根据权利要求 1 所述的方法,其中在 b) 情况下,将测量的电压或所述测量的电压的量化版本发送到所述闪存系统闪存存储器控制器作为所述软信息。

4. 一种用于在闪存存储器控制器和闪存存储器阵列之间接口的方法,包括:
在时钟信号的第一上升边沿接收对于所述闪存存储器阵列中的目标单元的数据;以及在所述时钟信号的第二下降边沿接收对于所述目标单元的关于所述数据的额外的信息;

其中

a) 所述接收步骤包括写访问,并且其中所接收的额外的信息包括关于与所述目标单元关联的一个或更多个入侵单元的信息;或

b) 所述接收步骤包括读访问,并且其中所接收的额外的信息包括在所述第一上升边沿发送的对于所述目标单元的所述数据的软信息。

5. 根据权利要求 4 所述的方法,其中在 a) 情况下,所述关于所述一个或更多个入侵单元的信息包括对于所述一个或更多个入侵单元的编程数据的一个或更多个位。

6. 根据权利要求 4 所述的方法,其中在 b) 情况下,将测量的电压或所述测量的电压的量化版本发送到所述闪存系统闪存存储器控制器作为所述软信息。

7. 一种用于在闪存存储器控制器和闪存存储器阵列之间接口的接口,包括:
在所述闪存存储器控制器和所述闪存存储器阵列之间的通信通道,其中所述通信通道在时钟信号的第一上升边沿承载对于所述闪存存储器阵列中的目标单元的数据,并且其中所述通信通道在所述时钟信号的第二下降边沿承载对于所述目标单元的关于所述数据的额外的信息;

其中

a) 对于写访问,所述额外的信息包括关于与所述目标单元关联的一个或更多个入侵单元的信息;或

b) 对于读访问,所述额外的信息包括在所述第一上升边沿发送的对于所述目标单元的所述数据的软信息。

8. 根据权利要求 7 所述的接口,其中在 a) 情况下,所述关于所述一个或更多个入侵单元的信息包括对于所述一个或更多个入侵单元的编程数据的一个或更多个位。

9. 根据权利要求 7 所述的接口, 其中在 b) 情况下, 将测量的电压或所述测量的电压的量化版本发送到所述闪存系统闪存存储器控制器作为所述软信息。

用于在闪存存储器控制器和闪存存储器阵列之间接口的方法和设备

[0001] 相关申请的交叉引用

[0002] 本申请要求 2008 年 7 月 1 日提交的美国临时专利申请序列号 No. 61/133, 675、2008 年 7 月 3 日提交的美国临时专利申请序列号 No. 61/133, 921、以及 2008 年 7 月 10 日提交的美国临时专利申请序列号 No. 61/134, 688 的优先权, 上述每一个专利申请通过引用被包含于此。

[0003] 本申请涉及 2009 年 3 月 11 日提交的题为“Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding”的国际专利申请序列号 No. PCT/US09/36810, 并涉及题为“Methods and Apparatus for Read-Side Intercell Interference Mitigation in Flash Memories”的国际专利申请; 题为“Methods and Apparatus for Write-Side Intercell Interference Mitigation in Flash Memories”的国际专利申请; 题为“Methods and Apparatus for Intercell Interference Mitigation Using Modulation Coding”的国际专利申请; 以及题为“Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories”的国际专利申请, 上述申请与本申请同时提交并且通过引用被包含于此。

技术领域

[0004] 本发明通常涉及闪存存储器器件, 并且更具体地涉及用于在这种闪存存储器器件中的控制器和存储器阵列之间接口的技术。

背景技术

[0005] 许多存储器器件(例如闪存存储器器件)使用模拟存储器单元来存储数据。每个存储器单元存储模拟值, 也被称为存储值。存储值表示存储在单元中的信息。在闪存存储器器件中, 例如, 每个模拟存储器单元典型地存储某一电压。对于每个单元的可能的模拟值的范围典型地被分成多个阈值区域, 每个区域与一个或更多个数据位值对应。通过写入与期望的一个或更多个位对应的标称模拟值来将数据写到模拟存储器单元。

[0006] 单电平单元(SLC)闪存存储器器件例如每个存储器单元存储一位(或两个可能的存储器状态)。另一方面, 多电平单元(MLC)闪存存储器器件每个存储器单元存储两个或更多个位(即, 每个单元具有四个或更多的可编程的状态)。在多电平单元器件中, 使用至少三个阈值电平来限定四个或更多个的不同的阈值状态。因此, 独立的单元的工作范围被分成增大数量的状态, 并且每个状态的范围比对于单电平单元器件的小。因此, 在多电平单元器件中的任何单个位的可靠性一般比单电平单元器件的可靠性低。对于多电平代码的更详细的讨论, 参见, 例如, U. Wachsmann 等人的“Multilevel Codes: Theoretical Concepts and Practical Design Rules”, IEEE Trans., on Information Theory, Vol. 45, No. 5, 1361-91 (1999), 其通过引用被包含于此。

[0007] 闪存存储器典型地包括闪存存储器阵列、闪存控制器和用于在闪存存储器阵列与闪存控制器之间通信的接口。开放式 NAND 闪存接口工作组 (ONFI) 是开发用于 NAND 闪存存储器器件和与其通信的器件的开放式标准的工业联盟。ONFI 已经制作了用于到 NAND 闪存芯片的标准接口的规范。ONFI 2.0 版使用双倍数据率 (DDR) 技术在时钟信号的上升沿和下降沿都传送数据。虽然 ONFI 2.0 版增大了 NAND 闪存接口的数据承载容量,但是它不提供可以提高性能的用于承载额外信息的额外的带宽。

[0008] 因此需要改进闪存存储器器件中的控制器与存储器阵列之间的接口。还需要闪存存储器器件中的控制器与存储器阵列之间的改进的接口,其为关于所发送数据的额外的信息提供额外的带宽。还需要闪存存储器器件中的控制器与存储器阵列之间的改进的接口,其在没有显著增大功耗或表面面积的情况下提供额外的带宽。

发明内容

[0009] 总体上,提供了用于在闪存存储器控制器和闪存存储器阵列之间接口的方法和设备。根据本发明的一个方面,提供了在闪存存储器控制器与闪存存储器阵列之间使用的接口。接口包括在所述闪存存储器控制器和所述闪存存储器阵列之间的通信通道,其中所述通信通道在时钟信号的第一边沿承载对于所述闪存存储器阵列中的目标单元的数据,并且其中所述通信通道在所述时钟信号的第二边沿承载对于所述目标单元的额外的信息。

[0010] 对于示例性写访问,所述额外的信息包括例如关于与所述目标单元关联的一个或更多个入侵单元的信息。例如,所述关于所述一个或更多个入侵单元的信息可以包括对于所述一个或更多个入侵单元的编程数据的一个或更多个位。对于示例性读访问,所述额外的信息包括例如对于在所述第一边沿发送的对于所述目标单元的数据的软信息。

[0011] 参考以下详细描述和附图将获得对本发明以及本发明的另外的特征和优点的更完全的了解。

附图说明

[0012] 图 1 是传统的闪存存储器系统的示意性框图;

[0013] 图 2 示出用于图 1 的示例性多电平单元闪存存储器的示例性阈值电压分布;

[0014] 图 3 示出多电平单元 (MLC) 闪存存储器器件中的示例性闪存单元阵列的架构;

[0015] 图 4 示出用于图 2 的电压分配方案的示例性两级 MLC 编程方案;

[0016] 图 5A 和图 5B 共同示出减少在邻近单元上产生的 ICI 的另选 MLC 编程方案;

[0017] 图 6 更详细地示出多电平单元 (MLC) 闪存存储器器件中的示例性闪存单元阵列;

[0018] 图 7 示出对于目标单元的由于来自多个示例性入侵单元的寄生电容而存在的 ICI;

[0019] 图 8 是根据本发明的并入了基于控制器的 ICI 减轻技术的示例性闪存存储器系统的示意性框图;

[0020] 图 9 是根据本发明另选实施例的并入了基于存储器的 ICI 减轻技术的示例性闪存存储器系统的示意性框图;

[0021] 图 10 示出根据本发明的对于写访问的相关波形;以及

[0022] 图 11 示出根据本发明的对于读访问的相关波形。

具体实施方式

[0023] 本发明提供在闪存存储器控制器与闪存存储器阵列之间的改进的接口。所公开的接口在没有显著增大功耗或表面面积的情况下为关于所发送数据的额外的信息提供了额外的带宽。如本领域技术人员将清楚的,虽然在 ICI 减轻的背景中示出了本发明,其中额外的发送信息包括例如关于所发送数据的软信息或者与发送的目标单元数据有关的一个或更多个相邻单元的值,但是本发明还可以被应用于传送用于其它应用的额外的信息。根据本发明的一个方面,在时钟信号的第一边沿(诸如上升沿)传送数据,而在时钟信号的第二边沿(诸如下降沿)发送关于所传送数据的额外的信息。

[0024] 本发明的各个方面涉及用于减轻存储器器件(诸如单电平单元或多电平单元(MLC)NAND 闪存存储器器件)中的 ICI 的信号处理技术。本文中使用的多电平单元闪存存储器包括每个存储器单元存储两个或更多个位的存储器。典型地,存储在一个闪存单元中的多个位属于不同的页。虽然在本文中使用存储作为电压的模拟值的存储器单元示出了本发明,但是如本领域技术人员清楚的,本发明可以被用于闪存存储器的任何存储机制(诸如使用电压或电流来表示存储的数据)。

[0025] 图 1 是传统的闪存存储器系统 100 的示意性框图。如图 1 所示,示例性闪存存储器系统 100 包括闪存控制系统 110 和闪存存储器模块 160。示例性闪存控制系统 110 包括闪存控制器 120、编码器/解码器模块 140 和一个或更多个缓存器 145。在另选实施例中,编码器/解码器模块 140 和一些缓存器 145 可以被实现在闪存控制器 120 内。可以例如使用公知的市场上可买到的技术和/或产品来实现编码器/解码器模块 140 和缓存器 145。

[0026] 示例性闪存存储器模块 160 包括每个都可以使用公知的市场上可买到的技术和/或产品实现的存储器阵列 170 和一个或更多个缓存器 180。存储器阵列 170 可以被具体实现为单电平或多电平单元闪存存储器,诸如 NAND 闪存存储器、相变存储器(PCM)、MRAM 存储器、NOR 闪存存储器或其它非易失性的闪存存储器。对于本领域技术人员将清楚,尽管主要是在多电平单元 NAND 闪存存储器的背景下示出了本发明,但是本发明也可以应用于单电平单元闪存存储器和其它非易失性的存储器。

[0027] 多电平单元闪存存储器

[0028] 在多电平单元 NAND 闪存存储器中,典型地使用阈值检测器来将与特定单元相关的电压值转译为预先定义的存储器状态。图 2 示出了关于图 1 的示例性多电平单元闪存存储器 170 的示例性阈值电压分布,其基于通过引用被包含于此的美国专利 No. 6,522,580 的教导。一般而言,单元的阈值电压是需要被施加到单元以使得该单元传导一定量的电流的电压。阈值电压是对存储在单元中的数据的量度。

[0029] 在图 2 所示出的示例性实施例中,每个存储元件使用四个可能的数据状态来在每个存储器单元中存储两个位的数据。图 2 示出四个峰 210-213,其中每个峰与一个状态对应。在多电平单元闪存器件中,阈值电压分布曲线 200 的不同的峰 210-213 被用于在单元中存储两个位。

[0030] 阈值电压分布曲线 200 的峰 210-213 被标记有对应的二进制值。因此,在单元处于第一状态 210 时,它表示低位(也被称为最低有效位 LSB)为“1”且高位(也被称为最高有效位 MSB)为“1”。状态 210 一般是单元的初始未编程的状态或擦除的状态。同样地,在

单元处于第二状态 211 时,它表示低位为“0”且高位为“1”。在单元处于第三状态 212 时,它表示低位为“0”且高位为“0”。最后,在单元处于第四状态 213 时,它表示低位为“1”且高位为“0”。

[0031] 阈值电压分布 210 表示在处于擦除状态 (“11”数据状态)的阵列内的单元的阈值电压 V_t 的分布,具有在 0 伏以下的负的阈值电压电平。分别存储“10”和“00”用户数据的存储器单元的阈值电压分布 211 和 212 被示出分别在 0 和 1 伏之间以及在 1 和 2 伏之间。阈值电压分布 213 示出已经被编程为“01”数据状态的单元的分布,具有设定在 2 伏和 4.5 伏的读通电压 (read pass voltage) 之间的阈值电压电平。

[0032] 因此,在图 2 的示例性实施例中,可以使用 0 伏、1 伏和 2 伏作为每个电平或状态之间的电压电平阈值。闪存存储器 160 (例如,闪存存储器 160 中的感测电路) 使用电压电平阈值来确定给定单元的电压电平或状态。闪存存储器 160 将基于测量的电压与电压电平阈值的比较结果将一个或更多个位分配给每个单元,其随后作为硬判定被传送到闪存控制系统 110。附加地或另选地,在使用软信息的实现方案中,闪存存储器 160 可以向闪存控制系统 110 传送作为软信息的测量的电压或者测量的电压的量化版本,其中与存储器单元中存储的位的数量相比,使用数量更多的位来表示测量的电压。

[0033] 应当进一步注意,典型地使用公知的编程/验证技术来对单元编程。一般,在编程/验证周期期间,闪存存储器 160 逐渐施加增加的电压以将电荷存储在单元晶体管中,直至超过最小目标阈值电压。例如,当在图 2 的示例中编程“10”数据状态时,闪存存储器 160 可以逐渐施加增加的电压以将电荷存储在单元晶体管中,直至超过 0.4V 的最小目标阈值电压。

[0034] 如下文将进一步讨论的,单个存储器单元中存储的两个位中的每一个来自不同的页。换言之,每个存储器单元中存储的两个位中的每个位承载不同的页地址。当输入低页 (lower page) 地址时,访问图 2 中示出的右侧位。当输入高页 (upper page) 地址时,访问左侧位。

[0035] 图 3 示出了多电平单元 (MLC) 闪存存储器器件 160 中的示例性闪存单元阵列 300 的架构,其中每个示例性单元典型地对应于存储两个位的浮栅晶体管。在图 3 中,每个单元与两个位所属的两个页的两个编号关联。示例性单元阵列部分 300 示出了字线 n 至 $n+2$ 和四条位线。示例性闪存单元阵列 300 被分为偶数页和奇数页,其中例如具有偶数编号的单元 (诸如具有编号 0 和 2 的单元) 对应于偶数页,而具有奇数编号的单元 (诸如具有编号 1 和 3 的单元) 对应于奇数页。字线 n 例如在偶数位线中存储偶数页 0 和 2,而在奇数位线中存储奇数页 1 和 3。

[0036] 此外,图 3 指示出了示例性编程序列,其中按照指示出的顺序依次地 (自底而上) 选择偶数或奇数位线单元并且对其编程。编号指示出了对页编程的顺序。例如,页 0 在页 1 之前被编程。对于偶数页和奇数页的编程的进一步的讨论,参见例如 K.-T. Park 等人的“AZeroing Cell-to-Cell Interference Page Architecture with Temporary LSB Storing and Parallel MSB Program Scheme for MLC NANDFlash Memories”, IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, 919-928 (2008 年 4 月),其通过引用被包含于此。

[0037] 图 4 示出了关于图 2 的电压分配方案的示例性的两级 MLC 编程方案 400。如图 4 所

示,在 LSB 编程阶段期间,如果 LSB 是零,则处于擦除状态 410 的所选择的单元的状态移动到最低编程状态 411。因此,在 LSB 编程阶段,存储器单元被从擦除状态“11”编程到“10”。接着,在 MSB 编程阶段期间,取决于先前的 LSB 数据,依次形成两个状态,即状态“00”(412)和状态“01”(413)。一般,在 MSB 编程阶段期间,“10”状态被编程到“00”,而状态“11”被编程到“01”。

[0038] 应当注意,图 4 的编程方案 400 示出了与从状态 410 到状态 413 的状态改变关联的最大电压偏移。已提出或建议了许多编程方案用于减少与状态改变关联的最大电压偏移,并且由此减少由电压偏移引起的 ICI。

[0039] 图 5A 和图 5B 共同示出了减少在邻近单元上产生的 ICI 的另选 MLC 编程方案 500。如图 5A 所示,在 LSB 编程阶段期间,按与 SLC 编程类似的方式,将存储器单元从状态“11”编程到作为临时(或中间)状态的状态“x0”。在同一字线中的邻近单元也进行 LSB 编程之后,由于 ICI,分布可能被扩宽,如图 5A 中的峰 510 所示。随后,在图 5B 中示出的 MSB 编程阶段,“x0”状态被编程到作为与输入数据对应的最终状态的“00”和“10”,或者“11”状态被编程到最终的“01”状态。一般,除“11”单元之外的所有存储器单元在 MSB 编程阶段中从对于 LSB 数据的临时编程状态重新编程到它们的最终状态,使得可以极大地减小由邻近单元引起的 ICI。处于最终状态的单元将不会遭受到其处于中间状态时经历的 ICI,这是因为其已被重新编程到最终状态。处于最终状态的单元将仅遭受到由于处于最终状态而经历的 ICI。如上文提到的,使用中间编程状态的图 5A 和图 5B 的多步(multi-step)编程序列减少了最大电压改变,并且因此减少了由这些电压改变引起的 ICI。在图 5B 中可以看到,例如 MSB 编程阶段期间的最大电压偏移分别与从状态“11”到“01”和从状态“x0”到状态“10”的转变关联。这些电压偏移明显小于图 4 中的从状态“11”到“01”的最大电压偏移。

[0040] 图 6 更详细地示出了多电平单元(MLC)闪存存储器器件 130 中的示例性闪存单元阵列 600。如图 6 所示,闪存单元阵列 600 对于每个闪存单元 c_i 存储三个位。图 6 示出了对于一个模块的闪存单元阵列架构,其中每个示例性单元典型地对应于存储三个位的浮栅晶体管。示例性单元阵列 600 由 m 条字线和 n 条位线组成。典型地,在当前的多页单元闪存存储器中,单个单元中的位属于不同的页。在图 6 的示例中,每个单元的三个位对应于三个不同的页,并且每条字线存储三个页。在下面的讨论中,页 0、1 和 2 被称为字线中的低页层级(page level)、中间页层级和高页层级。

[0041] 如上文所指出的,闪存单元阵列可以被进一步分为偶数和奇数页,其中例如,具有偶数编号的单元(诸如图 6 中的单元 2 和 4)对应于偶数页,而具有奇数编号的单元(诸如图 6 中的单元 1 和 3)对应于奇数页。在该情况中,页(诸如页 0)将包含偶数单元中的偶数页(偶数页 0)和奇数单元中的奇数页(奇数页 0)。

[0042] 单元间干扰

[0043] 如前面指出的,ICI 是单元之间的寄生电容的结果,并且通常被视为最主要的失真源之一。图 7 示出了对于目标单元 710 的由于来自多个示例性入侵单元 720 的寄生电容而存在的 ICI。在图 7 中使用如下标记:

[0044] WL:字线;

[0045] BL:位线;

[0046] BLo:奇数位线;

[0047] BLe :偶数位线 ;以及

[0048] C :电容。

[0049] 本发明认识到 ICI 是由在目标单元 710 已经被编程之后进行编程的入侵单元 720 引起的。ICI 改变目标单元 710 的电压 V_t 。在示例性实施例中,采取“自底而上”编程方案,并且字线 i 和 $i+1$ 中的相邻入侵单元引起了对于目标单元 710 的 ICI。如图 7 所示,通过模块的这种自底而上的编程,来自下面的字线 $i-1$ 的 ICI 被移除,并且高达五个邻近单元作为入侵单元 720 对 ICI 有贡献。然而,应当注意,本领域技术人员将清楚,这里公开的技术可以被推广到来自其它字线(诸如字线 $i-1$)的入侵单元也对 ICI 有贡献的情况。如果来自字线 $i-1$ 、 i 和 $i+1$ 的入侵单元对 ICI 有贡献,则需要考虑高达八个最近的邻近单元。如果更远离目标单元的其它单元对 ICI 的贡献可忽略的话,则可以忽略它们。通常,通过分析编程序列方案(诸如自底而上或者偶数/奇数技术)以识别在给定的目标单元 710 之后进行编程的入侵单元 720,来识别入侵单元 720。

[0050] 在示例性实施例中,入侵单元 720 引起的对目标单元 710 的 ICI 可以如下建模:

$$\begin{aligned}
 \Delta V_{ICI}^{(i,j)} = & k_x \Delta V_t^{(i,j-1)} + k_x \Delta V_t^{(i,j+1)} + k_y \Delta V_t^{(i+1,j)} + \\
 & k_{xy} \Delta V_t^{(i+1,j-1)} + k_{xy} \Delta V_t^{(i+1,j+1)} \quad (1)
 \end{aligned}$$

[0053] 其中 $\Delta V_t^{(w,b)}$ 是入侵单元 (w, b) 的 V_t 电压的改变, $\Delta V_{ICI}^{(i,j)}$ 是由于 ICI 引起的目标单元 (i, j) 的 V_t 电压的改变,而 k_x 、 k_y 和 k_{xy} 是电容耦合系数。

[0054] 一般, V_t 是表示单元上存储的数据的电压并且是在读操作期间获得的。 V_t 可以是例如具有比每单元存储的位数量更高的精度的软电压值,或者被量化到具有与每单元存储的位数量相同的分辨率(例如,对于 3 位/单元的闪存,为 3 位)的硬电压电平的值。

[0055] 系统级考虑

[0056] 图 8 是根据本发明的并入基于控制器的 ICI 减轻技术的示例性闪存存储器系统 800 的示意性框图。如图 8 所示,示例性闪存存储器系统 800 包括由接口 850 连接的闪存控制系统 810 和闪存存储器模块 860。示例性闪存控制系统 810 包括典型地在一个或多个集成电路上的闪存控制器 820 和读通道 825。示例性闪存控制器 820 可以例如使用公知的市场上可买到的技术和/或产品来实现,并如在本申请中那样修改以便支持本发明的特征和功能。

[0057] 示例性读通道 825 包括信号处理单元 830、编码器/解码器模块 840 和一个或多个缓存器 845。请注意,术语“读通道”也可以包括写通道。在另选实施例中,编码器/解码器模块 840 和一些缓存器 845 可以被实现在闪存控制器 820 内。编码器/解码器模块 840 和缓存器 845 可以例如使用公知的市场上可买到的技术和/或产品来实现,并如在本申请中那样修改以便提供本发明的特征和功能。

[0058] 示例性信号处理单元 830 包括实现一个或多个 ICI 减轻处理 835 的一个或多个处理器,如下面结合例如图 10-12 进一步讨论的。另外,下面结合例如图 10-12 还进一步讨论图 8 所示出的各个模块当中的数据流。一般,如下面结合图 11 和图 12 进一步讨论的,为了在读操作期间执行 ICI 减轻,一个或多个 ICI 减轻处理 835 基于硬或软读取值来计

算新的读取值。同样地,如下面结合图 10 进一步讨论的,为了在写操作期间执行 ICI 减轻,一个或更多个 ICI 减轻处理 835 基于对于目标和入侵单元的编程数据而产生要被存储在存储器阵列 870 中的预补偿的编程值。

[0059] 示例性闪存存储器模块 860 包括每个都可以使用公知的市场上可买到的技术和/或产品实现的存储器阵列 870 和一个或多个缓存器 880。

[0060] 根据下面结合图 10 和图 11 进一步讨论的本发明的一个方面,示例性接口 850 可能需要传递相对于传统闪存存储器系统而言额外的信息,诸如表示与入侵单元关联的信息的值。因此,接口 850 可能需要具有与传统闪存存储器系统中的接口相比更大的容量(例如更多的输入或输出引脚)或更快的速度。

[0061] 在写操作期间,接口 850 典型地使用页面或字线级访问技术来传送要被存储在目标单元中的预补偿的编程值。对于示例性的页面或字线级访问技术的更详细的讨论,参见,例如,2009 年 3 月 11 日提交的题为“Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding”的国际专利申请序列号 No. PCT/US09/36810,其通过引用被包含于此。典型地,与表示原始编程值相比,表示预补偿的编程值要求更多的位,因为预补偿的编程值的数量典型地比原始编程值的数量大。因此,为了写侧的 ICI 减轻,接口 850 需要传送比传统的接口更多的数据。

[0062] 在读操作期间,接口 850 传送对于目标和入侵单元已经从存储器阵列 870 处获得的硬和/或软读取值。例如,除对于具有目标单元的页面的读取值之外,在接口总线之上还传送对于高/低字线或邻近偶数或奇数位线中的一个或更多个相邻页面的读取值。

[0063] 在图 8 的实施例中,所公开的写侧或读侧的 ICI 减轻技术典型地以针对逻辑电路优化以实现最低面积的处理技术被实现在闪存存储器外。然而,它以必须在接口 850 上传送的额外的入侵单元数据为代价。

[0064] 图 9 是根据本发明的另选实施例的并入基于存储器的 ICI 减轻技术的示例性闪存存储器系统 900 的示意性框图。如图 9 所示,示例性闪存存储器系统 900 包括由接口 950 连接的闪存控制系统 910 和闪存存储器模块 960。示例性闪存控制系统 910 包括典型地在一个或更多个集成电路上的闪存控制器 920 和可选的读通道 925。示例性读通道 925 包括编码器/解码器模块 940 和一个或更多个缓存器 945。在另选实施例中,编码器/解码器模块 940 和一些缓存器 945 可以被实现在闪存控制器 920 内。示例性闪存控制器 920 可以例如使用公知的市场上可买到的技术和或产品来实现,并如在本申请中那样修改以便支持本发明的特征和功能。可以使用公知的市场上可买到的技术和/或产品来实现编码器/解码器模块 940 和缓存器 945。

[0065] 示例性闪存存储器模块 960 包括每个都可以使用公知的市场上可买到的技术和/或产品实现的存储器阵列 970 和一个或更多个缓存器 980。另外,示例性闪存存储器模块 960 包括示例性信号处理单元 985,其包括实现一个或更多个 ICI 减轻处理 990 的一个或更多个处理器。一般,为了在读操作期间执行 ICI 减轻,所述一个或更多个 ICI 减轻处理 990 基于从存储器阵列 970 读取的硬或软读取值来计算新的读取值。同样地,为了在写操作期间执行 ICI 减轻,所述一个或更多个 ICI 减轻处理 990 基于从闪存控制器 910 接收的对于目标和入侵单元的编程数据而产生预补偿的编程值。

[0066] 根据下面结合图 10 和图 11 进一步讨论的本发明的一个方面, 示例性接口 950 可能需要传递相对于传统闪存存储器系统而言额外的信息, 诸如表示与入侵单元关联的信息的值。因此, 接口 950 可能需要具有与传统闪存存储器系统中的接口相比更大的容量 (例如更多的输入或输出引脚) 或更快的速度。

[0067] 在写操作期间, 接口 950 传送要被存储在目标和入侵单元中的编程数据, 并且在闪存存储器 960 内计算预补偿的编程值。接口 950 将传送例如如传统闪存存储器系统中一样的对于具有目标单元的页面的编程数据、以及附加地传送对于具有入侵单元的偶数或奇数位线或者相邻字线的编程数据。典型地, 与表示预补偿的编程值相比, 表示该编程数据要求更少的位。因此, 对于写侧的 ICI 减轻, 接口 950 典型地会需要比接口 850 更少的带宽。然而, 这是以使用用来制造闪存存储器的存储器加工技术在存储器内实现写侧的 ICI 减轻处理为代价, 其典型地针对存储器而不是逻辑电路来优化。

[0068] 在读操作期间, 接口 950 传送通过 ICI 减轻处理 990 针对目标单元和可选地针对入侵单元计算的新的硬或软读取值或数据。典型地, 对于单个读访问传递的信息是页面或字线的数据。请注意, 仅仅发送针对目标单元的数据减少了接口 950 的带宽要求, 这以使用用来制造闪存存储器的存储器加工技术在存储器内实现读侧的 ICI 减轻处理为代价, 其典型地针对存储器而不是逻辑电路来优化。

[0069] 请注意, 在图 8 和图 9 的 ICI 减轻技术的各个实施例中使用的电容耦合系数 k_x 、 k_y 和 k_{xy} 可以在闪存控制系统 810、910 和 / 或闪存存储器模块 860、960 中被计算。电容耦合系数 k_x 、 k_y 和 k_{xy} 在相应接口 850、950 上被传送可以是必需的。请注意, 电容耦合系数可以是自适应的并且连续地、偶然地或周期性地被更新。

[0070] 对于示例性 ICI 减轻处理 835、990 的更详细的讨论, 参见例如题为 “Methods and Apparatus for Write-Side Intercell Interference Mitigation in Flash Memories” 的 PCT 专利申请序列号 No. _____ 以及题为 “Methods and Apparatus for Read-Side Intercell Interference Mitigation in Flash Memories” 的 PCT 专利申请序列号 No. _____, 上述每个申请皆与本申请同时提交并且通过引用被包含于此。

[0071] 改进的接口 850、950

[0072] 如先前指出的, 本发明提供在闪存存储器控制器 820、920 与闪存存储器阵列 870、970 之间的改进的接口 850、950。根据本发明的一个方面, 在时钟信号的第一边沿 (诸如上升沿) 传送对于目标单元 710 的数据, 而在时钟信号的第二边沿 (诸如下降沿) 发送关于所传送数据的额外的信息。所公开的接口在没有显著增大功耗或表面面积的情况下为关于所发送数据的额外的信息提供了额外的带宽。

[0073] 一般, 接口 850、950 可以例如根据通过引用被包含于此的 ONFI 2.0 标准来实现, 并如在本申请中那样修改以提供本发明的特征和功能。以这样的方式, 相同的接口 850、950 可以被用于没有能力处理软数据和发送额外的写数据的先前的 (legacy) 闪存控制器 820、920。先前的闪存控制器 820、920 可以忽略根据本发明的在下降沿发送的额外的数据。

[0074] 如先前所指出的, ONFI 2.0 版使用双倍数据率 (DDR) 技术来在时钟信号的上升沿和下降沿都传送数据。虽然 ONFI 2.0 版增大了 NAND 闪存接口的数据承载容量, 但是它不提供可以提高性能的用于承载额外信息的额外的带宽。在一个示例性实施例中, 在时钟信号的第一边沿 (诸如上升沿) 传送对于目标单元 710 的数据, 而在时钟信号的第二边沿 (诸

如下降沿)发送关于所传送数据的额外的信息,例如软读取数据和相邻的写数据。

[0075] A. 写访问

[0076] 图 10 示出根据本发明的对于写访问的相关波形。如图 10 所示,典型地使用 CLK 信号或 DQS(选通)信号或两者来作为闪存存储器的 DQ 总线上的数据的时钟。一般,当使能 DQS 信号时,DQS 信号具有与 CLK 信号的每个上升沿和下降沿分别对应的上升沿和下降沿。

[0077] ONFI 2.0 版在时钟信号的上升沿和下降沿都传送数据。本发明在 CLK 信号的第一边沿(诸如上升沿)传送对于目标单元 710 的数据,而在 CLK 信号的第二边沿(诸如下降沿)发送关于对于目标单元 710 所传送数据的额外的信息。在写访问中,下降沿上增加的带宽可以被用来从闪存存储器控制器 820、920 分别向闪存存储器阵列 870、970 传送额外的信息(例如入侵数据信息)。在一个示例性应用中,改进的接口 850、950 提供额外的带宽以便使得能够传送用于 ICI 减轻的对于目标单元 710 的入侵单元 720 的信息。例如,在 CLK(或 DQS)信号的下降沿锁存的数据可以传送对于目标单元 710 的高的相邻位,其可以被 ICI 减轻处理 835、990 用来调整编程的电压以便减轻单元间的干扰。

[0078] B. 读访问

[0079] 图 11 示出根据本发明的对于读访问的相关波形。如图 11 所示,典型地使用 CLK 信号或 DQS(选通)信号或两者来作为闪存存储器的 DQ 总线上的数据的时钟。一般,当使能 DQS 信号时,DQS 信号具有与 CLK 信号的每个上升沿和下降沿分别对应的上升沿和下降沿。

[0080] ONFI 2.0 版在时钟信号的上升沿和下降沿都传送数据。本发明在 CLK 信号的第一边沿(诸如上升沿)传送对于目标单元 710 的数据,而在 CLK 信号的第二边沿(诸如下降沿)发送关于对于目标单元 710 所传送数据的额外的信息。在读访问中,下降沿上增加的带宽可以被用来传送与在上升沿发送的对于目标单元 710 的硬数据关联的对于目标单元 710 的软数据(例如概率信息)。该传送是从闪存存储器阵列 870、970 分别到闪存存储器控制器 820、920 的。在一个示例性应用中,改进的接口 850、950 提供额外的带宽以便使得能够传送用于 ICI 减轻的目标单元 710 的软信息。例如,在 CLK(或 DQS)信号的下降沿锁存的数据可以传送对于目标单元 710 的软数据,其可以被 ICI 减轻处理 835、990 用于改进的纠错和单元间干扰减轻。

[0081] 处理、系统和产品的细节

[0082] 尽管这里的多个流程图描述了示例性的步骤序列,但是序列可以变化,这也是本发明的实施例。算法的各种置换被视为本发明的另选实施例。尽管已经针对软件程序中的处理步骤描述了本发明的示例性实施例,但是如本领域技术人员将清楚的,各种功能可以在数字领域中实现为软件程序中的处理步骤,在硬件中通过电路元件或状态机实现,或者通过软件和硬件的组合实现。这种软件可以用在例如数字信号处理器、专用集成电路、微控制器或者通用计算机中。这种硬件和软件可以被具体实现在集成电路内实现的电路内。

[0083] 因此,本发明的功能可以被具体实现为方法和用于实践这些方法的设备的形式。本发明的一个或更多个方面可以被具体实现为例如存储在存储介质中、加载到机器中和/或由该机器执行、或者在某种传输介质上传送的程序代码的形式,其中当程序代码被加载到诸如计算机的机器中并且由该机器执行时,该机器变为用于实践本发明的设备。当在通用处理器上实现时,程序代码段与处理器组合以提供与特定逻辑电路类似地操作的装置。本发明也可以实现在集成电路、数字信号处理器、微处理器和微控制器中的一个或更多个

中。

[0084] 如本领域中已知的,这里讨论的方法和设备可以作为产品分发,该产品自身包括具有在其上具体实现的计算机可读代码单元的计算机可读介质。计算机可读程序代码单元可以结合计算机系统操作以实现用于执行这里讨论的方法的所有或一些步骤或者创建这里讨论的设备。计算机可读介质可以是可记录介质(例如,软盘、硬盘驱动器、压缩盘、存储卡、半导体器件、芯片、专用集成电路(ASIC)),或者可以是传输介质(例如,网络,包括光纤、万维网、线缆、或者使用时分多址、码分多址的无线通道或其它射频通道)。可以使用能够存储适于与计算机系统一起使用的信息的任何已知的或开发的介质。计算机可读代码单元是用于允许计算机读取指令和数据的任何机制,诸如磁介质上的磁性变化或者压缩盘表面上的高度变化。

[0085] 这里描述的计算机系统和服务端每一均包含存储器,该存储器将配置关联的处理器来实现这里公开的方法、步骤和功能。存储器可以是分布式的或者本地的,并且处理器可以是分布式的或者单个的。存储器可以被实现为电、磁或光存储器,或者这些或其它类型的存储器器件的任何组合。而且,术语“存储器”应被足够广泛地解释为涵盖能够被从关联的处理器访问的可寻址空间中的地址读取或者写入该地址的任何信息。通过该定义,网络上的信息仍在存储器内,这是因为关联的处理器可以从网络取回信息。

[0086] 应当理解,这里示出和描述的实施例和变化仅是本发明的原理的说明,并且本领域技术人员可以实现各种修改而不偏离本发明的范围和精神。

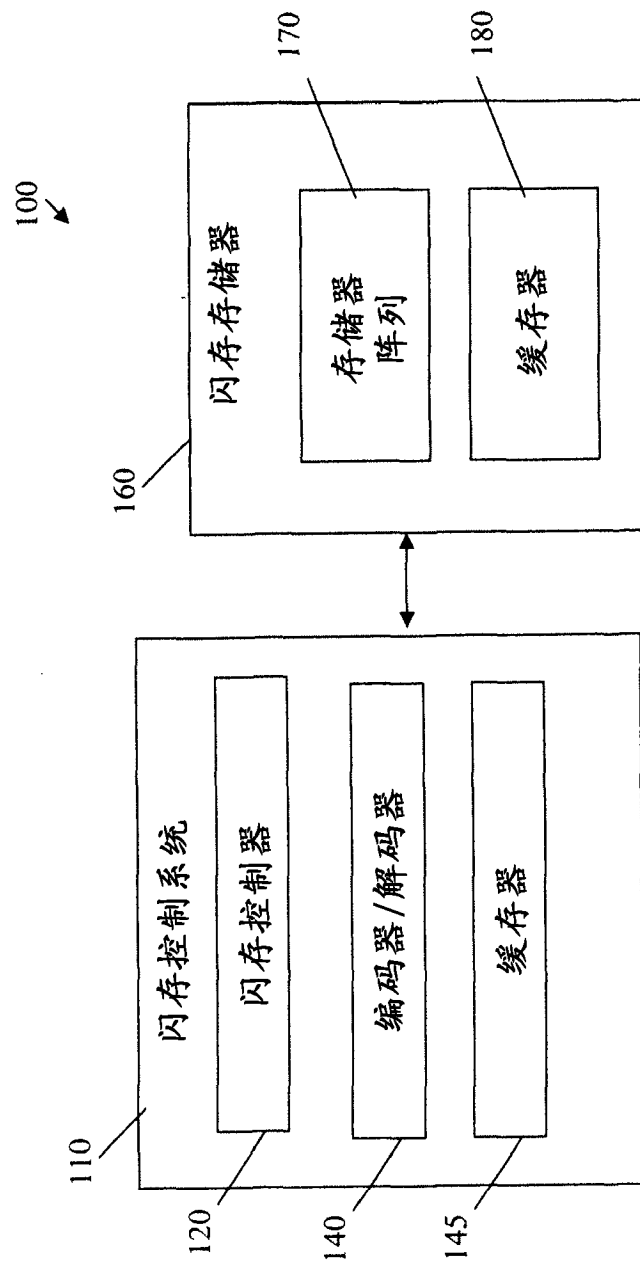


图1 现有技术

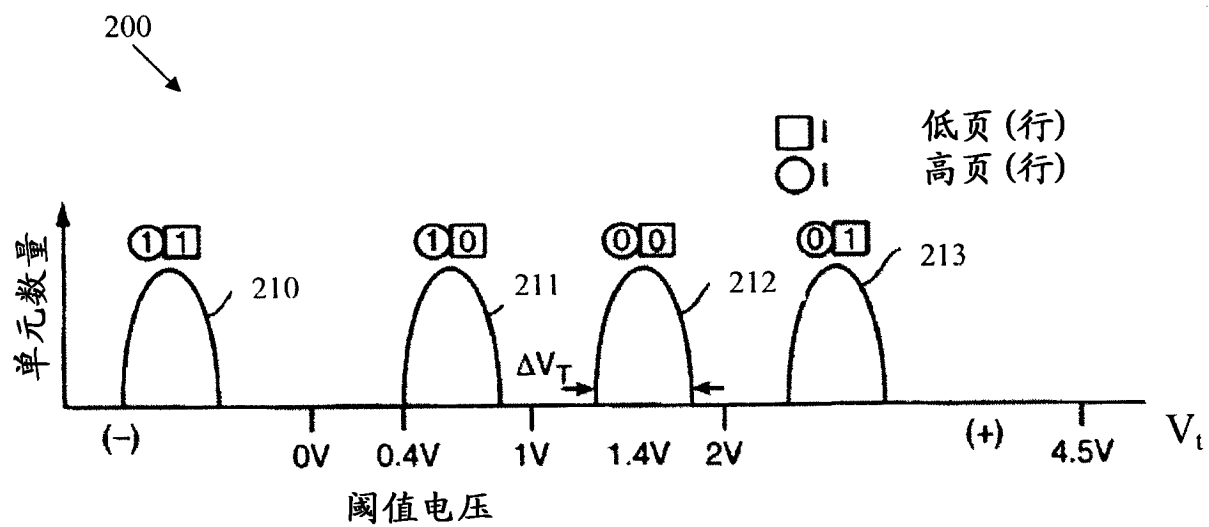


图 2

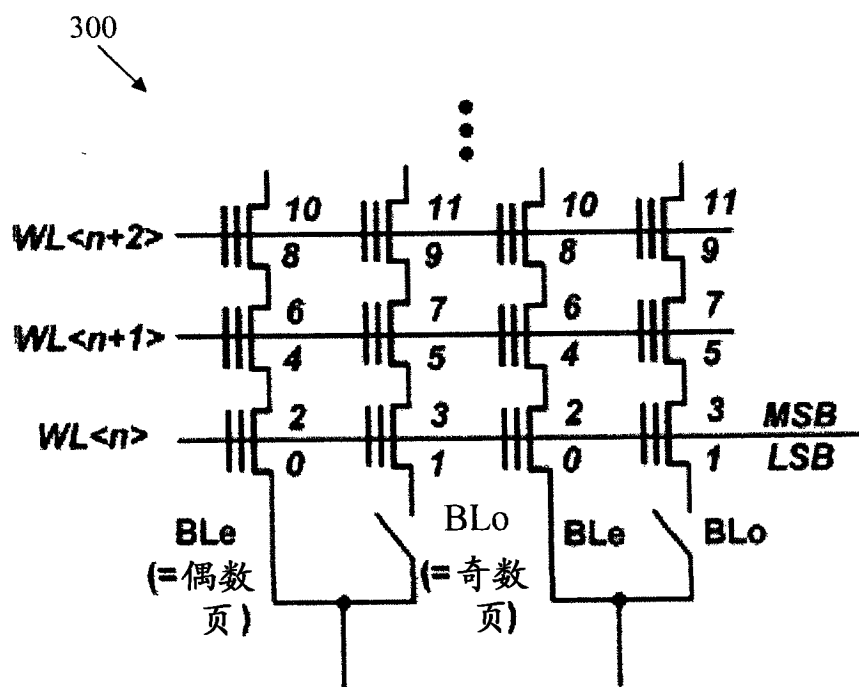


图 3

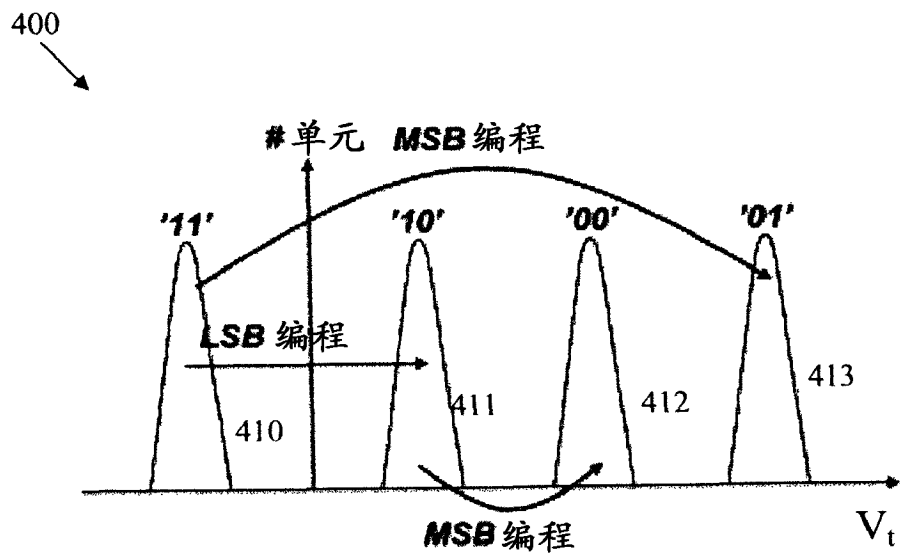


图 4

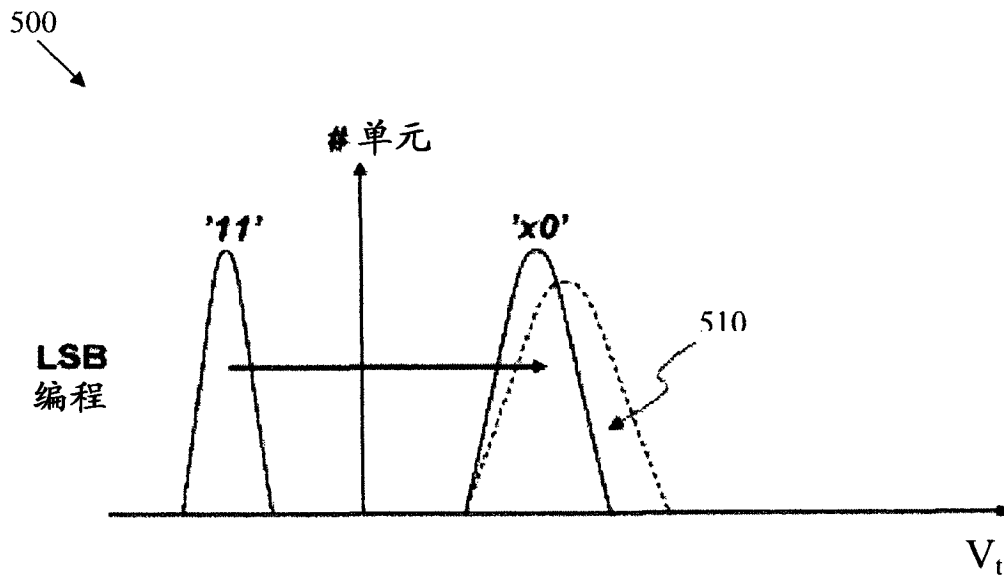


图 5A

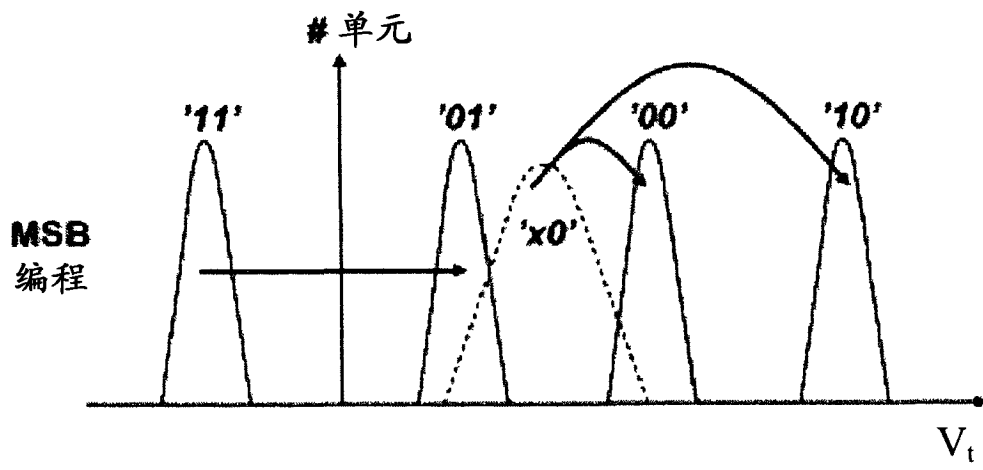


图 5B

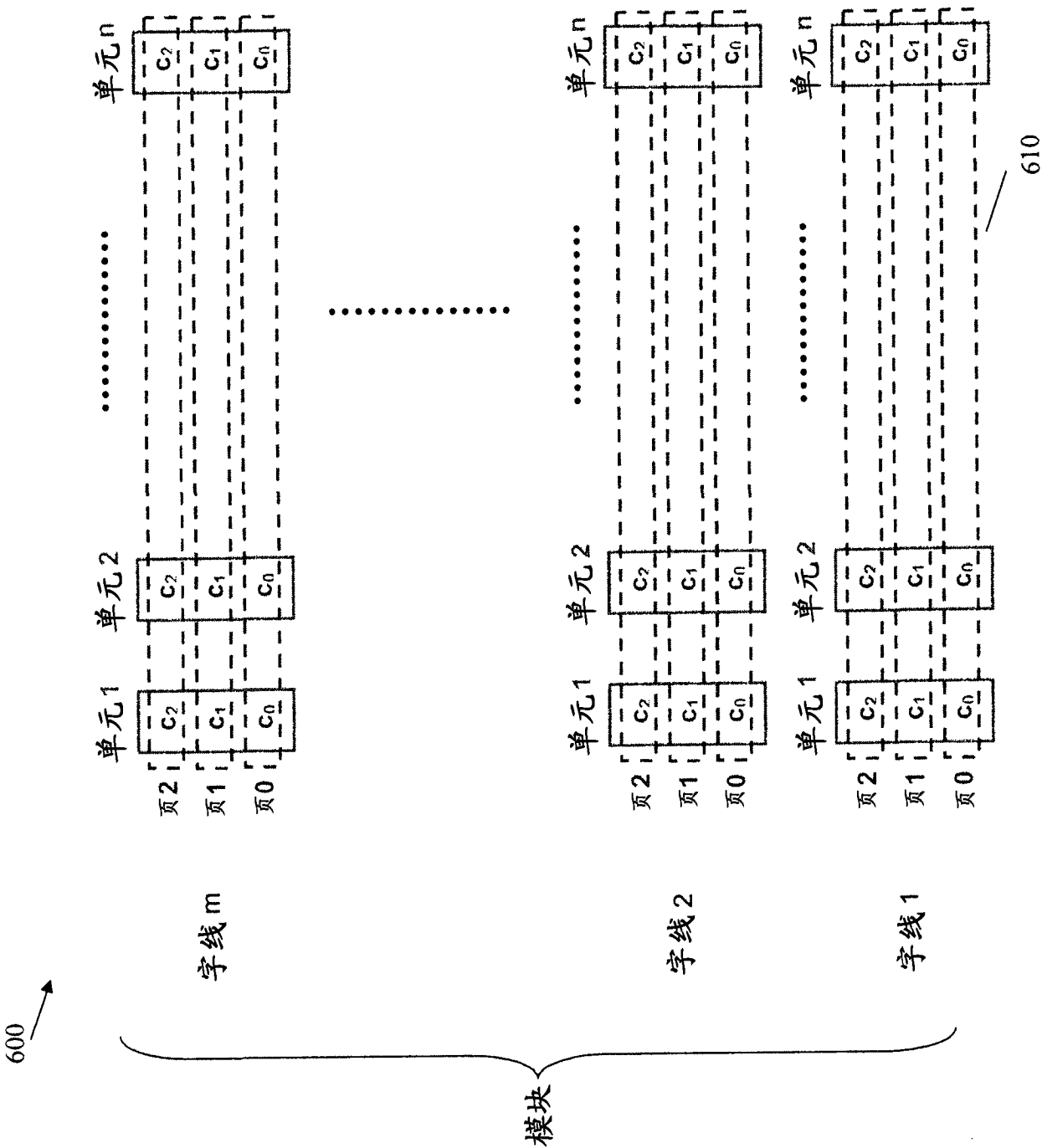


图 6

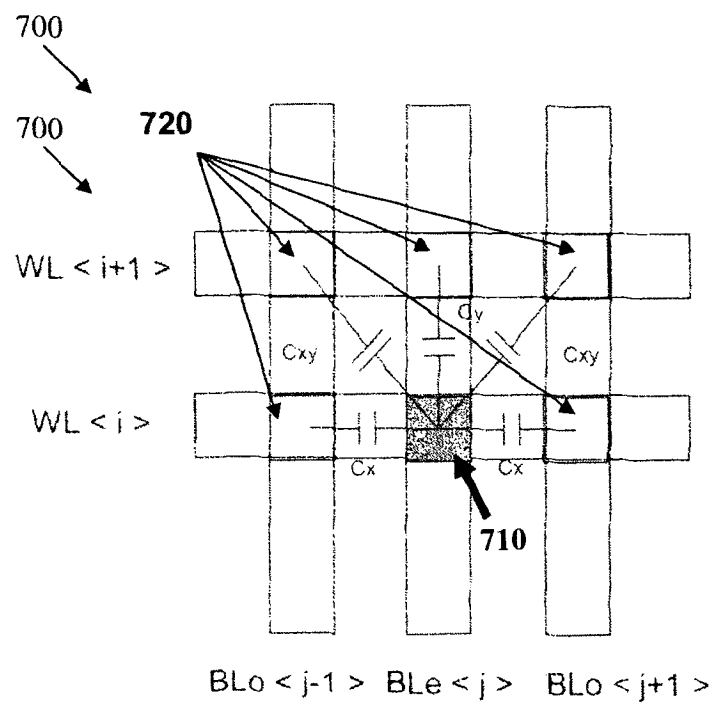


图 7

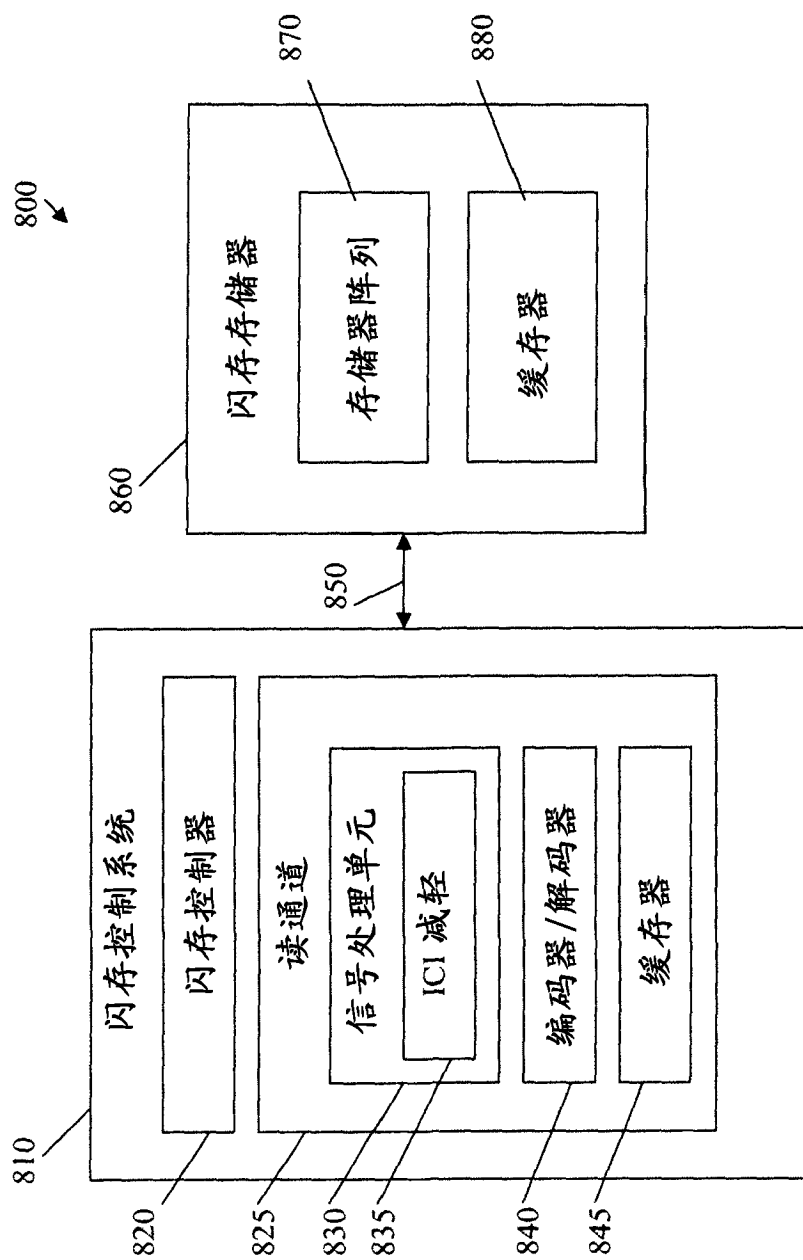


图 8

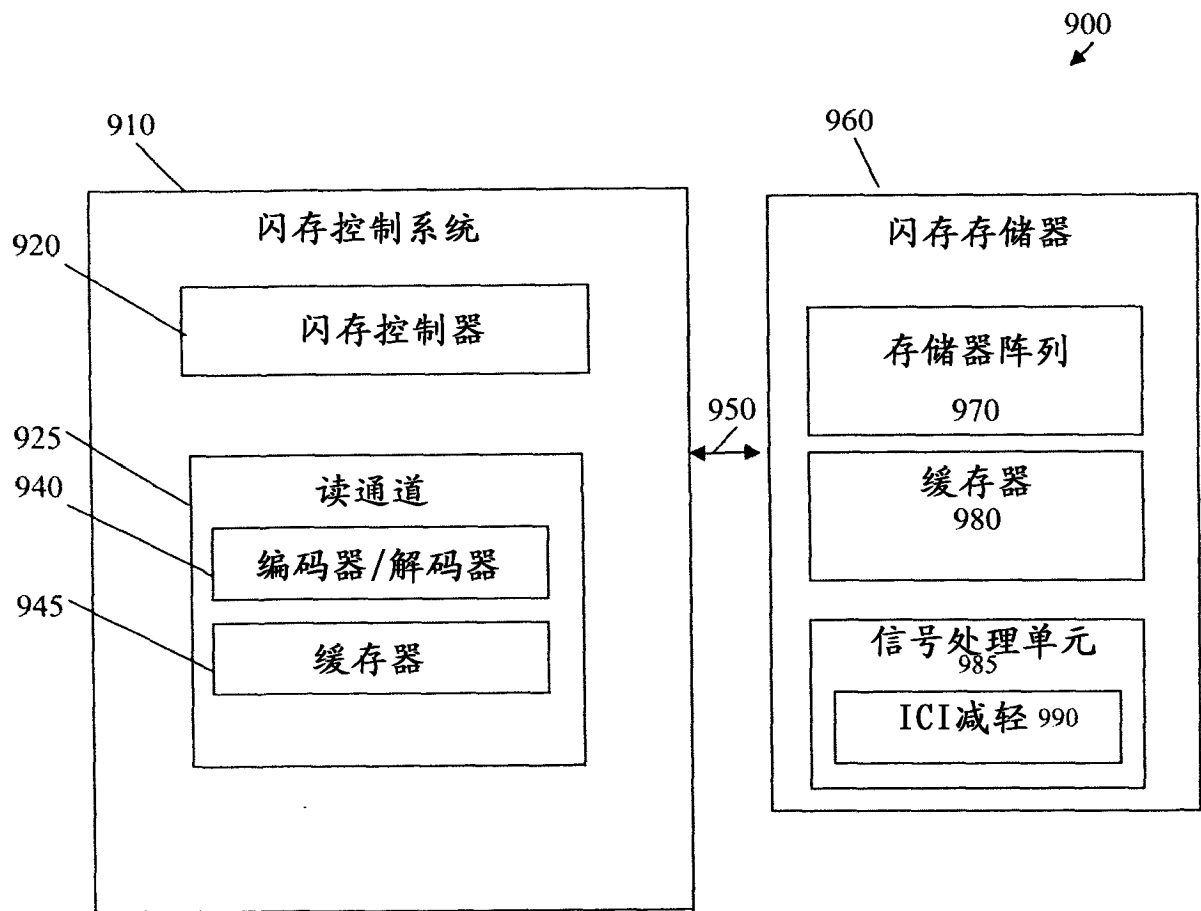


图 9

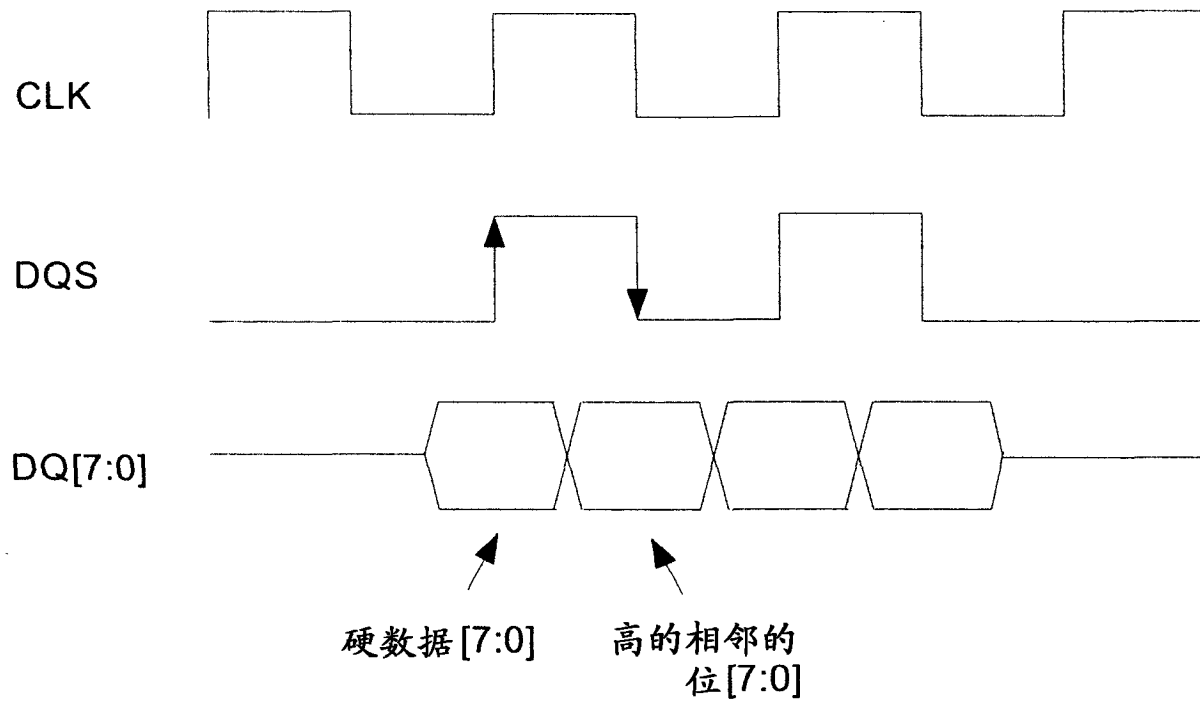


图 10

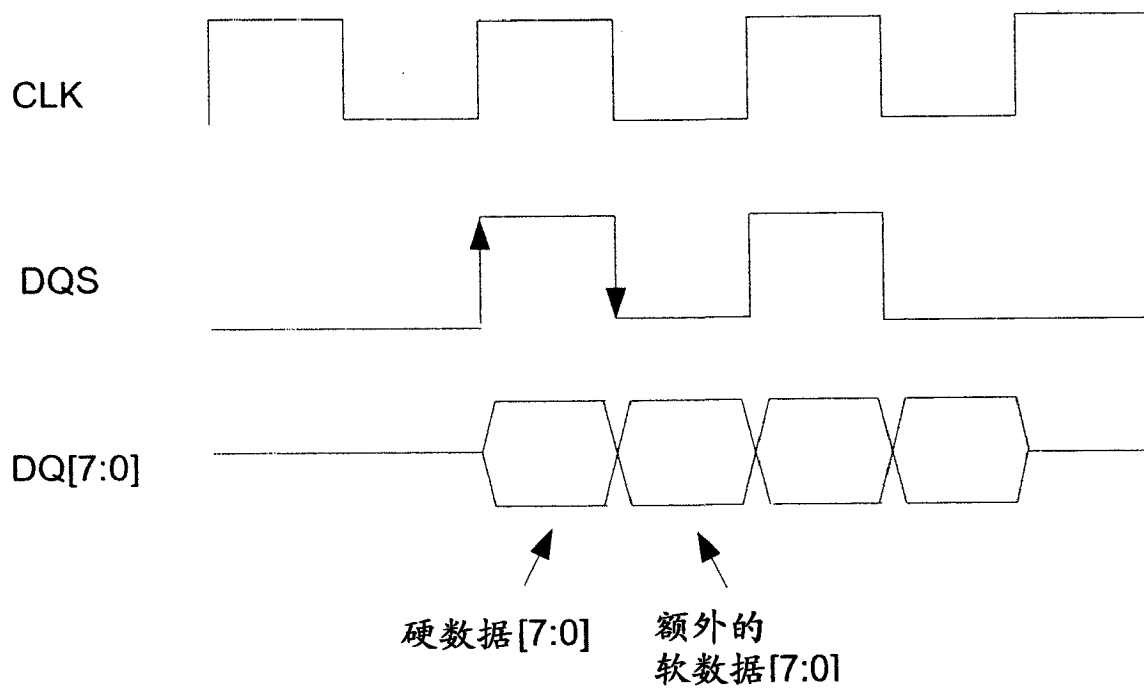


图 11