



(12) 发明专利申请

(10) 申请公布号 CN 105304515 A

(43) 申请公布日 2016. 02. 03

(21) 申请号 201510385500. 6

(22) 申请日 2015. 06. 30

(30) 优先权数据

14/319268 2014. 06. 30 US

(71) 申请人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市坎茨昂 1 - 12 号

(72) 发明人 S. 克拉姆普 M. 洛伊沙歇尔

C. 穆斯霍夫 E. 塔尔曼

(74) 专利代理机构 中国专利代理(香港)有限公司  
72001

代理人 王岳 刘春元

(51) Int. Cl.

H01L 21/66(2006. 01)

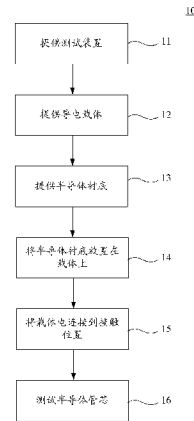
权利要求书2页 说明书4页 附图3页

(54) 发明名称

用于测试半导体管芯的方法和测试装置

(57) 摘要

本发明涉及用于测试半导体管芯的方法和测试装置。一种方法包括：提供测试装置；提供导电载体；提供具有第一主表面、与第一主表面相对的第二主表面以及多个半导体管芯的半导体衬底，半导体管芯包括在第一主表面上的第一接触元件和在第二主表面上的第二接触元件；将半导体衬底放置在载体上，其中第二主表面面向载体；将载体电连接到设置在第一主表面上的接触位置；以及通过将测试装置与半导体管芯的第一接触元件和接触位置电连接来测试半导体管芯。



1. 一种用于测试半导体管芯的方法,所述方法包括:  
提供测试装置;  
提供导电载体;  
提供包括第一主表面、与所述第一主表面相对的第二主表面以及多个半导体管芯的半导体衬底,所述半导体管芯包括在所述第一主表面上的第一接触元件和在所述第二主表面上的第二接触元件;  
将所述半导体衬底放置在所述载体上,所述第二主表面面向所述载体;  
将所述载体电连接到设置在所述第一主表面上的接触位置;以及  
通过将所述测试装置与所述半导体管芯的所述第一接触元件和所述接触位置电连接来测试半导体管芯。
2. 如权利要求 1 所述的方法,其中  
所述半导体管芯的至少部分包括晶体管、功率晶体管、垂直晶体管、MOS 晶体管和绝缘栅双极(IGB)晶体管中的一个或多个。
3. 如权利要求 1 所述的方法,其中  
提供所述半导体衬底包括以这样的方式制造所述半导体衬底,使得所述半导体衬底包括所述多个半导体管芯和能够提供在所述载体和所述接触位置之间的电连接的辅助半导体管芯。
4. 如权利要求 3 所述的方法,其中  
所述辅助半导体管芯包括在所述第一主表面上的第一接触元件和在所述第二主表面上的第二接触元件。
5. 如权利要求 4 所述的方法,其中  
所述辅助半导体管芯的所述第一接触元件与所述接触位置相同。
6. 如权利要求 3 所述的方法,其中  
所述辅助半导体管芯包括开关、晶体管、垂直晶体管、MOS 晶体管和绝缘栅双极(IGB)晶体管中的一个或多个。
7. 如权利要求 3 所述的方法,其中  
所述辅助半导体管芯具有与所述半导体管芯相同的类型。
8. 如权利要求 3 所述的方法,其中  
所述辅助半导体管芯是所述多个半导体管芯之一。
9. 如权利要求 8 所述的方法,其中  
所述辅助半导体管芯在待测试的所述半导体管芯附近或邻近于待测试的所述半导体管芯。
10. 如权利要求 3 所述的方法,其中  
测试所述半导体管芯包括:  
生成第一控制信号并将所述第一控制信号供应到待测试的所述半导体管芯;以及  
生成第二控制信号并将所述第二控制信号供应到所述辅助半导体管芯。
11. 如权利要求 10 所述的方法,其中  
所述第一控制信号和第二控制信号被同步到彼此。
12. 一种用于测试半导体管芯的测试装置,包括:

测试管脚组件,其包括第一测试管脚和第二测试管脚,其中所述第一测试管脚布置成与待测试的半导体管芯的接触元件连接,以及所述第二测试管脚布置成与辅助半导体管芯的接触元件连接;以及

控制设备,其与所述测试管脚组件连接并配置成生成第一控制信号并将所述第一控制信号供应到所述第一测试管脚以及生成第二控制信号并将所述第二控制信号供应到所述第二测试管脚。

13. 如权利要求 12 所述的测试装置,其中

所述第一控制信号和第二控制信号被同步到彼此。

14. 如权利要求 12 所述的测试装置,其中

所述第一测试管脚和第二测试管脚相对于彼此被设置,使得所述第一测试管脚和第二测试管脚分别连接到半导体管芯和在所述半导体管芯附近或邻近于所述半导体管芯的辅助半导体管芯。

15. 如权利要求 12 所述的测试装置,还包括:

用于接纳半导体衬底的载体,所述半导体衬底具有被制造在所述半导体衬底上的多个半导体管芯。

16. 如权利要求 15 所述的测试装置,其中

所述载体是导电载体或卡盘。

17. 如权利要求 12 所述的测试装置,其中

所述测试管脚组件是探测卡。

18. 一种用于测试半导体管芯的测试装置的测试管脚组件,所述测试管脚组件包括:

第一测试管脚,其布置成与半导体管芯的接触元件连接;以及

第二测试管脚,其布置成与辅助半导体管芯的接触元件连接。

19. 如权利要求 18 所述的测试管脚组件,其中

所述第一测试管脚和第二测试管脚相对于彼此被设置,使得所述第一测试管脚和第二测试管脚分别连接到半导体管芯和在所述半导体管芯附近或邻近于所述半导体管芯的辅助半导体管芯。

20. 如权利要求 18 所述的测试管脚组件,其中

所述测试管脚组件是探测卡。

## 用于测试半导体管芯的方法和测试装置

### 技术领域

[0001] 本公开涉及用于测试半导体管芯的方法、测试装置和测试装置的测试管脚组件。

### 背景技术

[0002] 在功率电子器件中,非常经常地使用具有垂直晶体管(例如 IGBT 晶体管或其中通常至少一个电接触元件布置在半导体芯片的第一主表面上以及至少一个其它电接触元件布置在与第一主表面相对的半导体芯片的第二主表面上的晶体管)的半导体芯片。在将半导体芯片交付给消费者之前,知道半导体芯片是否整齐或它们是否满足预先确定的性能标准是重要的。另一优点是紧接着在晶片级基础上的前端处理之后半导体芯片的测试,因为如果有缺陷的器件可在制造工艺的早期阶段中被识别出,则成本节省高。

### 附图说明

[0003] 附图被包括以提供对实施例的进一步理解并合并在本说明书中且构成本说明书的一部分。附图示出实施例且与描述一起用于解释实施例的原理。其它实施例和实施例的很多预期优点将容易被认识到,因为它们通过参考下面的详细描述变得更好理解。附图的元件不一定相对于彼此按比例。相似的参考数字表示相应的相似部件。

[0004] 图 1 示出用于说明根据示例的用于测试半导体管芯的方法的流程图。

[0005] 图 2 示出测试环境连同测试装置一起的示意性横截面侧视图表示。

[0006] 图 3 示出用于测试半导体功率晶体管的测试电路的等效电路图。

### 具体实施方式

[0007] 现在参考附图描述方面和实施例,其中相似的参考数字通常用于始终表示相似的元件。在下面的描述中,为了解释的目的,阐述了很多特定的细节,以便提供对实施例的一个或多个方面的彻底理解。然而对本领域中的技术人员可能明显的是,实施例的一个或多个方面可以用较小程度的特定细节被实践。在其它实例中,以示意性形式示出已知的结构和元件以便便于描述实施例的一个或多个方面。应理解,其它实施例可被利用,且结构或逻辑变化可被做出而不偏离本发明的范围。应进一步注意,附图并不按比例或不一定按比例。

[0008] 此外,虽然可以关于几个实现中的仅仅一个实现公开了实施例的特别的特征或方面,但这样的特征或方面可与其它实现的一个或多个其它特征或方面组合,如可对任何给定或特别的应用是期望和有利的。此外,在术语“包括”、“具有”、“带有”或其中的其它变形在详细描述或权利要求中被使用的方面来说,这样的术语意在以与术语“包含”类似的方式是包括性的。可使用术语“耦合”和“连接”连同派生词。应理解,这些术语可用于指示两个元件彼此协作或交互作用,而不考虑它们是直接物理或电接触,还是它们彼此不直接接触。此外,术语“示例性的”仅意指作为示例,而不是最佳的或最优的。下面的详细描述因此不应在限制性的意义上被理解,且本发明的范围由所附权利要求限定。

[0009] 用于测试半导体管芯的方法和用于测试半导体管芯的装置的示例可使用各种类

型的半导体管芯,在它们当中有 MOS 晶体管结构或垂直晶体管结构,像例如 IGBT(绝缘栅双极晶体管)结构或通常其中至少一个电接触元件布置在半导体管芯的第一主表面上以及至少一个其它电接触元件布置在与半导体管芯的第一主表面相对的半导体管芯的第二主表面上的晶体管或其它结构或器件。

[0010] 在权利要求中和在下面的描述中,用于测试半导体管芯的方法的不同示例被描述为工艺或措施的特别的顺序,特别是在流程图中。应注意,示例应不限于所描述的特别的顺序。也可同时或以任何其它有用和适当的顺序进行不同工艺或措施中的特别的任何或全部。

[0011] 图 1 示出用于说明根据示例的用于测试半导体管芯的方法 10 的流程图。方法 10 包括提供测试装置(框 11),提供导电载体(框 12),提供包括第一主表面和与第一主表面相对的第二主表面以及多个半导体管芯的半导体衬底,半导体管芯包括分别在第一主表面上的第一接触元件和在第二主表面上的第二接触元件(框 13),将半导体衬底放置在载体上,其中第二主表面面向载体(框 14),将载体电连接到设置在第一主表面上的接触位置(框 15),以及通过将测试装置与半导体管芯的第一接触元件和接触位置电连接来测试半导体管芯(框 16)。

[0012] 上述方法 10 允许借助于横向测试管脚布置来测试具有垂直结构并集成在一个且相同的半导体衬底上的半导体管芯,其中测试管脚与半导体衬底的一个且相同的主表面连接。在测试装置与半导体衬底的上第一主表面连接的测试配置中,上述方法 10 避免通过电线将测试装置连接到半导体衬底的下第二主表面。这样的电线的长度将暗示高寄生电感。上述方法 10 因此允许以与对横向结构半导体管芯相同的方式在垂直结构半导体管芯处进行测试测量。

[0013] 根据图 1 的方法 10 的示例,半导体管芯的一部分或全部包括晶体管、功率晶体管、垂直晶体管、MOS 晶体管和绝缘栅双极(IGB)晶体管中的一个或多个。

[0014] 根据图 1 的方法 10 的示例,将载体电连接到接触位置包括将载体临时连接到接触位置,特别是只在半导体管芯的测试被执行、即电测试信号应用于半导体管芯时的时间间隔中将载体连接到接触位置。根据其中的示例,半导体衬底可包括能够提供在载体和接触位置之间的电接触的辅助半导体管芯。根据其中的示例,辅助半导体管芯可包括具有垂直结构的电气器件,垂直结构意味着为了电连接器件,辅助半导体管芯可包括在半导体衬底的第一主表面上的第一接触元件和在半导体衬底的第二主表面上的第二接触元件。特别是,辅助半导体管芯的第一接触元件可与接触位置相同。

[0015] 根据图 1 的方法 10 的示例,半导体管芯可包括开关、晶体管、垂直晶体管、MOS 晶体管和绝缘栅双极(IGB)晶体管中的一个或多个。

[0016] 根据图 1 的方法 10 的示例,辅助半导体管芯具有与多个半导体管芯中的半导体管芯相同的类型。特别是,辅助半导体管芯可以是来自多个半导体管芯的一个半导体管芯。根据其中的示例,辅助半导体管芯可以是总是相同的一个半导体管芯的一个特别的半导体管芯,而不考虑哪个半导体管芯即刻在测试中。根据另一示例,辅助半导体管芯可以是“飞行”半导体管芯,这意味着辅助半导体管芯是总是在即刻在测试下的半导体管芯附近或邻近于即刻在测试下的半导体管芯的半导体管芯。特别是,辅助半导体管芯可以是最接近在测试下的半导体管芯的半导体管芯或立即并排邻近于在测试下的半导体管芯的半导体管芯。

[0017] 根据图 1 的方法 10 的示例,测试半导体管芯包括生成第一控制信号并将第一控制信号供应到在测试下的半导体管芯,以及生成第二控制信号并将第二控制信号供应到辅助半导体管芯。根据其中的示例,第一和第二控制信号被同步到彼此。根据其中的示例,辅助半导体管芯只在第一控制信号被供应到在测试下的半导体管芯时的测试测量间隔期间由第二控制信号驱动。使用第二控制信号驱动辅助半导体管芯可暗示生成在辅助半导体管芯的第一接触元件和第二接触元件之间和因而在到导电载体和接触位置之间的传导路径。更具体地,在辅助半导体管芯包括晶体管的情况下,驱动辅助半导体管芯可暗示使晶体管接通。

[0018] 如上面提到的,根据一个示例,辅助半导体管芯布置在在测试下的半导体管芯的侧向,且是可由垂直晶体管器件组成的多个半导体管芯中的仅一个半导体管芯。这个配置的一个优点是,当其中的垂直晶体管被接通时,待测试的半导体管芯和辅助半导体管芯具有相等的电流负载。作为结果,在测试半导体管芯期间不应出现电流限制。

[0019] 图 2 示出根据示例的用于测试半导体管芯的测试装置 20 的示意性表示。图 2 的测试装置 20 包括测试单元 21 和探测单元 22。测试单元 21 借助于连接线 23 与探测单元 22 连接。探测单元 22 可包括测试管脚组件 22.1,其包括第一测试管脚 22.11 和第二测试管脚 22.12,其中第一测试管脚 22.11 布置成与待测试的半导体管芯 31 的接触元件连接,且第二测试管脚 22.12 布置成与辅助半导体管芯 32 的接触元件连接。控制单元 21 配置成生成第一控制信号并将第一控制信号供应到第一测试管脚 22.11,并生成第二控制信号并将第二控制信号供应到第二测试管脚 22.12。半导体管芯 31 和 32 集成在可以是在前端处理之后的半导体晶片的半导体衬底上。

[0020] 控制单元 21 可包括电压或电流源 21.1 和被编程为根据不同的测试过程生成第一和第二控制信号的电路。

[0021] 根据图 2 的测试装置 20 的示例,控制单元 21 配置成生成彼此同步的第一和第二控制信号。

[0022] 根据图 2 的测试装置 20 的示例,测试管脚组件 22.1 以探测卡的形式被配置。

[0023] 根据图 2 的测试装置 20 的示例,第一和第二测试管脚 22.11 和 22.12 相对于彼此被设置,使得它们连接到以侧向方式被布置并被制造在一个且相同的半导体衬底 30 上的半导体管芯 31 和辅助半导体管芯 32,半导体衬底 30 可例如由半导体晶片,特别是硅晶片组成。特别是,待测试的半导体器件可包括晶体管,特别是垂直晶体管,特别是绝缘栅双极(IGB)晶体管。在这种情况下,半导体管芯(其具有被制造在其上的半导体器件)包括在半导体衬底 30 的第一上主表面上的第一接触元件,即源极接触元件和栅极接触元件以及在半导体衬底 30 的第二下主表面上的漏极接触元件的形式的第二接触元件。在这种情况下且在示例性简单配置中,第一测试管脚 22.11 可包括用于接触在测试下的半导体管芯 31 的源极接触元件和栅极接触元件的两个测试管脚,且以相同的方式第二测试管脚 22.12 可由用于接触辅助半导体管芯 32 的源极接触元件和栅极接触元件的两个测试管脚组成。

[0024] 根据图 2 的测试装置 20 的示例,测试装置 20 还包括用于接纳半导体衬底的载体 40,半导体衬底具有被制造在其上的多个半导体管芯 31。根据其中的示例,载体 40 配置成接纳半导体晶片、特别是具有标准大小的特别的半导体晶片的形式的半导体衬底。根据示例,载体 40 包括导电材料,且更具体地,载体 40 包括卡盘。卡盘可具有任何形式和结构,且

它可包括用于吸入半导体衬底的装置。

[0025] 图 2 还描绘与载体 40 连接的虚线 50。虚线 50 指明连接线 50,其是将载体 40 和半导体管芯 31 的第二接触元件连接到测试单元 21 所必需的,如果辅助半导体管芯 32 未被使用。由于高寄生电感,这样的连接线 50 将是不利的。

[0026] 图 3 示出代表用于测试 MOS 晶体管器件的电感负载的开关时间测试电路 30 的等效电路的示意性电路图。图 3 所示的测试电路 30 示出 MOS 晶体管 41,其栅极连接到电压源  $V_{GS}$ 。MOS 晶体管 41 的漏极接触连接到也由 MOS 晶体管组成的辅助半导体器件 42 的漏极接触。两个漏极接触都由如图 2 所示的导电载体互连。辅助半导体器件 42 的源极接触借助于电感器 51 和并联连接到电感器 51 的二极管 52 连接到测试单元。辅助半导体器件 42 的栅极接触也连接到测试单元。测试单元生成驱动器信号并将驱动器信号传送到在测试下的半导体管芯 41 和辅助半导体器件 42 的栅极接触。在在测试下的半导体管芯 41 的测试间隔期间,应通过将电信号供应到栅极接触元件来接通辅助半导体器件 42。作为结果,流经在测试下的半导体管芯 41 的电流经由载体流到辅助半导体器件 42 的漏极接触元件并经由晶体管器件的传导路径流到辅助半导体器件 42 的源极元件。辅助半导体器件的源极元件位于半导体衬底的上主表面处,并形成可由测试管脚组件的测试管脚、特别是探测卡连接的接触位置。以这种方式,可执行多种不同的测试方案和过程。

[0027] 虽然关于一个或多个实现已经示出和描述了本发明,可对所示示例做出变更和/或修改而不偏离所附权利要求的精神和范围。特别是关于由上述部件或结构(组件、器件、电路、系统等)执行的各种功能,用于描述这样的部件的术语(包括对“模块”的提及)意在对应于(除非另有指示)执行所述部件(例如其在功能上是等效的)的指定功能的任何部件或结构,即使在结构上不等效于执行本发明的在本文示出的示例性实现中的功能的所公开的结构。

10

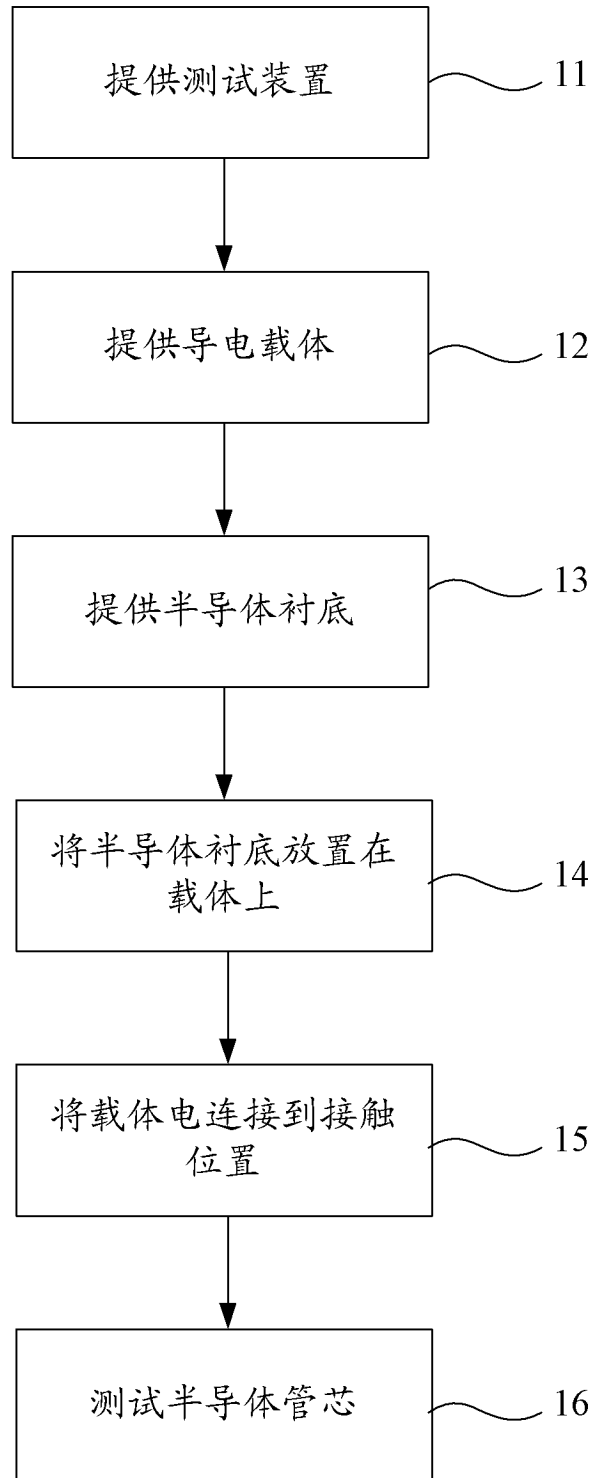


图 1



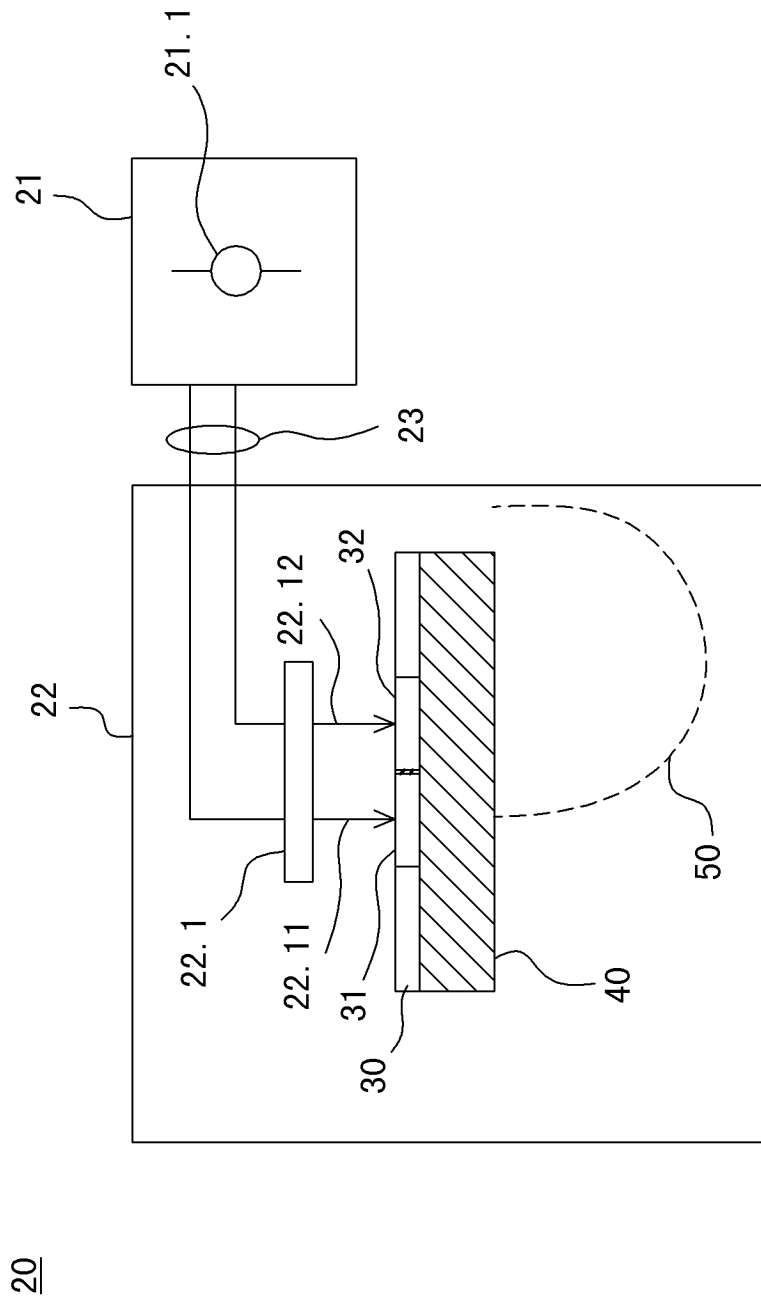


图 2

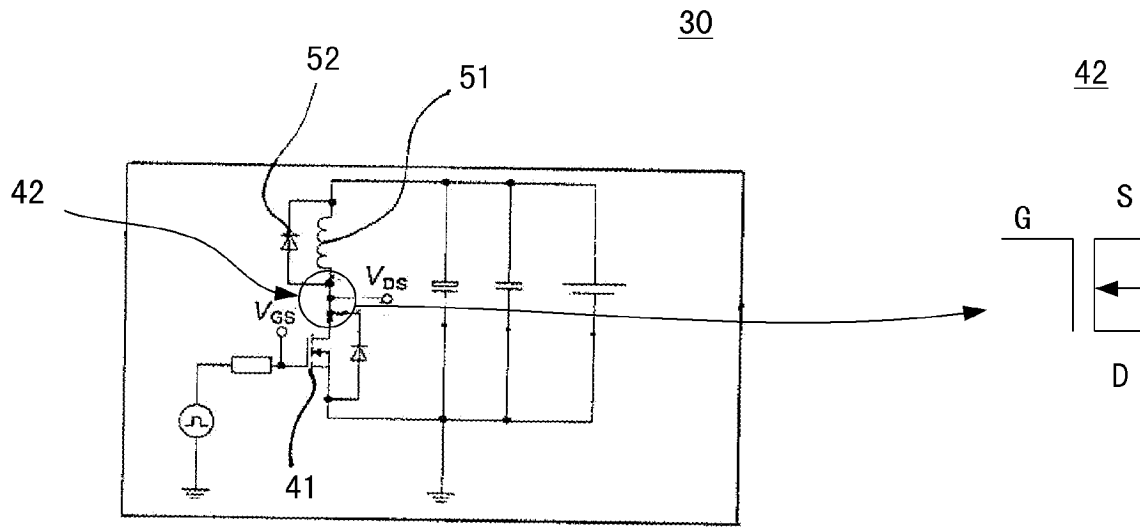


图 3