

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 12 月 6 日 (06.12.2012)



(10) 国际公布号
WO 2012/162943 A1

- (51) 国际专利分类号:
H01L 21/36 (2006.01)
- (21) 国际申请号: PCT/CN2011/078196
- (22) 国际申请日: 2011 年 8 月 10 日 (10.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110144894.8 2011 年 5 月 31 日 (31.05.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 朱慧珑 (ZHU, Hui-

long) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 钟汇才 (ZHONG, Hui-cai) [CN/US]; 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, California 95129 (US)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: METHOD FOR MANUFACTURING FIN FIELD-EFFECT TRANSISTOR

(54) 发明名称: 鳍式场效应晶体管的制造方法



图 2 / Fig.2

S01 PROVIDE A SUBSTRATE
S02 FORM A FIN IN THE SUBSTRATE, AND FORM A FIRST DIELECTRIC LAYER OUTSIDE THE FIN AND ON THE SUBSTRATE
S03 ON THE FIRST DIELECTRIC LAYER AND FIN, FORM A PSEUDO GATE STRIP CROSSING THE FIN, FORM A COVERAGE LAYER BEING OUTSIDE THE PSEUDO GATE STRIP, ON THE FIRST DIELECTRIC LAYER, AND ON THE FIN, AN UPPER SURFACE OF THE COVERAGE LAYER AND AN UPPER SURFACE OF THE PSEUDO GATE STRIP BEING ON A SAME PLANE
S04 REMOVE A PART OF THE COVERAGE LAYER ON TWO SIDES OF THE PSEUDO GATE STRIP AND THE FIRST DIELECTRIC LAYER, TO FORM A SOURCE DRAIN WINDOW, THE SOURCE DRAIN WINDOW COMPRISING THE FIN ON THE TWO SIDES OF THE PSEUDO GATE STRIP
S05 FILL THE SOURCE DRAIN WINDOW, SO AS TO FORM A SOURCE DRAIN AREA TOGETHER WITH THE FIN ON THE TWO SIDES OF THE PSEUDO GATE STRIP
S06 REMOVE A PART OF THE PSEUDO GATE STRIP AND THE FIRST DIELECTRIC LAYER UNDER THE PSEUDO GATE STRIP, SO AS TO FORM A GATE AREA OPENING, THE GATE AREA OPENING COMPRISING THE FIN UNDER THE PSEUDO GATE STRIP
S07 FILL THE GATE AREA OPENING, SO AS TO FORM A GATE COVERING THE FIN

(57) Abstract: Provided is a method for manufacturing a fin field-effect transistor, comprising: providing a substrate; forming a fin in the substrate, forming a pseudo gate strip crossing the fin, forming a source drain window in a coverage layer on two sides of the pseudo gate strip and in a first dielectric layer, the source drain window being on the two sides of the fin covered by the pseudo gate strip and being surrounded by the surrounding coverage layer and first dielectric layer. When a source drain area is formed in the source drain window, stress is incurred because the lattice does not match, the stress is limited by the first dielectric layer so as to be applied within a channel, thereby increasing the mobility of a device and improving the performance of the device.

(57) 摘要: 提供了一种鳍式场效应晶体管的制造方法, 包括提供衬底; 在所述衬底内形成鳍, 在鳍上形成横跨鳍的伪栅条, 在伪栅条两侧的覆盖层和第一介质层内形成源漏窗口, 该源漏窗口在被伪栅条覆盖的鳍的两侧并为被周围的覆盖层和第一介质层包围, 在该源漏窗口内形成源漏区时, 由于源漏区形成过程中晶格不匹配产生应力, 该应力受到第一介质层的限制作用而被施加在沟道中, 从而提高了器件的迁移率并改善了器件的性能。



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

鳍式场效应晶体管的制造方法

本申请要求于 2011 年 5 月 31 日提交中国专利局、申请号为 201110144894.8、发明名称为“鳍式场效应晶体管的制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5

技术领域

本发明涉及半导体制造技术，更具体地说，涉及一种鳍式场效应晶体管的制造方法。

10 背景技术

随着半导体器件的高度集成，MOSFET沟道长度不断缩短，一系列在 MOSFET长沟道模型中可以忽略的效应变得愈发显著，甚至成为影响器件性能的主导因素，这种现象统称为短沟道效应。短沟道效应会恶化器件的电学性能，如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。

15 为了控制短沟道效应，对传统晶体管器件的某些方面采取了一些改进，但随着沟道尺寸的不断缩短，这些改进都不能解决愈发显著的短沟道效应。

因此，为了解决短沟道效应的问题，提出了鳍式场效应晶体管（Fin-FET）的立体器件结构，Fin-FET是具有鳍型沟道结构的晶体管，它利用薄鳍的几个表面作为沟道，可以增大工作电流，从而可以防止传统晶体管中的短沟道效应。

20 参考图1，图1为当前提出的Fin-FET的结构示意图，包括：鳍100，鳍上表面及侧面的栅极102，以及鳍两端的源漏区104。Fin-FET具有增加驱动电流的优点，而且又不会占据较多的面积，是下一代超大规模集成电路技术的有力竞争者。由于Fin-FET器件是立体器件结构，和传统平面工艺相比，需要一些新的应力引入形式。

-2-

因此，有必要提出一种鳍式场效应晶体管的制造方法，能够提高器件的应力作用，进一步改善器件的性能。

发明内容

- 5 本发明实施例提供了一种鳍式场效应晶体管的制造方法，优化了有源区的应力作用，提高器件的性能。
- 为实现上述目的，本发明实施例提供了如下技术方案：
- 一种鳍式场效应晶体管的制造方法，包括：
- 提供衬底；
- 10 在所述衬底上形成鳍，以及在所述鳍之外的衬底上形成第一介质层；
- 在所述第一介质层和鳍上形成横跨所述鳍的伪栅条，以及在伪栅条之外的第一介质层和鳍上形成覆盖层，所述覆盖层上表面与所述伪栅条上表面在同一平面；
- 去除伪栅条两侧的部分覆盖层和第一介质层，以形成源漏窗口，所述源漏
- 15 窗口内包括伪栅条两侧的鳍；
- 填充所述源漏窗口，以与伪栅条两侧的鳍一同形成源漏区；
- 去除部分伪栅条及伪栅条下的第一介质层，以形成栅区开口，所述栅区开口包括伪栅条下的鳍；
- 填充所述栅区开口形成覆盖所述鳍的栅极。
- 20 可选地，形成源漏区的步骤为：通过外延生长的方法，填充所述源漏窗口，以与伪栅条两侧的鳍一同形成源漏区。

—3—

可选地，形成伪栅条时，还包括步骤：在伪栅条的侧壁形成侧墙。

可选地，在沿鳍的方向上，所述栅极的边沿与所述源漏区的边沿不在一条直线上。

可选地，所述覆盖层包括第二介质层和其上的第三介质层，第二介质层和

5 第三介质层采用不同的介质材料。

可选地，所述第三介质层、第二介质层及侧墙采用互不相同的介质材料。

可选地，在形成鳍时，还包括步骤：在鳍上形成帽层；之后的步骤为：

在所述第一介质层和帽层上形成横跨所述鳍的伪栅条，以及在伪栅条之外的第一介质层和帽层上形成覆盖层，所述覆盖层上表面与所述伪栅条上表面在

10 同一平面；

去除伪栅条两侧的第一介质层、覆盖层及帽层，以形成源漏窗口。

可选地，所述第一介质层的上表面与鳍的上表面齐平。

与现有技术相比，上述技术方案具有以下优点：

本发明实施例的鳍式场效应晶体管及其制造方法，在形成鳍后，在鳍上形
15 成横跨鳍的伪栅条，在伪栅条两侧的覆盖层和第一介质层内形成源漏窗口，该源漏窗口在被伪栅条覆盖的鳍的两侧并由周围的覆盖层和第一介质层等包围的窗口区域，在该源漏窗口内形成源漏区时，通过源漏区形成的过程中晶格不匹配产生应力，并由于第一介质层的源漏窗口的限制作用使源漏区应力施加在沟道中，从而提高器件的迁移率，进而改善器件的性能。

20

附图说明

—4—

通过附图所示，本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图，重点在于示出本发明的主旨。

图 1 为现有技术中鳍式场效应晶体管的结构示意图；

5 图 2 为本发明实施例的鳍式场效应晶体管制造方法的流程图；

图 3-图 26 为本发明实施例公开的鳍式场效应晶体管制造方法的剖面图，其中包括俯视图以及俯视图的 AA'向视图、BB'向视图和 CC'向视图。

具体实施方式

10 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例
15 的限制。

其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

20 为了解决鳍式场效应晶体管制造中接触塞对准不精确的问题，本发明提供了一种鳍式场效应晶体管的制造方法，参考图 2，图 2 示出了本发明鳍式场效应晶体管制造方法的流程图，以下结合图 3-图 26 对本发明的制造方法进行详

—5—

细说明，实施例中例举的方法为优选方案，是为了更好的说明和理解本发明，而不是限制本发明。

在步骤 S01，提供衬底 200。

如图 3 所示，在本实施例中，所述衬底为 SOI 衬底 200，SOI 衬底 200 包括背衬底 200a、埋氧层 200b 和顶层硅 200c。在其他实施例中，所述衬底还可以为包括半导体层和绝缘层的其他衬底结构。

在步骤 S02，在所述衬底 200 内形成鳍 202，以及在所述鳍 202 之外的衬底上形成第一介质层 206，参考图 4（俯视图）和图 5（图 4 的 AA' 向视图）。

具体地，首先，可以在顶层硅 200c 上形成帽层 204，而后图形化所述帽层 204，并以帽层 204 为硬掩膜，利用刻蚀技术，例如 RIE（反应离子刻蚀）的方法，刻蚀顶层硅 200c，从而在顶层硅 200c 内形成鳍 202，可选地，可以进一步去除帽层 204，或者保留帽层 204，以保护鳍在后续工艺中不受其他工艺的影响。而后，淀积介质材料，例如 SiO₂，并进行平坦化，例如 CMP（化学机械研磨），从而在所述鳍 202 之外的衬底 200b 上形成第一介质层 206，在此实施例中，所述第一介质层的上表面与鳍的上表面齐平。在其他实施例中，所述第一介质层的上表面与鳍的上表面可以不齐平。

在步骤 S03，在所述第一介质层 206 和鳍 202 上形成横跨所述鳍 202 的伪栅条 208，以及在伪栅条 208 之外的第一介质层 206 和鳍 202 上形成覆盖层 215，所述覆盖层 215 上表面与所述伪栅条 208 上表面在同一平面，参考图 6（俯视图）、图 7（图 6 的 AA' 向视图）、图 8（图 6 的 BB' 向视图）。

—6—

具体地,首先,在上述器件上淀积伪栅条,例如多晶硅或其他合适的材料,并进行图案化,形成横跨所述鳍 202 的伪栅条 208,而后,优选地,可以在伪栅条侧壁形成侧墙,通过淀积侧墙,例如 Si_3N_4 或其他合适材料,并进行刻蚀在伪栅条 208 的侧壁上形成侧墙 210。所述伪栅条 208 和侧墙 210 可以作为

5 后续工艺中的掩膜图案层,以及便于后续工艺,所述侧墙可以进一步提高后续工艺中源漏区及栅极的精确对准。

而后,形成覆盖层 215,所述覆盖层可以为一层或多层结构,在本实施例中,优选覆盖层 215 为包括第二介质层 212 和第三介质层 214 的两层结构,优选地,所述第三介质层 214、第二介质层 212 采用互不相同的介质材料,或者

10 所述第三介质层 214、第二介质层 212 及侧墙 210 采用互不相同的介质材料,方便于后续工艺自对准形成源漏区及栅极,简化工艺。在本实施例中,可以通过淀积第二介质层 212,例如 SiO_2 , 以及第三介质层 214,例如高 k 介质材料(如 HfO_2),而后,进行平坦化,例如 CMP(化学机械研磨)的方法,以伪栅条 208 为停止层。

15 从而,在去除帽层的实施例中,在伪栅条 208 之外的第一介质层 206 和鳍 202 上形成覆盖层 215,或者,在未去除帽层的实施例中,在所述第一介质 206 层和帽层 204 上形成横跨所述鳍的伪栅条 208,以及在伪栅条 208 之外的第一介质层 206 和帽层 204 上形成覆盖层 215,所述覆盖层 215 上表面与所述伪栅条 208 上表面在同一平面。

20 在步骤 S04,去除伪栅条 208 两侧的部分覆盖层 212、214 及第一介质层 206,以形成源漏窗口 216,所述源漏窗口 216 内包括伪栅条 208 两侧的鳍 202,

—7—

参考图 9（俯视图）、图 10（图 9 的 AA' 向视图）、图 11（图 9 的 BB' 向视图）和图 12（图 9 的 CC' 向视图）。

可以利用刻蚀技术，例如 RIE 的方法，去除伪栅条 208 两侧的部分覆盖层 212、214 及第一介质层 206，并停止在鳍 202 上，充分暴露伪栅条 208 两侧的
5 鳍 202，从而形成源漏窗口 216。

在未去除帽层 204 的实施例中，可以进一步的去除伪栅条 208 两侧的鳍 202 上的帽层 204，以充分暴露伪栅条 208 两侧的鳍 202。

在本发明中，所述源漏窗口 216 位于伪栅条 208 下的鳍 202 的两侧，该伪栅条 208 下的鳍 202 为将要形成栅极的基底，其两侧的源漏窗口 216 为由周围
10 的覆盖层 212、214 和第一介质层 206 等包围的窗口区域，在该源漏窗口内形成源漏区时，形成的过程中由于晶格不匹配产生应力，并由于第一介质层的源漏窗口的限制作用使源漏区应力施加在沟道中，从而提高器件的迁移率，进而改善器件的性能

在步骤 S05，填充所述源漏窗口 216 与伪栅条 208 两侧的鳍 202 一同形成
15 源漏区 218，参考图 13（俯视图）、图 14（图 13 的 AA' 向视图）、图 15（图 13 的 BB' 向视图）和图 16（图 13 的 CC' 向视图）。

本实施例中，可以通过外延生长（epi）的方法，在伪栅条 208 两侧的鳍 202 上外延生长外延层来填充所述源漏窗口 216，例如，对于 NFET 为 SiC，对于 PFET 为 SiGe，并进行 CMP，以伪栅条 208 为停止层，该外延层同伪栅
20 条 208 两侧的鳍 202 一同形成源漏区 218，在本实施例中，由于外延层会向伪栅条 208 两侧的鳍 202 扩散，使伪栅条 208 两侧的鳍 202 部分或全部转变为外

延层的材料（图示为全部转变为外延层材料）。在其他实施例中，还可以采用其他合适的方法形成该源漏区 218。该源漏窗口中形成的源漏区即为最终器件的源漏区，由于第一介质层的源漏窗口的限制作用使形成过程中的产生的应力施加在沟道中，从而改善器件的性能。

- 5 在步骤 S06，去除部分伪栅条 208，以及去除伪栅条 208 下的第一介质层 206，以形成栅区开口 220，所述栅区开口 220 包括伪栅条 208 下的鳍 202，参考图 17（俯视图）、图 18（图 17 的 AA'向视图）、图 19（图 17 的 BB'向视图）和图 20（图 17 的 CC'向视图）。

10 可以通过湿法或干法刻蚀技术，去除伪栅条 208，以及进一步去除伪栅条 208 下的第一介质层 206，充分暴露伪栅条 208 下面的鳍 202 或帽层 204，形成栅区开口 220，优选地，在沿鳍 202 的方向上，形成的栅极开口 220 的边沿与所述源漏区 218 的边沿不在一条直线上，这样，使后续形成的栅极和源漏区的边沿不在一条直线上，便于后续接触塞工艺中的精确对准。

15 在步骤 S07，填满所述栅区开口 220 形成覆盖所述鳍 202 的栅极，参考图 21（俯视图）、图 22（图 21 的 AA'向视图）和图 23（图 21 的 BB'向视图），其中栅极 230 包括栅介质层 222 和栅电极 224。

20 具体地，可以首先形成覆盖所述栅区开口 220 中的鳍 202 的栅介质层 222，即所述栅介质层 222 覆盖所述栅区开口中的鳍的侧壁以及顶部，所述栅介质层 222 可以为一层或多层结构，一层结构的一些实施例中，栅介质层 222 可以为高 k 介质材料（例如，和氧化硅相比，具有高介电常数的材料）或其他栅介质材料，多层结构的一些实施例中，栅介质层 222 可以包括界面层和高 k 介质材

—9—

料,所述界面层可以为氧化硅、氮化硅、氮氧化硅或其他材料,高k介质材料例如铪基氧化物, HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 等,此处仅为示例,本发明不限于此。

而后在栅介质层 222 上形成栅电极 224,所述栅电极 224 可以为一层或多
5 层结构,栅电极可以包括金属栅电极或多晶硅,例如可以包括: Ti 、 TiAl_x 、 TiN 、 Ta_xN 、 HfN 、 TiC_x 、 TaC_x 、 HfC_x 、 Ru 、 Ta_xN 、 TiAlN 、 WCN 、 MoAlN 、 RuO_x 、多晶硅或其他合适的材料,或他们的组合。在本实施例中,所述栅电极 224 为一层结构,为金属栅 224,可以通过淀积金属栅,例如 NFET 为 TiN , PFET 为 TiC_x , 填满所述栅区开口,而后进行 CMP,从而在栅区开口 220 中
10 形成覆盖所述鳍 202 的栅极 230,即在所述鳍的侧壁及顶部上形成所述栅极,其中栅极 230 包括栅介质层 222 和金属栅 224,在此实施例中,所述栅极 230 同源漏区 218 的上表面在同一平面,在进行后续工艺时,更容易进行接触塞的对准,使对准更精确。在其他实施例中,所述栅极同源漏区的上表面可以不在同一个平面上。此处,栅极的结构和材料仅为示例,本发明并不限于此。

15 至此,形成了具有更优化应力作用的鳍式场效应晶体管器件,而后,根据需要,完成后续步骤,例如形成接触塞等后续加工工艺。

在步骤 S08,在所述栅极 230 及源漏区 218 上形成接触塞 238,参考图 24 (俯视图)、图 25 (图 24 的 AA'向视图)和图 26 (图 24 的 BB'向视图)。

具体地,在本实施例中,可以通过,首先,去除剩余部分的伪栅条,并淀
20 积第四介质层 236,并进行平坦化,该第四介质层 236 填满去除掉了剩余伪栅条的部分,并作为形成接触塞的层间介质层。

-10-

而后，刻蚀所述第四介质层 236 在栅极 230 和源漏区 218 上形成接触孔，而后，填充金属材料，例如 W 等，从而形成接触塞 238。在此实施例中，栅极 230 和源漏区 218 在一个平面上，相比较栅极和源漏区不等高鳍式器件，更容易对准，更易对准。

5 以上对本发明的鳍式场效应晶体管的制造方法进行了详细的描述，以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制。

10 虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

- 11 -

权 利 要 求

1、一种鳍式场效应晶体管的制造方法，其特征在于，包括：

提供衬底；

在所述衬底上形成鳍，以及在所述鳍之外的衬底上形成第一介质层；

5 在所述第一介质层和鳍上形成横跨所述鳍的伪栅条，以及在伪栅条之外的第一介质层和鳍上形成覆盖层，所述覆盖层上表面与所述伪栅条上表面在同一平面；

去除伪栅条两侧的部分覆盖层和第一介质层，以形成源漏窗口，所述源漏窗口内包括伪栅条两侧的鳍；

10 填充所述源漏窗口，以与伪栅条两侧的鳍一同形成源漏区；

去除部分伪栅条及伪栅条下的第一介质层，以形成栅区开口，所述栅区开口包括伪栅条下的鳍；

填充所述栅区开口形成覆盖所述鳍的栅极。

2、根据权利要求 1 所述的方法，其特征在于，形成源漏区的步骤为：通
15 过外延生长的方法，填充所述源漏窗口，以与伪栅条两侧的鳍一同形成源漏区。

3、根据权利要求 1 所述的方法，其特征在于，形成伪栅条时，还包括步骤：在伪栅条的侧壁形成侧墙。

4、根据权利要求 1 所述的方法，其特征在于，在沿鳍的方向上，所述栅极的边沿与所述源漏区的边沿不在一条直线上。

20 5、根据权利要求 1-4 中任一项所述的方法，其特征在于，所述覆盖层包

括第二介质层和其上的第三介质层,第二介质层和第三介质层采用不同的介质材料。

6、根据权利要求 5 所述的方法,其特征在于,所述第三介质层、第二介质层及侧墙采用互不相同的介质材料。

5 7、根据权利要求 1-4 中任一项所述的方法,其特征在于,在形成鳍时,还包括步骤:在鳍上形成帽层;之后的步骤为:

在所述第一介质层和帽层上形成横跨所述鳍的伪栅条,以及在伪栅条之外的第一介质层和帽层上形成覆盖层,所述覆盖层上表面与所述伪栅条上表面在同一平面;

10 去除伪栅条两侧的第一介质层、覆盖层及帽层,以形成源漏窗口。

8、根据权利要求 1-4 中任一项所述的方法,其特征在于,所述第一介质层的上表面与鳍的上表面齐平。

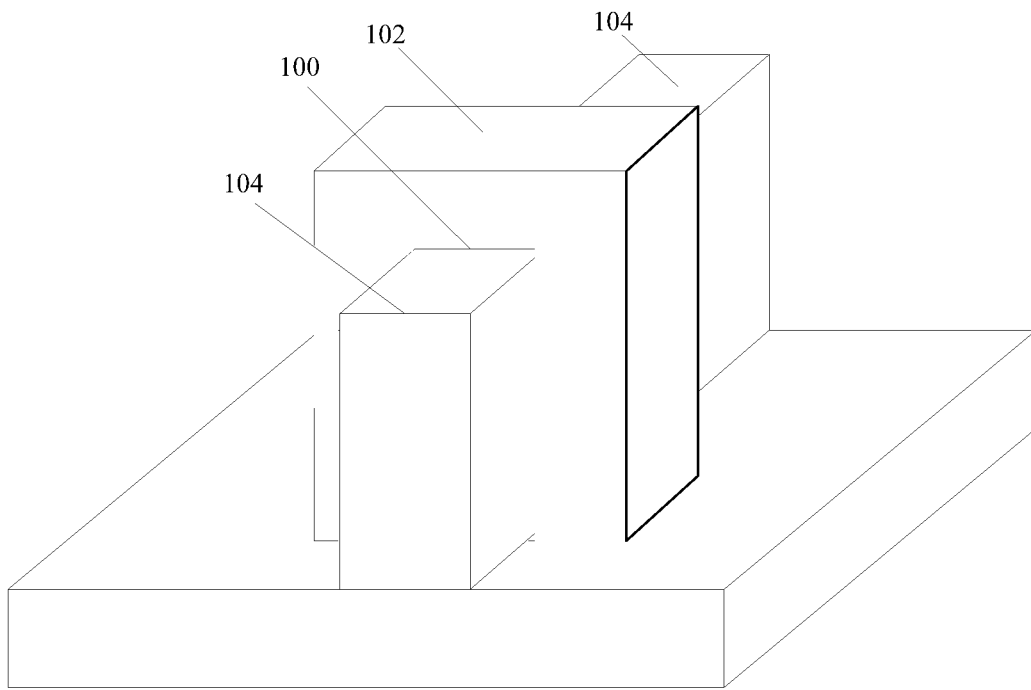


图 1

-2/14-

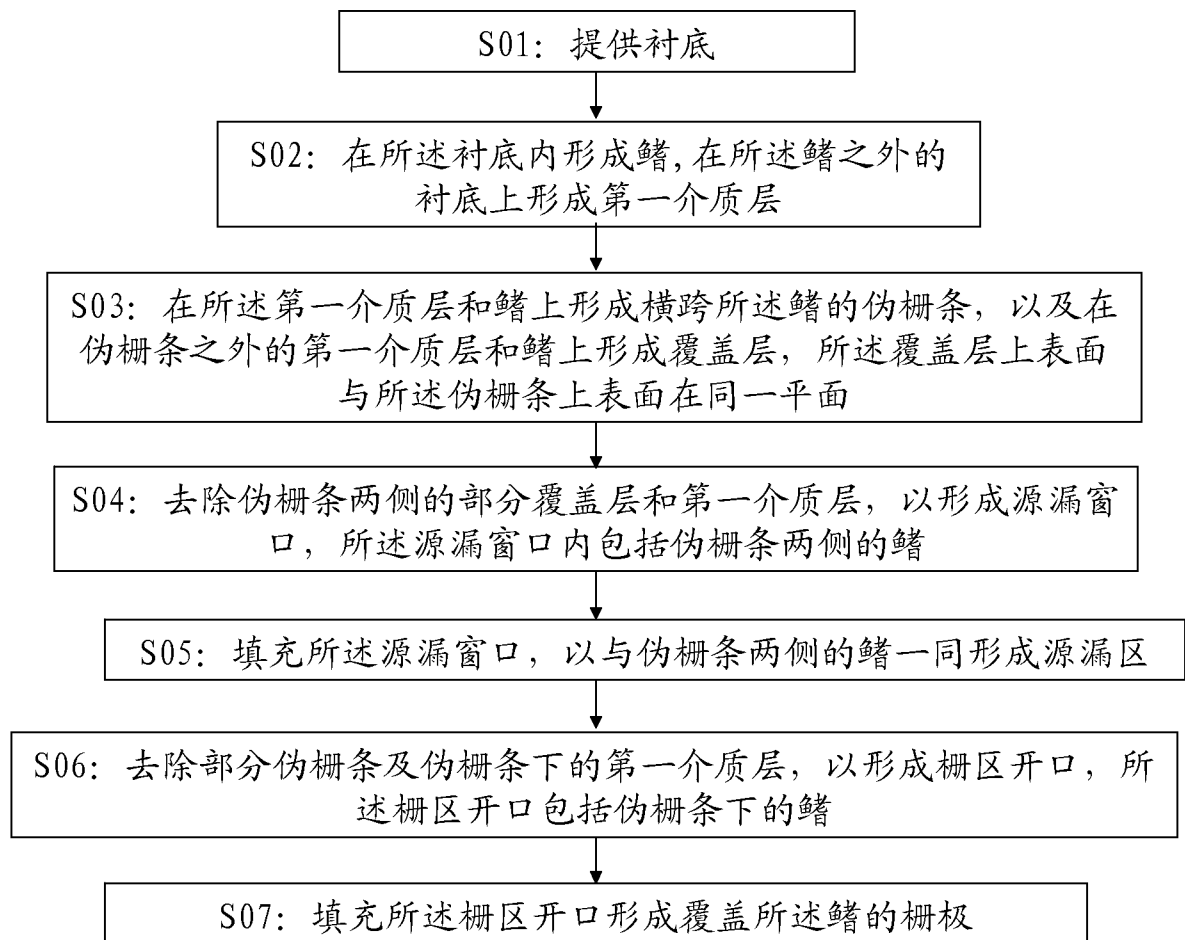


图 2

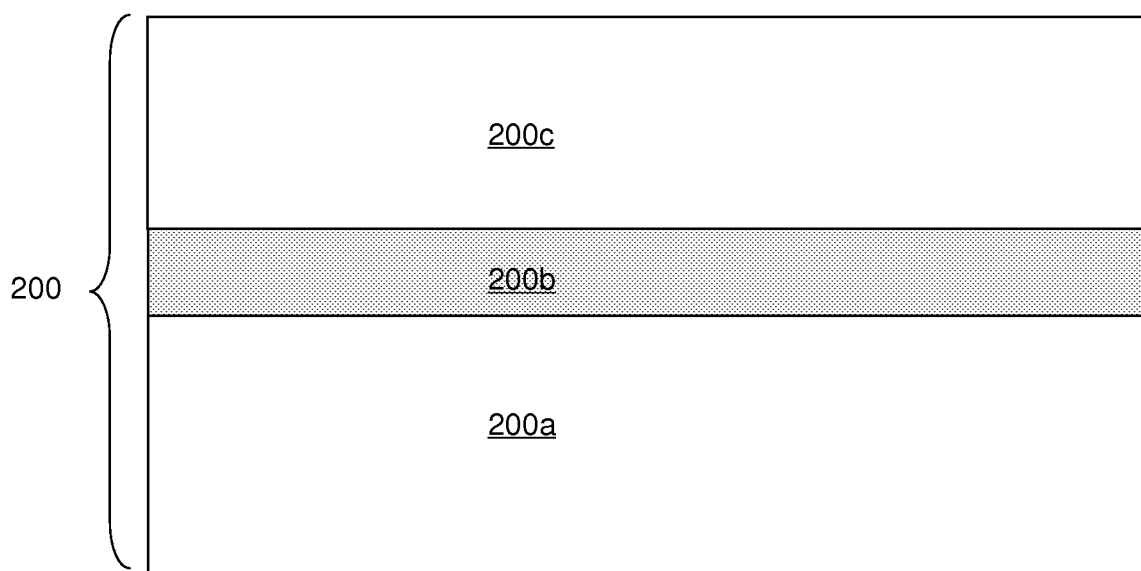


图 3

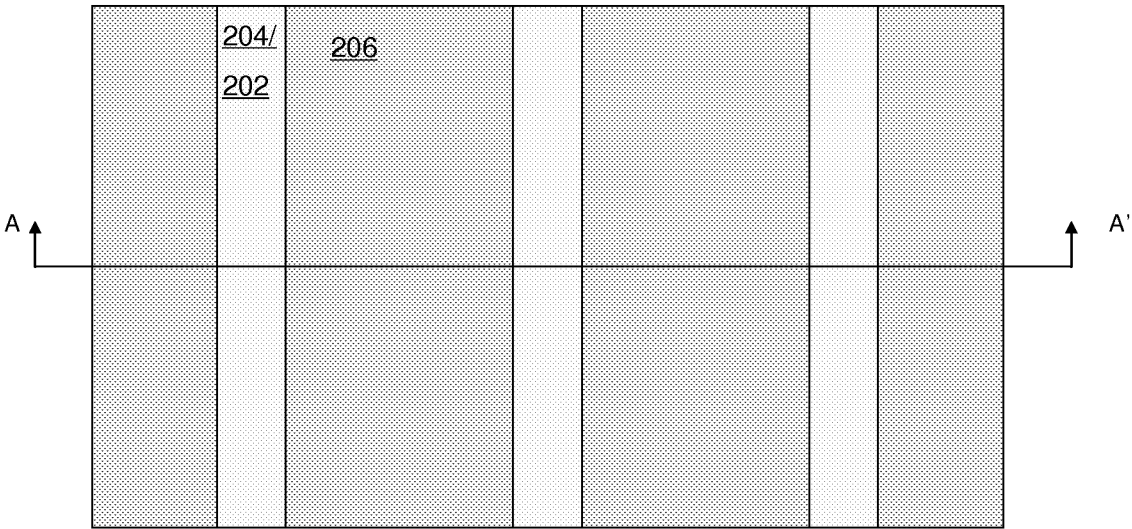


图 4

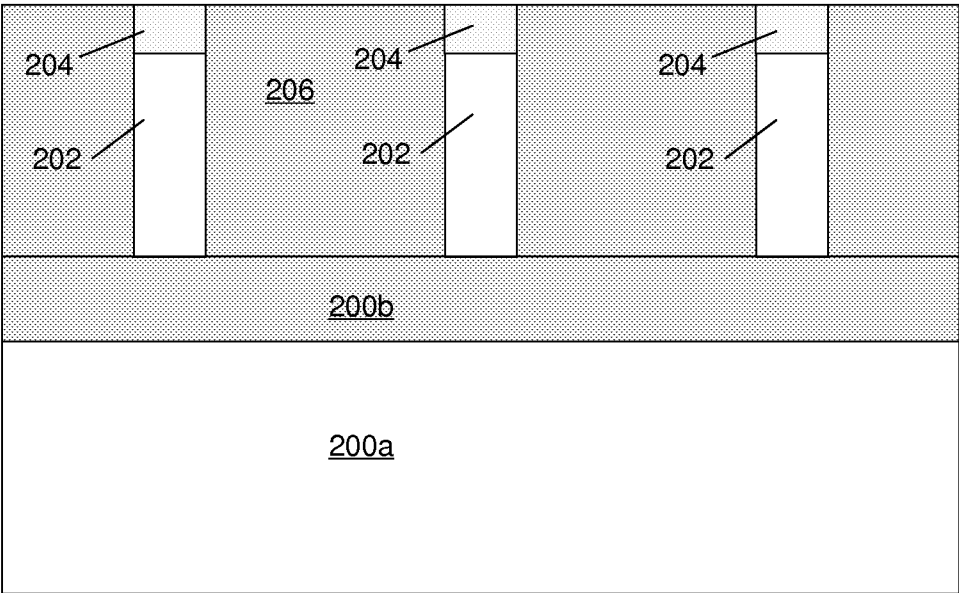


图 5

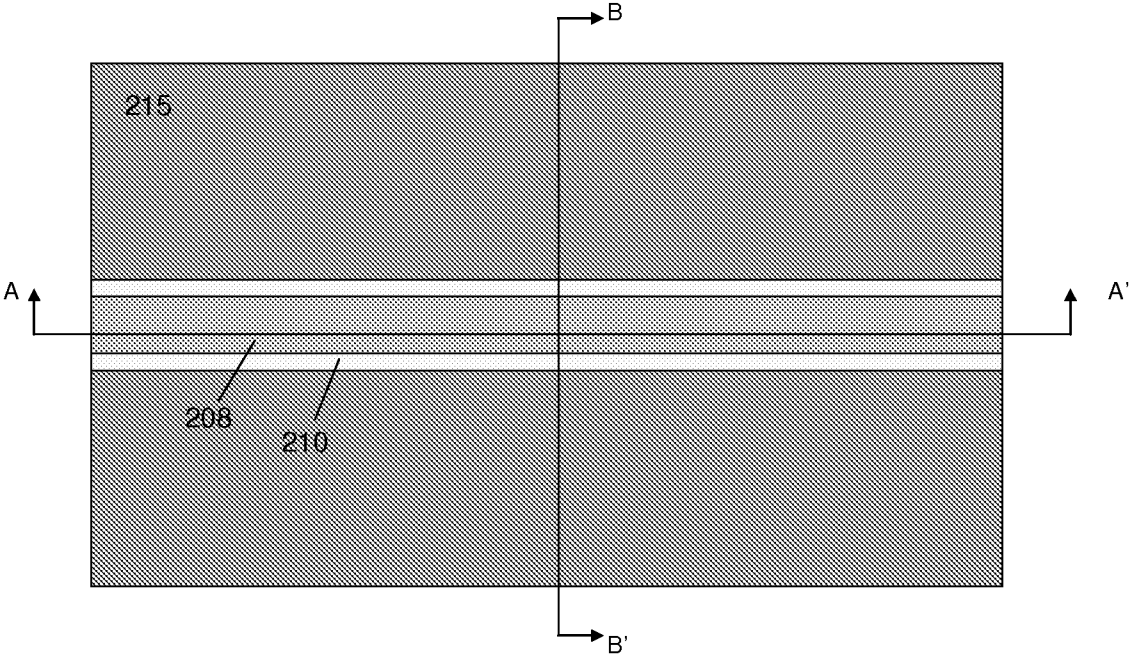


图 6

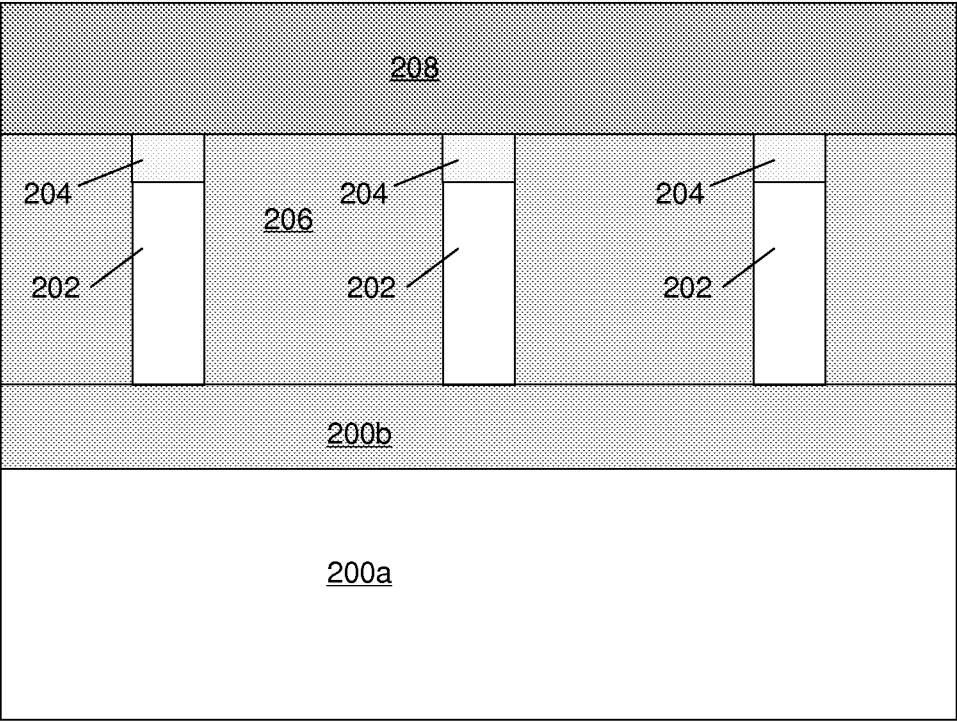


图 7

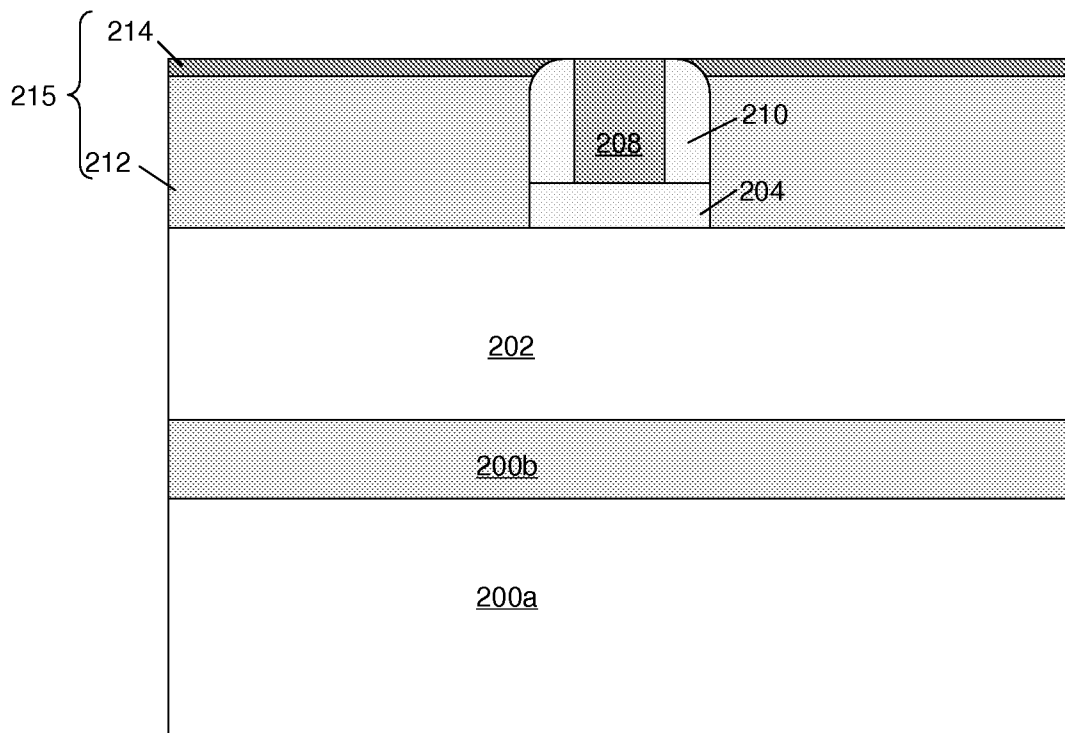


图 8

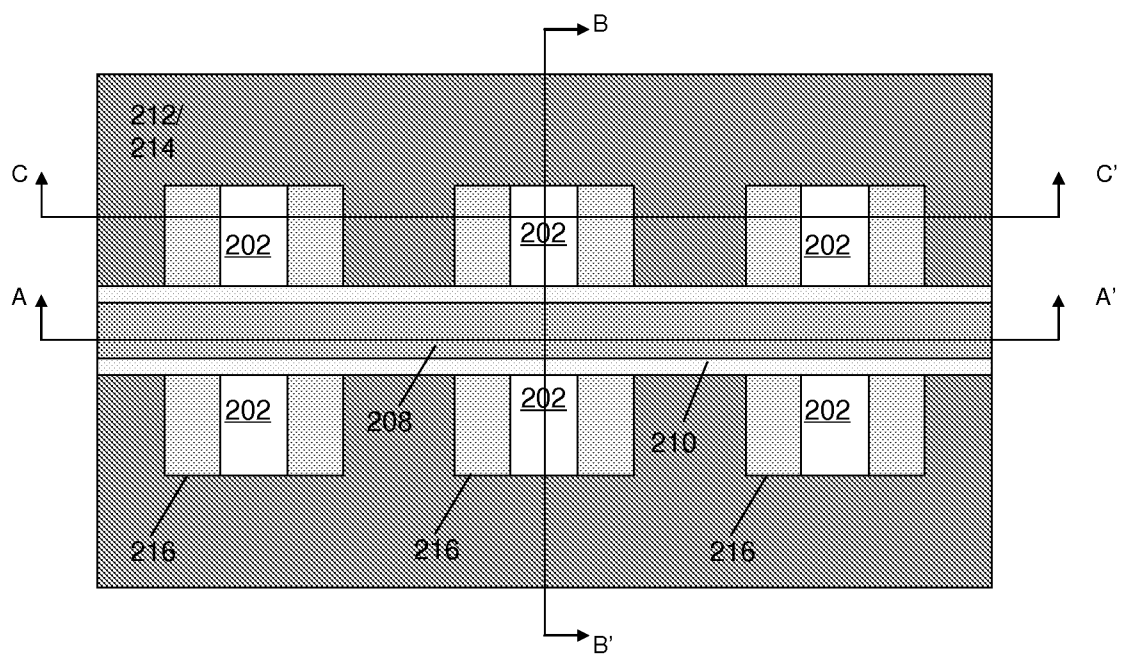


图 9

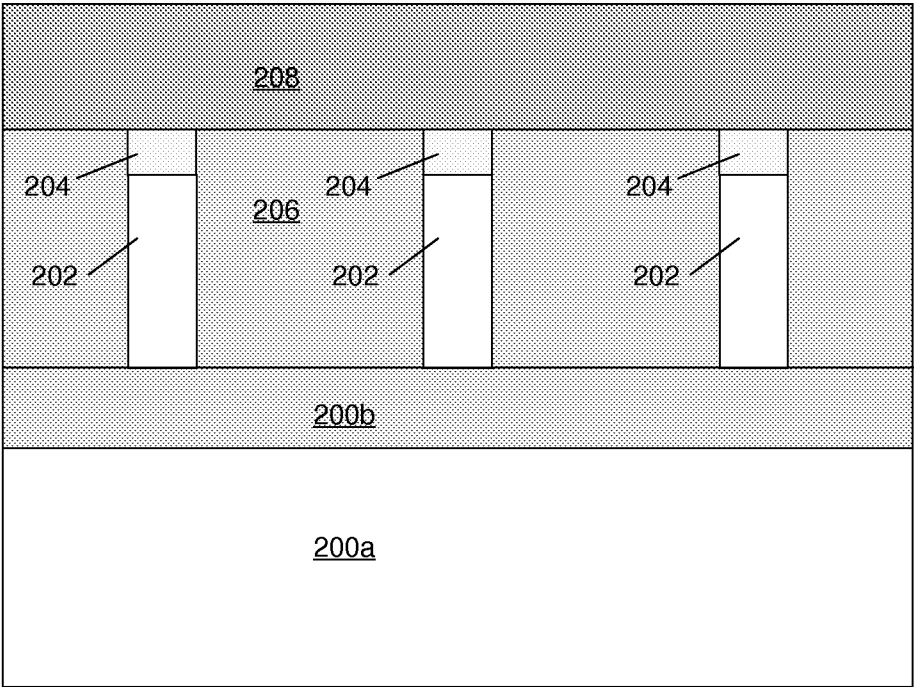


图 10

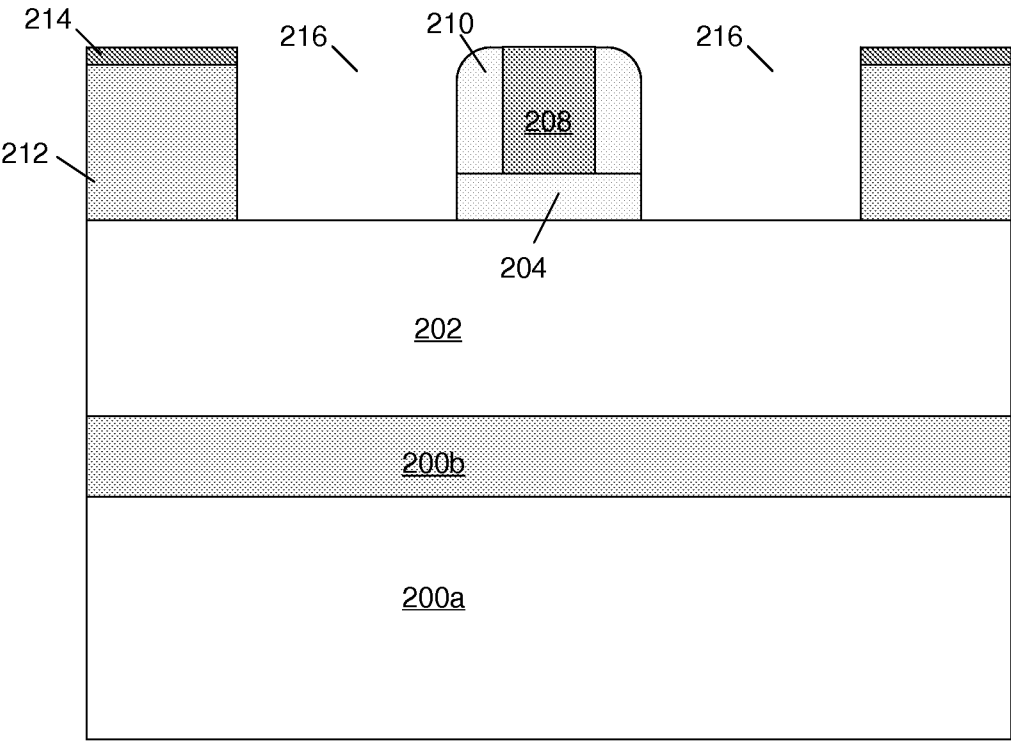


图 11

—7/14—

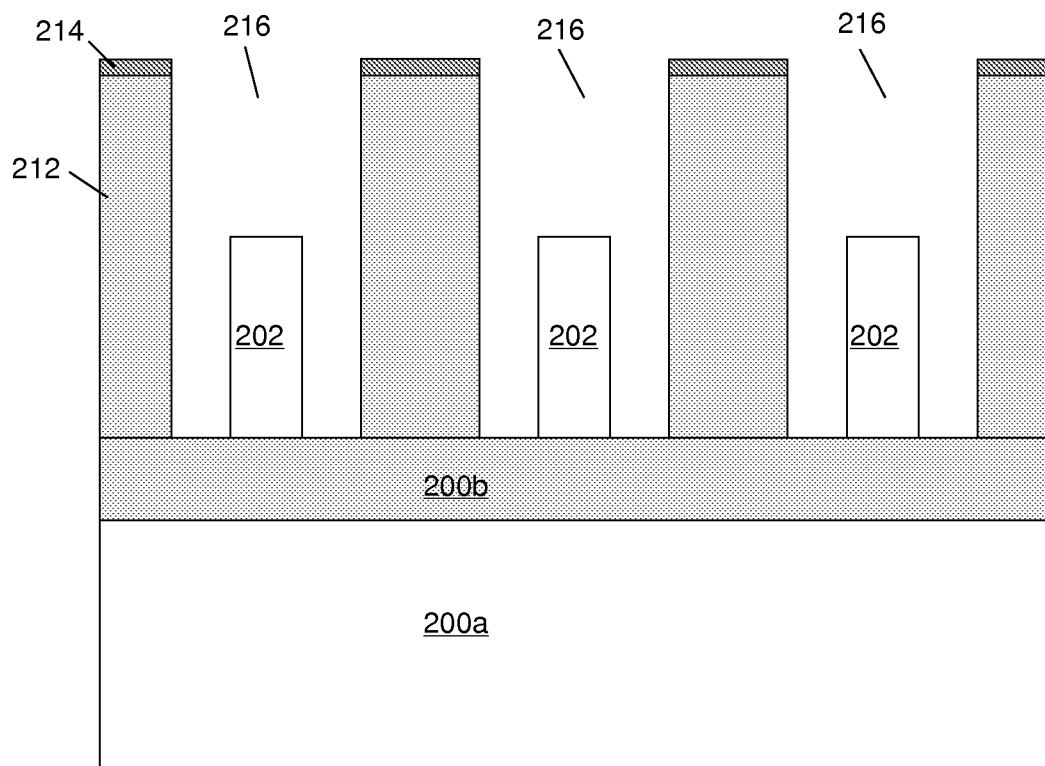


图 12

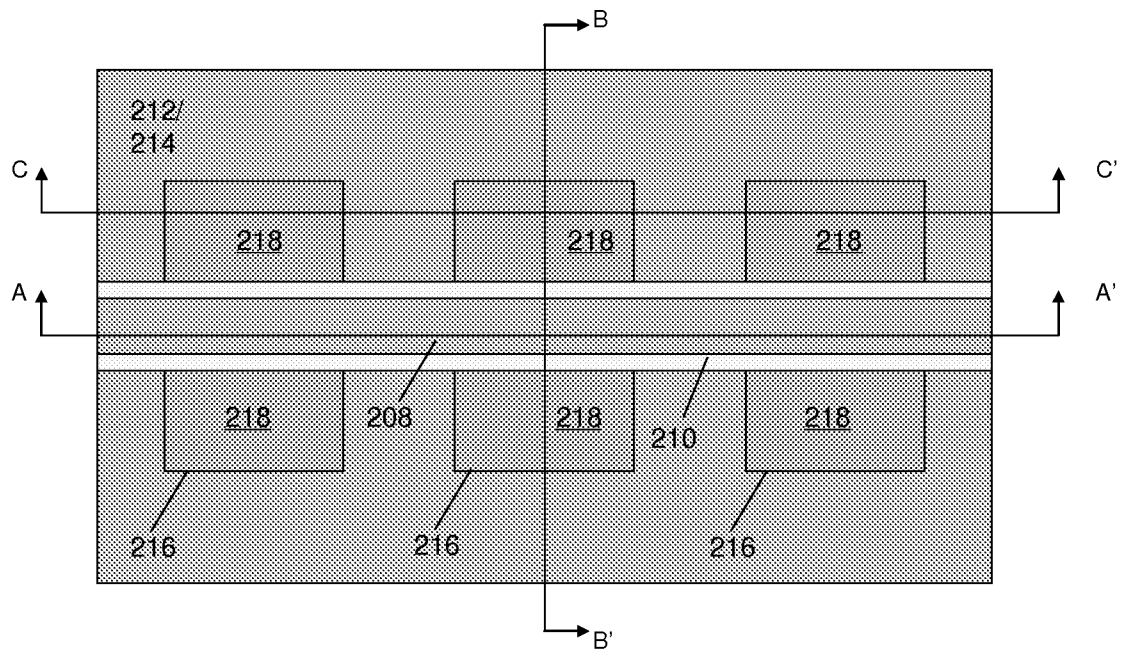


图 13

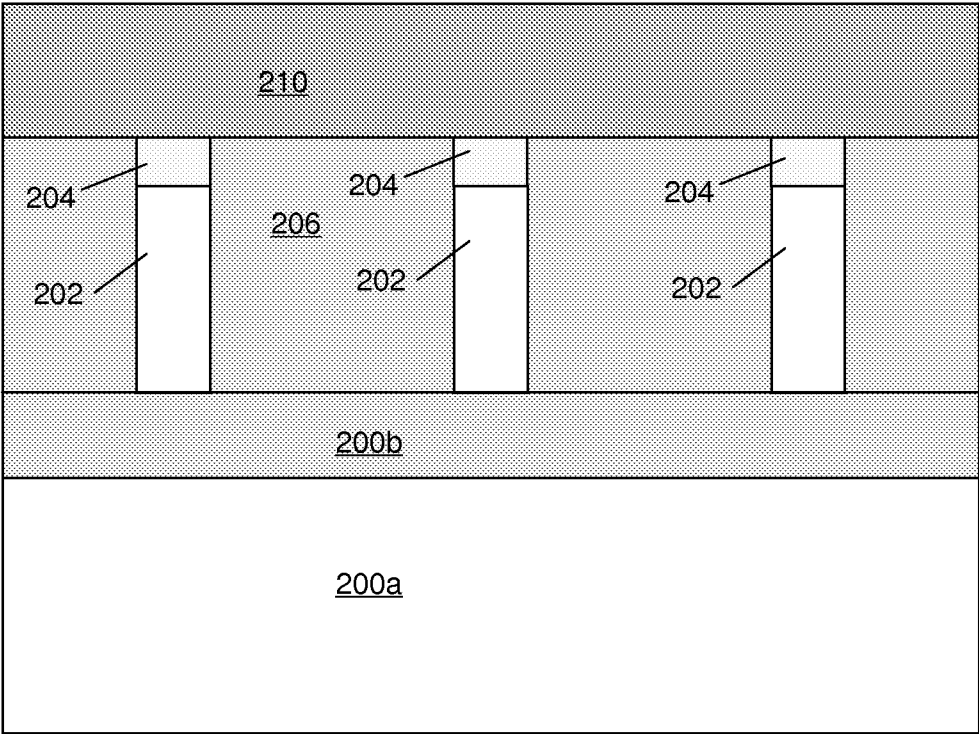


图 14

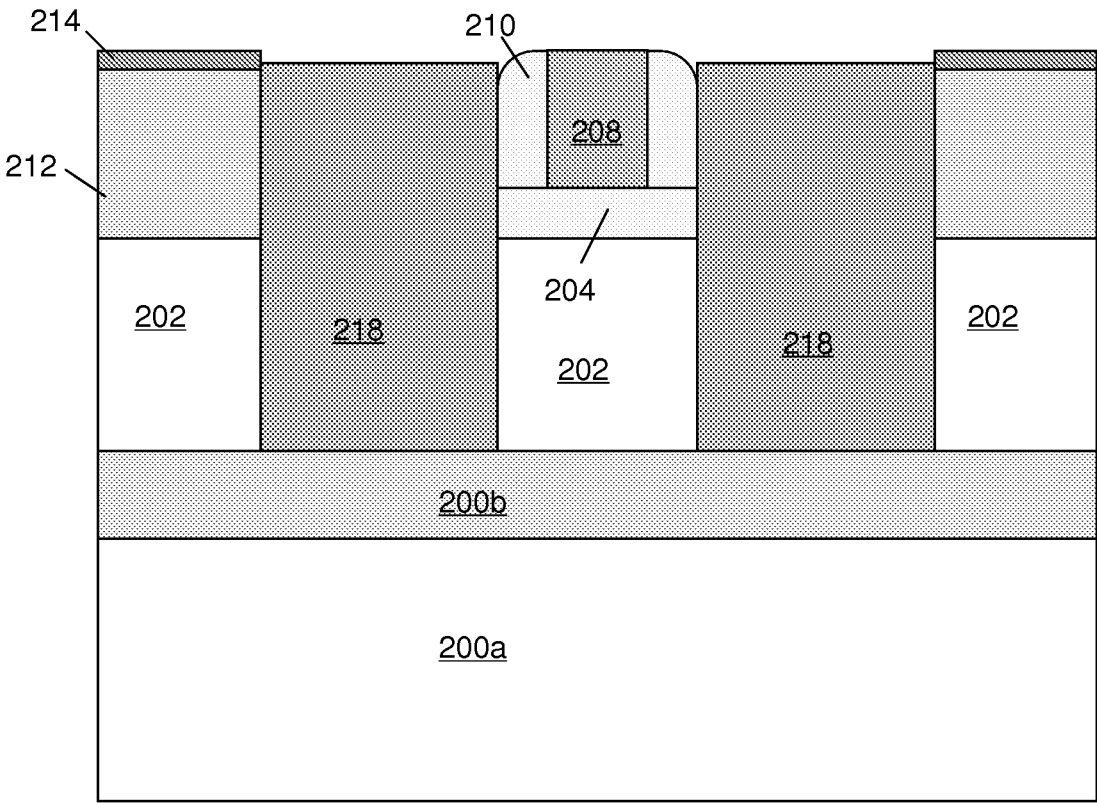


图 15

—9/14—

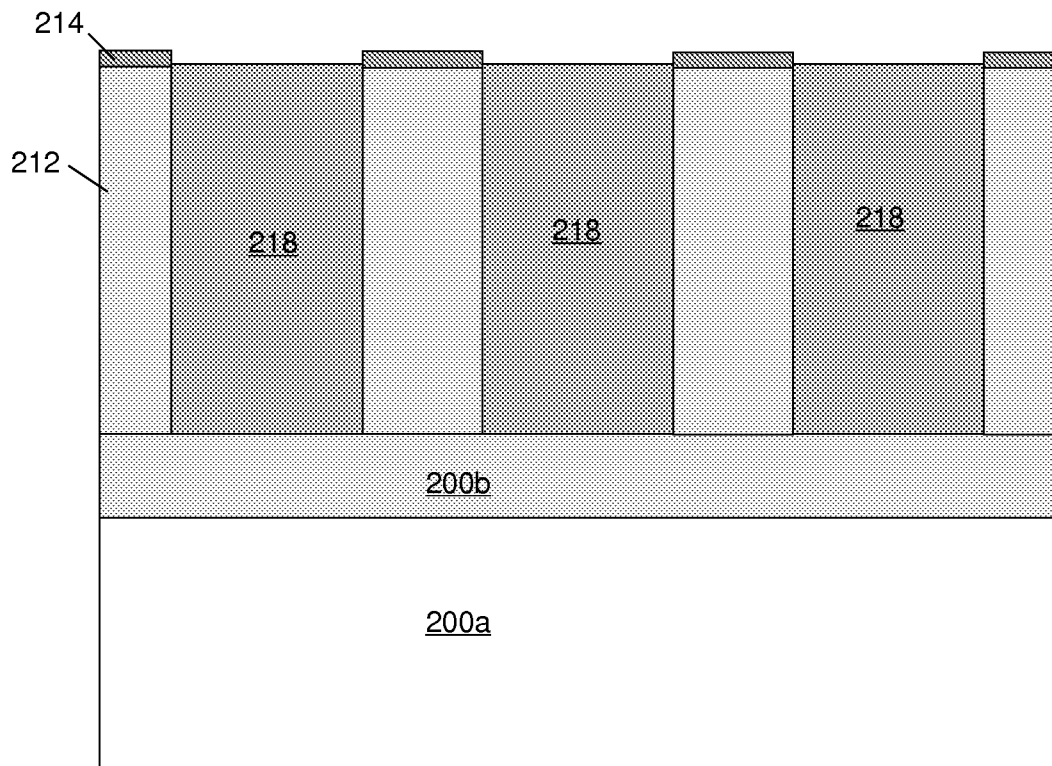


图 16

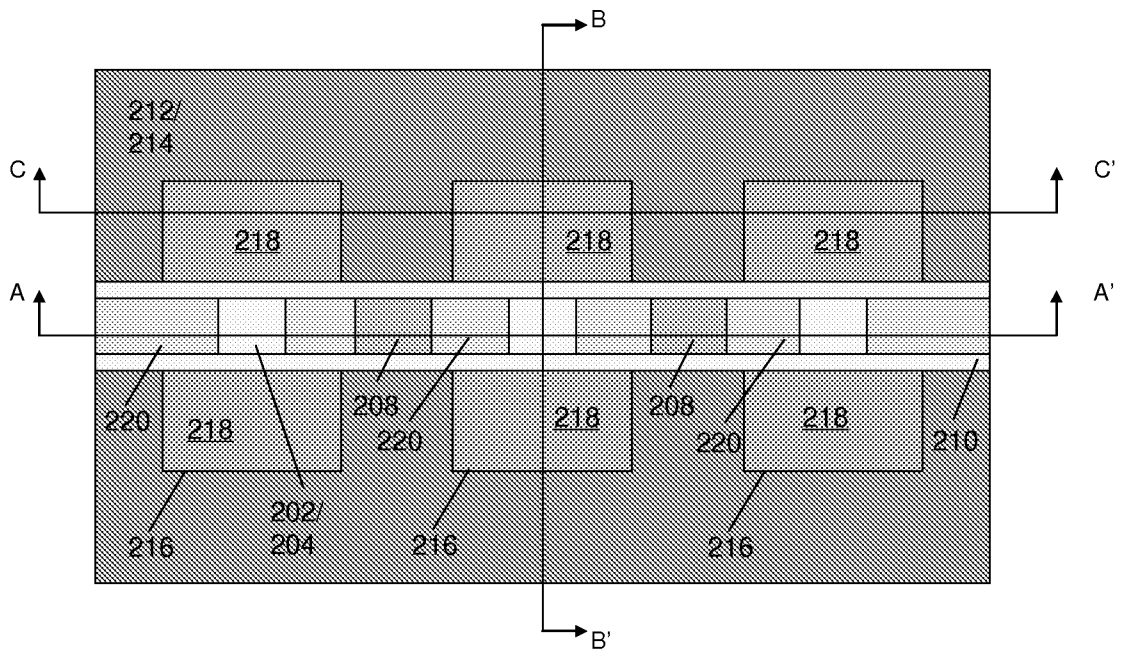


图 17

— 10/14 —

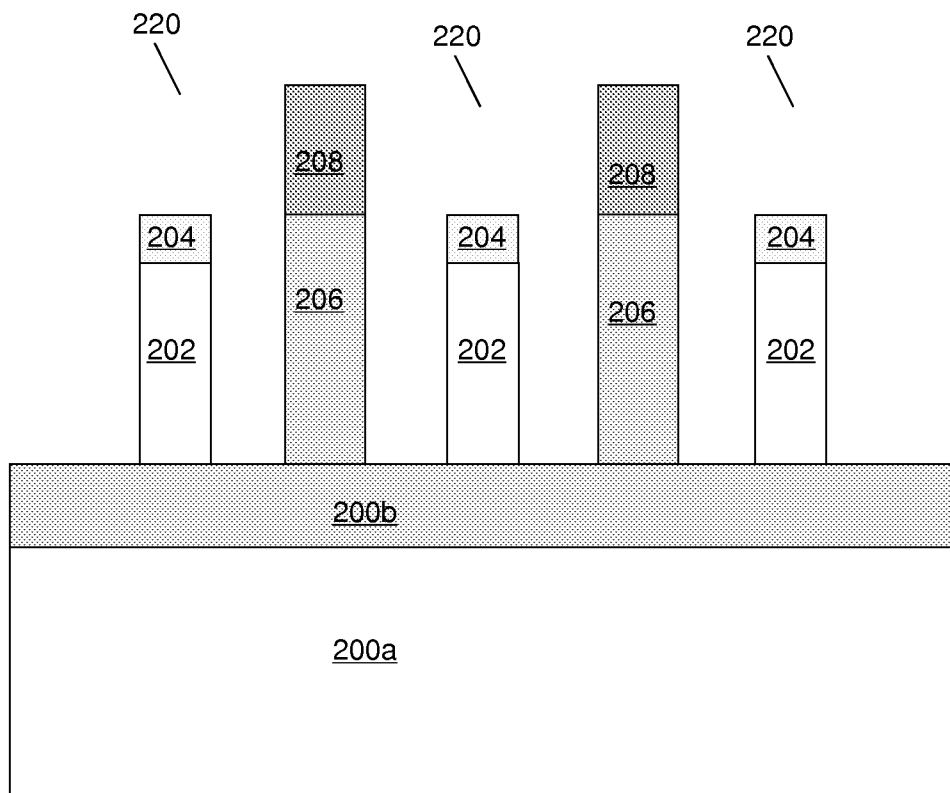


图 18

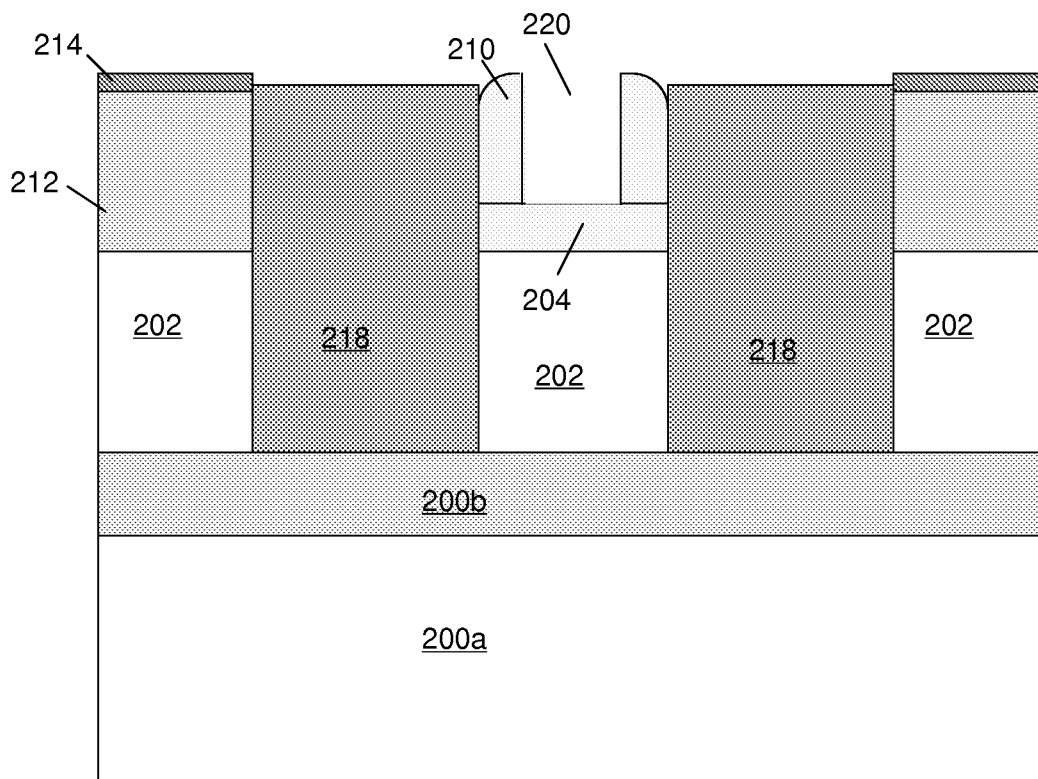


图 19

— 11/14 —

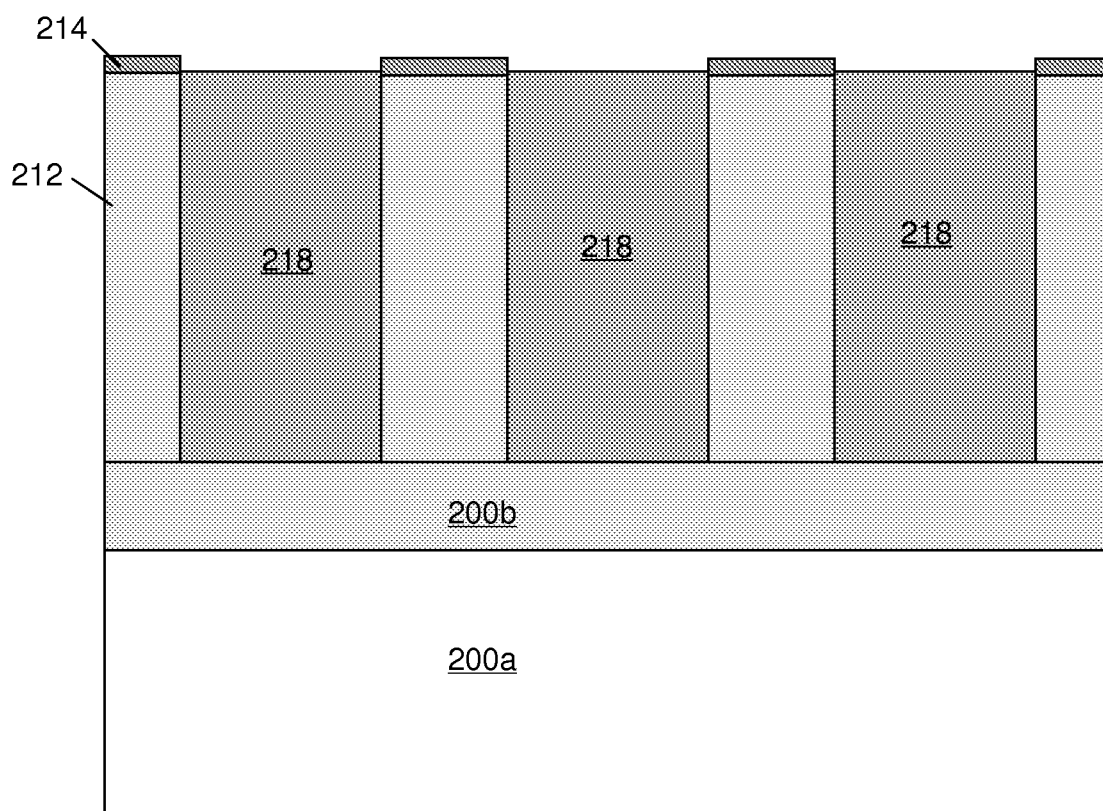


图 20

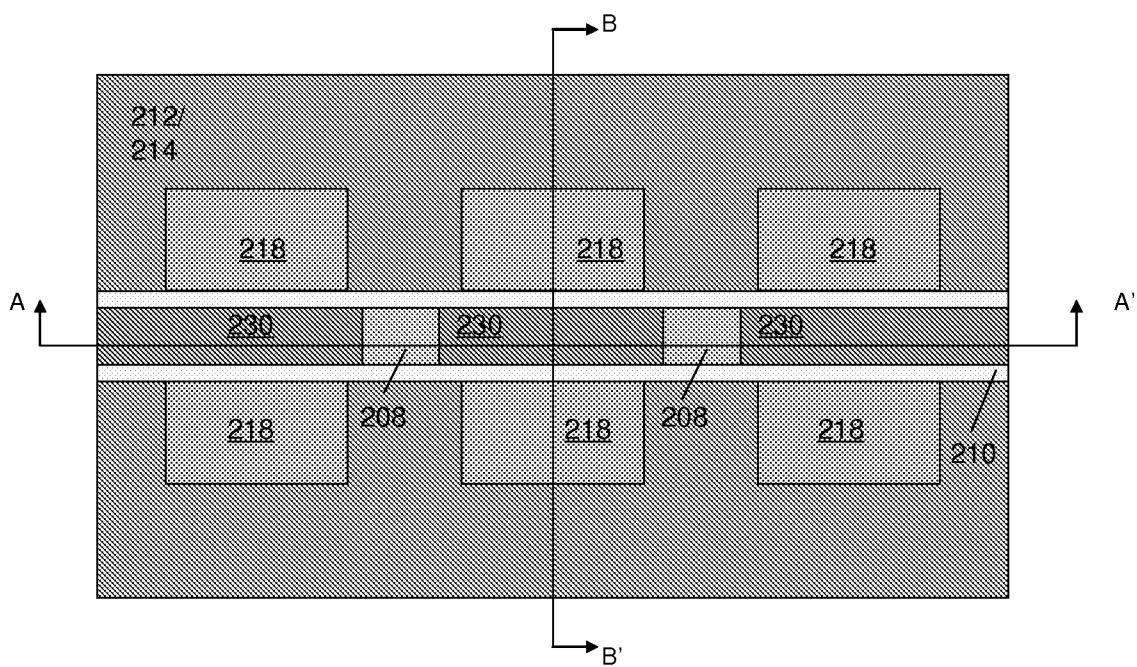


图 21

— 12/14 —

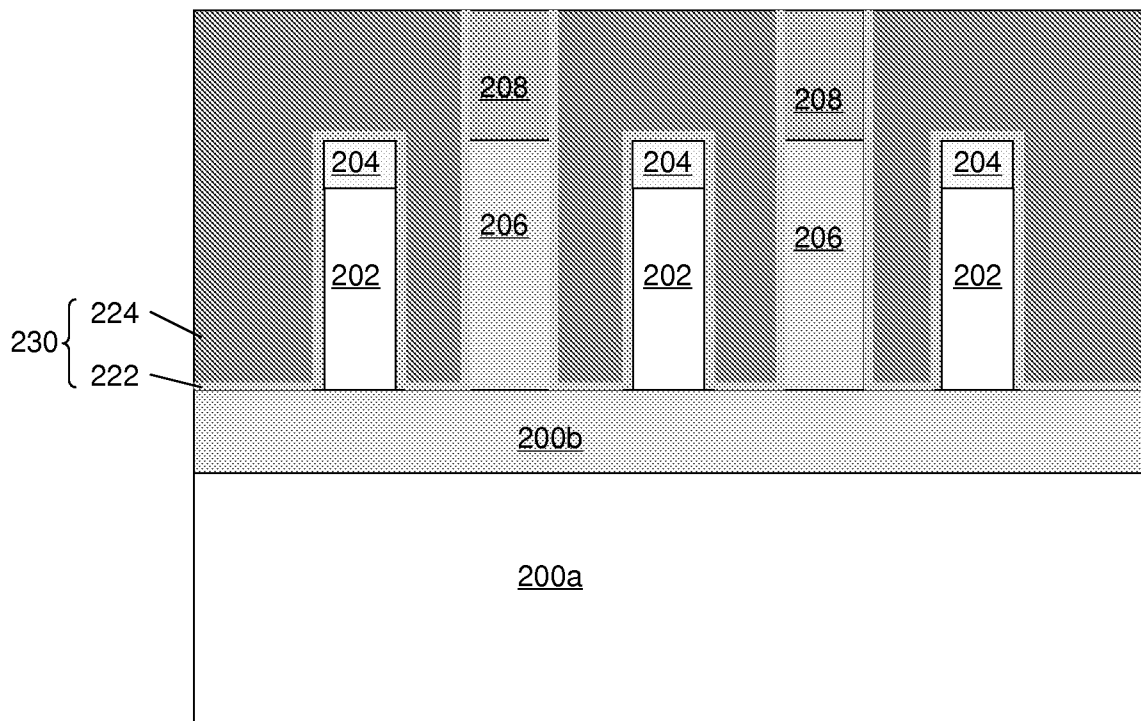


图 22

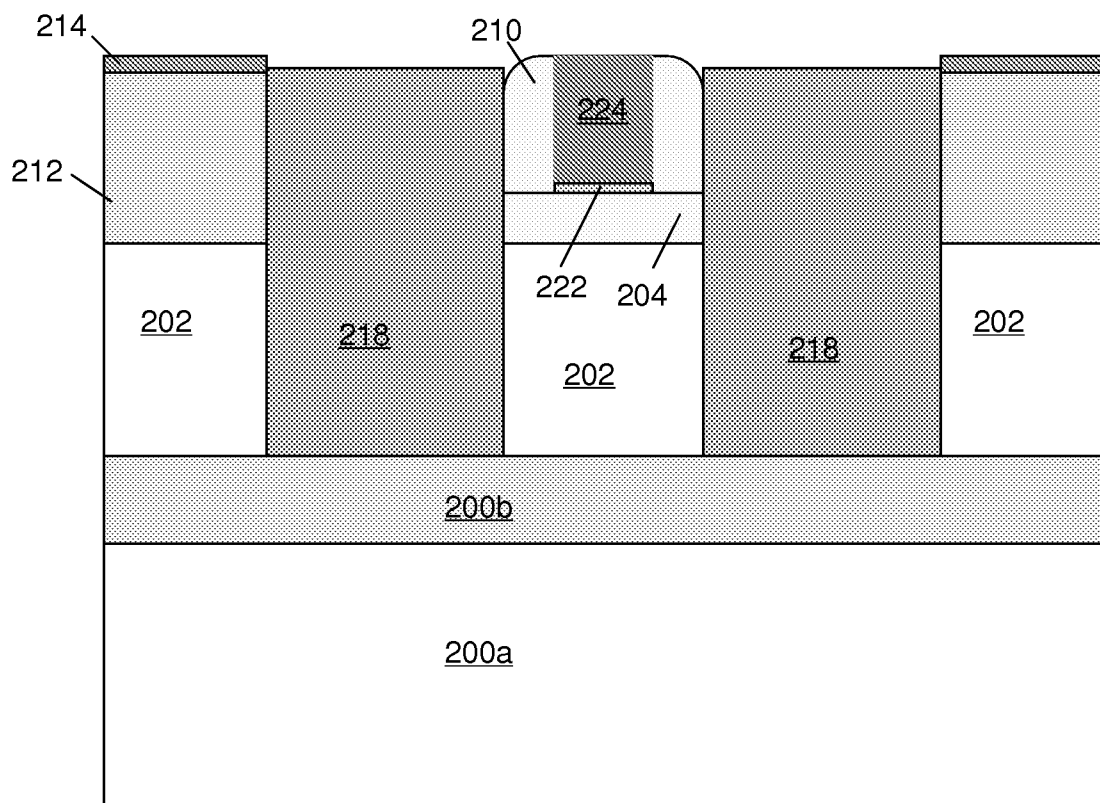


图 23

—13/14—

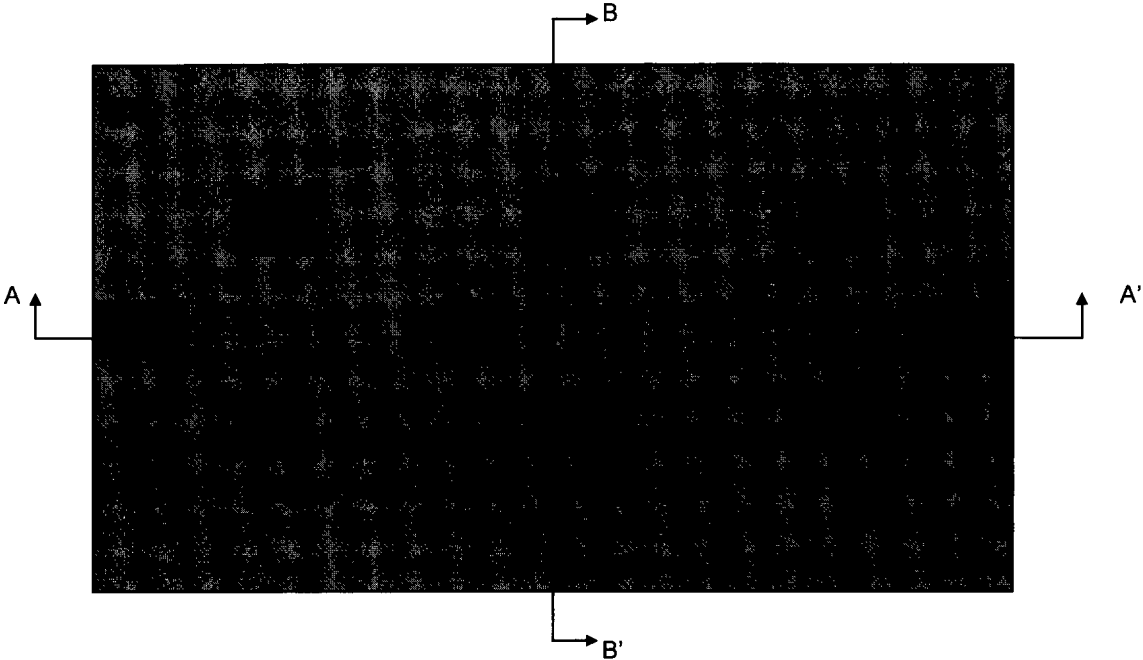


图 24

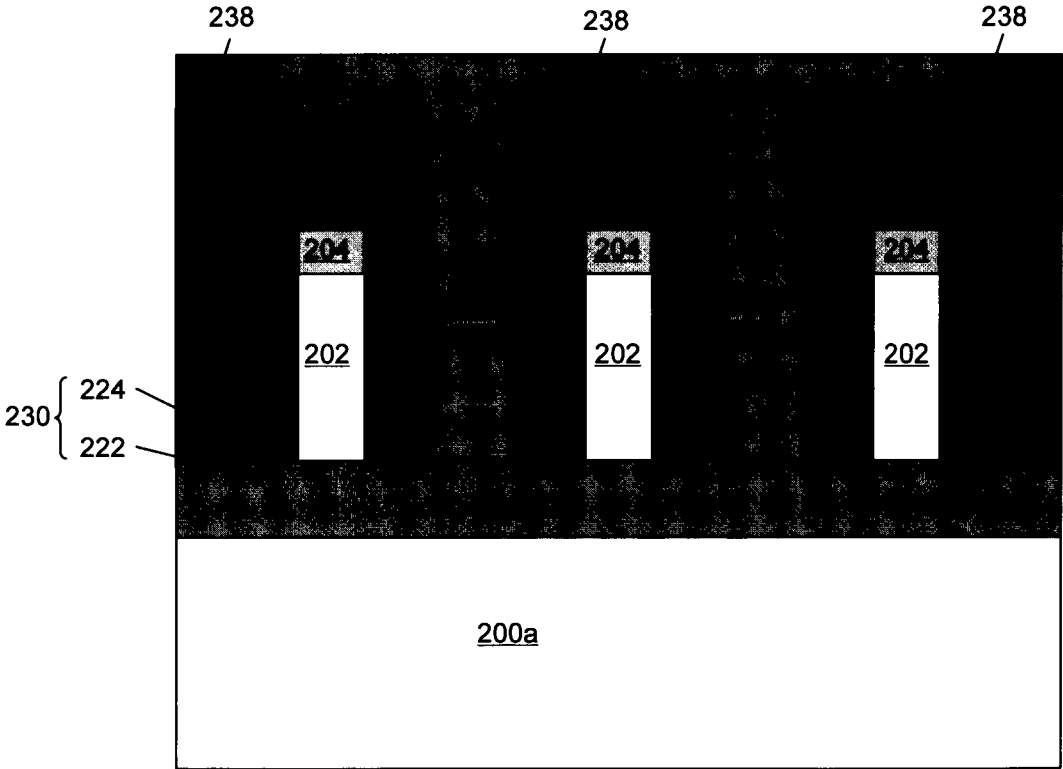


图 25

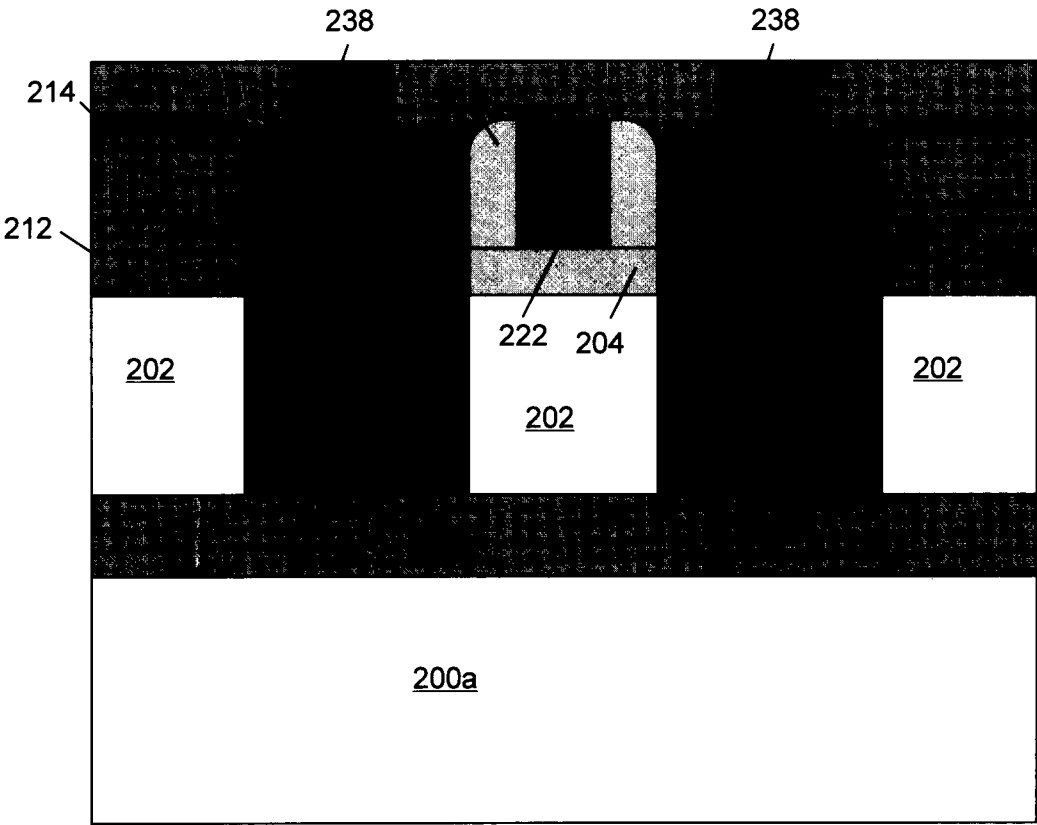


图 26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/078196**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: field effect MOS fin finfet stress strain dummy gate multiple-gate

WPI, EPODOC: finfet fin-fet fin-field-effect stress strain dummy gate multiple-gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006/0175669 A1 (SAMSUNG ELECTRONICS CO., LTD.), 10 August 2006 (10.08.2006), the whole document	1-8
A	CN 1902741 A (ADVANCED MICRO DEVICES, INC.), 24 January 2007 (24.01.2007), the whole document	1-8
A	US 2006/0084232 A1 (GRUPP, D.E. et al.), 20 April 2006 (20.04.2006), the whole document	1-8

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 10 February 2012 (10.02.2012)	Date of mailing of the international search report 01 March 2012 (01.03.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YANG, Yong Telephone No.: (86-10) 62411777

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/078196

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2006/0175669 A1	10.08.2006	KR 100585178 B1	30.05.2006
CN 1902741 A	24.01.2007	US 2005153485 A1	14.07.2005
		WO 2005071727 A1	04.08.2005
		GB 2426124 A	15.11.2006
		DE 112004002633 T5	04.01.2007
		US 7186599 B2	06.03.2007
		KR 20060123480 A	01.12.2006
		JP 2007518271 A	05.07.2007
		GB 2426124 B	12.12.2007
		DE 112004002633 B4	24.12.2008
		TW 200529433 A	01.09.2005
		CN 100505183 C	24.06.2009
US 2006/0084232 A1	20.04.2006	WO 2006026339 A2	09.03.2006
		EP 1787320 A2	23.05.2007
		US 7902029 B2	08.03.2011
		US 2011124170 A1	26.05.2011

国际检索报告

国际申请号

PCT/CN2011/078196

A. 主题的分类

H01L21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-, H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI:鳍 场效应 MOS fin finfet 应力 应变 伪栅 假栅 虚栅 多栅 多重栅

WPI,EPODOC: finfet fin-fet fin-field-effect stress strain dummy gate multiple-gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2006/0175669A1 (SAMSUNG ELECTRONICS CO., LTD.) 10.8 月 2006 (10.08.2006) 全文	1-8
A	CN1902741A (先进微装置公司) 24.1 月 2007 (24.01.2007) 全文	1-8
A	US2006/0084232A1 (Daniel E. Grupp et al.) 20.4 月 2006 (20.04.2006) 全文	1-8

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

10.2 月 2012 (10.02.2012)

国际检索报告邮寄日期

01.3 月 2012 (01.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

杨永

电话号码: (86-10) 62411777

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/078196

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2006/0175669A1	10.08.2006	KR100585178B1	30.05.2006
CN1902741A	24.01.2007	US2005153485A1	14.07.2005
		WO2005071727A1	04.08.2005
		GB2426124A	15.11.2006
		DE112004002633T5	04.01.2007
		US7186599B2	06.03.2007
		KR20060123480A	01.12.2006
		JP2007518271A	05.07.2007
		GB2426124B	12.12.2007
		DE112004002633B4	24.12.2008
		TW200529433A	01.09.2005
		CN100505183C	24.06.2009
US2006/0084232A1	20.04.2006	WO2006026339A2	09.03.2006
		EP1787320 A2	23.05.2007
		US7902029B2	08.03.2011
		US2011124170A1	26.05.2011