

發明專利說明書



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94120810

※申請日期：94年06月22日

※IPC分類：H01L 29/48 (2006.01)

一、發明名稱：

(中) 使用溝槽結構之橫向半導體裝置及其製造方法

(英) Lateral semiconductor device using trench structure and method of manufacturing the same

二、申請人：(共 1 人)

1. 姓 名：(中) 精工電子有限公司
(英) SEIKO INSTRUMENTS INC.代表人：(中) 1. 茶山幸彥
(英)地 址：(中) 日本國千葉縣千葉市美浜區中瀬一丁目八番地
(英) 8, Nakase 1-chome, Mihama-ku, Chiba-chi, Chiba 261-8507,
Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 理崎智光
(英)國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/07/01 ; 2004-195887 ☒ 有主張優先權2. 日本 ; 2005/05/18 ; 2005-144867 ☒ 有主張優先權

發明專利說明書



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94120810

※申請日期：94 年 06 月 22 日

※IPC 分類：H01L 29/48 (2006.01)

一、發明名稱：

(中) 使用溝槽結構之橫向半導體裝置及其製造方法

(英) Lateral semiconductor device using trench structure and method of manufacturing the same

二、申請人：(共 1 人)

1. 姓 名：(中) 精工電子有限公司
(英) SEIKO INSTRUMENTS INC.代表人：(中) 1. 茶山幸彥
(英)地 址：(中) 日本國千葉縣千葉市美浜區中瀬一丁目八番地
(英) 8, Nakase 1-chome, Mihama-ku, Chiba-chi, Chiba 261-8507,
Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 理崎智光
(英)國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/07/01 ; 2004-195887 ☒ 有主張優先權2. 日本 ; 2005/05/18 ; 2005-144867 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明有關於一種具有橫向 MOS 電晶體且需要高驅動效能的半導體裝置以及其製造方法。

【先前技術】

藉由使用先進的精密製造技術以製造小幾何尺寸的 MOS 電晶體而不會減低其性能，已變為可行的。此趨勢亦應用至（無例外地）半導體元件以供高驅動效能的需要。爲了要實現高驅動效能，減低每單位平面之面積的元件之導通電阻值已藉由精密製造技術的最佳使用而加以嘗試。然而，耐受電壓的減低亦爲一項事實，其係由於半導體元件的小型化而造成，而妨礙驅動效能的進一步改善。爲了要消除小型化與耐受電壓之間的交換，已提出具有各種結構的半導體裝置。給定一溝槽閘極 MOS 電晶體（其係爲目前主流的半導體元件）以作為具有高耐受電壓與高驅動效能的功率 MOS 電晶體之例子。在具有高耐受電壓與高驅動效能的 MOS 電晶體之中，溝槽閘極 MOS 電晶體具有最高等級的整合度。該電晶體顯示如單一元件的極佳效能，然而在藉由用於積體電路的標準元件安裝在一晶片上具有一缺點，由於溝槽閘極 MOS 電晶體具有一垂直 MOS 結構，其中電流以基板的深度方向流動。當與晶片上的基底電路標準元件並存列入考量時，最常選擇傳統的橫向 MOS 結構。

(3)

加以決定。當該接觸面積是小的，該區域作為如第 4D 圖中所示電流 019 所顯示的障礙物（在源極區與汲極區中電流目的變為較密的），其抑制導通電阻值的減低。為了要增加該接觸面積，延伸尺寸 d_1 、 w_1 以及 l_2 的長度是足夠的。首先，尺寸 d_1 加以考量。尺寸 d_1 通常是淺的（數千埃），且對於其深度有所限制，其中在源極區與汲極區各自藉由標準離子佈植而形成時的例子中，尺寸 d_1 係對應至源極區 001 與汲極區 002 各自的深度。當尺寸 w_1 延伸而未改變該溝槽的凸面部之寬度時，每單位面積的溝槽數量降低，且因此垂直接觸面積降低，其中尺寸 w_1 對應至該溝槽的凹面部之寬度。此縮短該閘極寬度，且因此尺寸 w_1 不能變長。

有關延伸尺寸 l_2 以作為源極區 001 或汲極區 002 以及溝槽之間的重疊長度之方法，當尺寸 l_2 延伸而未改變該閘極長度時，該面積因此而增加是清楚可知的。再者，在源極區 001 與汲極區 002 係由自對準至閘電極 003 而形成的例子中，用於源極區 001 與汲極區 002 可以考量延伸尺寸 l_2 的方法或增加雜質的擴散長度，雖然其對於縮短 l_2 存有限制。畢竟，當然不具有藉由雜質的擴散而延伸 l_2 的方法。然而，此方法在長度上亦具有限制，且附加地具有一風險，例如：源極區 001 或汲極區 002 的濃度之減低，其係由過多的雜質擴散所造成。因此，此方法是難以實際上執行的。換言之，在習知技術中，增加接觸面積而未改變元件面積以減低 MOS 電晶體的導通電阻值是困難的

(4)

(2) . 第二個問題在於該溝槽深度存有限制。增加該溝槽深度可以進一步增加每單位面積的閘極寬度。然而，此僅應用至井區 005 中的例子。以一標準方法所形成的井區 005 之深度存有限制。因此，該溝槽不能比井區 005 更為深。假如該溝槽比井區 005 更為深時，電流將漏損至該基板。

【發明內容】

本發明係用以解決上述二問題以及實現具有高驅動效能的一低導通電阻值橫向 MOS 電晶體。具有高驅動效能的橫向 MOS 電晶體包含形成在溝槽上的閘電極，其長度方向係平行於閘極長度方向（通道長度方向），且每單位平面之面積具有一長閘極寬度。本發明的橫向 MOS 電晶體不需增加平面元件面積而獲得高驅動效能。

本發明提供一種半導體裝置，其具有：一第一溝槽區，其中縱長方向平行於一閘極長度方向的溝槽係形成在一半導體基板的一表面上；一第二溝槽區以及一第三溝槽區，其設於與該第一溝槽區之凹面部的一底表面相同的平面上，以使得在其縱長方向上與該第一溝槽區的二端接觸；一第二導電類型井區，其形成在該第一溝槽區、該第二溝槽區以及該第三溝槽區中；一閘極絕緣膜，其設於該第一溝槽區中；一閘電極，其設於該閘極絕緣膜上；以及一第一導電類型源極區，其相比於該第一溝槽區、該第二溝槽

(5)

區與該第三溝槽區中的井區設於較淺處；以及

根據本發明，在藉由該些溝槽而形成有閘電極的 MOS 電晶體中，該通道部分的其中一端之整體表面以及該通道部分的另一端之整體表面係分別足夠地與源極區與汲極區相接觸。因此，該接觸面積藉此而增加，該電晶體的導通電阻值則減低。

【實施方式】

實施例 1

第 1A 至 1C 圖顯示本發明的典型實施例。此處，第 1A 圖係為平面圖，第 1B 圖係為取自沿第 1A 圖的 1A-1A' 線之橫斷面圖，而第 1C 圖係為沿第 1A 圖的 1A-1A' 線與 1B-1B' 橫切之透視圖。此處，在第 1A 圖中，在溝槽上的一閘電極 003 以及閘極絕緣膜 004 係為透明的，以輕易地觀看。粗線係標明閘電極 003 的邊緣。再者，第 1C 圖係為由源極區 001 觀看的視圖。在此圖式中，並未省略金屬互連，以三維地顯示的源極與汲極結構。此圖式以 1A-1A' 線作為其中心以顯示一對稱結構。因此，由汲極區 002 觀看的視圖係與第 1C 圖相同。需要注意的是，為了要易於了解本發明實施例的敘述而取該對稱結構；然而，對稱性並非實施本發明所必要的。

於下述中，將主要敘述如第 1A 至 1C 圖所示的 MOS 電晶體之結構以及根據製造步驟以製造該 MOS 電晶體的方法。第 4A 至 4F 圖顯示用以製造如第 1A 至 1C 圖所示

(7)

熱擴散之後，井區 005 並未圍繞著所有的溝槽，如第 8B 圖所示。另一方面，爲了使離子佈植至該溝槽底部部分的區域中之溝槽側表面，當偏斜離子佈植中的角度 θ 是較小的，該些離子並不足以佈植至溝槽側表面。因此，在熱擴散之後，井區的離子濃度剖面並未變爲固定的。

然而，藉由偏斜離子佈植以及磊晶技術的結合，可以增加該溝槽寬度以超越其限制。如第 10A 圖所示，半導體基板 006 的表面經歷一離子佈植。接著，如第 10B 圖所示，藉由磊晶成長以沈積一半導體膜。之後，形成一溝槽結構，如第 10C 圖所示，以及執行多個方向的偏斜離子佈植，如第 10D 圖所示。由於一離子佈植層存在於該磊晶層與該半導體基板之間，圍繞所有溝槽的井區可以藉由熱擴散而形成，如第 10E 圖所示。藉由此方法，可以進一步增加該溝槽寬度，且可以因此進一步增加每單位面積的閘極寬度。

接著，如第 4B 圖所示，該基板表面經歷一熱氧化，形成該閘極絕緣膜 004，以及一多晶矽膜沈積於其上以形成該閘電極 003。該多晶矽膜經歷一選擇性蝕刻，以使得該閘電極 003 得以保留，如第 4C 圖所示。

接著，執行離子佈植與雜質擴散。藉由與該閘電極 003 的自對準，第一導電類型（舉例而言，N 型）的源極區與汲極區 002 係形成在第一溝槽區、第二溝槽區以及第三溝槽區中，其未被該閘電極覆蓋以獲得如第 4D 圖所示的結構。此處，該源極區 001 與該汲極區 002 藉由執行多

(8)

個方向的偏斜離子佈植而形成至半凸半凹面結構（其具有凸面部 007）的整體表面上。因此，位於該閘電極 003 下方處的該電晶體之通道部分的二端之整體表面直接地與源極區 001 相接觸。因此，該通道部分以及該源極區 001 與汲極區 002 之間的接觸面積是較大的，其減低接觸電阻值。因此，上述的其他問題可以解決。

接下來，如第 4E 圖所示，沈積一絕緣膜 009 以覆蓋該半導體基板的整體表面。接著，在源極區 001 與汲極區 002 上的絕緣膜 009 之一部分經歷蝕刻，藉此暴露源極區 001 與汲極區 002 的一部分。

接著，如第 4F 圖所示，沈積一電極膜以覆蓋該半導體基板的整體表面。接著，電極膜藉由蝕刻而被移除，而其中一部分將成為與源極區 001 及汲極區 002 相連接的電極膜 010。

最後，形成一鈍化膜於該結構的表面，如第 4F 所示。源極區 001、閘電極 003 以及汲極區 002 藉由接觸洞而形成。接著，各自的電極被移除。因此，具有高驅動效能與低導通電阻值的橫向 MOS 電晶體得以完成。

雖然根據 MOS 電晶體的製造條件或元件操作條件，當藉由將該第一溝槽區的凹面部之寬度設為大約 $1000\text{\AA}$ 而使 MOS 電晶體導通，該凹面部的整體內部分進入一空乏狀態。因此，次臨界值特性得以增強。因此，源極與汲極之間的漏損量減低，此可以降低臨界值。因此，可以進一步地改善驅動效能。本發明的基本結構與製造方法已敘

(9)

述如上。

於上述中，本發明的實施例已以所謂的平面式 MOS 電晶體敘述如上；然而，存有各種結構以供平面式 MOS 電晶體，其目的在於改善耐受電壓。因此，在本發明中，耐受電壓的改善可以藉由使用 DDD（雙擴散汲極）結構、LDMOS（橫向雙擴散 MOS）結構以及其他的習知技術而輕易地獲得。於下述中，將會加以說明。

實施例 2

第 5 圖顯示本發明的一實施例，其具有一 DDD 結構。實施例 2 與實施例 1 不同之處在於，在源極區 001 與汲極區 002 形成之前，僅有第三溝槽區 15 是開啓的，且形成一低層級擴散區 011，其包含在後續步驟中形成的汲極區 002。因此，具有高耐受電壓與低導通電阻值的高驅動效能的 MOS 電晶體得以完成。

實施例 3

第 6 圖顯示本發明的一實施例，其具有一 LDMOS 結構。實施例 3 與實施例 1 不同之處在於，在源極區 001 與汲極區 002 形成之前，僅有第二溝槽區 16 是開啓的，且形成一本體區 012，其未包含在後續步驟中形成的汲極區 002，然而卻增加源極區 101。因此，具有高耐受電壓與低導通電阻值的高驅動效能的 MOS 電晶體得以完成。

上述係為本發明的實施例，其具有 NMOS 電晶體，其

(10)

中第一導電類型係為 N 型且第二導電類型係為 P 型。藉由本發明實施例的結構之使用每單位平面之面積的驅動效能可以增加，而如同一般平面式 MOS 電晶體的相同耐受電壓得以維持。因此，該凹面部的底表面 008 可以形成於較深處，而未考量到井區 005 的深度。因此，驅動效能可以進一步地改善。再者，源極區 001 與汲極區 002 以及井區之間的接觸電阻值，藉由增加凸面部的上表面以及凹面部的底表面之間的間隙而自動地減低。因此，每單位平面之面積的驅動效能可以有效地改善。在上述實施例中，不需加以說明，PMOS 電晶體結構可藉由將導電類型反相而以相同方式形成。再者，藉由雙井方法之使用，其中形成用以形成 PMOS 電晶體的 N 型井區以及用以形成 NMOS 電晶體的 P 型井區，而可以輕易地形成具有高驅動效能的 CMOS 結構以及一晶片。

雖然本發明已以若干較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

在伴隨的圖式中：

第 1A 至 1C 圖係為顯示本發明一實施例的基本結構之視圖，其中第 1A 圖係為平面圖，第 1B 圖係為取自沿第 1A 圖的 1A-1A' 線之橫斷面圖，而第 1C 圖係為沿第 1A

(11)

圖的 1A-1A'線與 1B-1B'橫切之透視圖；

第 2A 至 2D 圖係為顯示習知實施例的視圖，其中第 2A 圖係為平面圖，第 2B 圖係為取自沿第 2A 圖的 2A-2A'線之橫斷面圖，第 2C 圖係為取自沿第 2A 圖的 2B-2B'線之橫斷面圖，其中箭頭標明電流之流動，而第 2D 圖係為取自沿第 2A 圖的 2C-2C'線之橫斷面圖，其中箭頭標明電流之流動；

第 3 圖係為第 2A 至 2D 圖中的源極區 001 或汲極區 002 之透視圖；

第 4A 至 4F 圖係為顯示根據本發明的製造步驟之透視圖；

第 5 圖係為根據本發明具有一 DDD 結構的實施例之透視圖；

第 6 圖係為根據本發明具有一 LDMOS 結構的實施例之透視圖；

第 7A 與 7B 圖係為溝槽深度是相當淺的例子之橫剖面圖，其中第 7A 圖係為緊接於多方向的偏斜離子佈植之後的橫剖面圖，第 7B 圖係為在多方向的偏斜離子佈植之後執行離子熱擴散的橫剖面圖；

第 8A 與 8B 圖係為溝槽深度是相當淺而離子佈植角度 θ 是較大的例子之橫剖面圖，其中第 8A 圖係為緊接於多方向的偏斜離子佈植之後的橫剖面圖，第 8B 圖係為在多方向的偏斜離子佈植之後執行離子熱擴散的橫剖面圖；

第 9 圖係為緊接於離子佈植之後的橫剖面圖，其具有

(12)

深的溝槽深度以及小的離子佈植角度 θ ；以及

第 10A 至 10E 圖顯示製造一井的方法，其使用一磊晶技術以及偏斜離子佈植方法，其中第 10A 圖係為在半導體基板的一表面上執行離子佈植之橫剖面圖；第 10B 圖係為藉由磊晶成長在如第 10A 圖所示的半導體表面上形成一半導體膜之橫剖面圖；第 10C 圖係為一溝槽結構形成至第 10B 圖的結果物之橫剖面圖；第 10D 圖係為執行多方向的偏斜離子佈植至第 10C 圖的結果物之橫剖面圖；第 10E 圖係為執行熱擴散至第 10D 圖的結果物之橫剖面圖。

【主要元件符號說明】

001	源極區
002	汲極區
003	閘電極
004	閘極絕緣膜 [✓]
005	井區
006	半導體基板
007	凸面部
008	底表面 [✓]
009	絕緣膜
010	電極膜
011	低層級擴散區
012	本體區
013	第一溝槽區

五、中文發明摘要

發明之名稱：使用溝槽結構之橫向半導體裝置及其製造方法

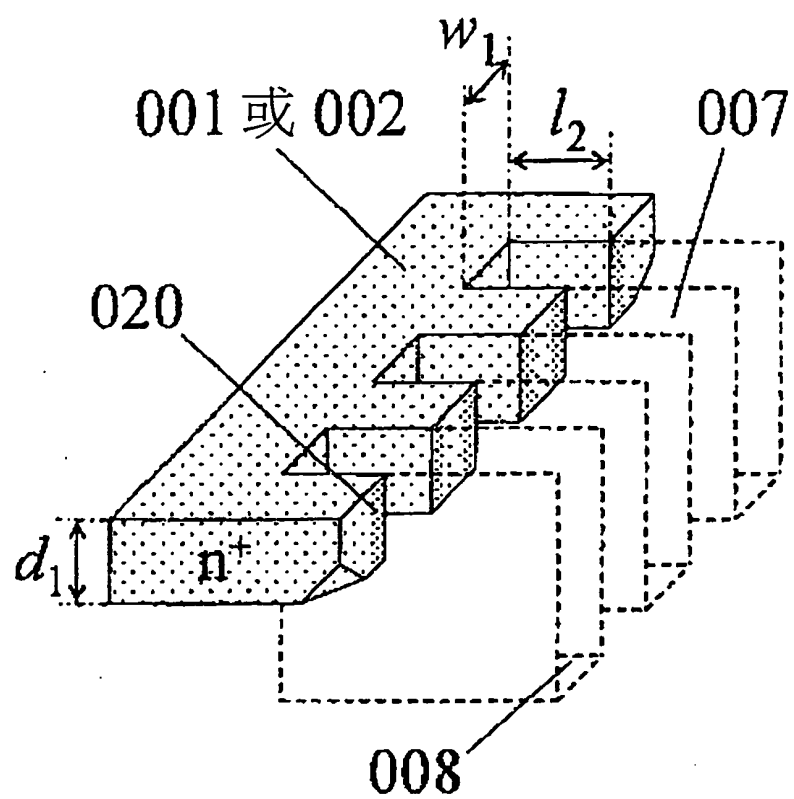
提供一種橫向溝槽 MOS 電晶體，其中延伸至該源極與汲極區的溝槽係配置為平行於該閘極長度方向，一閘極氧化物係配置在溝槽上，一井區藉由使用偏斜離子佈植而配置在該溝槽區以及該源極與汲極區的下方，一閘電極係配置在該閘極氧化物上，且源極與汲極區藉由使用偏斜離子佈植以及自對準至該閘電極而配置在與該些溝槽之凹面部的一底表面相同的平面上。

六、英文發明摘要

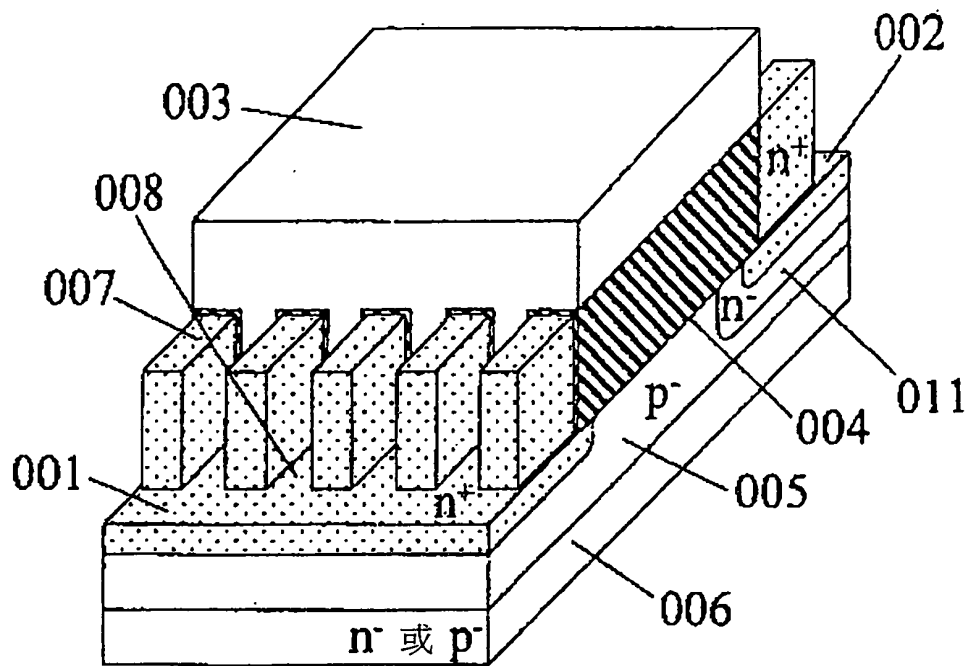
發明之名稱： LATERAL SEMICONDUCTOR DEVICE USING TRENCH STRUCTURE AND METHOD OF MANUFACTURING THE SAME

A lateral trench MOS transistor is provided in which trenches extending to the source and drain regions are disposed parallel to the gate length direction, a gate oxide is disposed on the trenches, a well is disposed under the trench region and the source and drain regions by using oblique ion implantation, a gate electrode is disposed on the gate oxide, and source and drain regions are disposed on the same plane as a bottom surface of a concave portion of the trenches self-aligned to the gate electrode by using oblique ion implantation.

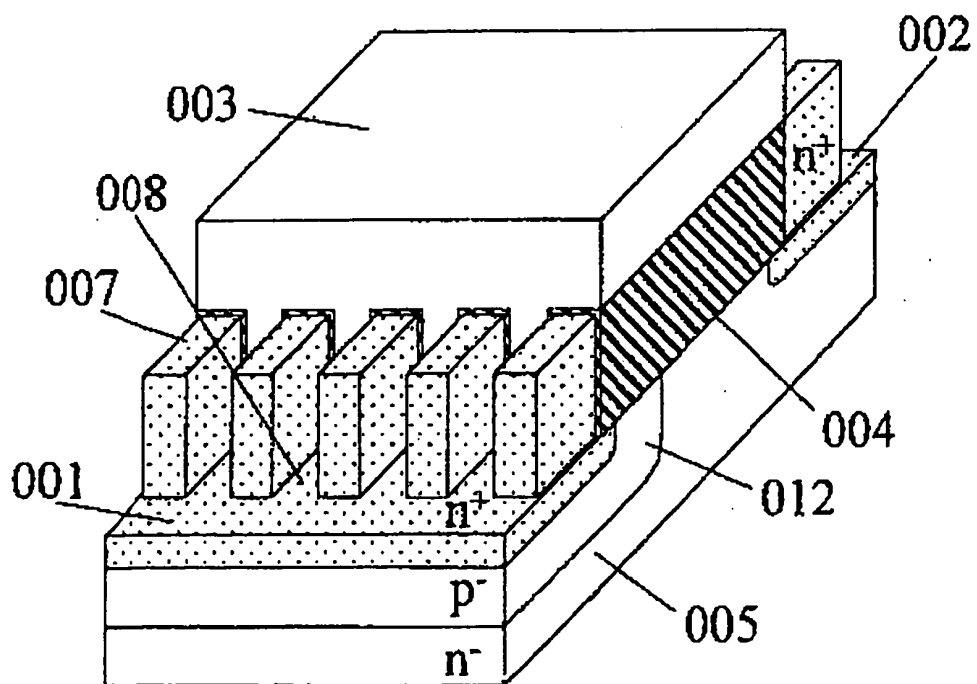
第3圖



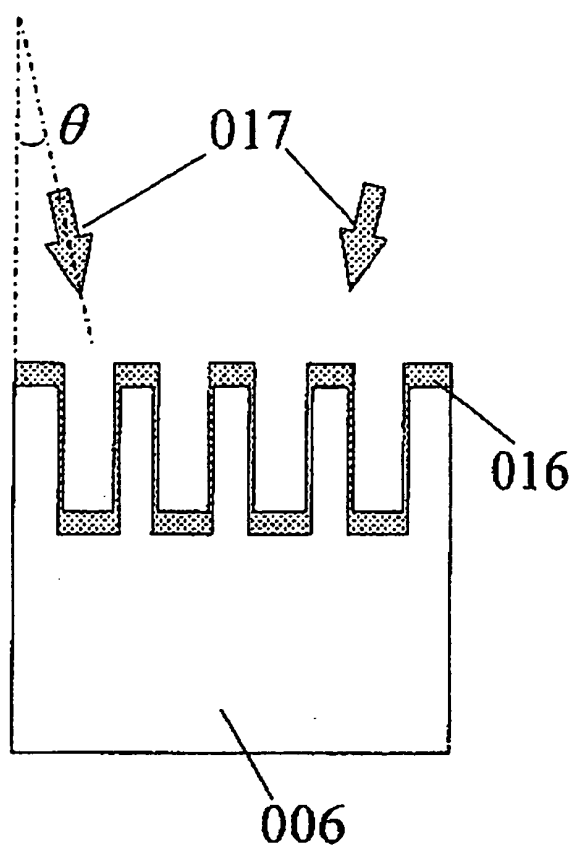
第5圖



第6圖



第9圖



七、指定代表圖：

(一) 本案指定代表圖為：第(1)圖

(二) 本代表圖之元件符號簡單說明：

001	源極區
002	汲極區
003	閘電極
004	閘極絕緣膜
005	井區
006	半導體基板
007	凸面部
008	底表面
013	第一溝槽區
014	第二溝槽區
015	第三溝槽區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(2)

如同能夠減低該橫向 MOS 電晶體中每單位面積的導通電阻值而不會減低一耐受電壓的一方法，已提出一橫向溝槽閘極電晶體，其中閘極部分具有一結構且該結構具有一凸面部與凹面部以增加較大的閘極寬度（舉例而言，參考日本專利 JP-3405681B 的第 11 頁，第 2A 至 2B 圖）。如第 2A 至 2D 圖所示，其顯示習知技術中所示的橫向閘極電晶體。第 2A 圖係為 MOS 電晶體的平面圖，第 2B 圖係為取自沿 2A-2A' 線之橫斷面圖，第 2C 圖係為取自沿 2B-2B' 線之橫斷面圖，而第 2D 圖係為取自沿 2C-2C' 線之橫斷面圖。此處，第 2A 圖中的溝槽外部之閘電極 003 與閘極絕緣膜 004 係為透明地顯示，以顯示下方的結構。粗線標明閘電極 003 的邊緣。習知技術係用以藉由導入溝槽結構至閘電極 003 以延伸橫向 MOS 電晶體中每單位面積的閘極寬度，而減低導通電阻值。

然而，習知技術具有二問題。

（1）第 3 圖係為取自第 2A 至 2D 圖中的源極區 001 或汲極區 002 而得的透視圖。此處，並未顯示閘極絕緣膜 004 與閘電極 003。在如第 3 圖所示的源極區 001 或汲極區 002 中，與由點線所標明的溝槽牆部相接觸的一表面之暗色部分係為與一通道部分相接觸的部分 020。與通道部分相接觸的該部分 020 存在於在源極區 001 或汲極區 002 中與該溝槽牆部相接觸之所有表面的每一表面上。換言之，在第 2A 至 2D 圖的結構中，源極區 001 或汲極區 002 與該通道部分之間的接觸面積係由尺寸 d_1 、 w_1 以及 l_2

(6)

的 MOS 電晶體之製造步驟，其係基於如第 1C 圖的相同視圖，由於汲極區 002 具有與源極區 001 相同的結構，因此加以省略。

首先，第一導電類型（舉例而言，N 型）或第二導電類型（舉例而言，P 型）的一表面經歷如第 4A 圖所示的蝕刻，藉此形成第一溝槽區 013、第二溝槽區 014 以及第三溝槽區 015，其具有一凹面部的底表面 008。之後，執行多個方向的偏斜離子佈植以及雜質擴散，藉此在該第一溝槽區 013、該第二溝槽區 014 以及該第三溝槽區 015 中形成第二導電類型（舉例而言，P 型）的一井區 005，其形成該電晶體的通道。此處，有關用以形成該井區 005 的離子佈植，在如第 7A 圖所示的該些溝槽區形成之後立即地執行多個方向的偏斜離子佈植。而藉由雙橫向偏斜離子佈植 017，以將離子佈植至該些溝槽的側表面與底表面，藉由以前方與後方方向的偏斜離子佈植（圖未示），以將離子佈植至該些溝槽的上表面與底表面。接著，如第 7B 圖所示，井區 005 藉由熱擴散而形成於較該溝槽底部部分較深處。相比於該井區 005 形成之後才形成該些溝槽區的方法，該溝槽可以確實地形成於較深處。因此，每單位面積的閘極寬度可以增加。因此，上述問題可以解決。

然而，即使上述方法在溝槽深度上具有一些限制。當該溝槽深度僅增加而未改變偏斜離子佈植中的角度 θ ，在該溝槽底部部分的區域中之側表面的一部分逐漸形成，其中離子為佈植至其上，如第 8A 圖所示。因此，即使是在

(13)

- 014 第二溝槽區
- 015 第三溝槽區
- 017 雙橫向偏斜離子佈植
- 019 電流
- 020 部分

民國 101 年 9 月 21 日修正

十、申請專利範圍

1. 一種半導體裝置，包含：

一第一溝槽區，具有形成在一半導體基板的一表面上的複數個溝槽；

一第二溝槽區以及一第三溝槽區，其設置於與該第一溝槽區之凹面部的一底表面相同的平面上，以使得該第二溝槽區以及該第三溝槽區在該第一溝槽區的縱長方向上與該第一溝槽區的各別相對端接觸；

一井區，其形成在該第一溝槽區、該第二溝槽區以及該第三溝槽區中；

一閘極絕緣膜，其設置於該第一溝槽區中；

一閘電極，其設置於該閘極絕緣膜上，該閘電極具有一長度，該長度在大致上平行於該複數個溝槽之縱長方向的方向延伸；

一源極區，具有不同於該井區的導電類型的導電類型，該源極區係設置在該井區的上方以及在該第二溝槽區中以及在該第一溝槽區的一第一部分中；以及

一汲極區，具有與該源極區的導電類型相同的導電類型，該汲極區係設置在該井區的上方以及在該第三溝槽區中以及在該第一溝槽區的一第二部分中。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體裝置具有一 DDD(雙摻雜汲極)結構。

3.如申請專利範圍第 1 項所述之半導體裝置，其中該半導體裝置具有一 LDMOS(橫向擴散金屬氧化物半導體)結構。

4.如申請專利範圍第 1 項所述之半導體裝置，其中位於該第一溝槽區中的一凸面部的寬度約為 1000 Å。

5.如申請專利範圍第 2 項所述之半導體裝置，其中位於該第一溝槽區中的一凸面部的寬度約為 1000 Å。

6.如申請專利範圍第 3 項所述之半導體裝置，其中位於該第一溝槽區中的一凸面部的寬度約為 1000 Å。

7.如申請專利範圍第 1 項所述之半導體裝置，其中該半導體裝置係藉由實施雙井技術的半導體製程而形成。

8.如申請專利範圍第 2 項所述之半導體裝置，其中該半導體裝置係藉由實施雙井技術的半導體製程而形成。

9.如申請專利範圍第 3 項所述之半導體裝置，其中該半導體裝置係藉由實施雙井技術的半導體製程而形成。

10.如申請專利範圍第 4 項所述之半導體裝置，其中該半導體裝置係藉由實施雙井技術的半導體製程而形成。

11.如申請專利範圍第 5 項所述之半導體裝置，其中該半導體裝置係藉由實施雙井技術的半導體製程而形成。

12.如申請專利範圍第 6 項所述之半導體裝置，其中該半導體裝置係藉由實施雙井技術的半導體製程而形成。

13.一種半導體裝置，包含：

一半導體基板；

一溝槽區，具有設置於該半導體基板上之至少一個溝

槽以及具有一溝槽長度、一溝槽寬度及一溝槽深度；

一井區，設置於該基板中及圍繞該溝槽區；

一源極區及一汲極區，設置於該井區的上方及設置於該溝槽之內壁的周圍，且該源極區與該汲極區係以彼此相互面對的關係而設置並具有不同於該井區的導電類型的導電類型；

一閘極絕緣膜，設置於該半導體基板的表面上以及於該溝槽之內底部與該內壁上；以及

一閘電極，設置於該閘極絕緣膜上，該閘電極之長度短於該溝槽長度且等於該源極區與該汲極區之間的距離。

14.如申請專利範圍第 13 項所述之半導體裝置，其中該半導體裝置具有雙摻雜汲極結構。

15.如申請專利範圍第 13 項所述之半導體裝置，其中該半導體裝置具有橫向擴散金屬氧化物半導體結構。

16.如申請專利範圍第 13 項所述之半導體裝置，其中位於該溝槽中的一凸面部的寬度約為 1000 Å。

17.一種半導體裝置，包含：

一半導體基板；

複數個溝槽，形成在半導體基板的一表面上，該複數個溝槽各具有一凹面部與一凸面部；

一閘極絕緣膜，設置於該複數個溝槽之該凹面部與該凸面部上；

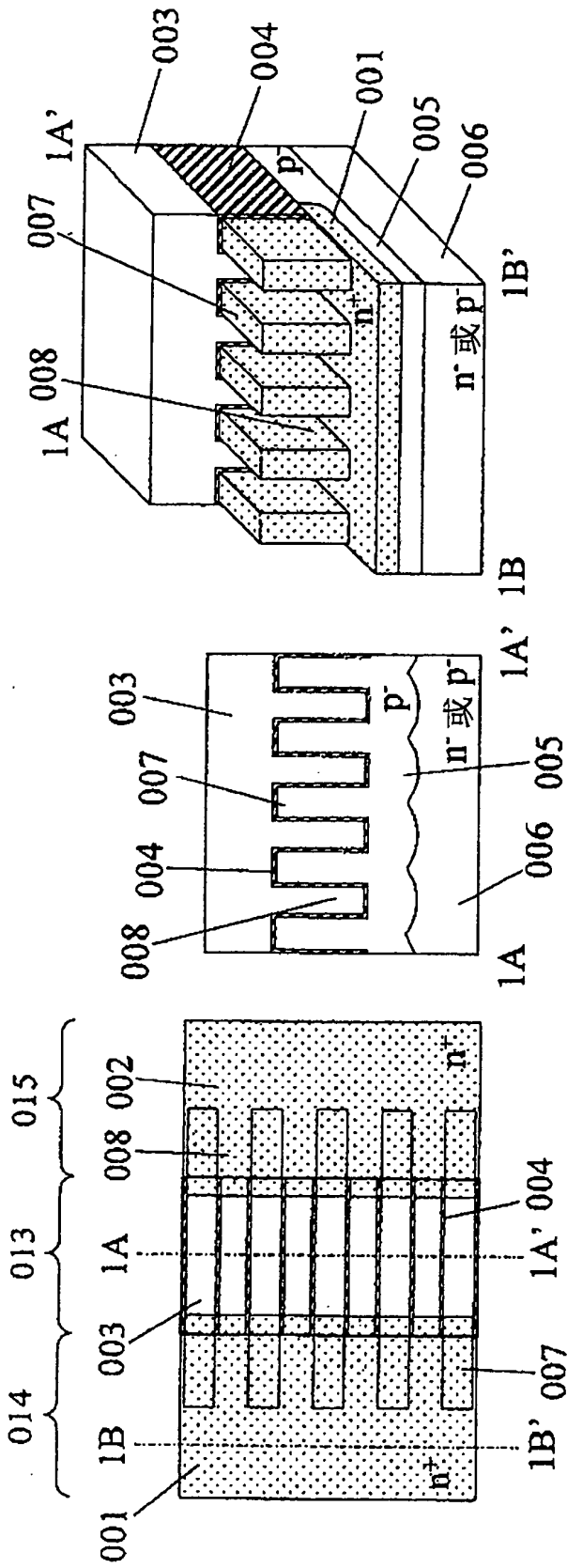
一閘電極，設置於該閘極絕緣膜上；

一源極區及一汲極區，各具有上表面，以與該複數個

溝槽之該凹面部之底表面為共平面關係而設置；以及
一井區，設置於該源極區及汲極區之下方。

18.如申請專利範圍第 17 項所述之半導體裝置，其中
該溝槽具有一長度，該長度在大致上平行於該閘電極之長度
方向的方向延伸。

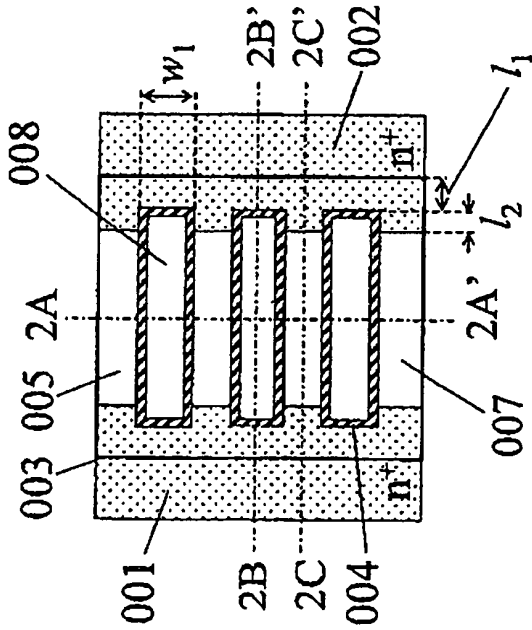
19.如申請專利範圍第 18 項所述之半導體裝置，其中
該閘電極之長度短於該溝槽的長度；且其中該源極區與該
汲極區相隔一距離，該距離等於該閘電極之長度。



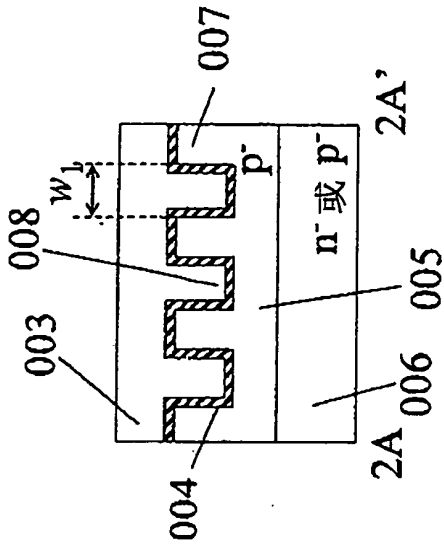
第1A圖

第1B圖

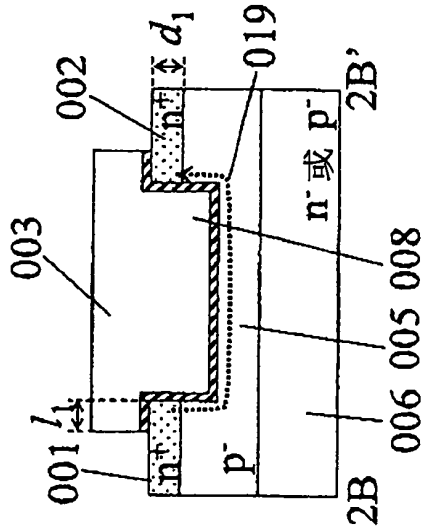
第1C圖



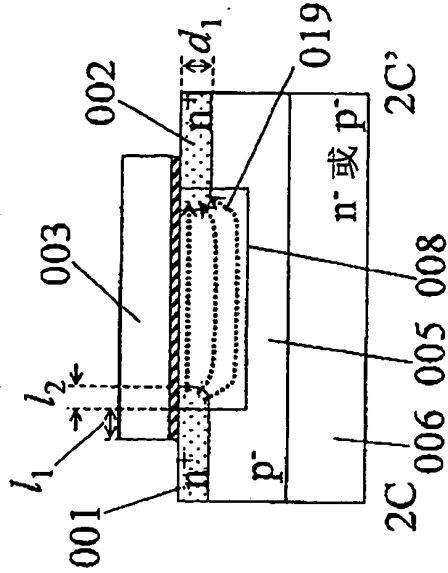
第2A圖



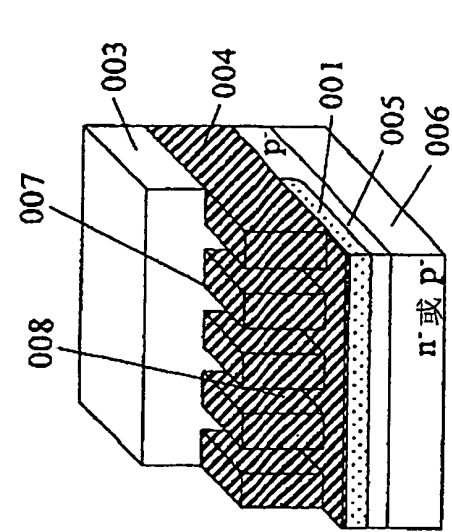
第2B圖



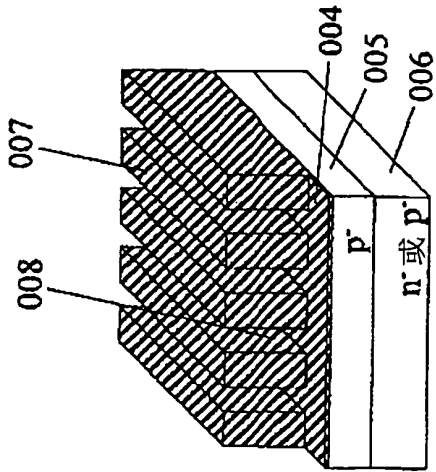
第2C圖



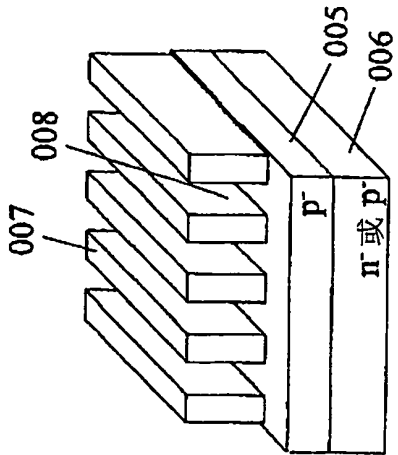
第2D圖



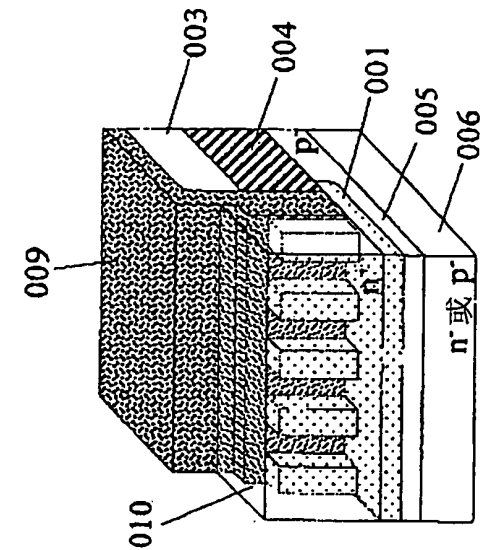
第4C圖



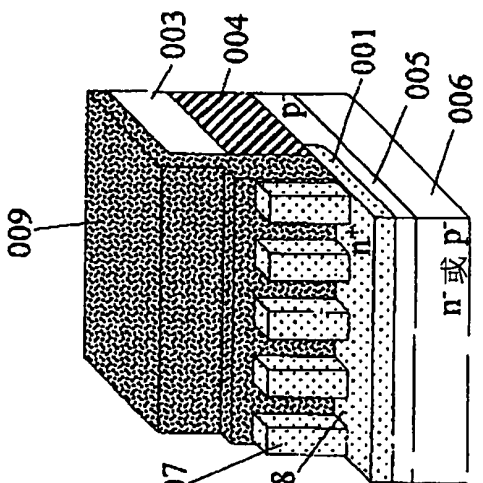
第4B圖



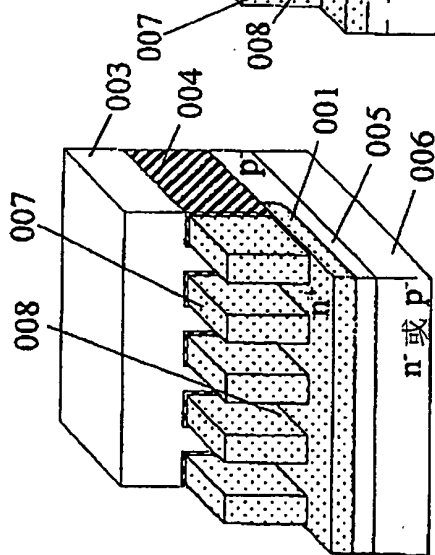
第4A圖



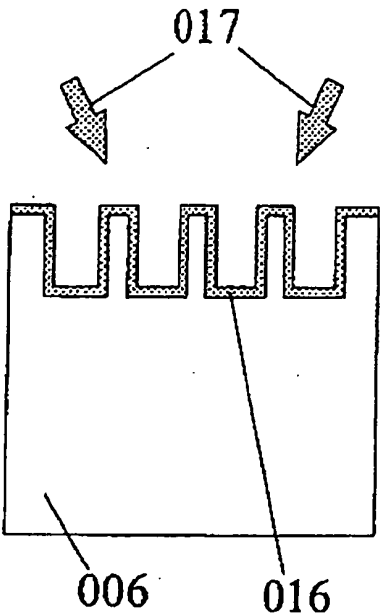
第4F圖



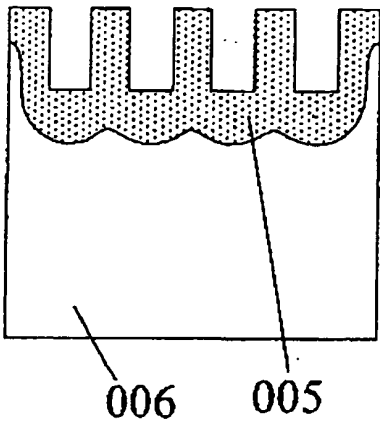
第4E圖



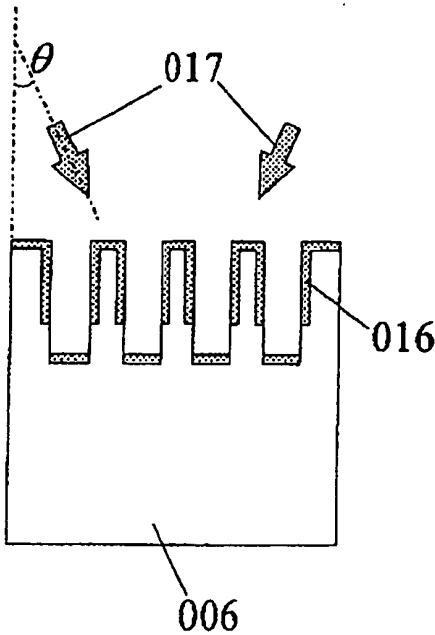
第4D圖



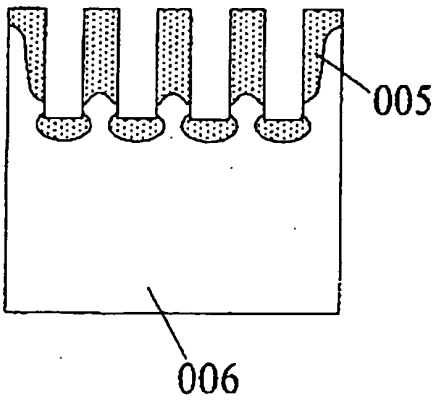
第7A圖



第7B圖



第8A圖



第8B圖

