

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：f410276f

※申請日期：94-1-28

※IPC 分類：G11C 13/00, G11C 8/00

一、發明名稱：(中文/英文)

記憶裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 對馬 朋人
TSUSHIMA, TOMOHITO
2. 荒谷 勝久
ARATANI, KATSUHISA
3. 河內山 彰
KOUCHIYAMA, AKIRA

國 籍：(中文/英文)

- 1.-3.均日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年01月29日；特願2004-022121

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種記憶裝置，其使用藉由電阻之狀態而記憶。保持資訊之記憶元件從而構成記憶體單元。

【先前技術】

於電腦等之資訊機器中，動作高速且高密度之DRAM作為隨機。存取。記憶體得以廣泛使用。

然而，由於DRAM係一旦斷開電源則資訊就會消失之揮發性記憶體，故而業者期待一種資訊不會消失之非揮發性記憶體。

而且，提出有FeRAM(強介電質記憶體)、MRAM(磁性記憶體)、相變化記憶體、PMC(Programmable Metallization Cell, 可編程金屬單元)或RRAM等之電阻變化型記憶體，作為將來可望使用之非揮發性記憶體。

於該等記憶體之情形時，即使不供給電源亦可長時間持續保持所寫入之資訊。

又，可認為於該等記憶體之情形時，藉由將該等記憶體設為非揮發性，可無需恢復動作從而減低該部分之消耗電力。

然而，FeRAM於現狀中難以實行非破壞性讀出，為成為破壞性讀出故而讀出速度較慢。又，由於藉由讀出或記錄所造成之分極反轉次數受到限制，故而對於可重寫次數存在界限。

MRAM於記錄時必須使用磁場，故而藉由流動於配線中

之電流而產生磁場。因此，記錄時必需較大電流量。

相變化記憶體係藉由施加同一極性且大小相異之電壓脈衝而加以記錄之記憶體。

該相變化記憶體根據溫度而產生切換，故而存在有對於環境溫度之變化較為敏感之課題。

於PMC或RRAM等之電阻變化型非揮發性記憶體中，將一種材料使用於記憶。保持資訊之記憶層中，上述材料具有藉由施加電壓或電流從而使電阻值產生變化之特性。

因此，由於構成較為簡單，故而易於實行記憶元件之微細化，上述構成係以夾住記憶層之方式設置兩個電極，對於該等兩個電極施加電壓或電流。

PMC之構造係於兩個電極之間夾住含有某一金屬之離子導電體，進而於藉由使兩個電極之任何一方含有包含於離子導電體中之金屬從而於兩個電極間施加有電壓之情形時，可利用離子導電體之電阻或電容等之電性特性將會產生變化之特性(例如參照專利文獻1)。

具體而言，離子導電體包括硫屬化合物與金屬之固溶體(例如，非晶GeS或非晶GeSe)，於兩個電極之任何一方之電極中含有Ag、Cu或Zn(參照專利文獻1)。

再者，於該PMC中，非晶GeS或非晶GeSe之結晶化溫度為200°C左右，由於若離子導電體得以結晶化則特性將會劣化，故而於實際製造記憶元件時之步驟中，例如於形成CVD絕緣膜或保護膜等之步驟中，存在有不耐較高溫度之問題。

作為RRAM之構成，可介紹有如下構成：例如藉由於兩

個電極間夾住多晶 PrCaMnO_3 薄膜，對於兩個電極施加電壓脈衝或電流脈衝，記錄膜 PrCaMnO_3 之電阻值將會大幅變化(參照非專利文獻1)。

而且，於記錄(寫入)資訊時與刪除資訊時，施加有極性相異之電壓脈衝。

又，作為RRAM之其他構成，可介紹有如下構成：例如以兩個電極夾住微量摻雜有Cr之 SrZrO_3 (單晶或多晶)，藉由自該等電極流動電流，從而記錄膜之電阻產生變化(參照非專利文獻2)。

於非專利文獻2中，表示有記憶層之I-V特性，記錄・刪除時之臨限值電壓成為 ± 0.5 V。於該構成中亦可藉由施加電壓脈衝而記錄・刪除資訊，必要之脈衝電壓設為 ± 1.1 V，電壓脈衝幅設為2 ms。

進而，亦可高速記錄・刪除，於電壓脈衝幅100 ns時亦可動作。該情形時，必要之脈衝電壓成為 ± 5 V。

再者，由於以上述RRAM之構成而提出之記憶層材料，其可為任何結晶性之材料，故而將會存在有以下問題：必需 600°C 左右之溫度處理，極難製造出所提出之材料之單晶，若使用多晶則將會對晶粒界面產生影響故而難以微細化等。

[專利文獻1]日本專利特表2002-536840號公報

[非專利文獻1]W.W. Zhuang等,「Novel Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)」, Technical Digest" International Electron Devices Meeting, 2002年, p.193

[非專利文獻2]A. Beck等,「Reproducible switching effect in thin oxide films for memory applications」, Applied Physics Letters, 2000年, vol. 77, p. 139-141

[發明所欲解決之問題]

進而，於上述RRAM中，提出有施加脈衝電壓從而記錄或刪除資訊，然而於所提出之構成中，依據施加有脈衝電壓之脈衝幅，記錄後之記憶層之電阻值將會產生變化。

又，以如此方式記錄後之電阻值依據記錄之脈衝幅，即使於反覆施加有同一脈衝之情形時，亦間接性表示出電阻值變化。

例如，於上述非專利文獻1中報告：於施加同一極性脈衝之情形時，根據該脈衝幅，記錄後之電阻值將會大幅變化。具有以下特徵：於脈衝幅短為50 ns以下之情形時，由於記錄所造成之電阻變化率變小，又，於脈衝幅長為100 ns以上之情形時，並非於固定值時達到飽和，而是隨著脈衝幅變長，反而越接近於記錄前之電阻值。

又，於非專利文獻1中，介紹有記憶體構造之特性，然而於此處亦報告有使脈衝幅於10 ns~100 ns之範圍內變化時，則記錄後之記憶層之電阻值將會根據脈衝幅而變化；上述記憶體構造係將記憶層與存取控制用之MOS電晶體串聯且將該等配置為陣列狀。於脈衝幅進一步較長之情形時，根據記憶層之特性，可預測到電阻將會再次減少。

即，於RRAM中，由於記錄後之電阻值依據於脈衝電壓之大小或脈衝幅，故而若於脈衝電壓之大小或脈衝幅中產

生不均一，則於記錄後之電阻值中亦會產生不均一。

因此，短於100 ns左右之脈衝電壓中，由於記錄所造成之電阻變化率較小，易受到記錄後之電阻值不均一的影響，故而難以安定地記錄。

因此，於以如此之較短脈衝電壓記錄之情形時，為確實地實行記錄，必須於記錄後實行用以確認資訊內容之步驟(驗證)。

例如，於記錄前，實行讀出確認業已記錄於記憶元件中之資訊內容(記憶層之電阻值)的步驟，對應於已經確認之內容(電阻值)與今後記錄之內容(電阻值)之關係從而實行記錄。

或者，例如於記錄後，實行讀出確認得以記錄於記憶元件中之資訊內容的步驟，於與所希望之電阻值相異之情形時，實行再記錄，修正為所希望之電阻值。

因此，記錄所需之時間延長，例如，難以高速實行資料之重寫等。

為解決上述問題，於本發明中提供一種記憶裝置，其可安定地實行記錄，可縮短資訊記錄所需之時間。

【發明內容】

本發明之記憶裝置，其特徵在於：含有記憶元件以及電路元件從而構成記憶體單元，且將寫入定義為使記憶元件自電阻值較高之狀態向電阻值較低之狀態變化之動作時，於記憶元件以及電路元件之兩端間所施加之電壓為大於臨限值電壓的一定電壓值以上時，於寫入後記憶體單元之記

憶元件以及電路元件之合成電阻值具有不受電壓大小之影響而大致成為固定值的特性；上述記憶元件係具有藉由於兩端之間施加臨限值電壓以上之電壓而電阻值產生變化之特性者，上述電路元件係與記憶元件串聯且成為負荷者。

根據上述本發明之記憶裝置，藉由具有以下特性，無論寫入前之記憶元件之電阻值為高電阻抑或為低電阻，於任何情形時，寫入後之記憶體單元之合成電阻值亦大致相同；上述特性係於記憶元件以及電路元件之兩端間所施加之電壓為大於臨限值電壓的一定電壓值以上時，於寫入後記憶體單元之記憶元件以及電路元件之合成電阻值不受電壓大小之影響而大致成為固定值者。

即，於得以實行寫入且處於記憶元件之電阻值較低之狀態之記憶體單元中，即使進一步實行寫入之情形時，記憶體單元之合成電阻值亦不會過度下降。

藉此，無需依據寫入前之記憶元件之電阻值，即可確實地寫入。

又，讀出得以記錄於記憶體單元中之資訊時，由於可根據依據於記憶體單元之合成電阻值的輸出信號，從而容易地感測到所記錄之資訊，故而不會產生讀出錯誤。

而且，由於可確實地寫入，又不會產生讀出錯誤，故而是可無需驗證步驟，該步驟係於記錄資訊(寫入或刪除)之前實行刪除，或於記錄資訊(寫入或刪除)之前實行讀出，將該讀出結果回饋至電壓控制電路者。

又，由於無需驗證步驟並且亦無需多次施加電壓脈衝，

故而可快速寫入。又，由於不會產生讀出錯誤，故而可不必重複讀出。藉此，可高速實行資訊之記錄或資訊之讀出。

[發明之效果]

根據上述之本發明，可安定地記錄資訊並且可縮短記錄資訊所需之時間。

因此，可實現一種記憶裝置，其可高速動作且可靠性較高。

【實施方式】

以下，就本發明之記憶裝置之實施形態加以說明。於本發明中，將電阻變化型記憶元件使用於記憶體單元中從而構成記憶裝置。

首先，於本發明之記憶裝置之一實施形態中，以圖1表示使用於記憶裝置之電阻變化型記憶元件之電壓-電流變化。

即，該電阻變化型記憶元件，其初始狀態為電阻值較大且電流難以流動之狀態，然而若施加寫入臨限值電壓(圖1之 $+1.1 X[V]$ 、例如數 100 mV)以上，則電流流動且電阻值逐漸降低。

而且，記憶元件向歐姆特性變化，電流與電壓成正比且成為流動狀態。

其後，即使將電壓恢復至 0 V 亦可持續保持該電阻值(較低電阻值)。

其次，若向記憶元件施加負電壓，逐漸增大施加電壓，則由於刪除臨限值電壓(圖1之 $-1.1 X[V]$ 、例如數 100 mV)而電流減少，向與初始狀態相同之較高電阻變化。

其後，即使將電壓恢復至 0 V 亦可持續保持該電阻值(較高電阻值)。

再者，圖 1 中將施加電壓之範圍設定為 $-2 X \sim +2 X$ ，即使將施加電壓增大至該範圍以上，於該記憶元件中電阻值亦幾乎不會產生變化。

由於具有上述電壓-電流特性，故而該電阻變化型記憶元件與先前之電阻變化型記憶元件相同，可實現用以記錄 1 位元資訊之非揮發性記憶體。該電阻變化型記憶元件即使單獨使用，亦可構成記憶裝置之記憶體單元 C。

作為具有如圖 1 所示之 I-V 特性之電阻變化型記憶元件，例如於第 1 電極與第 2 電極之間(例如下部電極與上部電極之間)夾住記憶層而得以構成之記憶元件中，可列舉出記憶層含有例如稀土氧化膜等之非晶薄膜者。

於該構成之記憶元件中，較好的是記憶層之膜厚設為 10 nm 以下，更好的是設為 5 nm 以下。

又，於稀土氧化膜中，較好的是含有如 Cu、Ag 或 Zn 等易於離子化之金屬。

於本實施形態中，特別是對於該電阻變化型記憶元件，使用 MIS 電晶體作為用以控制對於該記憶元件之存取的主動元件。而且，如圖 2 之電路圖所示，對於電阻變化型記憶元件 A 串聯有 MIS 電晶體 T 從而構成記憶裝置之記憶體單元 C。藉此，MIS 電晶體 T 即使作為針對於電阻變化型記憶元件 A 之負荷亦可發揮作用。

即，如圖 2 所示成為以下構成：於與連接於電阻變化型記

憶元件A之MIS電晶體T之端子相反側的端子上施加有端子電壓 V_1 ，於與連接於MIS電晶體T之電阻變化型記憶元件A之端子相反側的一方(例如源極側)端子上施加有端子電壓 V_2 ，於MIS電晶體T之閘極上施加有閘極電壓 V_{GS} 。

而且，藉由於構成記憶體單元C之電阻變化型記憶元件A以及MIS電晶體T之兩端分別施加有端子電壓 V_1 、 V_2 ，從而於兩端子間產生電位差 $V(= | V_2 - V_1 |)$ 。

再者，較好的是MIS電晶體T之導通電阻值低於電阻變化型記憶元件A之較高電阻值。更好的是設為足夠低，設為電阻變化型記憶元件A之較高電阻值之例如數分之一以下。

其原因在於：若MIS電晶體T之導通電阻值較高，則於端子間所施加之電位差幾乎作用於MIS電晶體T，故而電力受到損耗，無法將所施加之電壓高效地使用於記憶元件A之電阻變化。

又，於本實施形態之記憶裝置中，記錄有資訊後之記憶體單元C之電阻值，其以與施加於記憶體單元C之施加電壓(圖2之電位差) V 值無關且大致成為固定之方式而構成。

藉此，詳細內容如下所述，即使施加於記憶體單元C之施加電壓 V 中存有不均一，亦可安定地記錄資訊，可抑制讀出所記錄之資訊時產生讀出錯誤。

其次，於圖3中表示本實施形態之記憶裝置之電性電路圖。該電性電路圖含有用以施加圖2之各電壓(V_1 、 V_2 、 V_{GS})之電壓控制電路。

該記憶裝置100係 $(m+1)$ 列· $(n+1)$ 行之記憶體單元C配置

為矩陣狀而構成。記憶體單元C如圖2所示構成：電阻變化型記憶元件A之一端連接於電晶體T之一端(此處為汲極)。

電晶體T($T_{00} \sim T_{mn}$)之閘極連接於字元線W($W_0 \sim W_m$)。電阻變化型記憶元件A之他端連接於位元線B($B_0 \sim B_n$)。又，電晶體T之他端(源極)連接於源極線S($S_0 \sim S_m$)。

進而，位元線B($B_0 \sim B_n$)連接於成為該電壓控制電路之位元解碼器BD($BD_0 \sim BD_n$)。字元線W($W_0 \sim W_m$)連接於成為該電壓控制電路之列解碼器RD($RD_0 \sim RD_m$)。源極線S($S_0 \sim S_m$)連接於成為該電壓控制電路之源極解碼器SD($SD_0 \sim SD_m$)。

於以如此方式構成之本實施形態之記憶裝置100中，例如可以如下方式記錄資訊。

對於相應於用以記錄資訊之記憶體單元C之字元線W，藉由列解碼器RD而施加閘極電壓 V_{GS} ，接通MIS電晶體T之閘極。而且，對於相應於該記憶體單元C之位元線B以及源極線S，藉由位元解碼器BD以及源極解碼器SD，施加圖2所示之端子電壓 V_1 、 V_2 。藉此，可於記憶體單元C內之電阻變化型記憶元件A以及MIS電晶體T上施加電壓V。

以如此方式施加電壓V時，若作用於電阻變化型記憶元件A兩端之電壓大於上述電阻變化型記憶元件A之寫入臨限值電壓，則電阻變化型記憶元件A之電阻值自高電阻狀態降低，向低電阻狀態過渡。

藉此，可向電阻變化型記憶元件A記錄資訊(例如資料"1")(以下，將該情形作為寫入)。

又，若於電阻變化型記憶元件A之電阻值處於低電阻狀態

時，接通MIS電晶體T之閘極，並且於記憶體單元C內之電阻變化型記憶元件A以及MIS電晶體T上施加與寫入時相反極性之電壓V，作用於電阻變化型記憶元件A兩端之電壓大於上述電阻變化型記憶元件A之刪除臨限值電壓，則電阻變化型記憶元件A之電阻值自低電阻狀態增大，向高電阻狀態過渡。

藉此，可向電阻變化型記憶元件A記錄資訊(例如資料"0")(以下，將該情形作為刪除)。

再者，由於此時字元線W於各列記憶體單元C上共通，故而於同一列全部記憶體單元C中，MIS電晶體T之閘極成為接通狀態。

因此，於例如同一系列記憶體單元C群中僅對於一部分記憶體單元C記錄資訊之情形時，對於未記錄資訊之其他記憶體單元C，將位元線B之電位設定為與源極線S之電位相同，或設定為其他記憶體單元C與源極線S之電位差足夠小於電阻變化型記憶元件A之臨限值電壓(寫入臨限值電壓或刪除臨限值電壓)，以如此方式使記錄無法實行。

其次，於本實施形態之記憶裝置100之記憶體單元C中，就於其兩端施加電壓時之變化概略性加以說明。

施加於記憶體單元C兩端之電壓V，其於記憶元件A與MIS電晶體T處得以分壓。

此時，若構成為如上所述MIS電晶體T之導通電阻值足夠低於記憶元件A之較高電阻值，則記憶元件A之電阻值處於高電阻狀態，所施加之電壓幾乎施加於記憶元件A之兩端。

即，施加於記憶元件A兩端之電壓 V_A ，其大致成為 $V_A=V$ 。

此處，施加電壓 V 大於記憶元件A之臨限值電壓 $V_{th}(V>V_{th})$ 之情形時，記錄動作得以開始，記憶元件A之電阻值 R_1 逐漸降低。該記憶元件A之電阻值 R_1 降低，並且記憶元件A兩端之電壓 V_A 亦逐漸減少。

隨即，若記憶元件A兩端之電壓 V_A 減少至一定電壓 $V_{min}(\geq V_{th})$ 為止，則記憶元件A之電阻值 R_1 停止減少，電阻值 R_1 不會進一步減少。藉此，記憶元件A兩端之電壓 V_A 亦停止至 V_{min} 。

其原因在於：若由於記憶元件A之電阻值 R_1 降低而記憶元件A兩端之電壓 V_A 逐漸減少，則流動於記憶元件A中之電流 I 與記憶元件A兩端之電壓 V_A 之關係逐漸接近於記憶元件A之I-V特性，於達到該記憶元件A之I-V特性時無法進一步變化。即，達到記憶元件A之I-V特性後，為進一步減少記憶元件A之電阻值 R_1 ，必須增加記憶元件A兩端之電壓 V_A ，由於若增加該電壓 V_A 則流動於記憶元件A中之電流 I 亦會增加，於記憶元件A串聯之MIS電晶體T亦流動有相同之電流 I ，故而對應於電流 I 之增加而作用於MIS電晶體T兩端之電壓 $(V-V_A)$ 亦會增加。然而，由於施加於記憶體單元C之施加電壓 V 為固定，作用於各元件A、T兩端之電壓 $(V_A、V-V_A)$ 分壓該施加電壓 V ，故而無法使兩方一併增加。

因此，於達到記憶元件A之I-V特性之狀態下，記憶元件A之電阻值 R_1 停止降低，作用於各元件A、T兩端之電壓 $(V_A、V-V_A)$ 分別成為固定值。

以下，將該狀態稱為該記憶體單元C之動作點。於本實施形態之記憶裝置100之記憶體單元C中，處於該動作點時，記錄資訊之動作(寫入動作)停止。

於該動作點中之各元件A、T兩端之電壓以及流動於記憶體單元C中之電流，其可根據記憶元件A之I-V特性與MIS電晶體T之I-V特性而求得。

其次，於反轉施加電壓V之極性且記錄(刪除)資訊時，由於記憶元件A之電阻值較低，故而以作用於記憶元件A兩端之電壓 V_A 大於記憶元件A之刪除臨限值電壓之方式而設定施加電壓V。

若作用於記憶元件A兩端之電壓 V_A 大於記憶元件A之刪除臨限值電壓，則資訊之記錄(刪除)得以開始，記憶元件A之電阻值逐漸增大。由於伴隨著記憶元件A之電阻值之增大，記憶元件A之分壓即作用於記憶元件A兩端之電壓 V_A 亦會增大，故而進一步增大記憶元件A之電阻值。由於若記憶元件A之電阻值增大為一定程度(成為高電阻)，則電阻值無法進一步增大，故而此處資訊之記錄動作(刪除動作)停止。

處於該狀態之各元件A、T兩端之電壓以及流動於記憶體單元C中之電流，其與上述動作點相同，亦可根據記憶元件A之I-V特性與MIS電晶體T之I-V特性而求得。

藉由以如此方式於記憶體單元C之兩端施加電壓V，可對於該記憶體單元C之記憶元件A實行記錄，即寫入或刪除資訊。

然而，隨著施加電壓 V 之增大，具有電阻值大致不會成為固定而逐漸降低之特性的記憶元件中，若於業已實行記錄(寫入)且成為低電阻之狀態下施加電壓後實行記錄(寫入)，則記憶元件之電阻值將會進一步降低。

因此，若以該記憶元件單獨構成記憶體單元，則依據實行記錄前之記憶元件之電阻值，記錄(寫入)後之記憶體單元之電阻值成為相異。該情形時難以讀出所記錄之資訊，或將會產生讀出錯誤。

又，由於若記憶元件之電阻值過度下降，則為將記憶元件設為高電阻狀態所需之電壓會變得非常大，故而此時作用於消耗電力或記憶裝置之電路之負擔增大。

相對於此，由於本實施形態之記憶裝置100中，記錄有資訊後(寫入後)之記憶體單元 C 之電阻值，其與施加於記憶體單元 C 之施加電壓 V 之值無關而大致成為固定，故而可不依據於實行記錄前之記憶元件 A 之電阻值而確實地記錄資訊。

以如此方式，藉由可確實地記錄資訊，從而無需所謂於記錄資訊之前實行刪除，或於記錄資訊之前實行讀出且將該讀出結果回饋至電壓控制電路的步驟(驗證步驟)，所謂重寫成為可能。

又，本實施形態之記憶裝置100中，於記錄資訊後，記憶體單元 C 之電阻值大致成為固定，記憶元件之電阻值未過度下降，故而可減小將記憶體單元 C 設為高電阻狀態所需之電壓。

根據上述之本實施形態之記憶裝置100，將電阻變化型記

憶元件A與MIS電晶體T串聯從而構成記憶體單元C，施加於記憶體單元C兩端之施加電壓為大於電阻變化型記憶元件A之寫入臨限值電壓 V_{th} 之一定電壓以上時，與記憶體單元C之施加電壓無關，藉由具有寫入後之記憶體單元C之電阻變化型記憶元件A之電阻值以及MIS電晶體之電阻值之合成電阻值大致成為固定之特性，寫入前之電阻變化型記憶元件A之電阻值無論為高電阻抑或為低電阻，於寫入後記憶體單元C兩端之合成電阻值大致成為固定，記憶體單元C兩端之合成電阻值不會過度下降。

即，可不依據實行記錄前之電阻變化型記憶元件A之電阻值，即可確實地寫入。

又，由於寫入後之記憶體單元C之合成電阻值大致成為固定，故而讀出記錄於記憶體單元C中之資訊時，可自依據於記憶體單元C之合成電阻值之輸出信號，容易地感測出所記錄之資訊內容。藉此，可不會產生讀出錯誤。

由於可以如此方式確實地寫入，又不會產生讀出錯誤，故而無需所謂於記錄資訊(寫入或刪除)之前實行刪除，或於記錄資訊(寫入或刪除)之前實行讀出且將該讀出結果回饋至電壓控制電路的驗證步驟。

根據本實施形態之記憶裝置100，由於無需驗證步驟，並且無需如RRAM一樣多次施加電壓脈衝，故而可快速寫入。又，由於不會產生讀出錯誤，故而亦無需重新讀出。

藉此，可高速地實行資訊之記錄或資訊之讀出。

即，根據本實施形態之記憶裝置100，可確實地安定寫入。



因此，可實現可靠性較高之記憶裝置。

進而，由於MIS電晶體T之導通電阻根據閘極電壓 V_{GS} 而變化，故而於本實施形態之記憶裝置100中，可藉由適當地控制閘極電壓 V_{GS} ，控制MIS電晶體T之導通電阻。藉此，藉由適當地選定施加於記憶體單元C之施加電壓 V 與MIS電晶體T之閘極電壓 V_{GS} ，可控制於寫入後大致成為固定之記憶體單元C之電阻值。

於上述實施形態中，就使用具有圖1所示之I-V特性之電阻變化型記憶元件作為電阻變化型記憶元件A從而構成記憶裝置100之記憶體單元C之情形加以說明，然而於本發明中，亦可使用其他構成之電阻變化型記憶元件而構成記憶裝置之記憶體單元。

例如，如圖1所示，不僅限於以較接近於臨限值電壓之電壓而變化為歐姆特性之記憶元件，亦可使用具有於自臨限值電壓開始較廣之電壓範圍內電阻逐漸降低之特性的電阻變化型記憶元件從而構成記憶體單元。

於如此之電阻變化型記憶元件中，若以記憶元件單獨構成記憶體單元，則依據施加電壓，記憶體單元之電阻值大幅變化，難以獲得記錄之安定性。

相對於此，適用本發明，可藉由串聯電路元件與電阻變化型記憶元件，從而於動作點處抑制電阻值之降低，減小由於施加電壓之大小所造成之記憶體單元之電阻值變化。而且，可藉由適當地設定電路元件之電阻值，將記錄資訊後之記憶體單元之電阻值大致設為固定之電阻值。

又，可使用例如臨限值電壓僅存在於正負極性之一方極性中且具有二極體性I-V特性之電阻變化型記憶元件而構成記憶體單元。

於圖4中表示實行如此之電阻變化型記憶元件之I-V特性測定後的結果。再者，於圖4中，由於-1.0 mA時設置電流限制器，以使高於其之電流不會流動之方式而測定，故而即使於原先高於其之電流流動之電壓範圍內亦可成為-1.0 mA。

於該圖4表示I-V特性之電阻變化型記憶元件中，若施加正電壓，則具有無特別臨限值且自低電阻返回高電阻之特性。

而且，使用該電阻變化型記憶元件而構成本發明之記憶裝置之記憶體單元之情形時，於圖4之負電壓側存在由於電路元件所產生之動作點，該情形亦與使用有於正負兩側具有臨限值電壓之記憶元件的情形相同，可抑制電阻值之降低從而安定地實行記錄動作。

(實施例)

其次，實際製造記憶裝置之記憶體單元，調查其特性。

<實驗1>

如下所述，製造出於圖5中表示剖面圖之記憶元件10。

首先，於電傳導度較高之基板1上，例如得以摻雜有高濃度P型雜質之矽基板上，藉由濺鍍從而以50 nm之膜厚堆積TiW膜作為下部電極2。

接著，使用磁控濺鍍裝置，以10 nm之膜厚堆積Cu膜，再

繼續堆積 GeSbTeGd 膜作為記錄輔助層 3，進而藉由經由導入氧氣之反應性濺鍍法，形成有 5 nm 膜厚之非晶 Gd 氧化膜作為稀土氧化膜 4。該稀土氧化膜 4 成為記憶層。

其次，覆蓋非晶 Gd 氧化膜形成光阻層，其後藉由微影法從而實行曝光與顯影，於非晶 Gd 氧化膜上之光阻層上形成有開口(通孔)。開口(通孔)之大小設為縱 2 μm ，橫 2 μm 。

其後，於真空中 280°C 下實行退火以使光阻層變質，形成有絕緣膜 5 作為相對於溫度或蝕刻等較為安定之難固化抗蝕劑。再者，於絕緣膜 5 中使用有難固化抗蝕劑，其係由於可於實驗時簡便形成，於製造產品之情形時，較好的是於絕緣膜 5 中使用其他材料(氧化矽膜等)。

接著，以 100 nm 之膜厚形成 TiW 膜作為上部電極 6。

其後，藉由微影法，使用電漿蝕刻裝置，將於包含難固化抗蝕劑之絕緣膜 5 上所堆積之上部電極 6 圖案化為 50 μm × 50 μm 之大小。

以如此之方式，製造出圖 5 所示之構造之記憶元件 10，作為試料 1 之記憶元件 10。

其次，測定該試料 1 之記憶元件 10 單獨之 I-V 特性。

以下，為方便起見，將資料 "1" 設為低電阻狀態，將資料 "0" 設為高電阻狀態，就 I-V 特性之測定結果加以說明。

測定之結果表示出與圖 1 所示之記憶元件之 I-V 特性大致相同之傾向，於高電阻狀態中，表示有大約 10 $\text{k}\Omega$ ~ 100 $\text{k}\Omega$ 以上之電阻值。

而且，為記錄資料 "1" 而施加有電壓(此處設為負電壓)

時，若自 0 V 分別逐漸提高施加電壓至 $V_1 = -0.8\text{ V}$ 、 -1.0 V 、 -1.2 V 之電壓值 V_1 為止，則相應於其最大施加電壓值 V_1 而產生有極少不均一，然而記錄後之電阻值為大致固定，其值為大約 $200\ \Omega$ 。

其後，藉由施加與記錄資料 "1" 時相反極性之電壓 (此處設為正電壓)，可設為足夠高於資料 "1" 之電阻狀態的電阻狀態，可記錄資料 "0"。

其次，如圖 6 中電路圖所示，製造出串聯有圖 5 中表示有剖面圖之記憶元件 10 (電阻值 R_1) 與電阻元件 20 (電阻值 R_0) 之記憶體單元 30。即，將記憶元件 10 之基板 1 側之下部電極 2 連接於接地電位，於上部電極 6 上連接電阻元件 20。

以如此之方式，製造出將電阻元件 20 之電阻值 R_0 分別設為 $1\text{ k}\Omega$ 、 $2\text{ k}\Omega$ 、 $5\text{ k}\Omega$ 之記憶體單元 30，作為試料 2~試料 4 之記憶體單元。

而且，藉由使施加於與電阻元件 20 之記憶元件 10 相反側之端子上的電壓 V 變化而於各電壓 V 時測定電流，從而測定出各試料之記憶體單元 30 之 I-V 特性。

於圖 7A 中表示將電阻元件 20 之電阻值 R_0 設為 $1\text{ k}\Omega$ 之記憶體單元 (試料 2) 之測定結果，於圖 7B 中表示將電阻元件 20 之電阻值 R_0 設為 $2\text{ k}\Omega$ 之記憶體單元 (試料 3) 之測定結果，於圖 7C 中表示將電阻元件 20 之電阻值 R_0 設為 $5\text{ k}\Omega$ 之記憶體單元 (試料 4) 之測定結果。

根據圖 7A~圖 7C 可知：於電壓 V 之絕對值大於 0.8 V 時，與電壓之變化 (振幅) 無關，記錄資料 "1" 後之記憶體單元之

電阻值(記憶元件10以及電阻元件20之合成電阻值) R_{ce11} 大致成為固定值。此時，記憶元件10之電阻值 R_1 亦大致成為固定值。

記錄後之記憶體單元之電阻值 R_{ce11} 於 $R_0=1\text{ k}\Omega$ (試料2)時為 $R_{ce11}=1.5\text{ k}\Omega$ ，於 $R_0=2\text{ k}\Omega$ (試料3)時為 $R_{ce11}=2.7\text{ k}\Omega$ ，於 $R_0=5\text{ k}\Omega$ (試料4)時為 $R_{ce11}=6.3\text{ k}\Omega$ 。

而且，由於 $R_{ce11}=R_0+R_1$ ，故而記憶元件10之電阻值 R_1 於 $R_0=1\text{ k}\Omega$ (試料2)時為 $R_1=0.5\text{ k}\Omega$ ，於 $R_0=2\text{ k}\Omega$ (試料3)時為 $R_1=0.7\text{ k}\Omega$ ，於 $R_0=5\text{ k}\Omega$ (試料4)時為 $R_1=1.3\text{ k}\Omega$ 。

將該等結果匯總示於圖8中。於圖8中，橫軸表示電阻元件20之電阻值 R_0 ，縱軸表示記憶體單元之電阻值大致成為固定時之記憶元件10之電阻值 R_1 。

根據圖8可知：對應於電阻元件20之電阻值 R_0 ，可決定記錄後之記憶元件10之電阻值 R_1 ，大致直線性變化。

<實驗2>

其次，於本發明之記憶裝置之記憶體單元構成中，調查重寫時之記憶元件之電阻變化。

製造於圖6中表示有電路圖之記憶體單元30，於該記憶體單元30之兩端，如圖9A所示，測定出信號位準；該信號位準以脈衝幅1毫秒且極性隨機地施加 $\pm 1\text{ V}$ 之脈衝電壓，於施加各脈衝後不久，將讀出電壓設為 0.1 V 而自記憶體單元C中讀出。再者，脈衝電壓之極性圖案係將一週期設為20毫秒而加以反覆。

將該測定結果示於圖9B中。再者，於圖9B中，信號位準

之大小與記憶元件A之電阻值成正比，記憶元件A之電阻值越高則可獲得越大之信號位準。

根據圖9B可知：與施加脈衝電壓前之信號位準無關，施加脈衝電壓後成為與所施加之脈衝電壓極性相對應之信號位準。

又，可知即使持續施加相同極性之電壓脈衝，信號位準之大小亦不會變化。

因此，可知即使於隨機記錄有資料"0"或"1"之情形時，不會依據記錄前之資料圖案而亦可大致成為固定之電阻值。

於圖9A中，將記錄脈衝幅設為1毫秒，然而其係由於脈衝幅越長則會越嚴格評估記錄前之資料圖案依存性，故而即使於脈衝幅較短之情形時，例如20奈秒之情形時，亦可獲得相同之結果。

<實驗3>

其次，於本發明之記憶裝置之記憶體單元構成中，調查使施加於記憶體單元之脈衝電壓之脈衝幅變化時記錄後之電阻值變化。

作為圖6之電阻元件20，於分別串聯電阻值1 k Ω 、2 k Ω 、5 k Ω 之各電阻元件與記憶元件10從而構成記憶體單元30之情形時，於記錄時(Write)與刪除時(Erase)於記憶體單元30之兩端施加有脈衝電壓時，使脈衝電壓之脈衝幅變化，從而分別測定出記錄後之記憶體單元30之合成電阻值。作為測定結果，將脈衝電壓之脈衝幅與記錄後之記憶體單元30之合成電阻值的關係示於圖10中。

根據圖 10 可知：自圖中左端之脈衝幅 10^{-8} sec (10 奈秒) 至圖中右端之脈衝幅 10^{-3} sec (1 毫秒) 為止之較廣範圍內，記錄後之記憶體單元 30 之電阻值大致成為固定。

再者，與該實驗 3 中，由於與實驗 1 之記憶元件 10 之構成相異，故而具體記錄後之電阻值與圖 7A~圖 7C 相異。

以如此之方式，由於即使於較短脈衝幅之電壓脈衝時亦可實行記錄，故而可以較短時間且高速地記錄資訊。

作為可實行如此高速動作之理由，可認為既定記憶元件 10 之電阻值之部分係例如圖 5 之記憶元件 10 之稀土氧化膜 4 等之 10 nm 以下 (更好的是 5 nm 以下) 之極薄區域，而且，於含有如 Cu、Ag 或 Zn 等易於離子化之金屬的稀土氧化膜中，產生高速離子傳導或氧化・還原。

又，由於稀土氧化膜為非晶構造，故而即使於加工為非常細微之元件之情形時亦可均勻地加以動作，進而由於熔點較高，故而相對於溫度變化可安定地動作。

再者，於本發明之記憶裝置中，與記憶元件串聯之電路元件之較好的電阻值範圍，其係依據相對於記憶元件之臨限值電壓以上之電壓的 I-V 特性。

例如，於具有圖 1 所示之 I-V 特性之記憶元件之情形時，較好的是將電路元件之電阻值至少設於記憶元件之最小電阻值與記憶元件之最大電阻值之間的範圍內。

又，於本發明之記憶裝置中，與記憶元件串聯之電路元件並非限定於 MIS 電晶體 T 或電阻元件，可使用其他電晶體或二極體等之主動元件。使用有主動元件之情形時，可使

用主動元件選擇記憶體單元。

與本發明之記憶裝置中，具有如下優點：無需記錄資訊後之驗證，可縮短該記錄所需之時間。

因此，於本發明之記憶裝置中，通常無需實行記錄後之驗證。

再者，於用於節省時間用途之情形等時，目的在於確認是否確實地記錄資訊，於本發明之記憶裝置中亦可實行記錄後之驗證。

而且，於本發明之記憶裝置中，亦可例如根據圖11A或圖11B所示之流程圖實行驗證。

圖11A係表示寫入驗證之流程圖。

首先，於步驟ST1中，對於記憶體單元之記憶元件實行寫入。

其次，於步驟ST2中，對於已經實行寫入之記憶體單元實施寫入驗證。具體的是對於已經實行寫入之記憶體單元實施讀出動作，調查該記憶體單元之電阻值。

其次，於步驟ST3中，調查記憶體單元之電阻值後，於已經實行寫入之記憶體單元處於寫入狀態(電阻值為特定低電阻之狀態)時結束寫入。另一方面，處於非寫入狀態時，可判斷為寫入失敗，返回步驟ST1，再次對於記憶體單元之記憶元件實行寫入。

以如此之流程，可確實地寫入。

圖11B係表示寫入驗證之流程圖。

首先，於步驟ST4中，對於記憶體單元之記憶元件實行刪

除。

其次，於步驟ST5中，對於已經實行刪除之記憶體單元實施刪除驗證。具體的是對於已經實行刪除之記憶體單元實施讀出動作，調查該記憶體單元之電阻值。

其次，於步驟ST6中，調查記憶體單元之電阻值後，於已經實行刪除之記憶體單元處於刪除狀態(電阻值為特定高電阻之狀態)時結束刪除。另一方面，處於非刪除狀態時，可判斷為刪除失敗，返回步驟ST4，再次對於記憶體單元之記憶元件實行刪除。

以如此之流程，可確實地實行刪除。

本發明並非僅限定於上述實施形態，於未脫離本發明要旨之範圍內可完成其他各種構成。

【圖式簡單說明】

圖1係表示於本發明之記憶裝置之一實施形態中，使用於記憶裝置中之電阻變化型記憶元件之電壓-電流變化圖。

圖2係於本發明之記憶裝置之一實施形態中，使用電阻變化型記憶元件而構成之記憶體單元之電路圖。

圖3係本發明之記憶裝置之一實施形態之電性電路圖。

圖4係臨限值電壓僅存在於一方極性之電阻變化型記憶元件之I-V特性的測定結果。

圖5係使用於實驗中之記憶元件之剖面圖。

圖6係使用圖5之記憶元件而製造之記憶體單元之電路圖。

圖7A~圖7C係表示將圖6之電阻元件之電阻值設為1

$k\Omega$ 、 $2k\Omega$ 、 $5k\Omega$ 從而分別測定出記憶體單元之 I-V 特性的結果圖。

圖 8 係表示圖 7A~圖 7C 之記憶體單元之電阻值大致成為固定時，電阻元件之電阻值與記憶元件之電阻值的關係圖。

圖 9A 係表示於圖 6 之記憶體單元兩端所施加之脈衝電壓的圖。圖 9B 係表示自施加有圖 9A 之脈衝電壓時之記憶體單元所讀出之信號位準的測定結果圖。

圖 10 係表示於記錄時與刪除時，於記憶體單元之兩端施加有脈衝電壓時，脈衝電壓之脈衝幅與記錄後之記憶體單元之合成電阻值的關係圖。

圖 11A 係寫入驗證之流程圖。圖 11B 係刪除驗證之流程圖。

【主要元件符號說明】

1	基板
2	下部電極
3	記錄輔助層
4	稀土氧化膜(記憶層)
5	絕緣膜
6	上部電極
10	記憶元件
20	電阻元件
30, C	記憶體單元
100	記憶體裝置
A	(電阻變化型)記憶元件
T	MIS 電晶體

五、中文發明摘要：

本發明之目的在於提供一種記憶裝置，其可安定地記錄資訊，可縮短記錄資訊所需之時間。

本發明之記憶裝置100係以如下方式構成：含有記憶元件Amn與電路元件Tmn而構成記憶體單元C，將使記憶元件Amn自電阻值較高之狀態向電阻值較低之狀態變化的動作定義為寫入時，施加於記憶元件Amn以及電路元件Tmn之兩端間之電壓為大於臨限值電壓之一定電壓值以上時，於寫入後記憶體單元C之記憶元件Amn以及電路元件Tmn之合成電阻值具有不受所施加之電壓大小之影響而大致成為固定值之特性；上述記憶元件Amn係具有藉由於記憶元件Amn之兩端間施加臨限值電壓以上之電壓從而變化電阻值之特性者，上述電路元件Tmn係與該記憶元件Amn得以串聯成為負荷者。

六、英文發明摘要：

十、申請專利範圍：

1. 一種記憶裝置，其特徵在於：

包含記憶元件，其具有藉由於兩端之間施加臨限值電壓以上之電壓而使電阻值產生變化的特性，以及

電路元件，其與上述記憶元件串聯且成為負荷，

而構成記憶體單元；

將使上述記憶元件自電阻值較高之狀態向電阻值較低之狀態變化的動作定義為寫入時，

具有施加於上述記憶元件以及上述電路元件兩端之間之電壓為大於上述臨限值電壓的一定電壓值以上時，於上述寫入後，上述記憶體單元之上述記憶元件以及上述電路元件之合成電阻值具有不受上述電壓大小之影響而大致成為固定值之特性。

2. 如請求項1之記憶裝置，其中上述記憶元件係於第1電極與第2電極之間夾有記憶層而構成，藉由於上述第1電極與上述第2電極間施加上述臨限值電壓以上之電壓，而上述記憶層之電阻值產生變化且上述記憶元件之電阻值產生變化。
3. 如請求項2之記憶裝置，其中上述記憶元件之上述記憶層主要包含非晶稀土氧化膜，於上述非晶稀土氧化膜中添加有Cu、Ag或Zn，膜厚為10 nm以下。

十一、圖式：

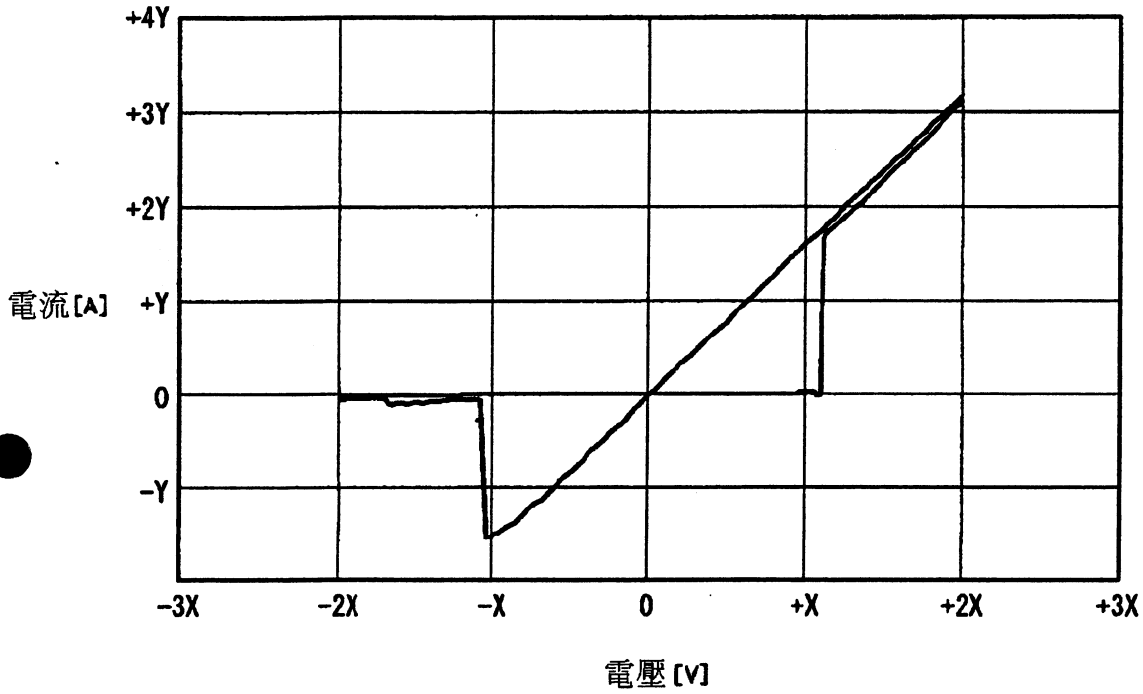


圖 1

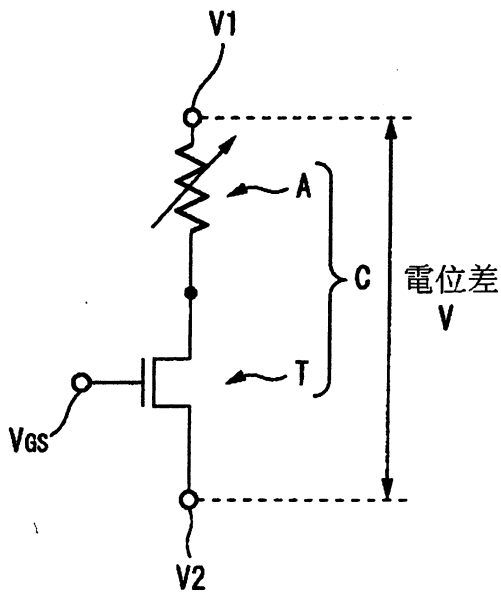


圖 2

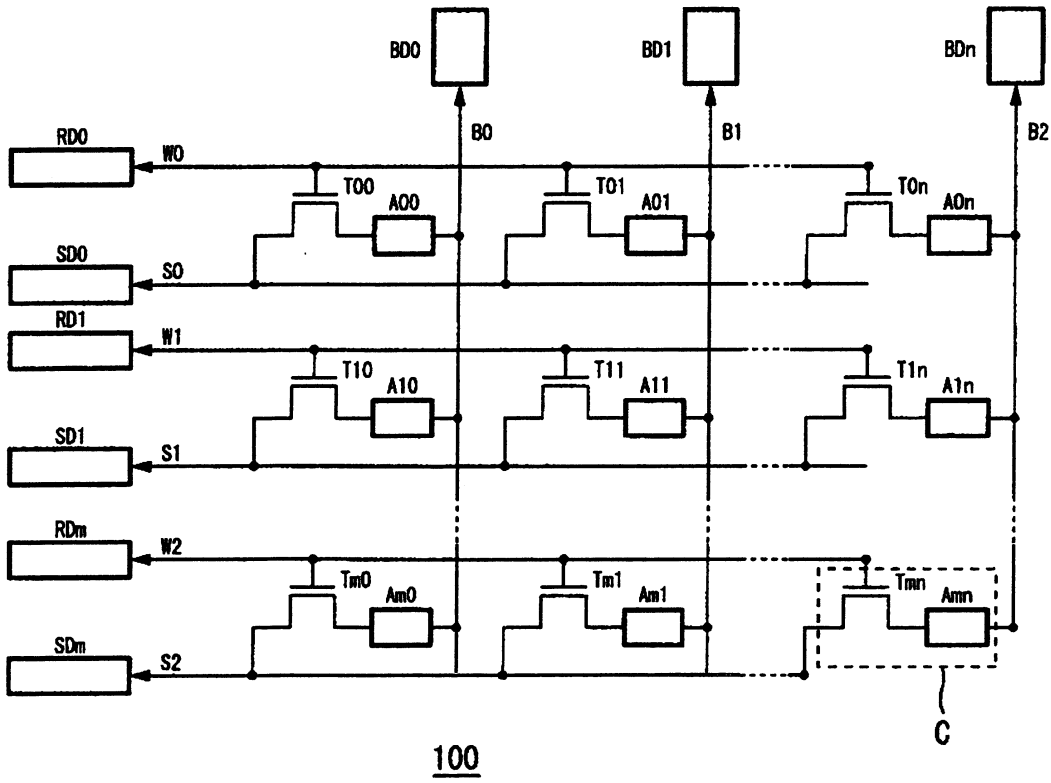


圖 3

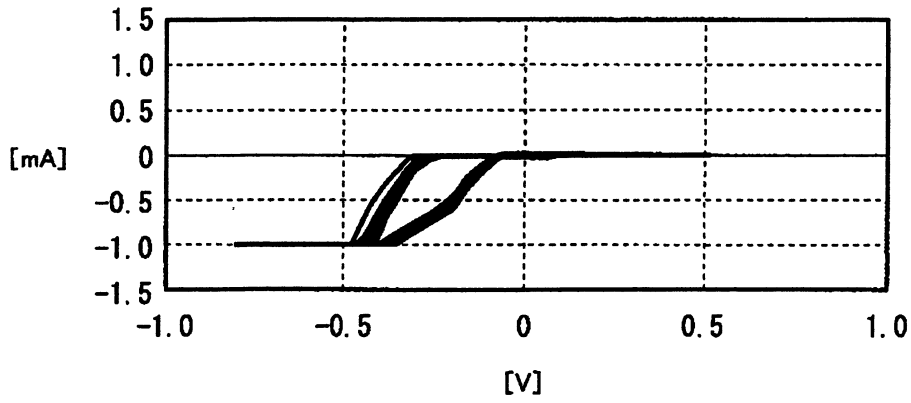


圖 4

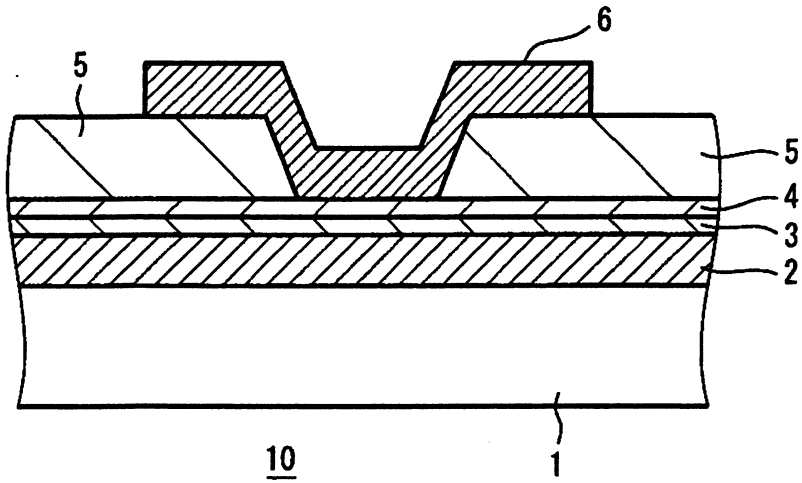


圖 5

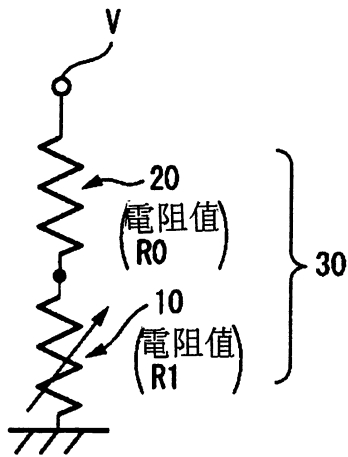


圖 6

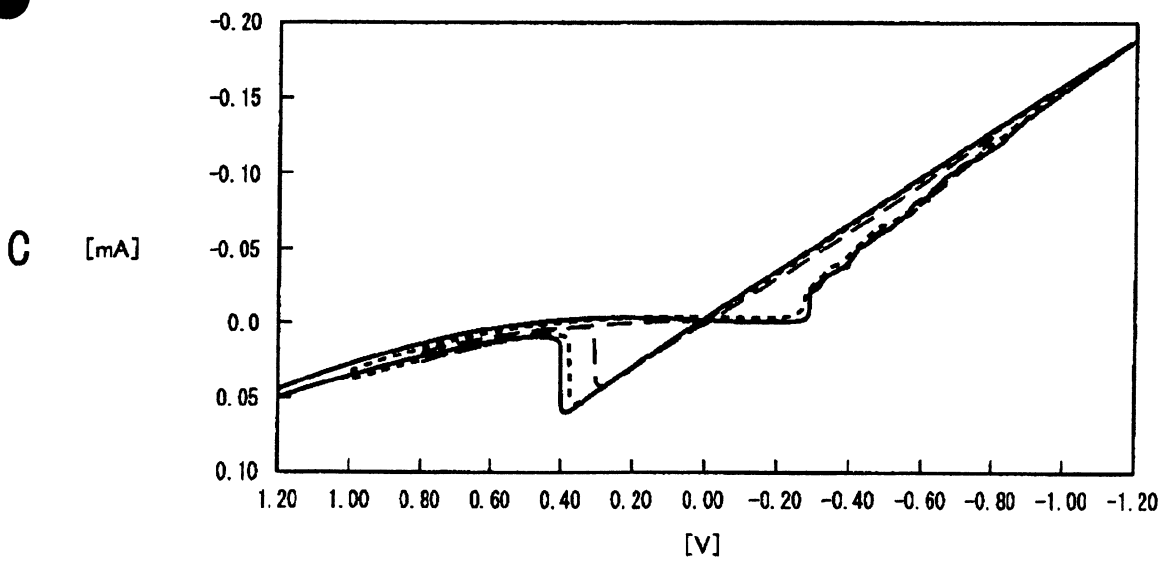
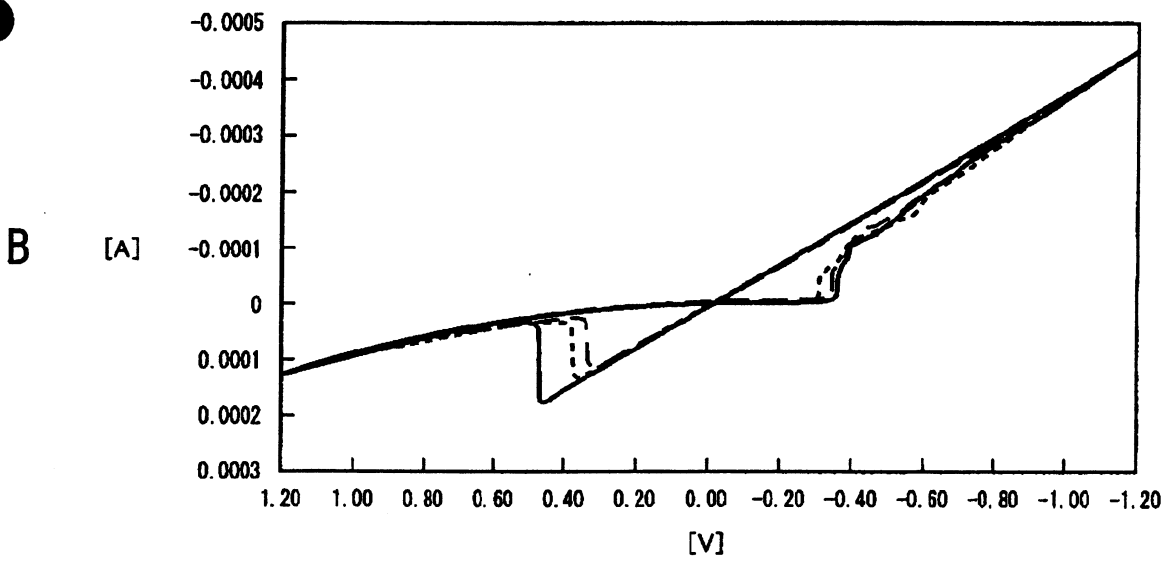
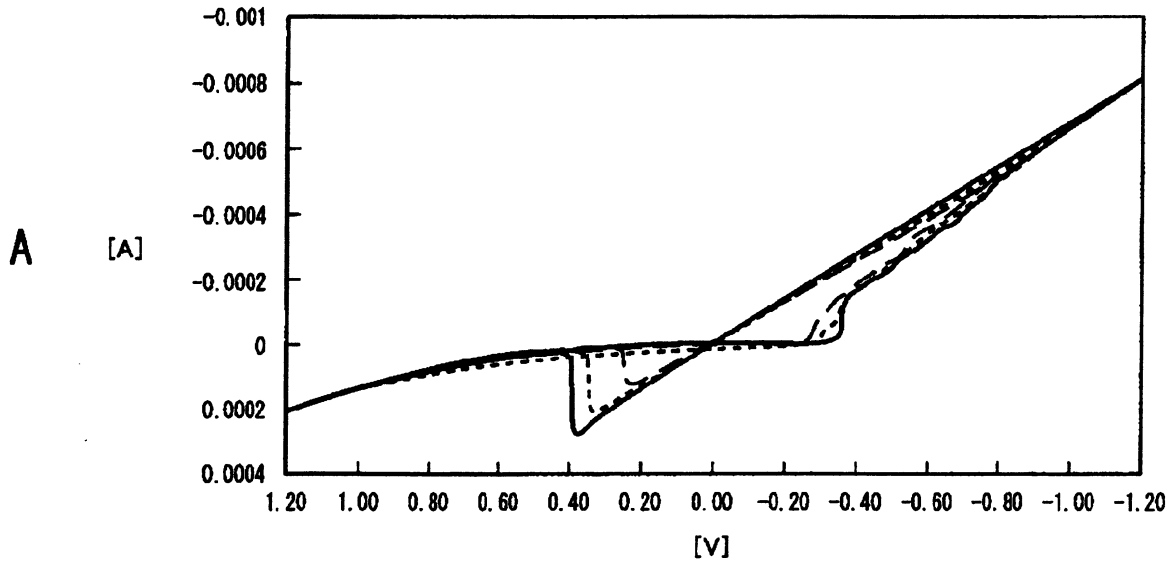


圖 7

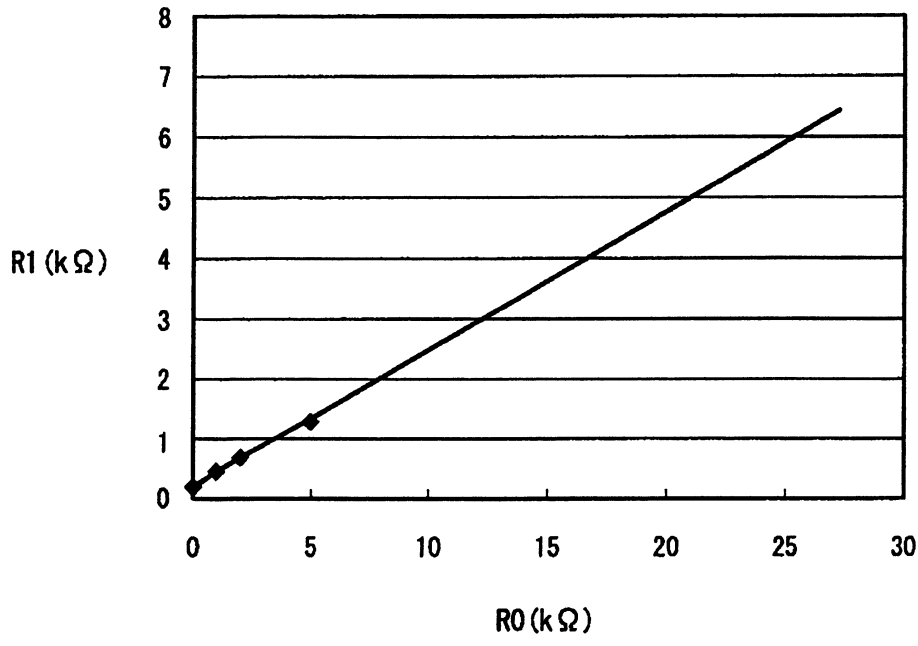


圖 8

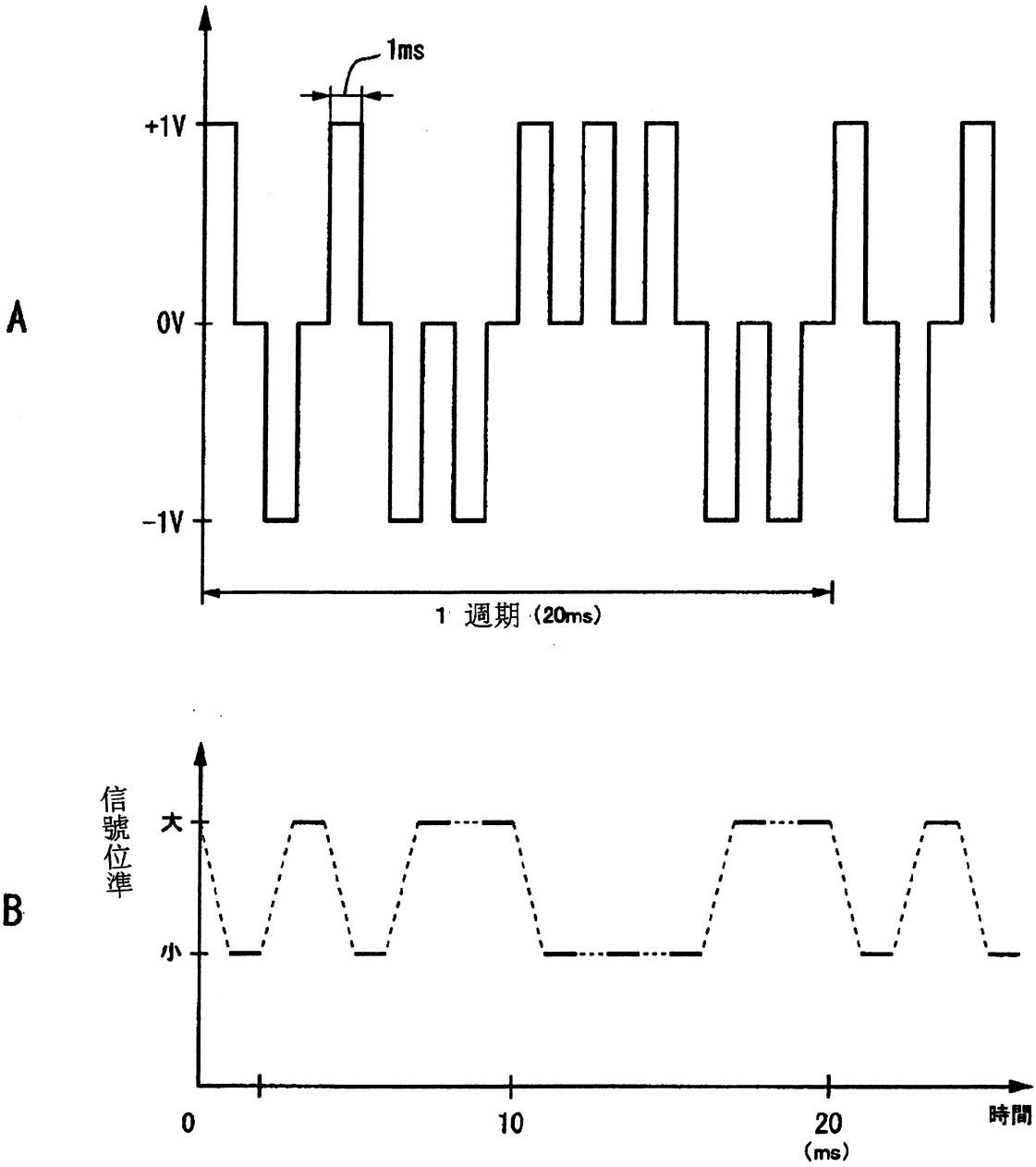


圖 9

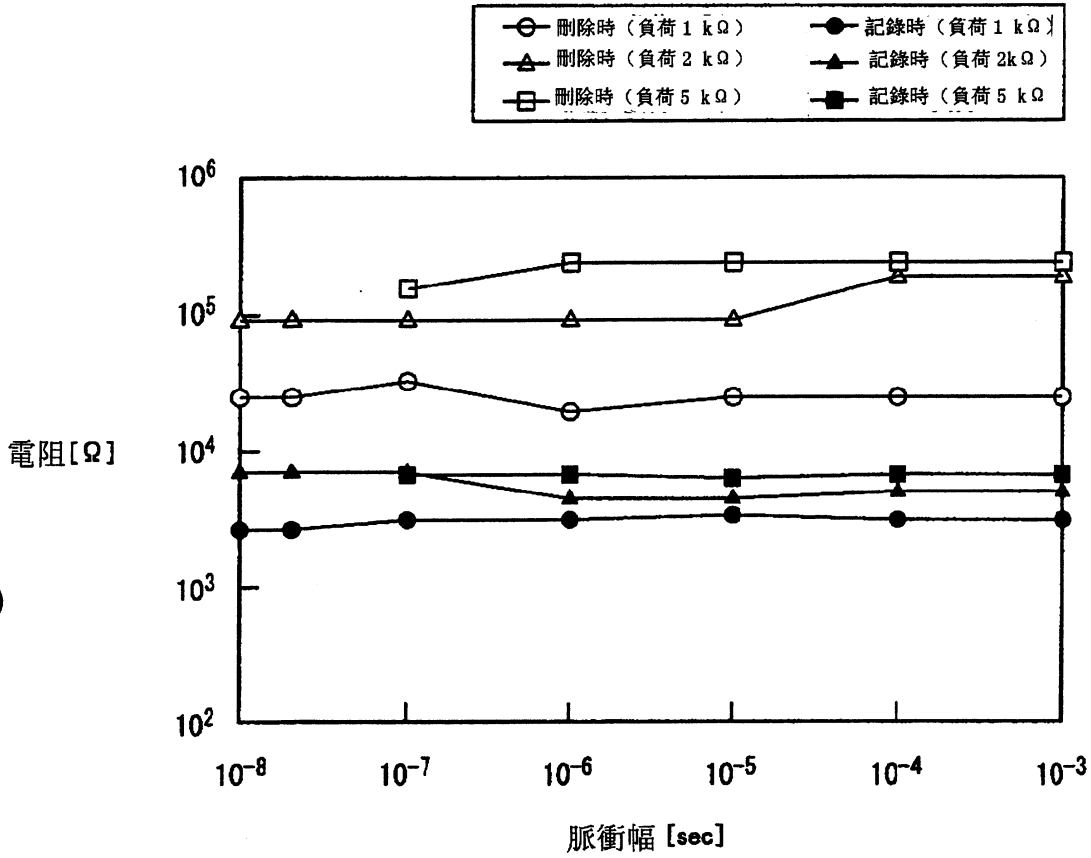


圖 10

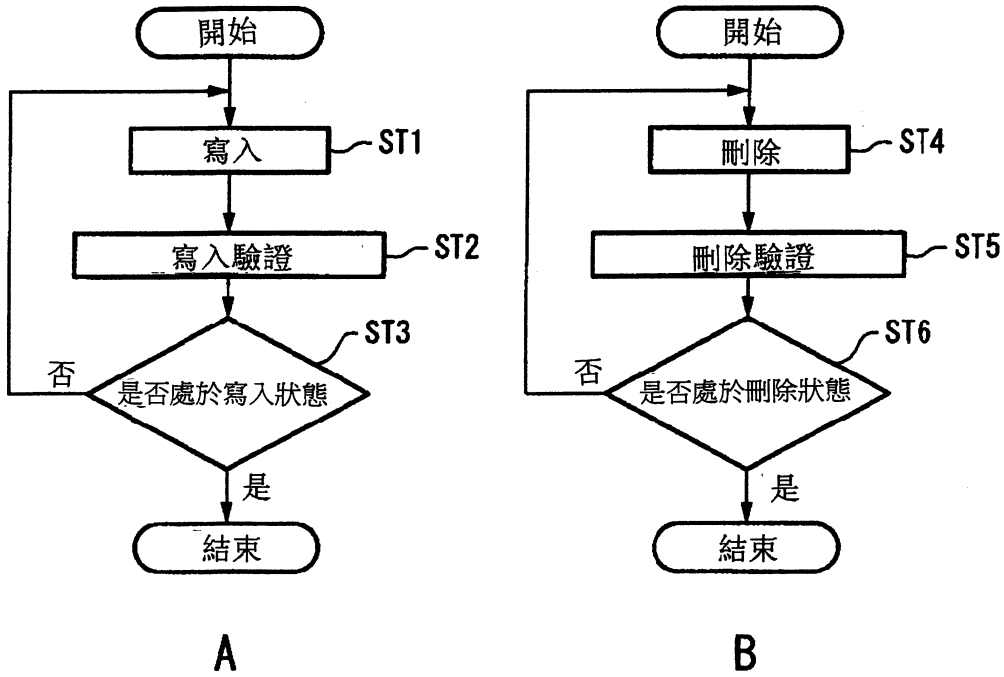


圖 11

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

C	記憶體單元
100	記憶體裝置
T	MIS電晶體
RD0, RD1, RDm	列解碼器
SD0, SD1, SDm	源極解碼器
W0, W1, W2	字元線
T00, T01, T10, T11,	電晶體
T0n, T1n, Tm0, Tm1, Tmn	
B0, B1, B2	位元線
S0, S1, S2	源極線
A00, A01, A10, A11,	電阻變化型記憶元件
Am0, A0n, A1n, Am1, Amn	
BD0, BD1, BDn	位元解碼器
DRAM	動態隨機存取記憶體
RRAM	電阻隨機存取記憶體
FeRAM	強介電質記憶體
MRAM	磁性記憶體
PMC	可編程金屬單元
CVD	化學汽相沉積

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)