公告本

申請日期	91. 6. 21
案號	91114084
類別	H01L 21/66

（以上各欄由本局填註）

A4
C4

550724

發明專利說明書

一、發明名稱	中文	具位置訊息之佈線基材
	英文	WIRING SUBSTRATE HAVING POSITION INFORMATION
二、發明人	姓名	1. 佐藤幸男 Yukio Sato 2. 奧昭廣 Akihiro Oku 3. 青木政好 Masayoshi Aoki
	國籍	日本 Japan
	住、居所	1~3 日本國長野縣長野市大字栗田字舍利田711番地 711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921, Japan
三、申請人	姓名（名稱）	日商・新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.
	國籍	日本 Japan
	住、居所（事務所）	日本國長野縣長野市大字栗田字舍利田711番地 711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921, Japan
	代表人姓名	茂木淳一 Junichi Mogi

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

日本　國（地區）　申請專利，申請日期：2001,6,27　案號：特願2001-194760，☑有　☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

五、發明說明（ 1 ）

發明背景

1. 發明領域

本發明大致關於其上被安裝有半導體晶片之佈線基材的製造技術。特別地，本發明相關於具位置訊息之"半導體-晶片-安裝"佈線基材以及使用該基材之半導體元件，其中當缺陷發生在佈線基材或使用該基材之半導體元件時失效分析可以被有效地進行。本發明亦關於用以製造此類半導體-晶片-安裝佈線基材之程序以及使用該基材之半導體元件。

2. 相關技藝說明

近來，對於減少佈線基材的重量與厚度使得能夠將尺寸被減小且插針數量增加之BGA(球柵極陣列)安裝在佈線基材上已經有要求。所以其中玻璃環氧樹脂合成板被層疊之塑性型佈線基材被廣泛地供佈線基材使用。此塑性型佈線板典型被如下地製造。一銅箔被黏附在其一面或兩面上之樹脂板(玻璃環氧樹脂合成板)遭受光阻塗覆與蝕刻，使得銅佈線圖案被形成在該板上。交替地，通孔被形成在樹脂板並且銅電鍍在通孔的內壁面上被進行。此類樹脂板被以環氧黏著劑層疊以得到塑性型佈線板。一預定數量的半導體晶片被安裝在如此製造的佈線基材上。以此方式，半導體元件被製造。

一般，該半導體元件的製造程序包括：在基材上安裝半導體晶片之晶粒連結程序；電氣地連接個半導體晶片的電極與在基材上的佈線圖案之佈線連接程序；以密封樹脂

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 2 ）

密封半導體晶片與佈線之模製程序；諸如焊料球之外部連接端子與在相對於其上被安裝有半導體晶片之側的側邊上之基材面連接之球安裝程序；以及將基材裁切成封裝體(半導體元件)之裁切程序。關於模製方法，有提供其中模製對於各半導體晶片被進行之個別模製程序，以及極中模製對於對於複數個半導體晶片同時進行之批次型模製程序。近來，從提高組裝封裝體之效率的觀點來看，有朝向批次型模製程序的趨勢。

若由此製造程序所製造之半導體元件被評估時，其性能、價格與可靠度為重要因素。因為半導體元件已經被高度地整合並進一步地製造元件近年來已經被高度地發展，因此半導體元件的性能被大大地提高並且價格被大幅度地減少。因為性能與價格如上述般地被穩定，因此為了提高可靠度，以高技術程度迅速地進行失效分析是非常重要的。

根據習知技藝，例如，失效分析被如下地進行。在電氣特性評估對於各個已經在晶圓等級下遭受擴散程序之半導體元件被完成之後，個半導體元件被分類，以便決定使否為無缺陷產品或是缺陷產品。當缺陷產品被發現時，其遭受到失效分析，使得失效成因可以被發現。另一方面，無缺陷產品被安裝，並且輸送檢驗被進行以發現是否為無缺陷產品或是缺陷產品。當半導體元件為無缺陷產品時，其被傳送至行銷。當半導體元件為缺陷產品時，失效分析以與前述相同之方式被進行，使得失效成因可以被發現。此外，當已經被傳送至行銷之無缺陷產品(半導體元件)變

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（ 3 ）

成有缺陷時，缺陷半導體元件被回收並且以相同的方式進行失效分析，以便發現失效成因。

然而，下列問題在上述傳統用以分析半導體失效之失效分析方法中會遭遇到。在藉由於產品已經被組裝(在其已經被分割成各個封裝體之後)之後所進行之輸送檢測而在半導體元件中發現到問題之情況下，不可能在封裝體(半導體元件)被設置在其於被分割成各個封裝體之前為佈線基材狀態之薄片上時清楚地確定半導體元件之位置。特別地，不可能清楚地判斷問題是否發生在佈線基材上的特定位置處或是問題是否發生在製造程序之特定程序中。

為了確定各個封裝體在其成薄片狀態時位在何處，必須以此類標記諸如刻線之程序在薄片狀態中被人工進行，使得各封裝體位置可以在完成產品組裝之後被確定的方式來進行再現實驗。

然而，此工作非常複雜且費時。所以，從提高失效分析效率的觀點來看，不需要且非勝於進行標記與進行此類再現實驗。此外，即使上述再現實驗被進行，有時難於確定各個封裝體的位置。

如上所述，根據習知技藝，在某些問題發生在輸送檢驗中的情況下，不可能總是清楚地確定各個封裝體(半導體元件)的位置，當其呈薄片狀態時。所以，不可能快速地將失效分析結果回傳到製造程序上。因此，不可能提高失效分析的效率。上述問題亦會發生在曾經被傳送至行銷之半導體元件變成有缺陷的情況中。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 4 ）

為了解決上述問題，可能採取其中一片的特性訊息在製造程序中被給予至各個半導體晶片之對策。此對策之例示被揭露於日本未審查專利公開案第(JP-A) 5-129384號。根據上述專利申請案，表現一片晶片屬性訊息之數字或記號被寫在晶圓上半導體部件安裝區域之周邊中，其係為最後裁切成個別半導體晶片的區域，除了其中半導體電路被形成之區域，晶片屬性訊息係表示在晶圓上晶片在製造程序中被設置於其上之位置。

然而，根據上述在JP-A 5-129384中所述之技術，因為晶片屬性訊息被由相互結合之數字或記號組成，因此必須在晶圓上提供其中晶片屬性訊息被寫入之區域。因為在晶圓上的空間被限制，故難於在晶圓上寫入晶片屬性訊息。此外，此被揭露於JP-A 5-129384中的技術為了不是區分封裝體基材而是晶圓而被提供。

與在上述專利申請案中所揭露之技術分開，可能考慮其中相同的晶片屬性訊息被寫在與其上被安裝有晶片之側邊相對的晶圓之連接球接合面上。

然而，根據此方法，將因為對於縮小尺寸與增加插針數量的要求變強而會存在由於空間根據欲被接合的外部端子(焊料球)之配置狀態與配置間距被限制而無法寫入晶片屬信訊息的情狀。

發明概要說明

本發明已經被發展來解決上述習知技藝之問題。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 5 ）

本發明之一目的在於提供具有位置訊息之佈線基材、一種製造該佈線基材之方法、以及其特徵在於失效分析的結果可以被迅速地回傳至製造程序上使得能夠提高失效分析的效率之半導體元件製造方法。

根據本發明，提供有供半導體封裝體用之佈線板，係包含：具有第一與第二表面之基底基材；由被形成在第一與第二表面至少一者上的必要佈線圖案組成之佈線層；複數個被形成在其上被形成有佈線層之基底基材的表面上之半導體部件安裝區塊；以及為了個別半導體部件安裝區塊所提供作為位置訊息之個體圖案，該個體圖案係具有供個別半導體部件安裝區塊用之特別形狀。

基底基材被由諸如BT樹脂、環氧樹脂或聚醯亞胺樹脂之樹脂，或是陶瓷製成，於其上可以形成作為位置訊息之金屬圖案。作為位置訊息之個體圖案可以被形成在個別半導體部件安裝區塊之周邊區域上。作為位置訊息之個體圖案會被形成為佈線層之部分的佈線圖案。

作為佈線層之位置訊息的個體圖案會被暴露在外側。另一方面，作為佈線層之位置訊息的個體圖案被以保護層覆蓋。

作為位置訊息之個體圖案會成為電鍍引線，其係當電解電鍍被進行時可以被使用作為佈線。作為位置訊息之個體圖案可以包括字母、符號或相似者。

根據本發明另一層面，提供有一種供半導體封裝體用之佈線板，係包含：一具有第一與第二表面之基底基材；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 6 ）

至少兩層佈線層，係提供有經由個別絕緣層而被形成在第一與第二表面至少一者上的個別佈線圖案；複數個被界定在任一內部佈線層中之半導體部件安裝區塊；以及作為位置訊息之個體圖案，其係為了個別半導體部件安裝區塊而被提供，該個體圖案係具有供個別半導體部件安裝區塊用之特別形狀。

根據本發明又一層面，提供有一供半導體封裝體用之佈線板，係包含：具有第一與第二表面之基底基材；至少兩層佈線層，係提供有經過個別絕緣層而被形成在第一與第二表面至少一表面上之個別佈線圖案；複數個被界定在最上層佈線層中之半導體部件安裝區塊；以及作為位置訊息之個體圖案，其係為了個別半導體部件安裝區塊而被提供，該個體圖案係具有供個別半導體部件安裝區塊用之特別形狀。

根據本發明再一層面，有提供一種製造半導體封裝體之佈線板的程序，該程序係包含：在基底基材之第一與第二表面之至少一者上形成由必要的佈線圖案組成之佈線層；以及在其上被形成有佈線層之基底基材之表面上同時地形成作為為了個別半導體部件安裝區塊所提供之位置訊息之個體圖案，該個體圖案係具有供個別半導體部件安裝區塊用之特定形狀。

根據本發明又一層面，有提供一種製造使用如上述般之佈線板之半導體元件之程序。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 7 ）

圖式之簡短說明

第1圖為顯示具有本發明第一實施例之位置訊息之佈線基材的結構模式平面圖；

第2(a)至2(d)、3(a)至3(d)以及4(a)至4(d)圖分別為顯示製造第1圖所示的佈線基材之程序的截面圖；

第5(a)至5(c)圖為顯示第1圖所示之佈線基材被合併於其中之半導體元件的製造程序之截面圖；

第6(a)至6(c)圖為顯示由第1圖所示之佈線基材組成之半導體元件的結構例示之模式平面圖；

第7(a)至7(b)圖為顯示具有本發明之第二實施例之位置訊息之佈線基材的結構模式平面圖；

第8圖顯示第7圖所示之佈線基材被合併於其中之半導體元件的結構截面圖；

第9(a)至9(c)圖顯示由第7圖所示之佈線基材組成之半導體元件的結構例示之樣式平面圖；

第10(a)與10(b)圖為具有本發明第三實施例之位置訊息的佈線基材被合併於其中之半導體元件的截面圖；

第11圖為顯示具有本發明之第四實施例的位置訊息之佈線基材的結構模式平面圖；

第12圖為顯示具有本發明之第五實施例的位置訊息之佈線基材的結構模式平面圖；

第13(a)與13(b)圖顯示具有本發明之第六實施例的位置訊息之佈線基材的結構模式平面圖；

第14(a)至14(c)圖為顯示由具有本發明第七實施例之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 8 ）

位置訊息之佈線基材組成的半導體元件之結構例示模式的平面圖；

第15(a)至15(c)圖為顯示由具有本發明第八實施例之位置訊息之佈線基材組成的半導體元件之結構例示模式的平面圖；

第16(a)至16(d)、17(a)至17(d)及18(a)至18(c)圖分別為顯示具有第九實施例之位置訊息的佈線基材之製造程序截面圖；

第19(a)至19(c)圖為顯示第九實施例之佈線基材被合併於其中之半導體元件的製造程序截面圖；以及

第20(a)與20(b)圖為顯示由第九實施例之佈線基材所組成之半導體元件的結構截面圖。

較佳實施例之詳細說明

第1圖顯示具有本發明第一實施例之位置訊息的佈線基材模式的配置平面圖。

在第1圖所示之例示中，觀看點是從具有本實施例之位置訊息的佈線基材10之晶片安裝側。標號11顯示一其後將被稱為"半導體部件安裝區塊"之區域，一半導體晶片係被安裝於其上，其係最後被裁切使得各半導體元件(封裝體)可以被製成。半導體安裝區塊11被配置層3× 3的矩陣型式。此外，四個此矩陣型式之群組在縱向方向上被連續地配置。標號22為一用以分割此矩陣型式群組之狹縫。

標號13為一被使用作為保護膜(絕緣層)來覆蓋基材10

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 9 ）

之一表面的焊料光阻層，而標號14為被用來作為一當封裝體遭受模壓時密封樹脂自其而被澆注之澆注口的模製閘。此模製閘14被以此類焊料光阻層13的預定部位如下述般地被移除之方式而被形成，此即，在基材10之截面中的預定部位被開啟。此模製閘14藉由其中焊料光阻層13未被形成在基材10之晶片安裝側上之區域來被界定。如圖所示，模製閘14在對應於各矩陣型式區域(3× 3)之群組的部位中被提供。在組裝封裝體的情況下，模壓再從模製閘14之對應的九組半導體晶片上同時被進行。

參考標記MP表示在本發明中為重要部件被使用作為”位置訊息”之電鍍引線。如圖所示，其輪廓僅由本身使用之電鍍引線被配置在各半導體部件安裝區塊11之周邊中。電鍍引線MP被使用作為一供後述之電解電鍍用之導線，其係在預定佈線圖案被形成在基材之兩側上時同時地被形成。就此而論，為了簡化圖式，佈線圖案在第1圖中被省略。

參考標記SL表示進給器，其係使矩陣型式(3× 3)群組之電路引線相互連接。由於上述結構，可能如後述般地在佈線圖案之連接墊上進行Au的電解電鍍。進給器SL與電鍍引線MP同時地被形成。進給器SL被形成於在此當封裝體被組裝時裁切最後被進行之基材裁切部位中之位置處。因此，當個半導體元件被裁切時，進給器SL被移除。所以，有關之半導體元件的電鍍引線MP會與其他元件之電鍍引線呈電氣獨立狀態。

接下來，將會說明製造具有本實施例之位置訊息之佈

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 10 ）

線基材10的方法。參考第第2(a)-2(d)、3(a)-3(d)及4(a)-4(d)圖，其係為在第1圖之線段A-A'所截取的截面圖，且其中製造程序被依次地顯示，方法將會被說明於下文中。為了簡化圖式，雙層佈線結構被顯示於圖式中。

最初，在第2(a)圖中所示之第一程序中，製備有佈線基材10之核心基板21，在其兩面上數片銅(Cu)箔22被連結。例如，被使用作為基底材料之玻璃布被注入諸如BT樹脂、環氧樹脂或聚醯亞胺樹脂之有機樹脂，使得核心基板21被組成。在核心基板21的兩面上，數片銅(Cu)箔22被層疊並被接合。如此，"玻璃布基底材料銅覆蓋層疊板"被製備。

取代其上玻璃布被使用作為基底材料之基板，一由聚醯亞胺樹脂製成之絕緣帶(TAB)基板會被使用作為基底材料。

在第2(b)圖所示之下一個程序中，在銅覆蓋層疊板21(22)上通孔23被形成於預定位置處，例如，藉由機械鑽孔方式。在此情況下，根據欲被形成之通孔23的直徑，取代使用機械鑽孔，可能使用CO_2雷射光束或是激元雷射光束來形成預定的孔洞。

在第2(c)圖所示之下一個程序中，Cu導電層24被形成在包括通孔23內部之銅覆蓋層疊層21(22)的整個面上。此導電層24被以此類方式形成，例如，在呈薄膜形狀之Cu層藉由Cu無電極電鍍而已經被形成在整個面上之後，此呈薄膜形狀之Cu層被使用作為進給器層，並且Cu層進一步藉由

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 11 ）

Cu電解電鍍之方式被層疊在呈薄膜形狀之Cu層上。

在第2(d)圖所示之下一個程序中，被作為蝕刻光阻之感光無水膜25以壓力被熱黏附至其上被形成有導電層(Cu層)24之銅覆蓋層疊板21的兩面上。

在第3(a)圖所示之下一個程序中，被設置在兩面上之無水膜25藉由使用光罩26而被暴露至光線下，該光罩係已經根據預定佈線圖案以及包括進給器SL之電鍍引線MP的預定輪廓而被預先形成圖案。此即，各光罩26被設置在各無水膜25上，並且紫外線光(UV)從記號的上部與下部部位而被照射至各光罩26上。

在第第3(b)圖所示之下一程序，在兩側上之無水膜25遭受顯影程序，使得形成圖案在各無水膜上被進行。此顯影程序如下地被進行。在無水膜25為負型光阻的情況下，顯影程序被以包含有機溶劑之顯影溶液進行。在無水膜25為正型光阻的情況下，顯影程序被以鹼性顯影溶液進行。在圖式所示之例示中，負型光阻被使用。所以，已經被以UV照射之各無水膜25之部位(經曝光部位)被留下。

在第3(c)圖所示之下一個程序中，例如，溼式蝕刻在各經形成圖案的無水膜25被作為一罩幕的同時被進行(在此情況下，Cu於其中為可溶之溶液被用來供溼式蝕刻用)，使得在經曝光部位中的Cu層24(雖然未顯示於圖式中，但下層Cu箔22被包括)被移除。

在第3(d)圖所示之下一個程序中，無水膜25被剝離並被移除。由於前述內容，由一部份的導體層(Cu層)24組成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 12 ）

之預定佈線圖案WP，以及電鍍引線MP(包括進給器SL)被形成在核心基材21的兩側上。

在第4(a)圖所示之下一個程序中，其上被形成有導電層24(佈線圖案WP、電鍍引線MP及進給器SL)之核心基材21的兩側上，一感光光阻被塗覆，例如，藉由網板印刷之方式(形成焊料光阻層13)。

在第4(b)圖所示之下一個程序中，在兩面上之焊料光阻層13在多組光罩27被使用的同時被暴露至光線下，該等光罩係藉由一預定輪廓而分別被形成圖案。此即，各光罩27被定位在各焊料光阻層13上，並且紫外線光(UV)被從各光罩27之一上部與一下部部位照射，如圖式之箭號所示。

各被使用在此程序中之光罩27根據預定電極墊輪廓以及與上述佈線圖案WP、電鍍引線MP及進給器SL之輪廓一起而遭受形成圖案程序。此外，關於在晶片安裝側上之光罩27，形成圖案根據第1圖所示之模壓閘14的輪廓而被進行。

在第4(c)圖所示之下一個程序中，各焊料光阻層13被顯影，並且形成圖案程序根據上述預定輪廓而被進行。此被以與第3(b)圖所示之相同的方式進行，此即，顯影被以一包含有機溶劑之顯影溶液進行(在負型光阻的情況下)，或是顯影被以包含鹼性溶劑之顯影溶液進行(在正型光阻之情況下)。在圖式所示之例示中，負型光阻的情況被顯示。所以，已被暴露在UV下之各焊料光阻層13之部分被留下。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 13 ）

在此情況下，其中焊亮光阻層13已經被移除並且導電層(Cu層)24已經被暴露出來之部位組成上述佈線圖案MP、電鍍引線MP及進給器SL，並且亦組成一與半導體晶片電極連接之接合導線以此而與一與焊料球(外部連接端子)連接之墊層連接之墊層。焊料光阻層13在晶片安裝側上從其上被移除之部位組成模壓閘14。

在第4(d)圖所示之最終程序中，分別從兩側上之焊料光阻層13中暴露出來之導電層(Cu層)24在各導電層(Cu層)24被使用作為進給器層的同時遭受到鎳(Ni)之電解電鍍。此外Au的電解電鍍被進行，使得導電層(Ni/Au層)28分別被形成。該等Ni/Au層被形成，使得黏著性在接合導線在稍後階段中被連接時可以被提高，此外黏著性在焊料球在稍後階段中被連接時可以被提昇。

根據第2(a)至4(d)圖所示之上述程序，具有本實施例之位置訊息的佈線基材10被製造。

接下來，具有本實施例之位置訊息的佈線基材10被合併於其中之半導體元件將會被說明於下文中。

最初，在5(a)圖所示之第一程序中，晶粒連結與導線連接被進行。

此即，由環氧樹脂製成之黏著劑30被塗覆在佈線基材10上之焊料光阻層13上的晶片(或晶粒)安裝區域中。接著，在欲被安裝之半導體晶片31的相反側被朝下地放置時，此即，在相對於其上被形成有電極之側的面部被朝下地放置時，半導體晶片31被以黏著劑30黏附至晶片安裝區

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 14 ）

域上(晶粒連結)。

接下來，半導體晶片31與Cu層24藉由以Au所製成之接合導線32透過從焊料光阻層13暴露出來之墊層而相互被電氣連接，此即，透過Ni/Au層28(導線接合)。

就此而論，第5(a)圖所示之例示中，僅有一組半導體晶片31被安裝，以便簡化說明，然而，複數組半導體晶片31被安裝在實際的結構中。

在第5(b)圖所示之下一個程序中，半導體晶片31與接合導線32藉由批次型模製系統被以密封樹脂33密封。此密封操作以此類具有對應於密封樹脂33之最終輪廓的凹入部之模製金屬晶粒(未顯示)被使用並且密封樹脂被從模壓閘14注入凹入部中的同時熱與壓力被給定之方式而被進行。在此程序中，批次模製系統被使用，然而，當然，獨立模製系統可以被使用。

在第5(c)圖所示之最終程序中，球安裝與裁切被進行。

此即，焊料球34經由從在相對於晶片安裝側之側邊上的焊料光阻層13中被暴露出來之墊層而被置放在Cu層24上，此即，經由Ni/Au層28，並且回流被進行，使得焊料球35被接合至相關的墊層上(球安裝)。由於前述內容，焊料球34可以從相關的墊層經由被形成在通孔23之內壁上的Cu層、在晶片安裝側上之佈線圖案WP、以及接合導線而與半導體晶片31電氣地連接。

接下來，具有位置訊息之佈線基材10被晶粒分割器分割成各連同虛線D-D'上之密封樹脂33的封裝體，使得半導

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 15 ）

體元件40被得到(裁切)。如前文所述，進給器SL(一部份的Cu層24)此時被移除，並且半導體元件40之電鍍引線MP(一部份的Cu層24)被與其他元件之電鍍引線電氣地分離。

第6(a)-6(c)圖為顯示在第2(a)至5(c)圖所示之程序中所製造之半導體元件的例示配置平面圖，此即，具有第1圖所示之位置訊息的佈線基材10被合併於其中之半導體元件之例示。

第6(a)圖為在樹脂密封被進行之前半導體元件的平面圖，其中半導體元件被從其上被安裝有晶片之面觀看，並且對應從第5(a)圖所示之程序中之基材的上部部位觀看的配置狀態。第6(b)圖為在樹脂密封被進行之後半導體元件的平面圖，其中半導體元件被從其上被安裝有晶片之面部觀看。第6(c)圖為半導體元件之平面圖，其中半導體元件被從一其上被安裝有球體之面觀看。該等圖式分別與被從第5(c)圖所示之程序中的基材上部與下部部位觀看之配置狀態相符，然而，只要考慮焊料球34的數量，該等圖式不需要與其相符。

如該等圖所示，關於其上被接合有焊料球34之基材側邊，相對於被使用作為"位置訊息"之電鍍引線MP，其係為本發明之一部份，"位置訊息"透過諸如焊料光阻層13之絕緣層而被暴露在外側。然而，關於其上被安裝有半導體晶片31之基材側邊，因為整面被以密封光阻33覆蓋，所以"位置訊號"未被暴露至外側。

如上文所說明者，根據具有相對於第一實施例之位置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 16 ）

訊號的佈線基材(包括基材被合併於其中之半導體元件40)以及製造佈線基材10之方法，電鍍引線MP被形成為一僅由在各半導體部件安裝區域11之周邊中的區域使用之形狀，如第1圖所示，其係為一半導體晶片31最終被安裝於其上之區域，並且該區域被裁切為一獨立的半導體元件40。此特有的電鍍引線MP被使用作為位置訊息以指定在佈線基材10上之各半導體部件安裝區域11的位置。

因此，關於半導體元件40，在產品已經被組裝後於輸送檢驗中發現斷裂的情況下，或是，在斷裂在產品已經被傳送後被發現的情況中，可能在視覺上得到一段在失效分析的情況下所給予之半導體元件40特有的位置訊息。在第6圖所示之例示中，可能視覺上得到一段從其上被接合有球體之側邊上所給予之半導體元件40的特有位置訊息。所以，可能清楚地確定當半導體元件呈片狀狀態時有關之半導體元件40位在的位置處，該片狀狀態係為其中佈線基材10在被分割成各封裝體前所呈現之裝態。

由前述內容，可能清楚地判斷斷裂是否會因為半導體元件位在其上之佈線基材上的特定位置而發生或是斷裂會因為製造程序中之特定程序而發生。可能快速地回傳失效分析結果至製造程序上。所以，失效分析的效率可以被大大地提高。此外，不如習知技藝般，變成不需要手動進行諸如劃刻線之標記程序，或是進行再現性的實驗。所以，失效分析可以被更有效地進行。

在上述第一個實驗中，對於其中模製閘部段14被配置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 17 ）

而沿著具有位置訊息之佈線基材10的周邊形成為帶狀形之例示被說明。然而，應註明的式，模製閘部段14之配置型式未被限制於上述特定例示中。模製閘部段14的配置型式之例示被顯示於第7(a)與7(b)圖中。

第7(a)與7(b)圖為顯示具有本發明第二實施例之位置訊號的配置狀態平面圖。在與關於第一實施例之第1圖所示相同的方式中，具有位置訊息之第7(a)圖所示之佈線基材50與第7(b)圖所示之佈線基材60從其上被安裝有晶片之側邊上被觀看。

在該等圖式中，標號51與61為其中被安裝有半導體部件之區域，標號52與62為狹縫，標號53與63為保護層(絕緣層)之焊料光阻層，並且標號54與64為模製閘部段。在具有位置訊息之佈線基材50上，模製閘部段54對應於半導體安裝區域51一個接一個地被配置。所以，當封裝體被組裝時，模壓在一組對應半導體晶片上被進行。另一方面，在具有位置訊息之佈線基材60上，模製閘部段64被配置而形成為對應矩陣形狀(1× 2)區域之群組的帶狀形。當封裝體被組裝時，模壓被連續與分離地從各模製閘部段64進行到兩組對應半導體晶片上。就此而論，被虛線表示之部分表示基材之裁切線。

參考記號MP為被使用作為為本發明之一特徵之"位置信息"的電路引線。在與第1圖所示之第一實施例相同的方式中，電鍍引線在各半導體部件安裝區域51、61之周邊中被形成為特有的輪廓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 18 ）

雖然第1圖所示之進給器SL未被顯示於第7圖所示之情況中，在與第一實施例相同的方式中，進給器與電鍍引線MP一起被提供，直到在Au的電解電鍍在佈線圖案之接合墊上被進行前的階段。此即，在此第二實施例中，在電解電鍍於佈線圖案之接合墊上被進行之後，在其中被形成有進給器之基材上的部位被打穿，使得狹縫52、62被形成並且個別的電鍍引線MP變成互相電氣獨立。

第8圖為具有第7(a)與7(b)圖所示之位置訊息的佈線基材50、60被合併於其中之半導體基材的配置狀態截面圖。圖式所示之半導體元件40a與第一實施例之第5(c)圖所示之半導體元件40不同點在於晶片安裝面側上的周邊未被以密封樹脂33覆蓋。因為結構的其他點相同，故說明被省略。

第9(a)-9(c)圖為顯示具有第二實施例之位置訊息的佈線基材50、60被合併於其中之半導體元件的例示配置平面圖。

第9(a)圖為在樹脂密封前之半導體元件的平面圖，其中半導體元件被從其上安裝有晶片之面觀看。第9(b)圖為在樹脂密封被進行之後半導體元件的平面圖，其中半導體元件被從其上安裝有晶片之面觀看。第9(c)圖為半導體元件之平面圖，其中半導體元件被從其上安裝有球體之面觀看。該等圖式分別與第6(a)、6(b)以6(c)圖的平面圖相符。然而，只要焊料球34的數量被考慮時，該等圖式不須於其相符。

關於其上接合有焊料球34之基材的側邊，相對於被使

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 19 ）

用作為為本發明之一特徵之"位置訊息"的電鍍引線MP，在與第6(c)圖所示相同的方式中，"位置訊息"透過諸如焊料球光阻層13而被暴露在外側。然而，關於其上被安裝有半導體晶片31之基材側邊，係與第6(b)圖所示之配置狀態不同，因為基材周邊未被以密封樹脂33覆蓋，因此"位置訊息"在相關的部位中被暴露在外部。

在此第二實施例中，電鍍引線MP在各半導體部件安裝區域51、61之周邊中被形成為特有的輪廓。所以，與第一實施例相同的效應可以被提供。

為了簡化說明，各具有上述各實施例之位置訊息的佈線基材10、50、60具有兩層佈線層的結構，並且電鍍引線MP(位置訊息)被暴露在外部，使得位置訊息可以從外部看到。然而，應被註明的是，本發明未被限制於上述兩層佈線的特定實施例中。當然，本發明未被限制於上述電鍍引線MP之特定實施例中。

例如，可能採用其中數量不會少於四層之層藉由熟知的堆疊方法而被層疊之多層佈線結構。在此多層佈線結構的情況中，電鍍引線(位置訊息)會被配置在無法從外側視覺辨別之內部佈線層上。此具有位置訊息之佈線基材的例示被顯示於第10(a)與10(b)圖中。

第10(a)圖為與第一實施例之半導體元件40(顯示於第5(c)與6圖中)相同型式的半導體元件40b之截面圖。在此型式中，晶片安裝側的整個面部被以密封樹脂33覆蓋。第10(b)圖為與第二實施例之半導體元件40a(顯示於第8與9圖中)

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 20 ）

相同型式的半導體元件40c之截面圖。在此型式中，晶片安裝側之面部除了周邊部分外皆被以密封樹脂33覆蓋。

在圖式中，標號70與80各為具有位置訊息之佈線基材，並且此佈線基材被以四層佈線結構組成。在各佈線基材70、80上，電鍍引線MP(位置訊息)被形成在內部佈線層(Cu層)24a上。

在此第三實施例中，不可能從外側視覺上地辨別電鍍引線MP(位置訊息)。所以，作為辨識配置在基材內側之電鍍引線MP輪廓之方法，例如，提供有一種藉由X射線之方式來觀察產品內部的方法。此外，提供有一種藉由使產品開口來觀察產品內部之方法，此即，藉由開啟封裝體。

根據此第三實施例，電鍍引線MP在各半導體部件安裝區域之周邊中被形成為特有的輪廓。所以，第三實施例可以提供與前述第一與第二實施例相同的效應。

此外，即使在難於或不可能給予位置訊息至BGA的球接合側邊上之面部上的情況中，其間隙細微，如在傳統技術中，本實施例可以解決上述問題，因為電鍍引線MP在此實施例中被配置在內部引線層24a上。

就此而論，於第10圖所示之實施例中，電鍍引線MP被配置在內部佈線層24a上，然而，在與第一與第二實施例相同的方式中，當然，可能將電鍍引線MP配置在能夠從外側辨識到的外部佈線層24上。

在上述各實施例中，作為用於辨別各在佈線基材上之半導體部件安裝區域(封裝體)之位置的"位置訊息"，在各

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 21 ）

電鍍引線MP的輪廓被改變使其可以個別辨識的同時，電鍍引線MP被提供。然而，應被註明的是，"位置訊息"的型式未被限制於此特定實施例中。例如，"位置訊息"能夠以數字或記號組成。此"位置訊息"之例示被顯示於第11圖中。

第11圖為顯示具有本發明第四實施例之位置訊息的佈線基材之配置狀態平面圖。在與關於第一實施例之第1圖相同的方式中，第11圖為其中具有位置訊息之佈線基材90從其上被安裝有晶片之側上觀看圖。

在該等圖式中，標號91為一其中被安裝有半導體部件之區域，標號92為一狹縫，標號93為一為保護膜(絕緣層)之焊料光阻層，而標號94為模壓閘部段。此模壓閘部段94的操作模式與第一實施例中之模壓閘部段14相同。就此而論，圖式中的虛線表示裁切線。參考記號MQ表示使用一為本發明之特徵的"位置訊息"之字母(A1、A2.....、D9)。字母MQ為當佈線圖案被以其中上述電鍍引線MP被形成之程序相同的方式形成。就此而論，進給器未被顯示於圖式中。

上述第四實施例可提供與第一以及第二實施例相同之效應。此外，在與第三實施例相同之方式中，當基材被形成為四層佈線結構時，可能藉由將字母MQ連結至無法從外側視覺地辨識之內部佈線層上來解決在習知技藝中所造成之問題。

第12圖為顯示具有本發明第五實施例之位置訊息的佈線基材之配置平面圖。在第關於第一實施例之第1圖所示之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 22 ）

相同的方式中，第12圖為其中具有位置訊息之佈線基材10a被從其上被安裝有晶片之側邊上觀看圖。

圖式中具有位置訊息之佈線基材10a與具有第一實施例之位置訊息的佈線基材10(第1圖所示)不同點被說明於下。在具有位置訊息之佈線基材10a上，無狹縫12被提供，並且模製閘部段14對應於所有被配置而形成為3× 14的矩陣形狀之半導體部件安裝區域11而被提供。結構的其他點與第一實施例相同。所以，說明在此被省略。

第13(a)與13(b)圖為顯示具有本發明第六實施例之位置訊息的佈線基材之配置平面圖。在與關於第四實施例之第11圖所示之相同的方式中，第13(a)與13(b)圖為其中具有位置訊號之佈線基材90a被從其上被安裝有晶片之側邊上觀看之圖。

圖式中具有位置訊息之佈線基材90a與具有第四實施例之位置訊息的佈線基材90(第11圖所示)不同點被說明於下。在具有位置訊息之佈線基材90a上，無狹縫92被提供，並且模製閘部段94對應於所有被配置而形成為3× 14的矩陣形狀之半導體部件安裝區域91而被提供。在第13(a)圖中，字母MQ位在半導體部件安裝區域的角落位置處，而在第13(b)圖中，字母MQ位在半導體區域的中心位置處。結構的其他點與第四實施例相同。所以，說明在此被省略。

第14(a)-14(c)圖為顯示具有本發明第七實施例之位置訊息的佈線基材被合併於其中之半導體元件的例示配置平面圖。在與第6(a)-6(c)圖相同的方式中，第14(a)圖為在樹

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 23 ）

脂密封被進行前半導體元件的平面圖，其中半導體元件被從其上被安裝有晶片之面觀看。第14(b)圖為在樹脂密封被進行後半導體元件的平面圖，其中半導體元件被從其上被安裝有晶片之面部觀看。第14(c)圖為半導體元件之平面圖，其中半導體元件被從一其上被安裝有球體之面觀看。

在本實施例之半導體元件40d中，被使用作為"位置訊息"之電鍍引線MP藉由回蝕方法而與信號線(佈線圖案WP)隔離，如第14(a)圖所示。

第15(a)-15(c)圖為顯示具有本發明第八實施例之位置訊息的佈線基材被合併於其中之半導體元件的例示配置平面圖。在與第9(a)-9(c)圖相同的方式中，第15(a)圖為在樹脂密封被進行前半導體元件的平面圖，其中半導體元件被從其上被安裝有晶片之面觀看。第15(b)圖為在樹脂密封被進行後半導體元件的平面圖，其中半導體元件被從其上被安裝有晶片之面部觀看。第15(c)圖為半導體元件之平面圖，其中半導體元件被從一其上被安裝有球體之面觀看。

在與第14(a)-14(c)圖所示之半導體元件40d相同的方式中，在本實施例之半導體元件40e中，電鍍引線MP(位置訊息)藉由回蝕方法而與信號線(佈線圖案WP)隔離，如第15(a)圖所示。

就此而論，雖然未在圖式中顯示，但是將會對於其上電鍍引線MP(位置訊息)藉由回蝕方法而與信號線(佈線圖案WP)隔離具有位置訊息之佈線基材的製造程序作說明。

(1) 在其上被塗覆有焊料光阻之基材的情況下

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 24 ）

在預定電路圖案(佈線層)已經被形成之後，焊料光阻被塗覆。在焊料光阻已經被硬化之後，一無水膜被黏附在其中電鍍焊料線MP與信號線WP必須相互隔離之部位上，以便關閉焊料光阻之開口。此時，焊料光阻被開啟至電鍍焊料線MP與信號線WP必須相互隔離之部位上。接下來，Ni/Au導電層的電鍍被進行。在完成Ni/Au電鍍之後，無水膜被剝離。之後，於其上已經進行Ni/Au電鍍之焊料光阻的開口被無水膜封閉。接著，蝕刻再次被進行。在其中電鍍焊料線MP與信號線WP必須相互隔離之部位中，焊料光阻被開啟，並且電鍍焊料線MP與信號線WP可以藉由進行上述蝕刻而相互隔離。最後，無水膜被剝除。如此，可能完成具有位置訊息之佈線基材的製造，其中電鍍焊料線MP與信號線WP被相互隔離。

(2) 在其佈線層未被以焊料光阻之絕緣膜塗覆之基材的情況下

在預定電路圖案(佈線層)已經被形成之後，一其上不須進行Ni/Au電鍍之部位被以無水膜塗覆。接下來Ni/Au導電層之電鍍被執行，以便形成Ni/Au的電鍍層。接著，無水膜被剝離。之後，除了其中電鍍引線MP與信號線WP必須相互隔離以外的部位，係包括其中Ni/Au電鍍已經被進行之部位，被以無水膜塗覆。接著，蝕刻再次被進行。由於其中電鍍引線MP與信號線WP必須相互隔離之部位未被以無水膜塗覆，所以當蝕刻如上述般被進行時，電鍍引線MP與信號線WP可以被相互隔離。最後，無水膜被剝離。如此，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 25 ）

可能完成具有位置訊息之佈線基材的製造，其中電鍍焊料線MP與信號線WP被相互隔離。

第16(a)-18(c)圖顯示具有本發明第九實施例之位置訊息的佈線基材之製造程序圖。在第16(a)-18(c)圖中，一情況被顯示，作為一例示，其中佈線結構被以一層組成，並且導電部段(佈線層)在具有位置訊息之佈線基材未被塗覆有絕緣膜。

此實施例之製造程序與上文項目(2)相符，藉此具有位置訊息之佈線基材被製造，於其上電鍍引線MP(位置訊息)藉由回蝕方法而與信號線(佈線圖案WP)隔離。本實施例之製造方法實質上與第3(a)至4(d)圖所示之兩層佈線結構的佈線基材相同。相似的參考符號被用來表示在第2至4圖與第16至18圖中相似的構件。所以，各製造程序的特定說明在此被省略，然而，各個製造程序將會被簡短地說明於下。

首先，第16(a)圖所示之核心基材21被製備，使得其可以被使用作為基底基材。接著，通孔23被形成在核心基材21上，如第16(b)圖所示，並且導電層24如第16(c)圖所示般地被形成。導電層24藉由使用光罩26而遭受曝光與顯影，此即，形成圖案在導電層24上被形成，如第16(d)圖所示，使得被由導電層24之部分組成之預定的佈線圖案WP與電鍍引線MP(包括進給器SL)如第17(a)圖般地被形成。接著，無水膜25如第17(b)圖般地被黏附。導電層28藉由Ni/Au電鍍而被形成，如第17(c)圖所示。在此之後，無水膜25被剝除，如第17(d)圖所示。接下來，除了其中電鍍引線MP與

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（ 26 ）

信號線WP必須相互隔離以外之部位，包括其中Ni/Au電鍍已經被進行之部位，被以無水膜25a覆蓋，如第18(a)圖所示。接著，蝕刻(回蝕)被進行，如第18(b)圖所示，並且無水膜25a被剝除，如第18(c)圖所示。

第19(a)-19(c)圖為顯示由第16至18圖所示之製造程序所製造具有位置訊息的佈線基材被合併於其中之半導體元件的製造程序圖。本實施例之半導體元件40f的製造程序，係顯示於第19(a)-19(c)圖中，與第5圖所示之半導體元件40的製造程序相同。所以，製造程序之說明將會被省略。

第20(a)與20(b)圖為顯示由第16(a)至18(c)圖所示之製造程序所製造具有位置訊息的佈線基材被合併於其中之半導體元件的橫截面結構圖。

第20(a)圖為顯示與第10(a)圖所示之半導體元件40b相同型式的半導體元件40f的橫截面結構圖，此即，第20(a)圖為顯示其中整個晶片安裝面被以密封樹脂33覆蓋之型式的半導體元件40f之橫截面結構圖。第20(b)圖為顯示與第10(b)圖所示之半導體元件40c相同型式的半導體元件40g之橫截面圖。此即，第20(b)圖為顯示其中整個晶片安裝面除了周邊部分外皆被以密封樹脂33覆蓋晶之型式的半導體元件40g之橫截面結構圖。

在各個上述實施例中，在接合面與晶片安裝面上，位置訊息(電鍍引線MP與字母MQ)被給定。然而，由於可以在本發明之申請專利範圍所界定之範圍清楚地看見，故此類位置訊息被給予佈線層之至少一面部側則足以。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 27 ）

如上所述，根據本發明，可能將失效分析的結果快速地回傳至製造程序中。所以，失效分析之效率可以被大大地增進。

元件標號對照表

10	佈線基材	10a	佈線基材
11	半導體部件安裝區塊	13	焊料光阻層
14	模製閘	21	核心基板
22	銅箔	23	通孔
24	Cu導電層	24a	內部佈線層
25	感光無水膜	25a	無水膜
26	光罩	27	光罩
28	導電層	30	黏著劑
31	半導體晶片	32	接合導線
33	密封樹脂	34	焊料球
40	半導體元件	40a	半導體元件
40b	半導體元件	40c	半導體元件
40d	半導體元件	40e	半導體元件
40f	半導體元件	40g	半導體元件
50	佈線基材	51	半導體安裝區域
52	狹縫	53	保護層
54	模製閘部段	60	佈線基材

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ 28 ）

61	半導體安裝區域	62	狹縫
63	保護層	64	模製閘部段
70	佈線基材	80	佈線基材
90	佈線基材	90a	佈線基材
91	半導體安裝區域	92	狹縫
93	焊料光阻層	94	模壓閘部段
WP	佈線圖案	MP	電鍍引線
SL	進給器		

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

A5
B5

四、中文發明摘要（發明之名稱：　具位置訊息之佈線基材　）

供半導體封裝體用之佈線板包含：一具有第一與第二表面之基底基材；一由被形成在第一與第二表面之至少一表面上的必要佈線圖案組成之佈線層；複數個被形成在其上被形成有佈線層之基底基材之表面上的半導體部件安裝面積；以及作為位置訊息之個體圖案，其係為了個別的半導體部件安裝面積而被提供，該個體圖案係具有供個別半導體部件安裝面積用之獨特形狀。作為位置訊息之個體圖案被形成在個別的半導體部件安裝面積之周邊區域上。

英文發明摘要（發明之名稱：　Wiring Substrate Having Position Information　）

A wiring board for a semiconductor package comprises a base substrate having first and second surfaces; a wiring layer consisting of necessary wiring patterns formed on at least one of the first and second surfaces; a plurality of semiconductor element mounting areas formed on the surface of the base substrate on which the wiring layer is formed; and individual patterns as position information provided for the respective semiconductor element mounting areas, the individual patterns having a particular shape for the respective semiconductor element mounting area. The individual patterns as position information are formed on peripheral regions of the respective semiconductor element mounting areas.

裝

訂

六、申請專利範圍

1. 一種供半導體封裝體用之佈線板，係包含：

一基底基材，係具有第一與第二表面；

一佈線層，係由被形成在該等第一與第二表面之至少一表面上的必要佈線圖案組成；

複數個半導體部件安裝區塊，係被形成在其上被形成有該佈線層之該基底基材的表面上；以及

作為位置訊息之個體圖案，其係為了個別半導體部件安裝區塊所提供，該個體圖案係具有一供該個別半導體部件安裝區塊用之特別形狀。

2. 如申請專利範圍第1項之佈線板，其中該基底基材被由諸如BT樹脂、環氧樹脂或聚醯亞胺樹脂之樹脂，或是陶瓷製成，於其該作為位置訊息之金屬圖案可以被形成。

3. 如申請專利範圍第1項之佈線板，其中作為位置訊息之個體圖案被形成在該個別半導體部件安裝區塊的周邊區域上。

4. 如申請專利範圍第1項之佈線板，其中作為位置訊息之個體圖案被形成為該佈線層之部分的佈線圖案。

5. 如申請專利範圍第4項之佈線板，其中作為該佈線層之位置訊息的個體圖案被暴露在外側。

6. 如申請專利範圍第4項之佈線板，其中作為該佈線層之位置訊息的個體圖案被以一保護層覆蓋。

7. 如申請專利範圍第1項之佈線板，其中作為位置訊息之個體圖案為當電解電鍍被進行時可以作為佈線之電鍍

裝 訂 線

六、申請專利範圍

引線。

8. 如申請專利範圍第1項之佈線板，其中作為位置訊息之個體圖案包括字母、符號或相似者。

9. 一種供半導體封裝體用之佈線板，係包含：

一基底基材，係具有第一與第二表面；

至少兩層之佈線層，係提供有經由個別絕緣層而被形成在該等第一與第二表面之至少一表面上的個別佈線圖案；

複數個半導體部件安裝區塊，係被界定在該等內部佈線層之任一者中；以及

作為位置訊息之個體圖案，係為了該等個別半導體部件安裝區塊而被提供，該等個體圖案係具有供該個別半導體部件安裝區塊用之特別形狀。

10. 如申請專利範圍第9項之佈線板，其中該基底基材被由諸如BT樹脂、環氧樹脂或聚醯亞胺樹脂之樹脂，或是陶瓷製成，於其該作為位置訊息之金屬圖案可以被形成。

11. 如申請專利範圍第9項之佈線板，其中作為位置訊息之該等個體圖案被形成在該個別半導體部件安裝區塊的周邊區域上。

12. 如申請專利範圍第9項之佈線板，其中作為位置訊息之該等個體圖案包括字母、符號或相似者。

13. 一種供半導體封裝體用之佈線板，係包含：

一基底基材，係具有第一與第二表面；

裝 訂 線

六、申請專利範圍

至少兩層之佈線層，係提供有經由個別絕緣層而被形成在該等第一與第二表面之至少一者上的個別佈線圖案；

複數個半導體部件安裝區塊，係被界定在最上層佈線層中；以及

作為位置訊息之個體圖案，係為了該等個別半導體部件安裝區塊而被提供，該等個體圖案係具有供該個別半導體部件安裝區塊用之特別形狀。

14. 如申請專利範圍第13項之佈線板，其中該基底基材被由諸如BT樹脂、環氧樹脂或聚醯亞胺樹脂之樹脂，或是陶瓷製成，於其該作為位置訊息之金屬圖案可以被形成。

15. 如申請專利範圍第13項之佈線板，其中作為位置訊息之該等個體圖案被形成在該等個別半導體部件安裝區塊的周邊區域上。

16. 如申請專利範圍第13項之佈線板，其中作為位置訊息之該等個體圖案包括字母、符號或相似者。

17. 一種製造半導體封裝體之佈線板之程序，該程序係包含：

在一基底基材之第一與第二表面之至少一表面上形成一由必要佈線圖案組成之佈線層；以及

在其上被形成有該佈線層之該基底基材之該表面上同時地形成作為為了個別半導體部件安裝區塊所提供之位置訊息的個體圖案，該等個體圖案係具有供該

裝 訂 線

六、申請專利範圍

個別半導體部件安裝區塊用之特定形狀。

18. 如申請專利範圍第17項之程序，其中作為位置訊息之該等個體圖案為包含信號線與電鍍電路供應線之該佈線層部分的佈線圖案；並且該程序係進一步包含：

將該等電鍍電力供應線與該等信號線分離。

19. 如申請專利範圍第18項之程序，其中該等電鍍電力供應線藉由回蝕程序而被與該等信號線分離。

20. 一種製造半導體封裝體之佈線板之程序，該程序係包含：

形成至少兩層佈線層，其係被設置有在一基底基材之第一與第二表面之至少一表面上通過個別絕緣層所形成之個別佈線圖案；以及

形成為了該等個別半導體部件安裝區塊所提供之位置訊息之個體圖案，該等個體圖案係具有供該個別半導體部件安裝區塊用之特定形狀。

21. 如申請專利範圍第20項之程序，其中作為位置訊息之該等個體圖案為包含信號線與電鍍電路供應線之該佈線層部分的佈線圖案；並且該程序係進一步包含：

將該等電鍍電力供應線與該等信號線分離。

22. 如申請專利範圍第21項之程序，其中該等電鍍電力供應線藉由回蝕程序而被與該等信號線分離。

23. 一種製造半導體元件之程序，係包含：

在一基底基材之第一與第二表面之至少一表面上形成一由必要佈線圖案組成之佈線層；

裝 訂 線

六、申請專利範圍

在其上被形成有該佈線層之該基底基材之該表面上同時地形成作為為了個別半導體部件安裝區塊所提供之位置訊息的個體圖案，該等個體圖案係具有一供該個別半導體部件安裝區塊用之特定形狀；

在該基材上安裝複數組各具有電極之半導體晶片；

將該等半導體晶片之該等電極以接合佈線電氣地連接至該佈線圖案上；

密封該等半導體晶片與該等接合佈線；

在其上被提供有作為位置訊息之該等個體圖案之該基材的相對表面上黏著外部連接端子；以及

將半導體元件之個別單元與該基材分離。

24. 一種製造半導體封裝體之佈線板之程序，該程序係包含：

形成至少兩層佈線層，其係被設置有在一基底基材之第一與第二表面之至少一表面上通過個別絕緣層所形成之個別佈線圖案；

形成為了該等個別半導體部件安裝區塊所提供之位置訊息之個體圖案，該等個體圖案係具有供該個別半導體部件安裝區塊用之特定形狀；

在該基材上安裝複數組各具有電極之半導體晶片；

將該等半導體晶片之該等電極以接合佈線電氣地連接至該佈線圖案上；

裝 訂 線

六、申請專利範圍

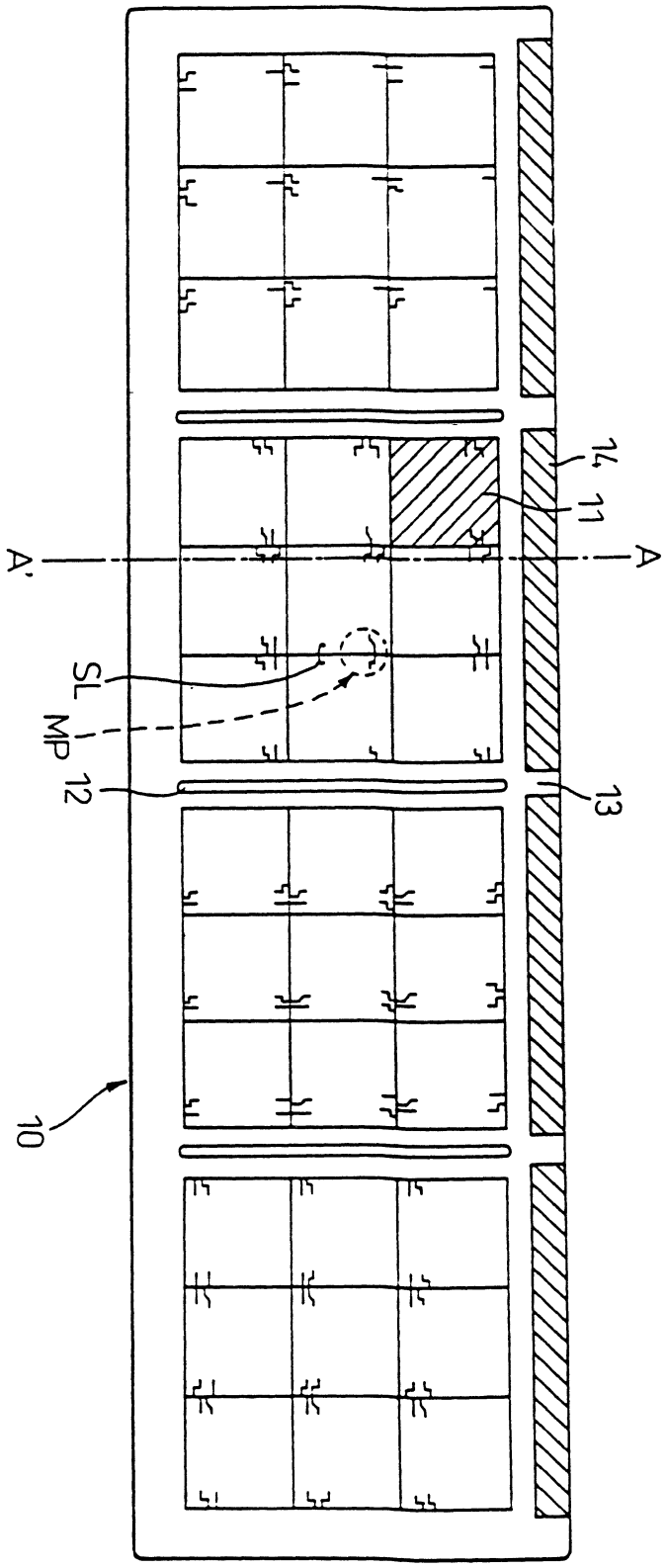
密封該等半導體晶片與該等接合佈線；

在其上被提供有作為位置訊息之該等個體圖案之該基材的相對表面上黏著外部連接端子；以及

將半導體元件之個別單元與該基材分離。

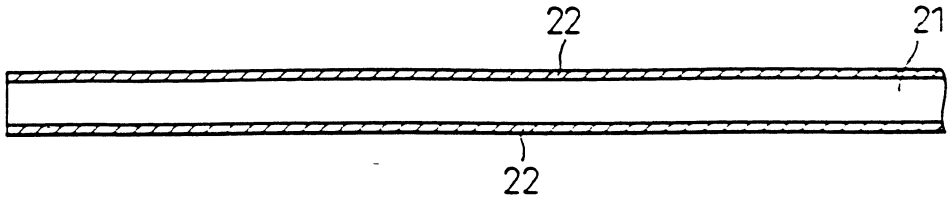
裝 訂 線

P1114.pf

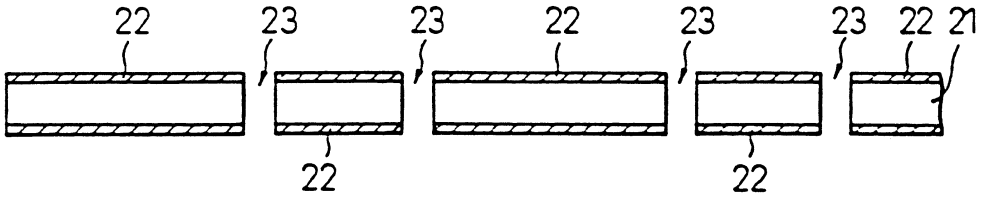


第 1 圖

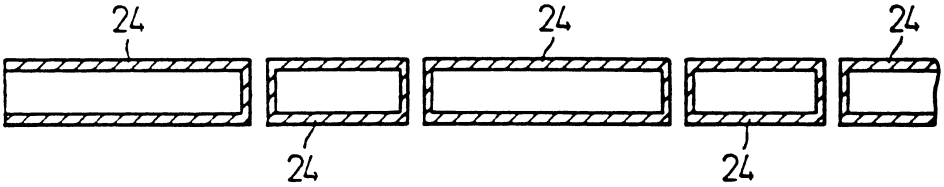
第 2(a)圖



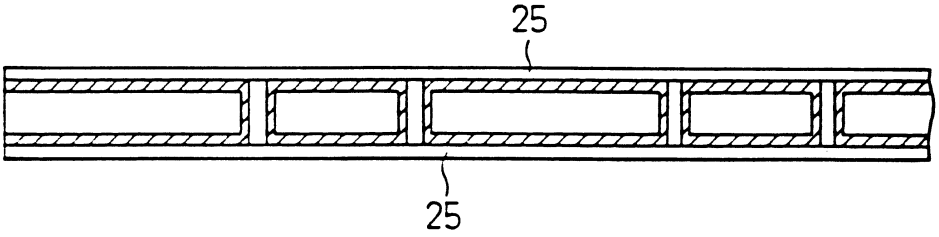
第 2(b)圖



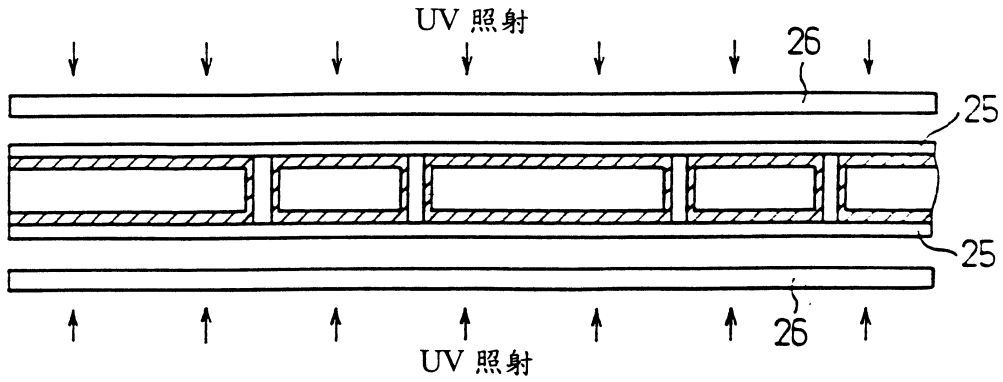
第 2(c)圖



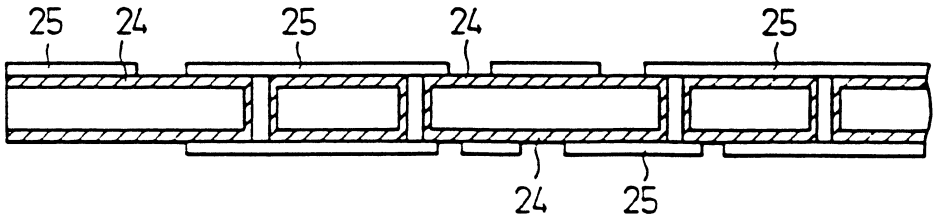
第 2(d)圖



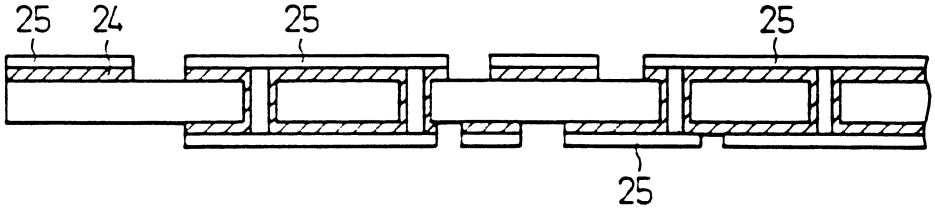
第 3(a)圖



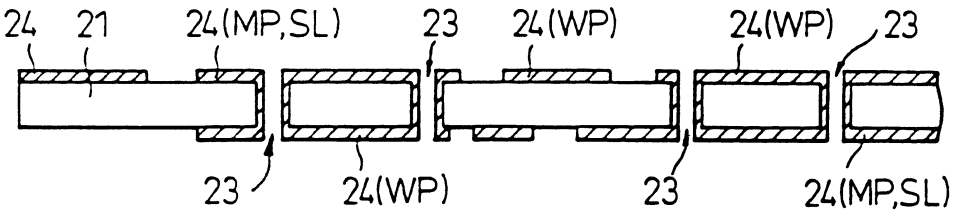
第 3(b)圖



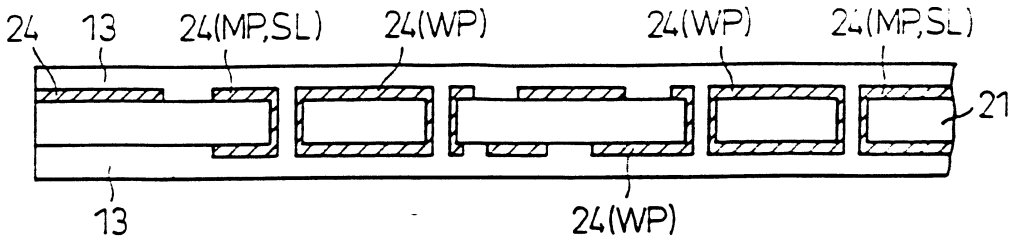
第 3(c)圖



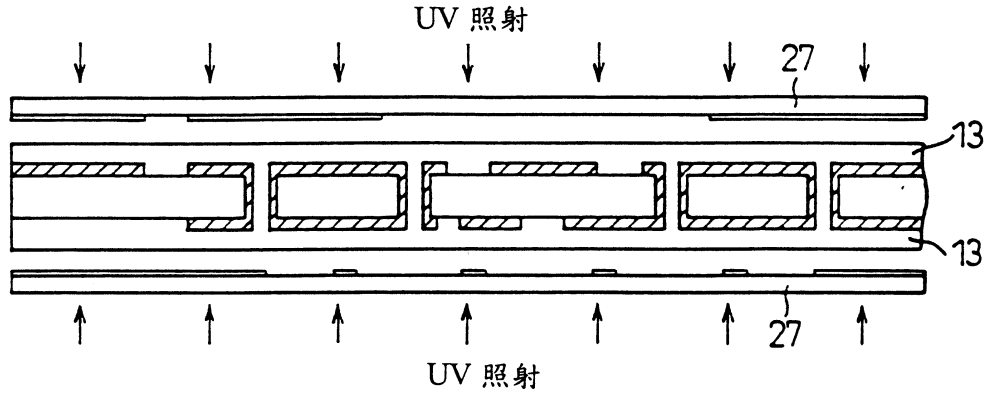
第 3(d)圖



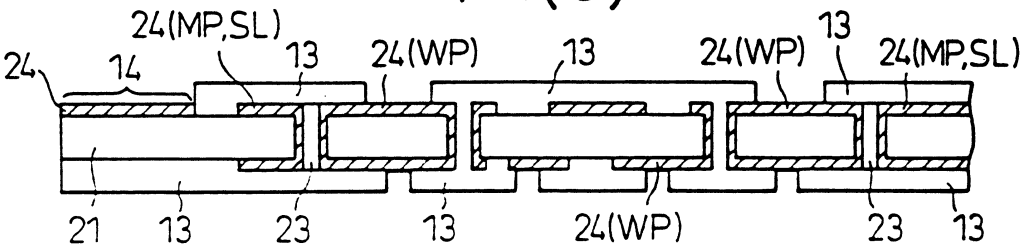
第4(a)圖



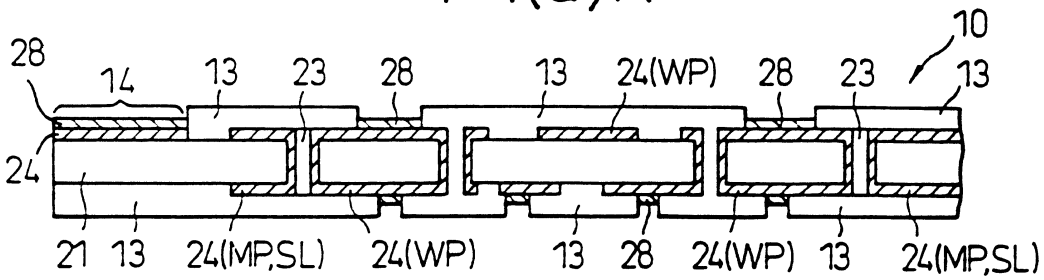
第4(b)圖



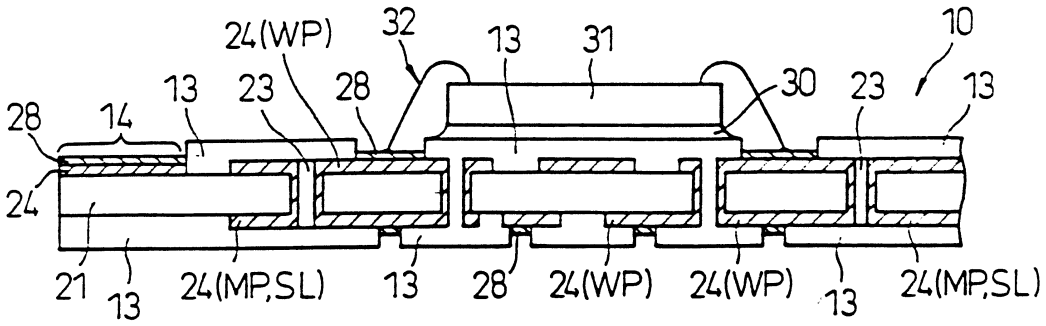
第4(c)圖



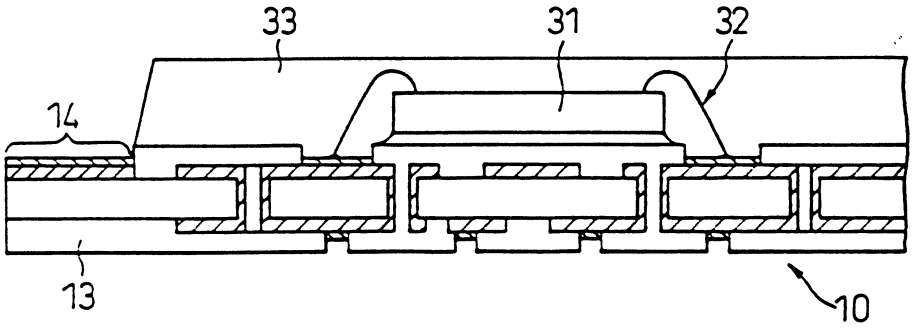
第4(d)圖



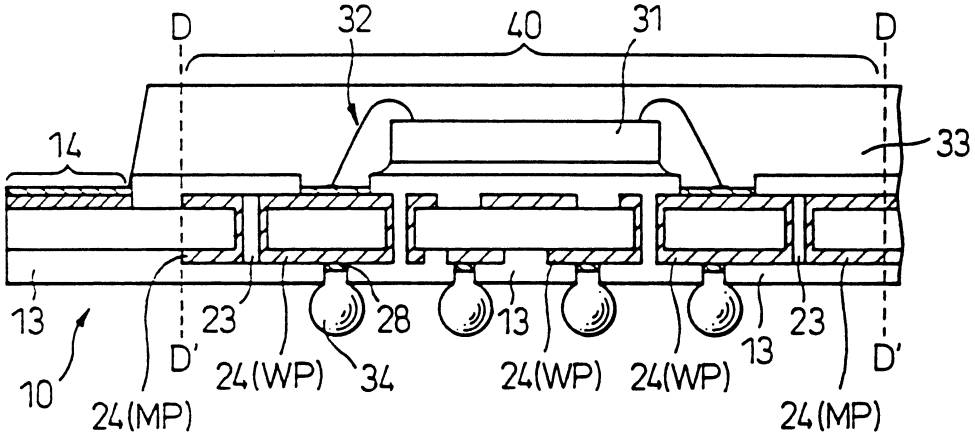
第5(a)圖



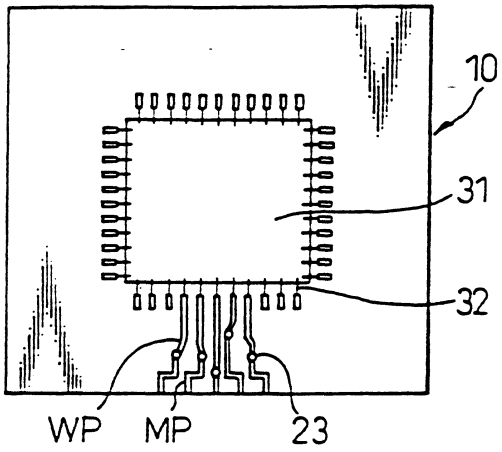
第5(b)圖



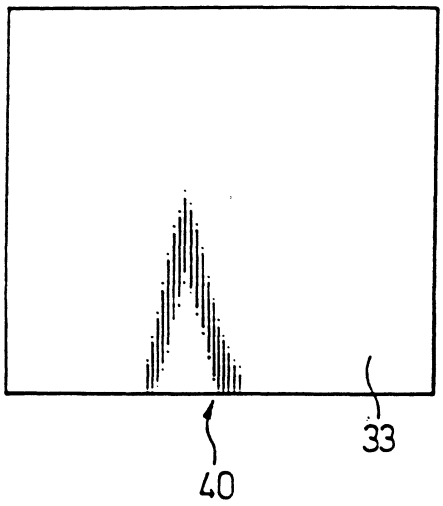
第5(c)圖



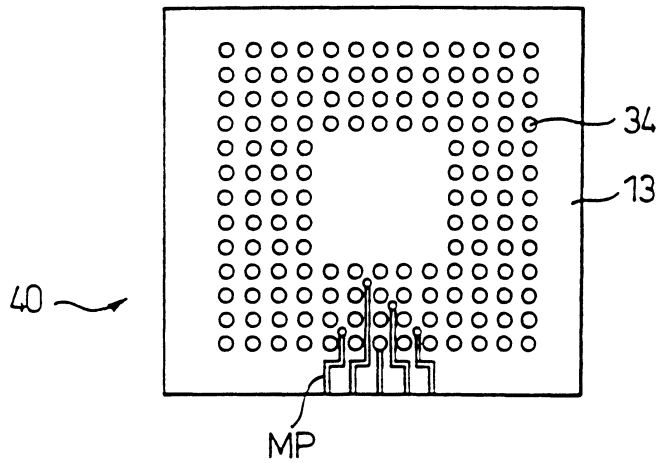
第6(a)圖

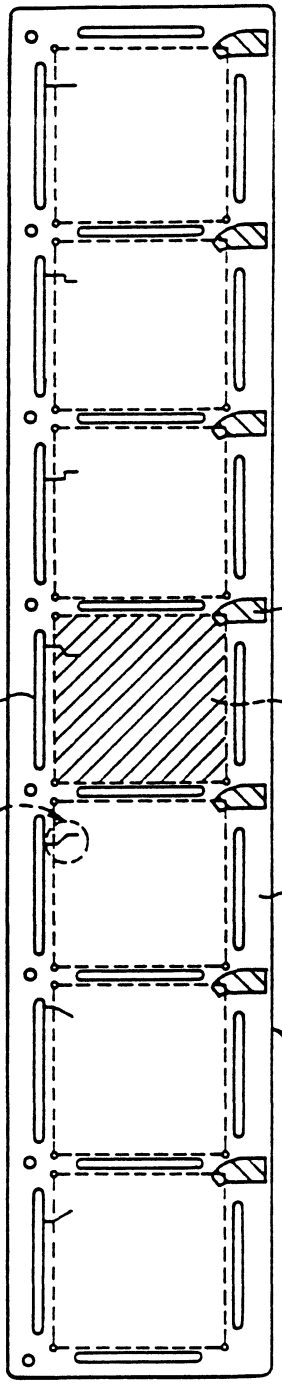


第6(b)圖

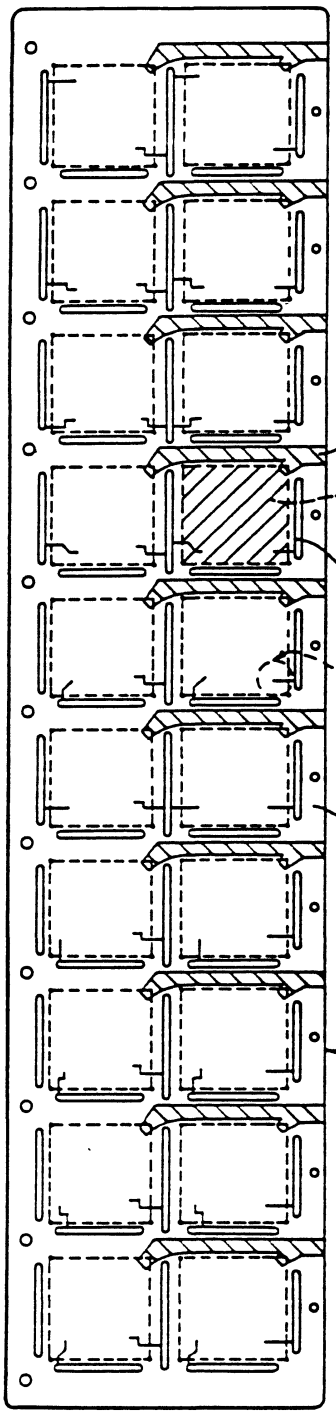


第6(c)圖



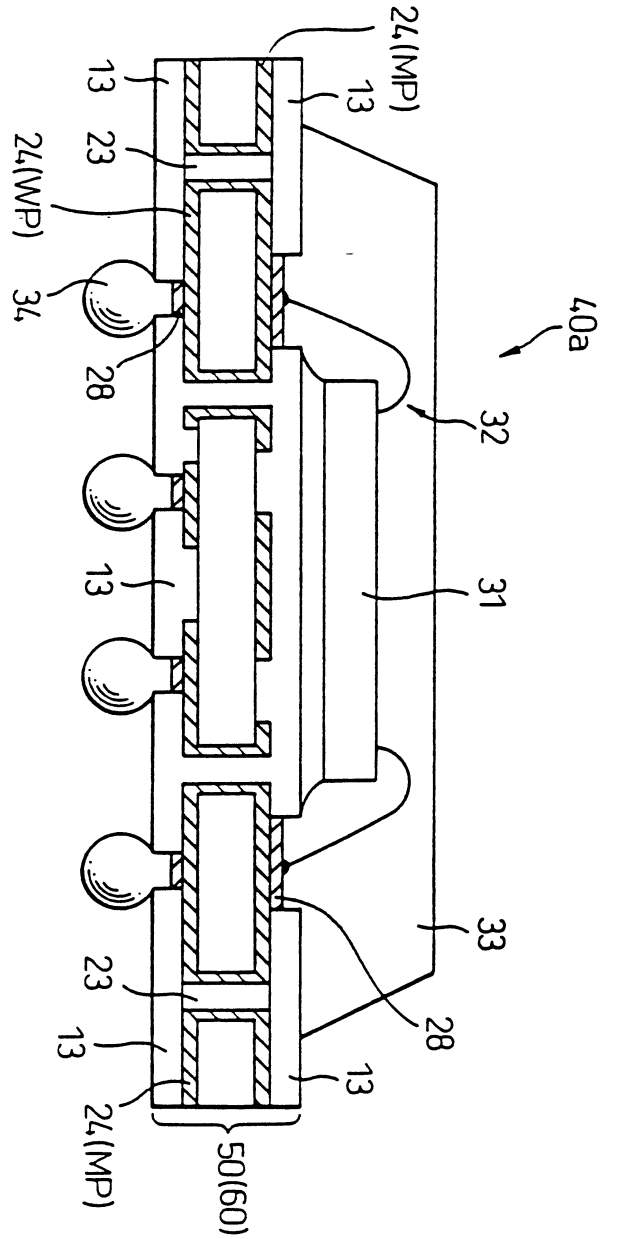


第7(a)圖

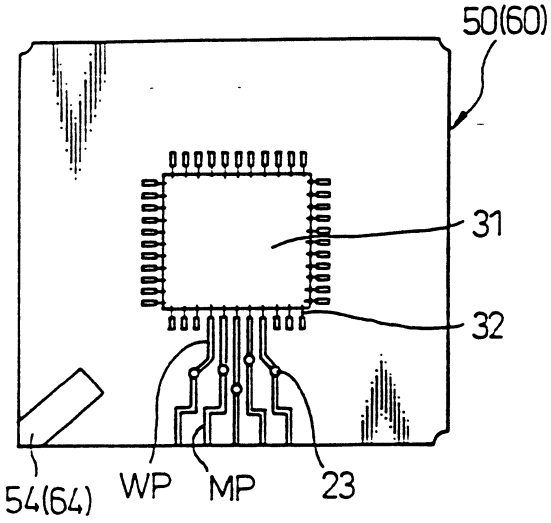


第7(b)圖

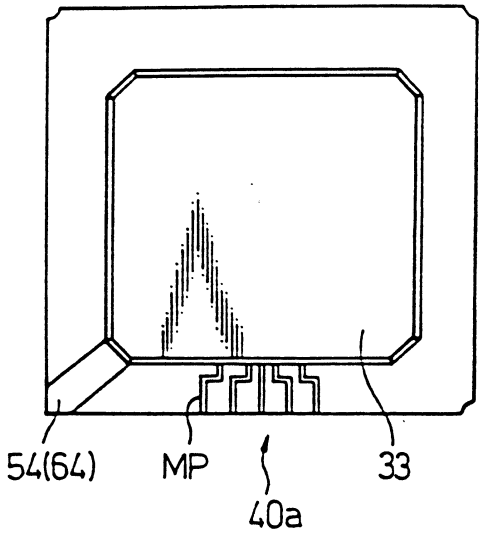
第 8 圖



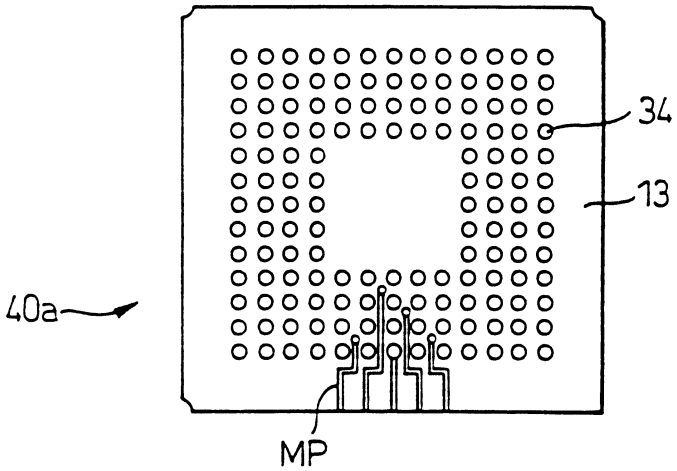
第9(a)圖



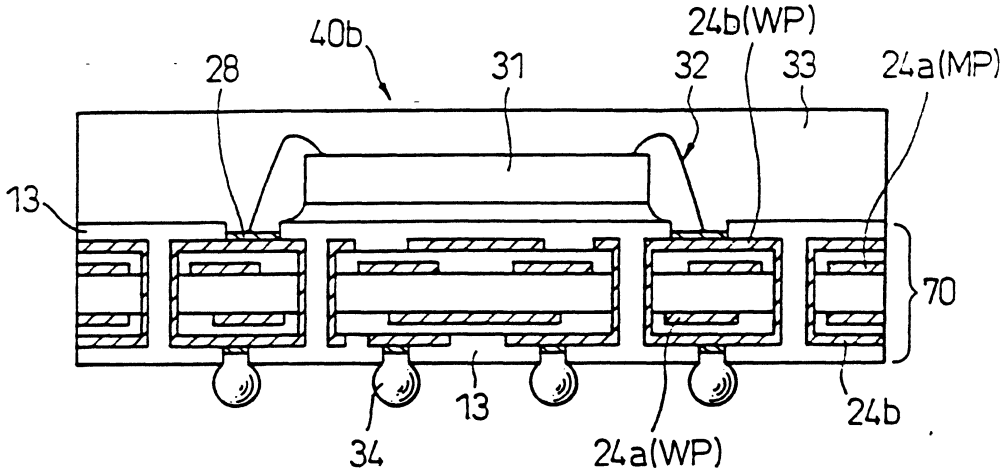
第9(b)圖



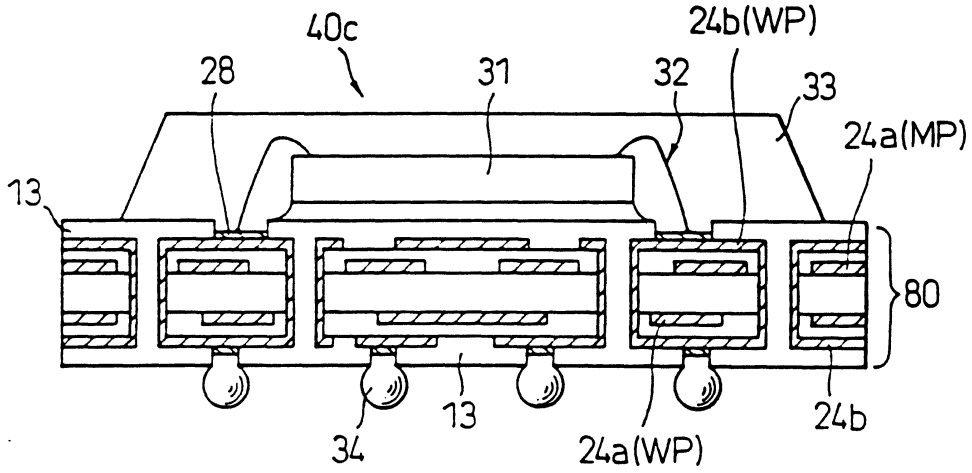
第9(c)圖

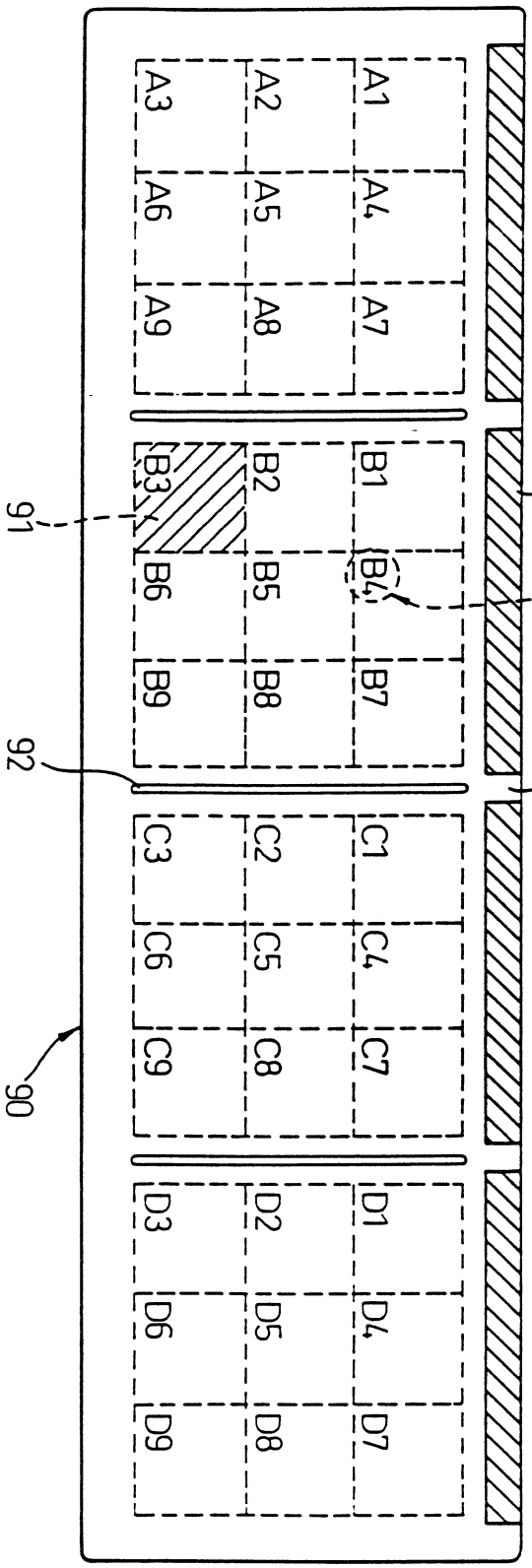


第10(a)圖

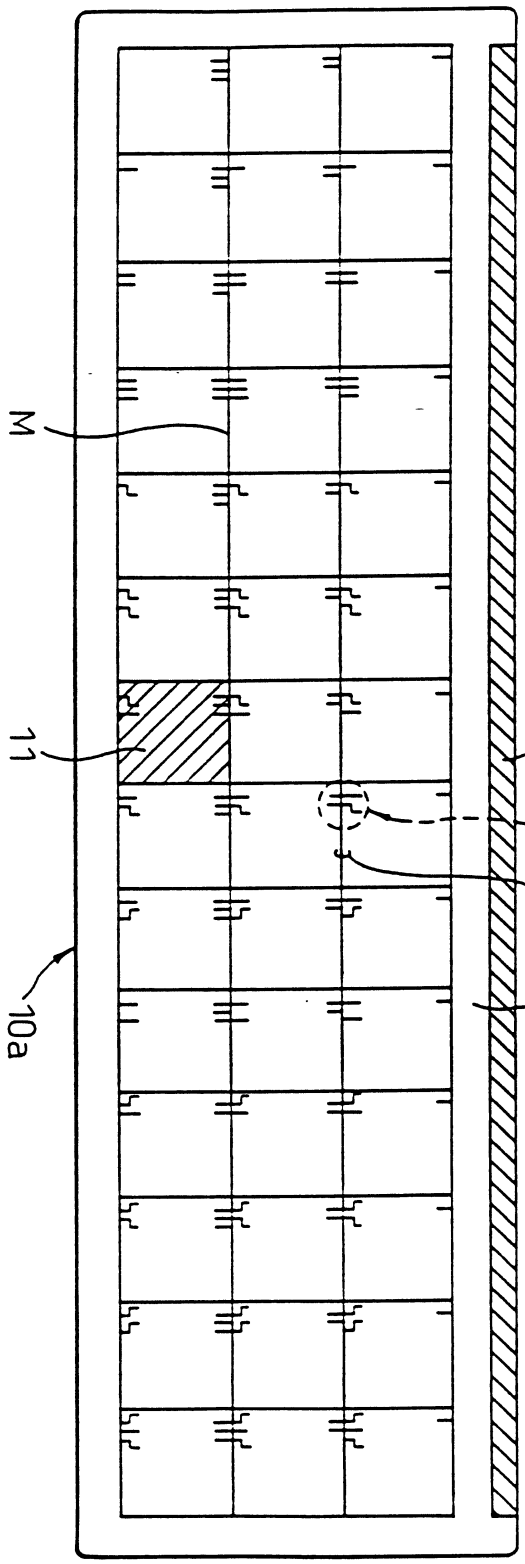

40b
24b(WP)
28
31
32
33
24a(MP)
13
70
13
24b
34
24a(WP)

第10(b)圖

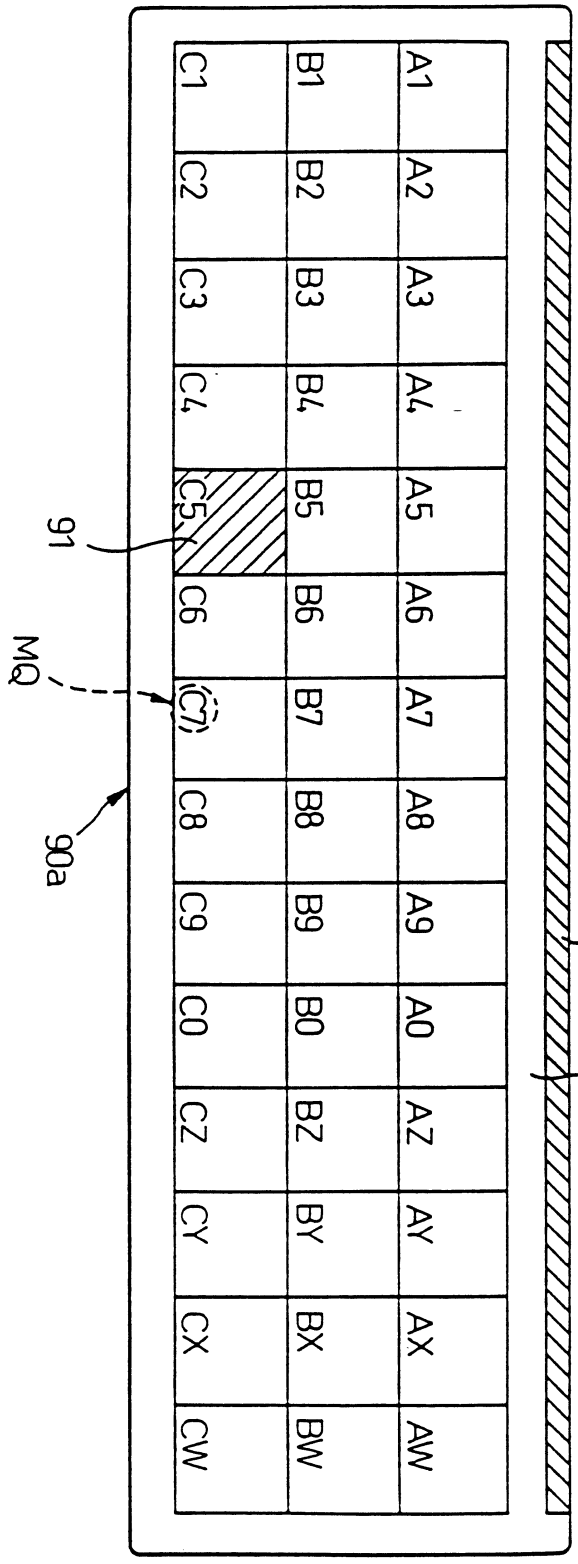

40c
24b(WP)
28
31
32
33
24a(MP)
13
80
13
24b
34
24a(WP)


A1
A2
A3
A4
A5
A6
A7
A8
A9
B1
B2
B3
B4
B5
B6
B7
B8
B9
C1
C2
C3
C4
C5
C6
C7
C8
C9
D1
D2
D3
D4
D5
D6
D7
D8
D9
90
91
92
93
94
MQ

第 11 圖

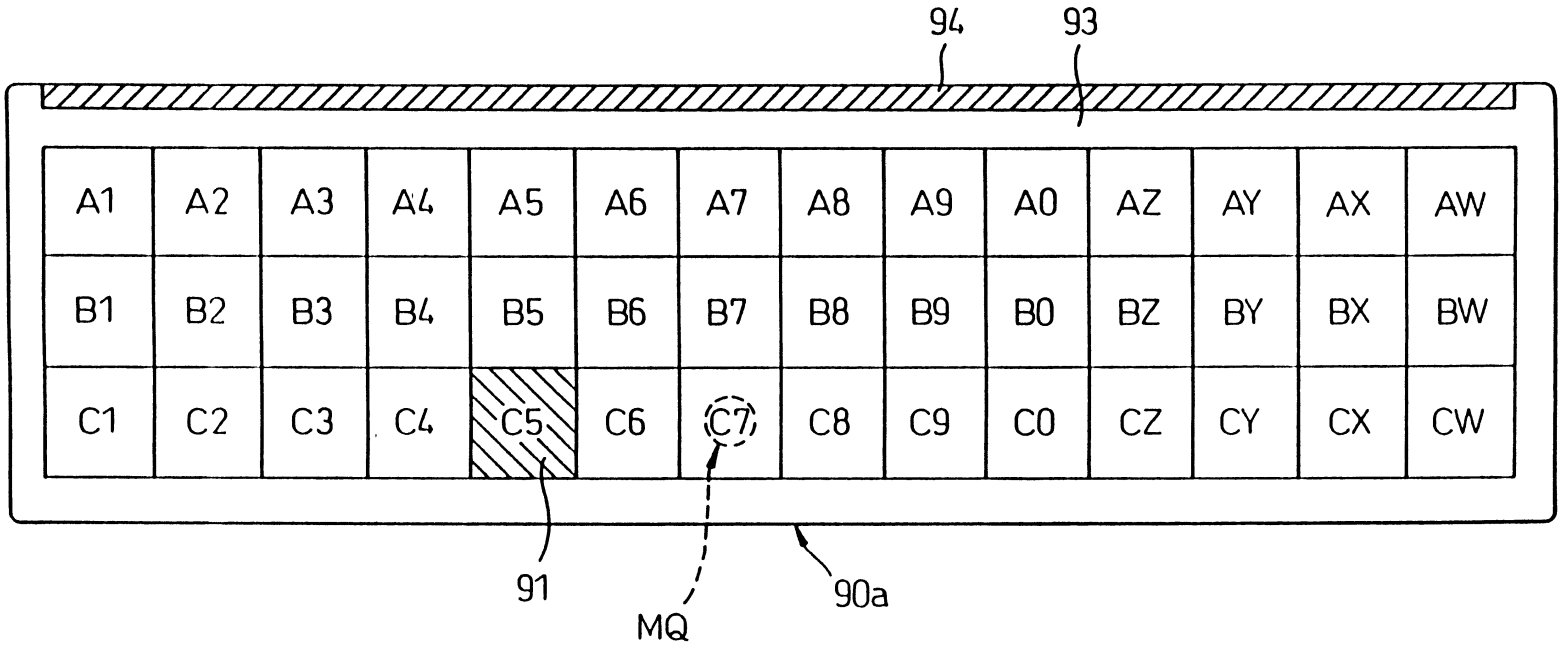


第 12 圖

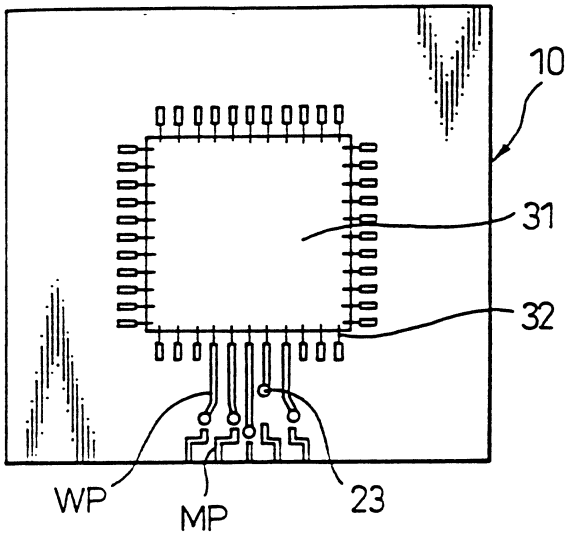

A1
A2
A3
A4
A5
A6
A7
A8
A9
A0
AZ
AY
AX
AW
B1
B2
B3
B4
B5
B6
B7
B8
B9
B0
BZ
BY
BX
BW
C1
C2
C3
C4
C5
C6
C7
C8
C9
C0
CZ
CY
CX
CW
91
MQ
90a
94
93

第13(a)圖

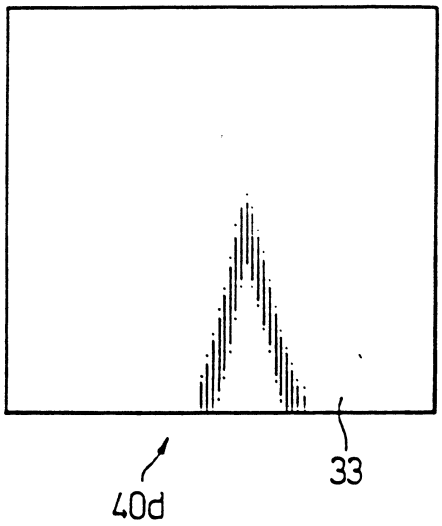
第13(b)圖


94
93
A1 A2 A3 A4 A5 A6 A7 A8 A9 A0 AZ AY AX AW
B1 B2 B3 B4 B5 B6 B7 B8 B9 B0 BZ BY BX BW
C1 C2 C3 C4 C5 C6 C7 C8 C9 C0 CZ CY CX CW
91
MQ
90a

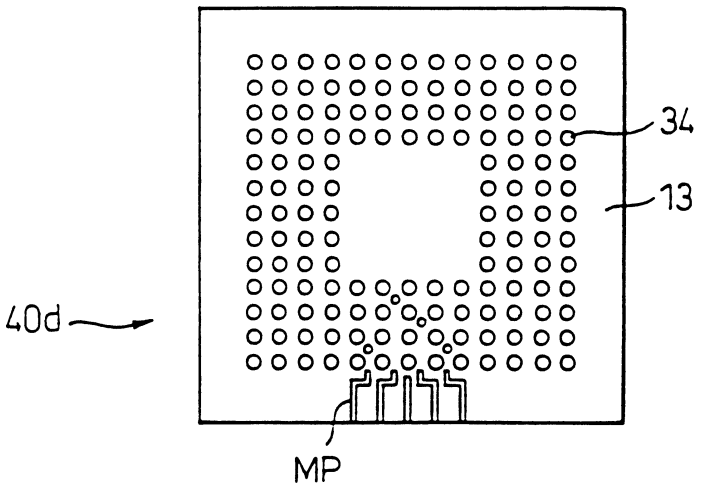
第14(a)圖



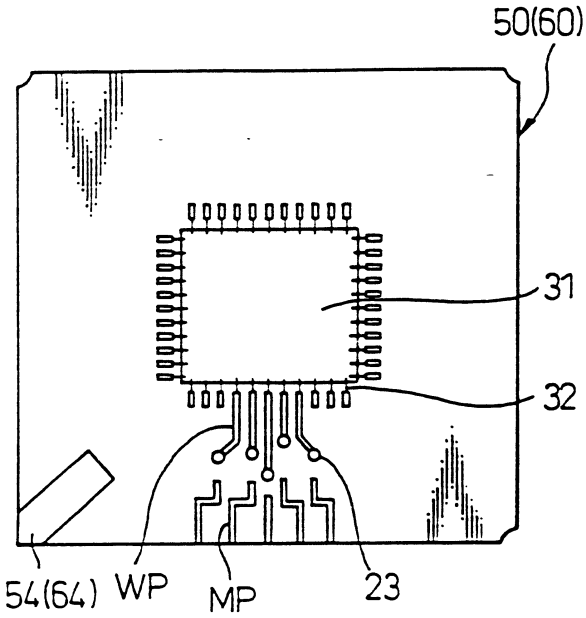
第14(b)圖



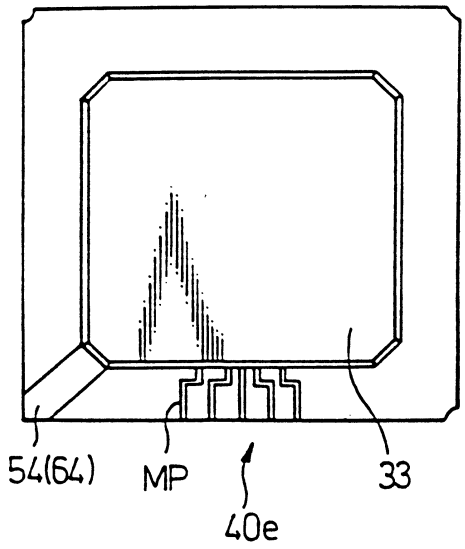
第14(c)圖



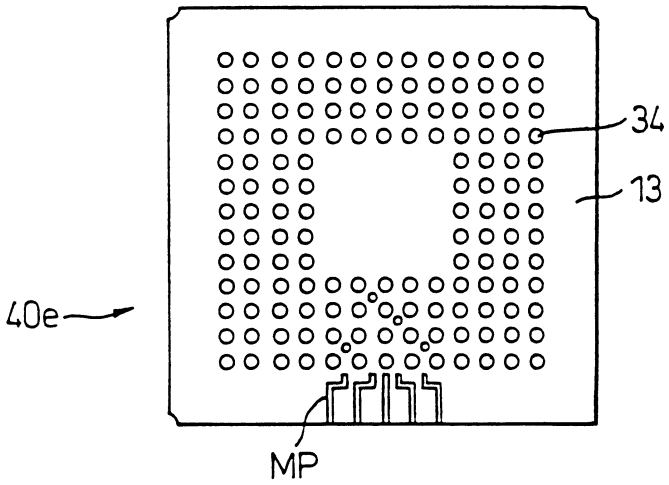
第15(a)圖



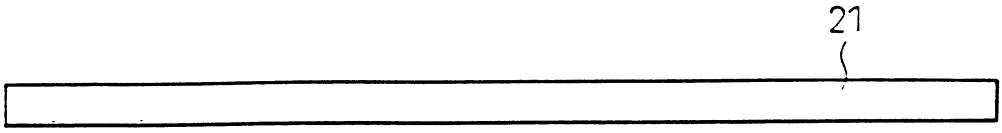
第15(b)圖



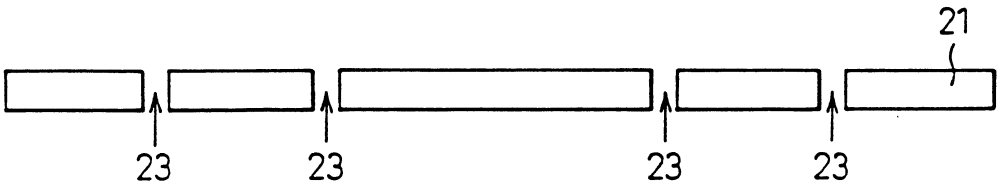
第15(c)圖



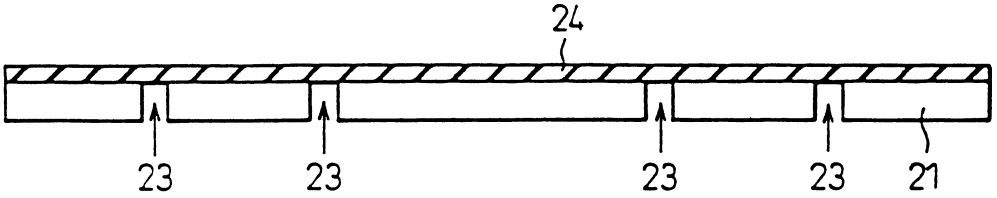
第16(a)圖



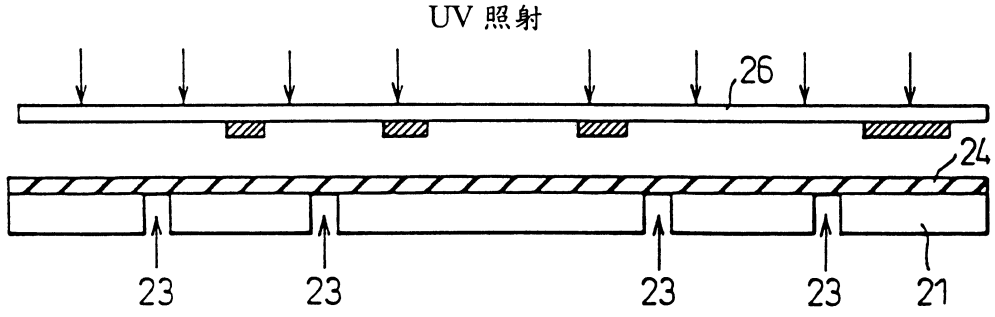
第16(b)圖



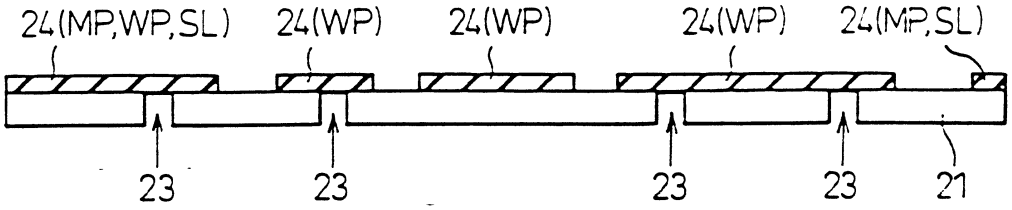
第16(c)圖



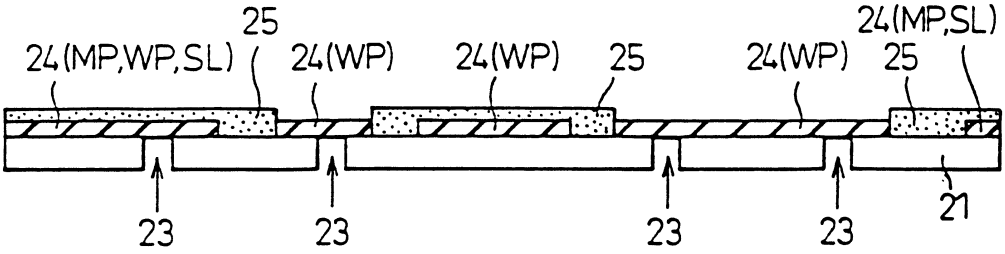
第16(d)圖



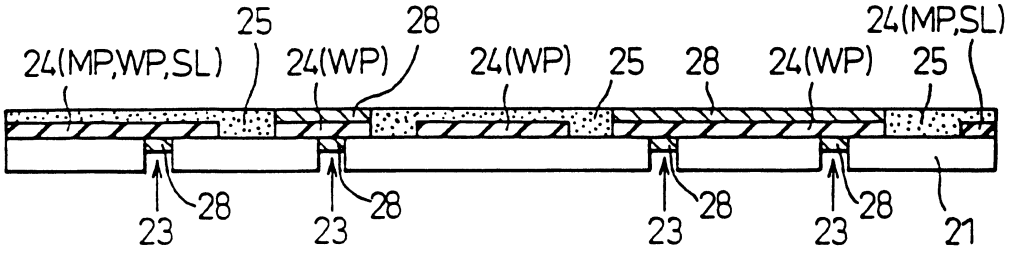
第17(a)圖



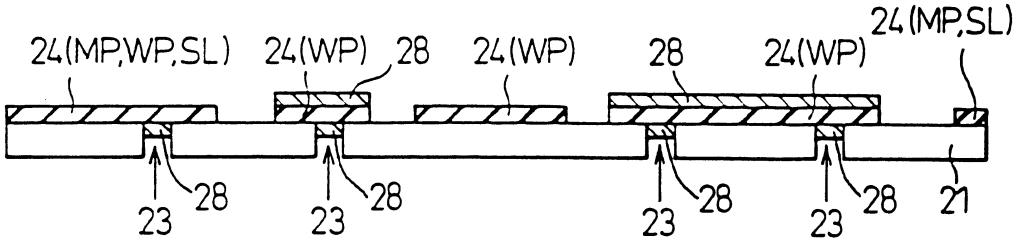
第17(b)圖



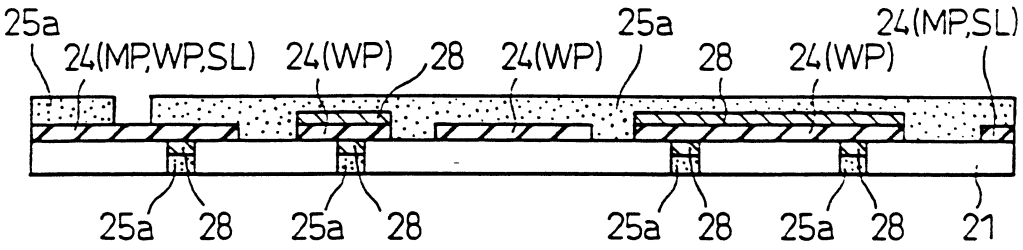
第17(c)圖



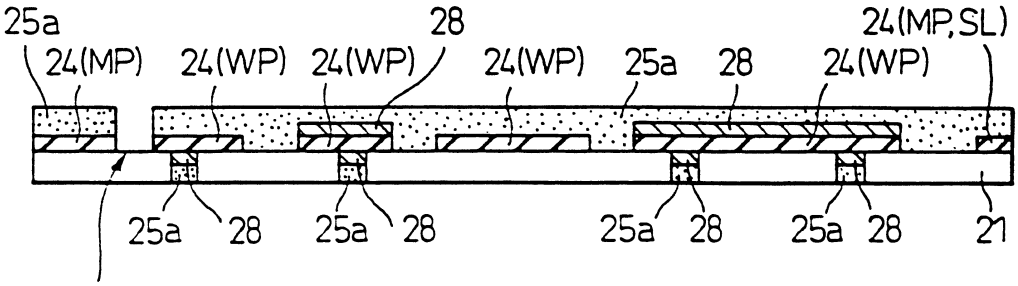
第17(d)圖



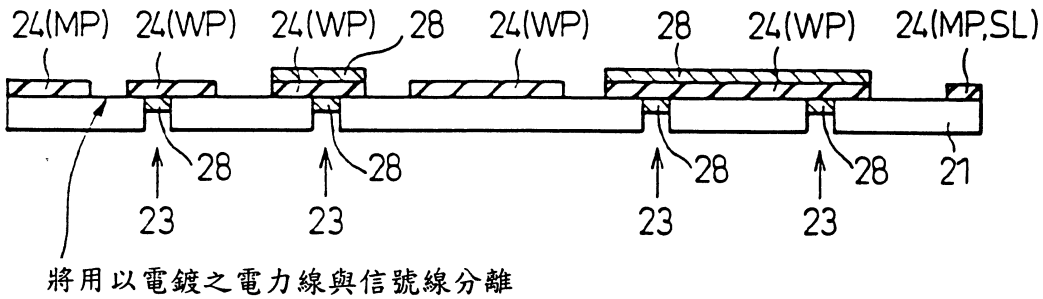
第18(a)圖



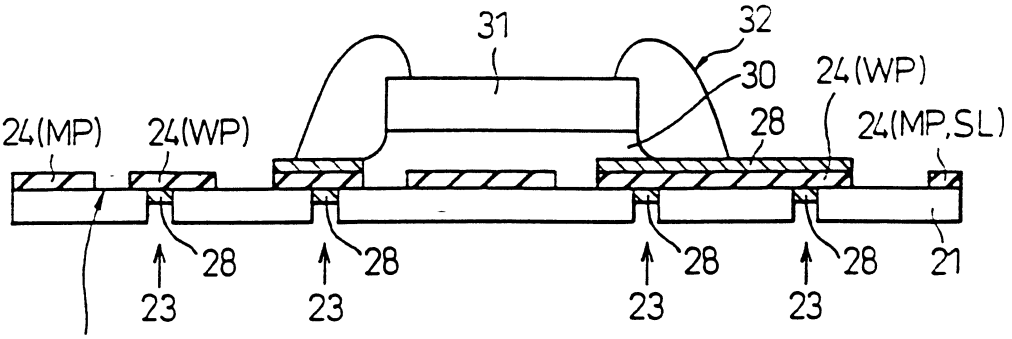
第18(b)圖



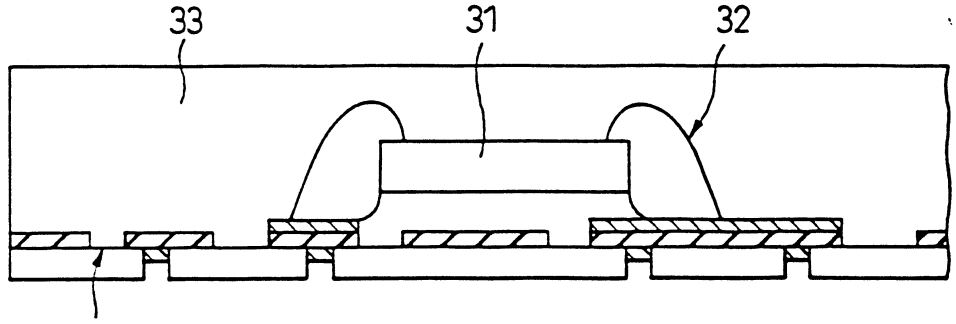
第18(c)圖



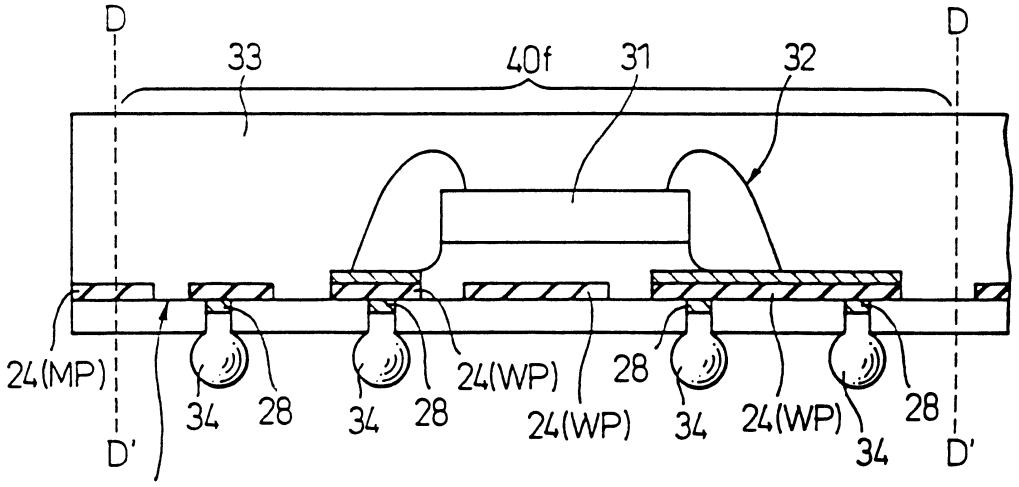
第19(a)圖



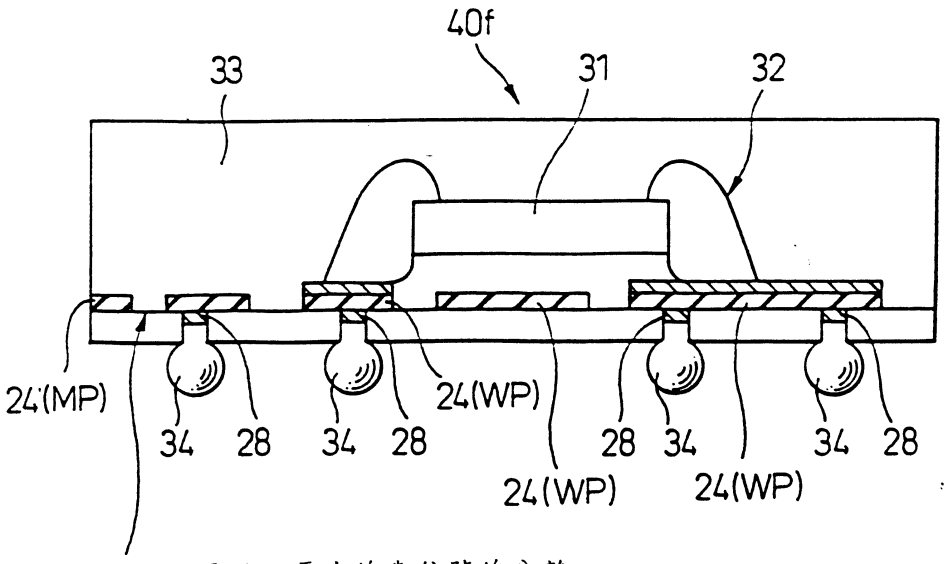
第19(b)圖



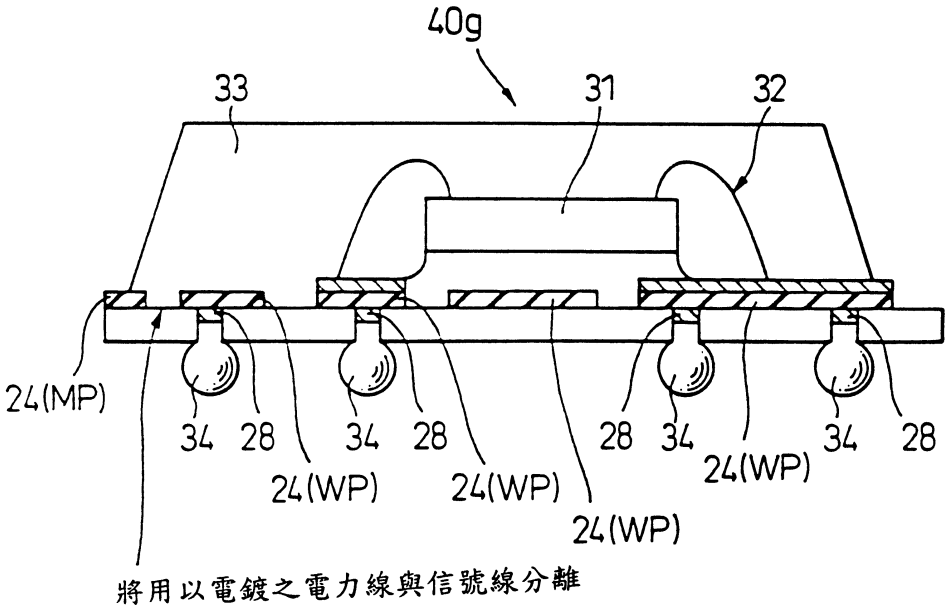
第19(c)圖



第 20(a)圖


40f
33
31
32
24(MP)
34
28
34
28
24(WP)
28
34
34
28
24(WP)
24(WP)
將用以電鍍之電力線與信號線分離

第 20(b)圖


40g
33
31
32
24(MP)
34
28
34
28
24(WP)
24(WP)
28
34
34
28
24(WP)
24(WP)
將用以電鍍之電力線與信號線分離