(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 111191223 B
(45)授权公告日 2024.04.02

(21)申请号 201911094683.0

(22)申请日 2019.11.11

(65)同一申请的已公布的文献号
申请公布号 CN 111191223 A

(43)申请公布日 2020.05.22

(30)优先权数据
2018-213732 2018.11.14 JP

(73)专利权人 佳能株式会社
地址 日本国东京都大田区下丸子3丁目30-2

(72)发明人 青柳刚

(74)专利代理机构 北京怡丰知识产权代理有限公司 11293
专利代理师 迟军 李艳丽

(51)Int.Cl.
G06F 21/51(2013.01)

(56)对比文件
JP 2014151720 A,2014.08.25
US 9818004 B1,2017.11.14
CN 202205287 U,2012.04.25
CN 1612088 A,2005.05.04
CN 102640078 A,2012.08.15
CN 105320244 A,2016.02.10
EP 2259204 A1,2010.12.08
JP 2016206765 A,2016.12.08
US 2006069903 A1,2006.03.30

审查员 陈伊娜

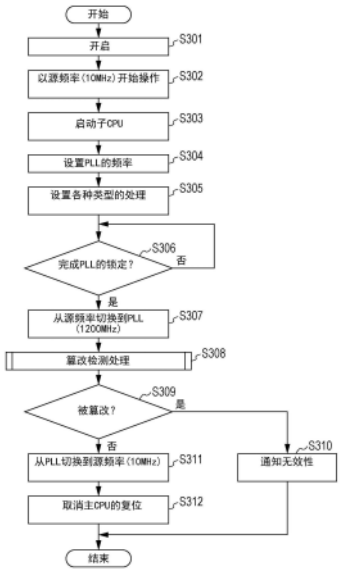
权利要求书2页 说明书8页 附图8页

(54)发明名称

能够检测软件篡改的信息处理装置及其控制方法

(57)摘要

本发明公开了一种能够检测软件篡改的信息处理装置及其控制方法。所述信息处理装置包括对执行单元执行的软件进行验证的验证单元、保持表示应当施加到执行单元的电压的信息的保持单元、基于该信息向执行单元施加预定电压的电源单元、以及输出具有多个频率的时钟信号的时钟信号输出单元。在执行软件的验证时,时钟信号输出单元向验证单元输出具有第一频率的时钟信号;在向执行单元施加预定电压之前,向执行单元输出具有比所述第一频率更低的第二频率的时钟信号;以及,在向执行单元施加了预定电压之后,向执行单元输出具有比所述第二频率更高的第三频率的时钟信号。



CN 111191223 B

1.一种信息处理装置,所述信息处理装置包括:

第一控制器,其被构造为执行预定的软件;

第二控制器,其被构造为验证所述预定的软件是否被篡改,其中,通过接收时钟信号来操作所述第二控制器;

电源电压电路,其被构造为向所述第一控制器供给电压;以及

时钟信号输出单元,其被构造为向所述第二控制器输出具有第一频率的时钟信号或具有高于所述第一频率的第二频率的时钟信号;

其中,所述第二控制器基于所述时钟信号输出单元输出的时钟信号从具有第一频率的时钟信号到具有第二频率的时钟信号的切换,来验证所述预定的软件是否被篡改,并且,在所述预定的软件未被篡改的情况下,所述第二控制器使所述时钟信号输出单元从具有第二频率的时钟信号切换到具有第一频率的时钟信号,以及

其中,在所述时钟信号输出单元已将具有第二频率的时钟信号切换到具有第一频率的时钟信号之后,所述第一控制器执行所述预定的软件。

2.根据权利要求1所述的信息处理装置,其中,

在所述第一控制器设置了所述电源电压电路要供给的电压之后,所述时钟信号输出单元输出具有比所述第一频率更高的第三频率的时钟信号。

3.根据权利要求2所述的信息处理装置,其中,

所述第二频率与所述第三频率相同。

4.根据权利要求1所述的信息处理装置,其中,

所述时钟信号输出单元接收具有所述第一频率的时钟信号和具有所述第二频率的时钟信号,并输出具有所述第一频率的时钟信号和具有所述第二频率的时钟信号中的一个。

5.根据权利要求4所述的信息处理装置,所述信息处理装置还包括:

信号输出单元,其被构造为输出具有所述第一频率的时钟信号。

6.根据权利要求5所述的信息处理装置,所述信息处理装置还包括:

频率改变单元,其被构造为接收具有所述第一频率的时钟信号并输出具有所述第二频率的时钟信号。

7.根据权利要求1所述的信息处理装置,其中,

在所述第二控制器执行验证之前,所述时钟信号输出单元向所述第二控制器输出具有比第二频率更低的第四频率的时钟信号。

8.根据权利要求1所述的信息处理装置,其中,

所述第二控制器设置要由所述时钟信号输出单元输出的频率。

9.根据权利要求1所述的信息处理装置,其中,在所述第二控制器验证所述预定的软件未被篡改的情况下,所述时钟信号输出单元输出具有第一频率的时钟信号。

10.根据权利要求1所述的信息处理装置,所述信息处理装置还包括:

通知单元,其被构造为发送表示所述第二控制器验证所述预定的软件被篡改的信息。

11.根据权利要求10所述的信息处理装置,其中,

所述通知单元是用于输出光的光输出单元。

12.根据权利要求1所述的信息处理装置,其中,

所述第二控制器通过将要被所述第一控制器执行的预定的软件的一部分与预先存储

的正确值进行比较来执行对所述预定的软件的验证。

13.根据权利要求1所述的信息处理装置,其中,

所述时钟信号输出单元向所述第一控制器和所述第二控制器输出具有所述第一频率的时钟信号和具有所述第二频率的时钟信号。

14.根据权利要求1所述的信息处理装置,其中,所述预定的软件的验证处理是以下处理中的至少一个:

用于读取所述预定的软件的处理、用于读取要与所述预定的软件对应的值进行比较的比较数据的处理、用于将与所述预定的软件对应的值与所述比较数据进行比较的处理、以及用于确定与所述预定的软件对应的值是否与所述比较数据匹配的处理,

由所述第二控制器执行所述验证处理。

15.根据权利要求1所述的信息处理装置,其中,所述信息处理装置还包括:

保持单元,其被构造为保持与应当施加到所述第一控制器的电压对应的信息,其中,所述第一控制器基于所述保持单元所保持的信息,设置将由所述电源电压电路供给的电压;

对所述电源电压电路要供给的电压的设置处理是以下处理中的至少一个:

用于从所述保持单元读取与所述电压对应的信息的处理,以及用于向所述电源电压电路输出从所述保持单元读取的信息的处理,

由所述第一控制器执行所述设置处理。

16.根据权利要求1所述的信息处理装置,其中,

所述第一控制器和所述第二控制器具有同步关系。

17.根据权利要求1所述的信息处理装置,其中,

所述预定的软件是所述第一控制器的启动数据。

18.根据权利要求1所述的信息处理装置,所述信息处理装置还包括:

打印单元,其被构造为在片材上打印图像。

19.根据权利要求1所述的信息处理装置,所述信息处理装置还包括:

扫描单元,其被构造为扫描原稿的图像。

20.一种信息处理装置的控制方法,所述控制方法包括:

向第一控制器供给电压;

由第二控制器验证要由所述第一控制器执行的预定的软件是否被篡改,其中,通过接收时钟信号来操作所述第二控制器;

向第二控制器输出具有第一频率的时钟信号或具有高于所述第一频率的第二频率的时钟信号;

其中,所述第二控制器基于时钟信号从具有第一频率的时钟信号到具有第二频率的时钟信号的切换,来验证所述预定的软件是否被篡改,并且,在所述预定的软件未被篡改的情况下,所述第二控制器使从具有第二频率的时钟信号切换到具有第一频率的时钟信号,以及

其中,在具有第二频率的时钟信号到具有第一频率的时钟信号的切换之后,所述第一控制器执行所述预定的软件。

能够检测软件篡改的信息处理装置及其控制方法

技术领域

[0001] 本发明涉及能够检测软件篡改的信息处理装置等。

背景技术

[0002] 已知信息处理装置,其检测软件篡改(在下文中称之为篡改检测)并禁止执行被检测到篡改的软件。例如,子中央处理单元(CPU)对要被主CPU执行的软件进行验证,且主CPU执行已被成功验证的软件。在软件未被成功验证时,禁止执行软件。

[0003] 此外,有些信息处理装置配设有被称之为自适应电源电压(ASV)的技术,在该技术中,根据设备之间(例如,CPU之间)的变化来改变电源电压(日本专利特开第2005-322860号)。对于快速(fast)设备(即便使用比预定电压更低的电压也能以预定频率操作的设备),通过施加比预定电压更低的电压来实现以预定频率的操作。因此,可以减少电力消耗。另外,对于慢速(slow)设备(只有在使用比预定电压更高的电压的情况下才能以预定频率操作的设备),通过施加比预定电压更高的电压来实现以预定频率的操作。在下文中,基于设备之间的变化的电压设置将被称为ASV处理。

[0004] 在设备是慢速设备的情况下,除非输入设备所必须的电压然后输入具有预定频率的时钟信号,否则设备的操作可能是不稳定的。因此,输入具有比预定频率更低频率的时钟信号,直到输入设备所必须的电压为止。在输入设备所必须的电压之后,使用例如锁相环电路(在下文中称之为PLL电路),将具有预定频率的时钟信号输入到设备。

[0005] 如上所述,由于ASV处理,为了可靠地操作设备,需要输入低速时钟信号,直到输入设备所必须的电压为止。从而使用低速时钟信号来执行篡改检测处理,所述篡改检测处理是在设备操作之前执行的处理并且针对的是将由设备执行的软件。因此,篡改检测处理花费了较长的时间。

发明内容

[0006] 本发明提供了一种能够缩短篡改检测处理所需时间的信息处理装置。

[0007] 根据本发明的第一方面,提供了一种信息处理装置,包括:执行单元,其被构造为执行预定的软件;验证单元,其被构造为对所述预定的软件进行验证;电源单元,其被构造为向所述执行单元输出电压;保持单元,其被构造为保持与应当施加到所述执行单元的电压对应的信息,其中,所述执行单元基于所述保持单元所保持的信息,设置将由所述电源单元输出的电压;以及,时钟信号输出单元,其被构造为至少在所述预定的软件的验证处理期间,向所述验证单元输出具有第一频率的时钟信号,所述验证处理由所述验证单元执行,以及,至少在对所述电源单元要输出的电压的设置处理期间,向所述执行单元输出具有比所述第一频率更低的第二频率的时钟信号,所述设置处理由所述执行单元执行。

[0008] 根据下面参照附图对实施例的描述,本发明的其他特征将变得清楚。

附图说明

[0009] 图1是图像形成装置的整体配置的示图。

[0010] 图2是专用集成电路(ASIC)的框图。

[0011] 图3是例示了由子中央处理单元(CPU)执行的处理的流程图。

[0012] 图4是例示了由主CPU执行的处理的流程图。

[0013] 图5是例示了与启动程序的验证有关的框图的详细示图。

[0014] 图6是例示了启动程序验证方法的流程的示图。

[0015] 图7是例示了与ASV处理有关的框图的详细的示图。

[0016] 图8是例示了在处理信息存储单元中存储的信息的详细示图。

[0017] 图9是例示了ASV处理的详细流程图。

具体实施方式

[0018] 下面将参照附图详细地描述本发明的实施例。

[0019] 在本实施例中,信息处理装置、具有打印功能和扫描功能的图像形成装置将作为例子来描述。

[0020] 图1是图像形成装置的整体配置的示图。

[0021] 图像形成装置1和个人计算机(PC)800被连接到网络700,从而可以在他们之间进行通信。另外,PC 800上安装有网络浏览器。网络浏览器接收统一资源定位地址(URL)作为输入、从网络服务器(未示出)接收网页、以及能够在PC 800的操作单元(未示出)上显示网页。

[0022] 图像形成装置1配置有网络服务器,用于使用户通过PC 800的网络浏览器设置图像形成装置1的各种设定。在网络浏览器的地址输入区域中输入图像形成装置1的IP地址或主机名时,PC 800的网络浏览器从图像形成装置1接收用于设置各种设定的网页,并将网页显示在显示单元上。用户能够通过用于设置各种设定的网页来设置图像形成装置1的设定。

[0023] 接下来,将描述图像形成装置1的配置。图像形成装置1有多个功能单元、控制单元5、操作单元2、打印机单元3、扫描仪单元4以及电源单元113。

[0024] 电源单元113向控制单元5、操作单元2、打印机单元3和扫描仪单元4供电。操作单元2有包括触摸面板和键盘的液晶显示单元。此外,操作单元2有省电按键,用于使图像形成装置1的电力状态切换到睡眠状态。当在待机状态按下省电按键时,图像形成装置1的电力状态被切换到电力消耗比待机状态更少的睡眠状态。另外,当在睡眠状态按下省电按键时,图像形成装置1的电力状态被切换到待机状态。睡眠状态可以是停止向控制单元5供电的深度睡眠状态,只要上述睡眠状态是停止向打印机单元3或扫描仪单元4供电的睡眠状态即可。另外,睡眠状态也可以是不停止向控制单元5供电的睡眠状态。

[0025] 根据从用户接收的打印命令,打印机单元3利用控制单元5接收的图像数据在片材上打印图像。作为针对打印机单元3的打印系统,可以采用通过在片材上定影调色剂来打印图像的电子照相系统,或者,也可以采用通过在片材上排墨来打印图像的喷墨系统。根据从用户接收的扫描命令,扫描仪单元4扫描原稿图像并将扫描图像的图像数据发送给控制单元5。

[0026] 控制单元5具有专用集成电路(ASIC)100。另外,控制单元5具有只读存储器(ROM)

600和随机存储器(RAM)500。控制单元5具有硬盘驱动器(HDD)300、电可擦编程只读存储器(EEPROM)400和网络接口(I/F)200。另外,控制单元5具有电源控制电路112。

[0027] 控制单元5执行图像形成装置1的各种功能。ASIC 100读出在ROM 600或HDD 300中存储的控制程序并执行各种类型的控制,例如打印控制和扫描控制。RAM 500是易失性存储器,并且是在执行控制程序时所使用的工作存储器。HDD 300是诸如磁盘等的存储介质,存储诸如控制程序和图像数据等。EEPROM 400是非易失性存储器,存储诸如在执行控制程序时所参照的设定值。

[0028] 网络接口I/F 200经由网络700从PC 800接收打印数据和各种数据。

[0029] 当从例如省电按键处接收到向睡眠状态的切换请求时,电源控制电路112停止从电源单元(电源单元)113向打印机单元3和扫描仪单元4的供电。从而,图像形成装置1切换到睡眠状态。另外,当从例如省电按键处接收到从睡眠状态返回的请求时,电源控制电路112执行控制,以使从电源单元113向打印机单元3和扫描仪单元4供电。

[0030] ASIC 100的配置

[0031] 图2是ASIC 100的框图。

[0032] ASIC 100具有主CPU(执行单元)101、用于存储主CPU 101的启动数据的存储单元102、子CPU(验证单元)103和用于存储子CPU 103的启动数据的存储单元104。另外,ASIC 100具有输入接口105、输出接口106、数据处理单元107、锁相环(PLL)109和时钟选择单元(信号选择单元)110。另外,ASIC 100具有处理信息存储单元(保持单元)111、复位控制器114和电源终端115。根据本发明的时钟信号输出单元包括振荡器108、PLL 109和时钟选择单元110。

[0033] 主CPU 101控制ASIC 100内的设备。总的来说,在向主CPU 101施加1.0V的电源电压的情况下,主CPU 101能够利用具有1200MHz频率的时钟信号进行操作。然而,根据设备的变化,可能有这样的情况:即使在电源电压低于1.0V时,主CPU 101也能以1200MHz进行操作;也可能有这样的情况:除非向主CPU 101施加了高于1.0V的电源电压,否则主CPU 101不以1200MHz进行操作。

[0034] 存储单元102存储在主CPU启动时所执行的程序以及在主CPU 101启动时所使用的各种类型的数据(在下文中,程序和各种类型的数据统称为启动数据)。存储单元102是只读存储器(ROM)。

[0035] 子CPU 103为主CPU 101执行辅助控制。

[0036] 存储单元104存储在子CPU 103启动时所执行的程序以及在子CPU 103启动时所使用的各种类型的数据。存储单元104是ROM。

[0037] 在本实施例中,当图像形成装置1被开启时(当ASIC 100复位时),子CPU 103比主CPU 101更早地启动。也就是说,当图像形成装置1被开启时(当ASIC 100被复位时),子CPU 103利用在存储单元104中存储的启动数据进行启动,并对存储单元102中存储的启动数据执行验证。作为子CPU 103的启动数据的验证结果,在确定将要被主CPU 101执行的启动数据未被篡改的情况下,主CPU 101执行在存储单元102中存储的启动程序。

[0038] 输入接口(在下文中称之为I/F)105是通过其从ASIC 100外部输入数据的接口。输出接口106是通过其向外部输出数据的接口。

[0039] 数据处理单元107是对从输入I/F 105输入的数据执行预定处理的模块。例如,数

据处理单元107接收图像数据并对接收到的图像数据执行图像处理(放大、缩小、校正等)。

[0040] 振荡器108向ASIC 100提供时钟信号。振荡器108提供例如10MHz的时钟信号。PLL 109是将振荡器108提供的时钟信号的频率转换为期望频率并输出所产生的时钟信号的电路。PLL 109将输入的时钟信号的频率(10MHz)转换为例如1200MHz的时钟信号(高120倍的频率)并输出该1200MHz的时钟信号。

[0041] 时钟选择单元(多路转换器(MUX))110接收振荡器108提供的时钟信号和PLL 109提供的时钟信号。时钟选择单元110输出振荡器108提供的时钟信号和PLL 109提供的时钟信号中的一个。在本实施例中,时钟选择单元110根据子CPU 103的命令输出振荡器108提供的时钟信号和PLL 109提供的时钟信号中的一个。ASIC 100内的各模块(主CPU 101、子CPU 103、数据处理单元107以及其他电路)执行他们之间与同步有关的数据的接收和发送,因而输入到各模块的时钟信号需要相互同步。在本实施例中,向各模块提供的时钟信号是从时钟选择单元110输出的时钟信号分支出来的。时钟信号可以具有不同的频率,只要输入到各模块的时钟信号的相位是相互同步的即可。

[0042] 处理信息存储单元111存储与主CPU 101有关的处理信息(3比特信息)。处理信息存储单元111是ROM。

[0043] 电源控制电路112改变将由电源单元113输出的电压。根据在处理信息存储单元111中存储的处理信息,电源控制电路112改变将要从电源单元113输出的电压。电源单元113经由电源终端115向ASIC 100施加电压。电源单元113基于从电源控制电路112输出的电压控制信号向ASIC 100施加预定电压。

[0044] 复位控制器114向ASIC 100内的模块输出复位信号。当图像形成装置1被开启时(当ASIC 100被复位时),复位控制器114取消子CPU 103和存储单元104的复位。接着,根据来自子CPU 103的命令,复位控制器114取消主CPU 101的复位。

[0045] ASIC 100可在两种操作模式下进行操作:低速操作模式和高速操作模式。在低速操作模式中,时钟选择单元110根据来自子CPU 103的命令,选择并输出从振荡器108输入的时钟信号。如图2所示,输出的时钟信号被用作为用于操作主CPU 101、子CPU 103和数据处理单元107的时钟信号。另外,尽管图2中未示出,时钟信号被输入到上述电路以外的其他电路中。

[0046] 图2中,从时钟选择单元110输出的时钟信号被直接提供给各模块;然而,通过使用例如频率驱动器电路而使频率降低的时钟信号也可以被提供给各模块。

[0047] 在高速操作模式中,时钟选择单元110根据来自子CPU 103的命令,选择并输出从PLL 109输入的时钟信号。如图2所示,输出的时钟信号被用作为用于操作主CPU 101、子CPU 103和数据处理单元107的时钟信号。此外,尽管图2中未示出,时钟信号被输入到上述电路以外的其他电路中。

[0048] 子CPU操作流程

[0049] 图3是例示由子CPU 103执行的处理的流程图。

[0050] 当图像形成装置被用户开启时(S301),复位信号被输入到ASIC 100。当ASIC 100被复位时,ASIC 100基于初始设定进入低速操作模式。从振荡器108输出的时钟信号(10MHz)被输入到子CPU 103(S302)。复位控制器114利用硬件序列来取消子CPU 103和存储器104的复位。因此,子CPU 103执行存储在存储单元104中的启动数据(S303)。

[0051] 启动的子CPU 103设置使PLL 109输出1200MHz时钟信号的设定。因此,PLL 109使1200MHz的时钟信号振荡。

[0052] 之后,子CPU 103设置各种参数以使数据处理单元107执行预定的处理(S305)。然后,子CPU 103确定是否经过了PLL 109的锁定时间(S306)。锁定时间是PLL 109使具有预定频率(在该情况下,1200MHz)的信号稳定振荡所需的时间。

[0053] 在确定经过了锁定时间的情况下(S306中为“是”),子CPU 103将时钟选择单元110的输出从振荡器108输出的时钟信号切换到从PLL 109输出的时钟信号(S307)。因而,ASIC 100进入高速操作模式。

[0054] 然后,在本实施例中,子CPU 103执行主CPU 101的启动数据的验证(S308)。例如,子CPU 103将预先存储在存储单元104中的正确值与存储在存储单元102中的启动数据的哈希值进行比较。在正确值与启动数据的哈希值匹配的情况下,子CPU 103确定启动数据未被篡改,在正确值与启动数据的哈希值不匹配的情况下,子CPU 103确定启动数据已被篡改。注意,将参照图4和图5来详细描述启动数据篡改检测方法。

[0055] 在确定启动数据已被篡改的情况下(S309中为“是”),主CPU 101不执行启动数据,并且子CPU 103通知用户和管理员发生了篡改(S310)。作为通知方法,例如,可以点亮无光的发光二极管(LED)(光输出单元)或可使用声音通知。

[0056] 在确定启动数据未被篡改的情况下(S309中为“否”),子CPU 103将时钟选择单元110的输出从PLL 109输出的时钟信号切换为从振荡器108输出的时钟信号(S311)。因而,ASIC 100进入低速操作模式。

[0057] 然后,子CPU 103取消主CPU 101和其他电路的复位(S312)。因此,主CPU 101开始启动。

[0058] 主CPU操作流程

[0059] 图4是例示了由主CPU 101执行的处理的流程图。

[0060] 在取消了主CPU 101的复位时(S401),主CPU 101利用从振荡器108输出的时钟信号开始操作。主CPU 101执行存储在存储单元102中的启动数据(S403)。启动数据已被验证,并确定启动数据未被篡改。在本实施例中,主CPU 101执行ASV处理(S404)。将参照图6、图7和图8来描述ASV处理的详情。

[0061] 当ASV处理结束时,主CPU 101设置使PLL 109输出1200MHz的时钟信号的设定(S405)。之后,主CPU 101确定是否经过了PLL 109的锁定时间(S406)。在确定经过了PLL 109的锁定时间的情况下(S406中为“是”),主CPU 101将时钟选择单元110的输出从振荡器108输出的时钟信号切换为从PLL 109输出的时钟信号(S407)。因此,ASIC 100进入高速操作模式。之后,主CPU 101控制数据处理单元107执行的数据处理。

[0062] 在ASIC 100进入高度操作模式时,针对数据处理单元107将要执行的各种类型的数据处理的设定被设置成针对ASIC 100的各种设定。此外,主CPU 101的电源电压被改变成适应于要由主CPU 101执行的处理的电压,从而,主CPU 101能够执行各种类型的数据处理。

[0063] 根据上述流程,在主CPU 101执行ASV处理之前,子CPU 103能够利用从PLL 109输出的高频率的时钟信号来执行篡改检测,因此,可以在短时间内完成篡改检测处理。另外,在子CPU 103结束篡改检测处理后,提供给主CPU 101的时钟信号被切换成来自振荡器108的低频率的时钟信号,因此,主CPU 101能够执行ASV处理。

[0064] 篡改检测处理

[0065] 接着,将描述图3的S308中的针对启动程序的篡改检测处理的详情。

[0066] 图5是例示了与启动程序的验证有关的详细框图的示图。

[0067] 存储单元102存储主CPU 101的启动数据401。在取消了主CPU 101的复位时,主CPU 101读取并执行在存储单元102中存储的主CPU 101的启动数据401。因此,主CPU 101开始启动。存储单元104存储子CPU 103的启动数据402。在取消子CPU 103的复位时,子CPU 103读取并执行存储在存储单元104中的子CPU 103的启动数据402。因此,子CPU 103开始启动。

[0068] 此外,存储单元104存储要与主CPU 101执行的启动数据401进行比较的比较数据(正确值)。

[0069] 图6是例示启动程序验证方法流程的示图。

[0070] 子CPU 103从存储单元102中存储的主CPU 101的启动数据401的第一数据中读取预定量的数据(例如,100kB)(S601)。读取的数据被存储在子CPU 103的缓存存储器中。子CPU 103读取与从存储单元102中读取的数据一样多的比较数据403(S602)。然后,子CPU 103将在缓存存储器中存储的主CPU 101的启动数据401与比较数据403进行比较(S603)。作为比较结果,在启动数据401与比较数据403不同的情况下(S604中为“否”),子CPU 103确定启动数据401已被篡改(S605)。

[0071] 与此相反,作为比较结果,在启动数据401与比较数据403匹配的情况下(S604中为“是”),子CPU 103确定启动数据401未被篡改(S606)。

[0072] 在本实施例中,将主CPU 101的启动数据401本身与比较数据403进行比较。然而,计算主CPU 101的启动数据401的哈希值,通过将所述哈希值与预先存储的正确值进行比较也可以执行启动数据401的验证。

[0073] 另外,在本实施例中,对启动数据401(100kB)的一部分进行验证;然而,也可以对启动数据401的全部进行验证。

[0074] ASV处理

[0075] 接着,将描述图4的S404中的ASV处理。图7是例示了与ASV处理相关的详细框图的示图。

[0076] 处理信息存储单元111存储与主CPU 101相关的处理信息。处理信息存储单元111是ROM。在本实施例中,主CPU 101的处理从慢到快被划分为八个阶段,存储3比特数据作为与处理信息存储单元111中的处理有关的信息。

[0077] 图8是例示了在处理信息存储单元111中存储的详细信息的示图。如图8所示,典型的处理被设置为“4”,并以3比特数据“100”表示。最慢的处理被设置为“0”,并以3比特数据“000”表示。此外,最快的处理被设置为“7”,并以3比特数据“111”表示。

[0078] 返回到图7,电源控制电路112从主CPU 101接收在处理信息存储单元111中存储的处理信息。基于接收到的处理信息,电源控制电路112输出控制信号以改变将要从电源单元113输出的电压。主CPU 101向电源控制电路112输出3比特数据。ASIC 100和电源控制电路112通过串行总线相连。ASIC 100的I2C(内部集成电路)I/F单元601和电源控制电路112的I2C I/F单元602利用I2C协议进行通信。

[0079] 电源控制电路112的数据处理单元603将经由I2C I/F单元602输入的3比特处理信息作为3比特控制信号输出给电源单元113。当图像形成装置1被开启时,电源单元113输出

典型的电压,在本实施例中即1.0V的电压。此后,电源单元113基于从电源控制电路112输入的控制信号,向电源终端115施加预定的电压。例如,如图8所示,在主CPU 101是典型芯片的情况下,从处理信息存储单元111输出的3比特数据是“100”。施加到主CPU 101的电源电压是1.0V。另外,在主CPU 101执行最慢处理的情况下,从处理信息存储单元111输出的3比特数据是“000”。施加到主CPU 101的电源电压是1.12V(参见图8)。此外,在主CPU 101执行最快处理的情况下,从处理信息存储单元111输出的3比特数据是“111”。施加到主CPU 101的电源电压是0.91V(参见图8)。

[0080] 图9是例示ASV处理的详细流程图。

[0081] 主CPU 101从处理信息存储单元111中读取在3比特中记录的处理信息(S901)。在本实施例中,通过在处理信息存储单元111的特定地址读出数据来读取与主CPU 101有关的、在3比特中记录的处理信息。主CPU 101向电源控制电路112输出3比特的处理信息(S902)。在本实施例中,主CPU 101根据I2C协议发送处理信息。

[0082] 电源控制电路112接收从ASIC 100输入的3比特的处理信息。数据处理单元603向电源单元113输出控制信号以改变电源单元113的电压(S903)。电源单元113被配设有用于控制输出电压的3比特输入终端。电源单元113基于向输入终端输入的控制信号,调整要施加到主CPU 101的电源电压(S904)。

[0083] 图8例示了3比特控制信号和从电源单元113输出的电源电压之间的关系。在3比特数据是“100”的情况下,电源单元113向主CPU 101输出1.0V。另外,在3比特数据是“110”的情况下,电源单元113向主CPU 101输出0.94V。

[0084] 其他实施例

[0085] 在上述实施例中,时钟选择单元110输出振荡器108提供的时钟信号或PLL 109提供的时钟信号。时钟选择单元110可以接收三个或更多的具有不同频率的时钟信号,并可以输出任一时钟信号。

[0086] 例如,时钟选择单元110在子CPU 103执行启动数据验证时,向子CPU 103输出1200MHz的时钟信号,在主CPU 101执行ASV处理时,向主CPU 101输出10MHz的时钟信号。然后,时钟选择单元110在ASV处理完成时向主CPU 101输出1200MHz的时钟信号。频率并不限于10MHz和1200MHz,只要从时钟选择单元110输出的时钟信号的频率为高、然后低、再然后高即可。在执行启动数据验证时的时钟信号的频率与完成ASV处理之后的时钟信号的频率不相同。

[0087] 本发明提供了一种能够缩短篡改检测处理所需时间的信息处理装置。

[0088] 也可以通过读出并执行记录在存储介质(例如,非临时性计算机可读存储介质)上的计算机可执行指令以执行本发明的上述实施例中的一个或更多个的功能的系统或装置的计算机,来实现本发明的实施例,并且,可以利用通过由所述系统或装置的所述计算机例如读出并执行来自所述存储介质的所述计算机可执行指令以执行上述实施例中的一个或更多个的功能而执行的方法,来实现本发明的实施例。计算机可以包括中央处理单元(CPU)、微处理单元(MPU)或其他电路中的一个或多个,并且可以包括分离的计算机或分离的计算机处理器的网络。所述计算机可执行指令可以例如从网络或存储介质被提供给计算机。例如,存储介质可以包括如下中的一个或多个:硬盘,随机存取存储器(RAM),只读存储器(ROM),分布式计算系统的存储器,光盘(例如,压缩盘(CD),数字多功能光盘(DVD),或蓝

光光盘(BD)™),闪速存储器装置,存储卡,等等。

[0089] 本发明的实施例还可以通过如下的方法来实现,即,通过网络或者各种存储介质将执行上述实施例的功能的软件(程序)提供给系统或装置,该系统或装置的计算机或是中央处理单元(CPU)、微处理单元(MPU)读出并执行程序的方法。

[0090] 虽然针对实施例描述了本发明,但是,应该理解,本发明不限于公开的实施例。下述权利要求的范围应当被赋予最宽的解释,以便涵盖所有这类修改以及等同的结构和功能。

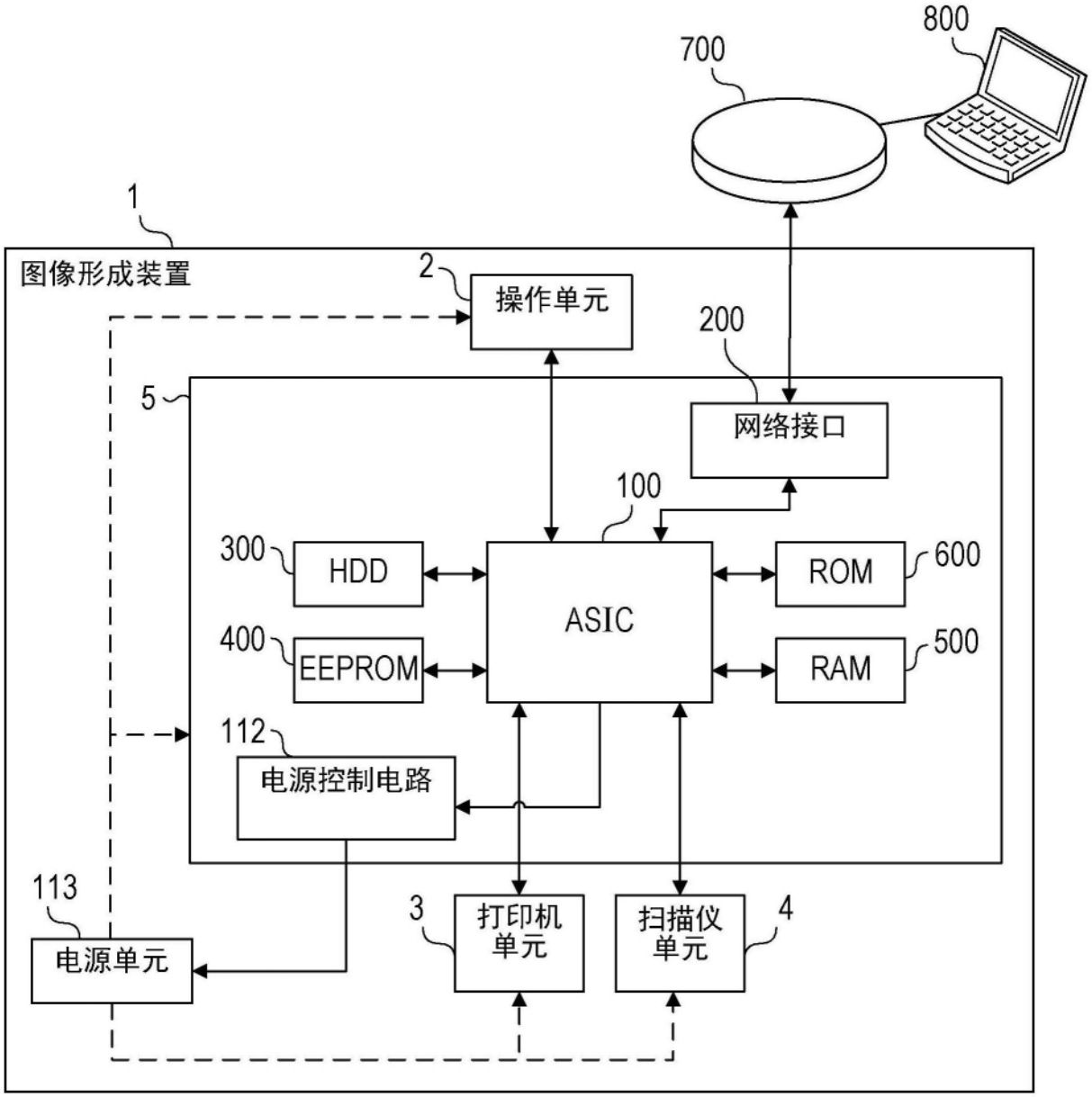

800
700
1
图像形成装置
2
操作单元
200
网络接口
5
100
300
HDD
ASIC
ROM
600
400
EEPROM
RAM
500
112
电源控制电路
113
电源单元
3
打印机单元
扫描仪单元
4

图1

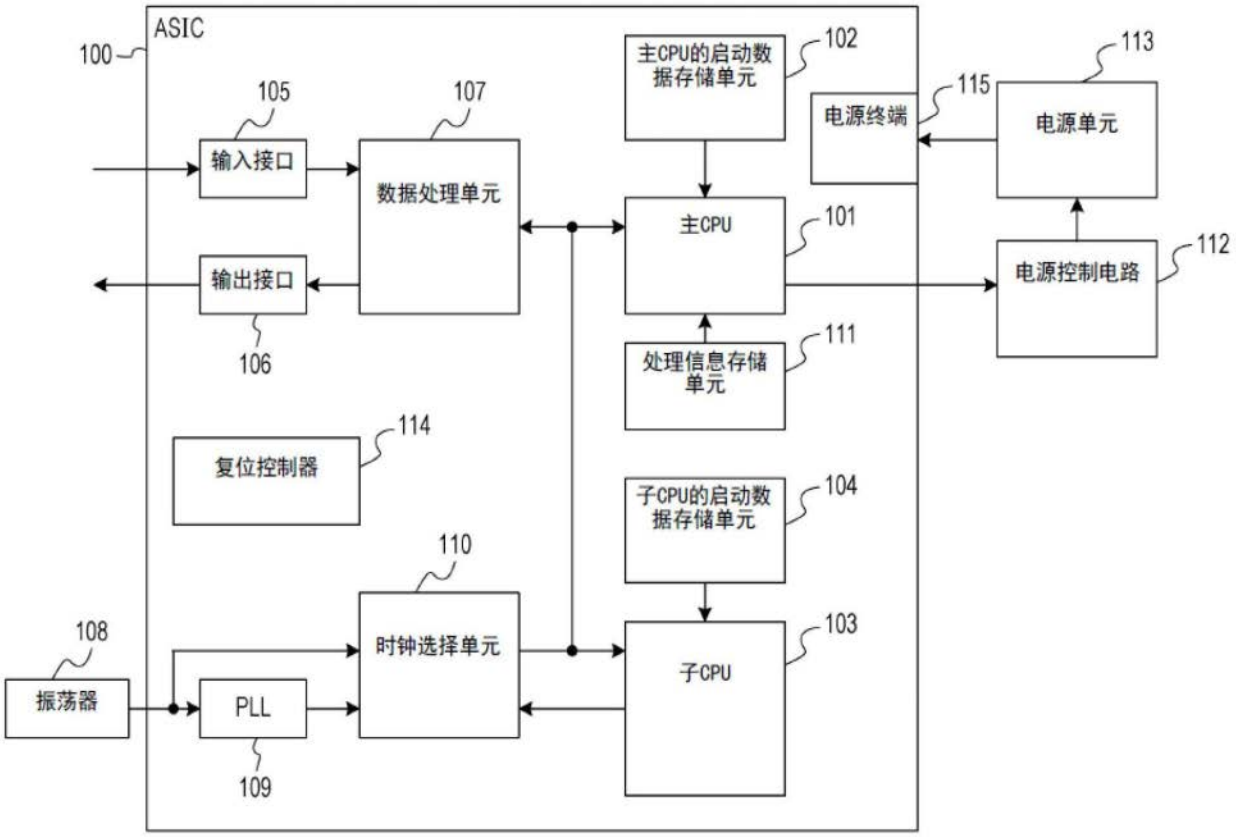

ASIC
100
105
输入接口
107
数据处理单元
输出接口
106
主CPU的启动数据存储单元
102
电源终端
115
113
电源单元
主CPU
101
电源控制电路
112
处理信息存储单元
111
复位控制器
114
子CPU的启动数据存储单元
104
110
时钟选择单元
108
振荡器
PLL
109
子CPU
103

图2

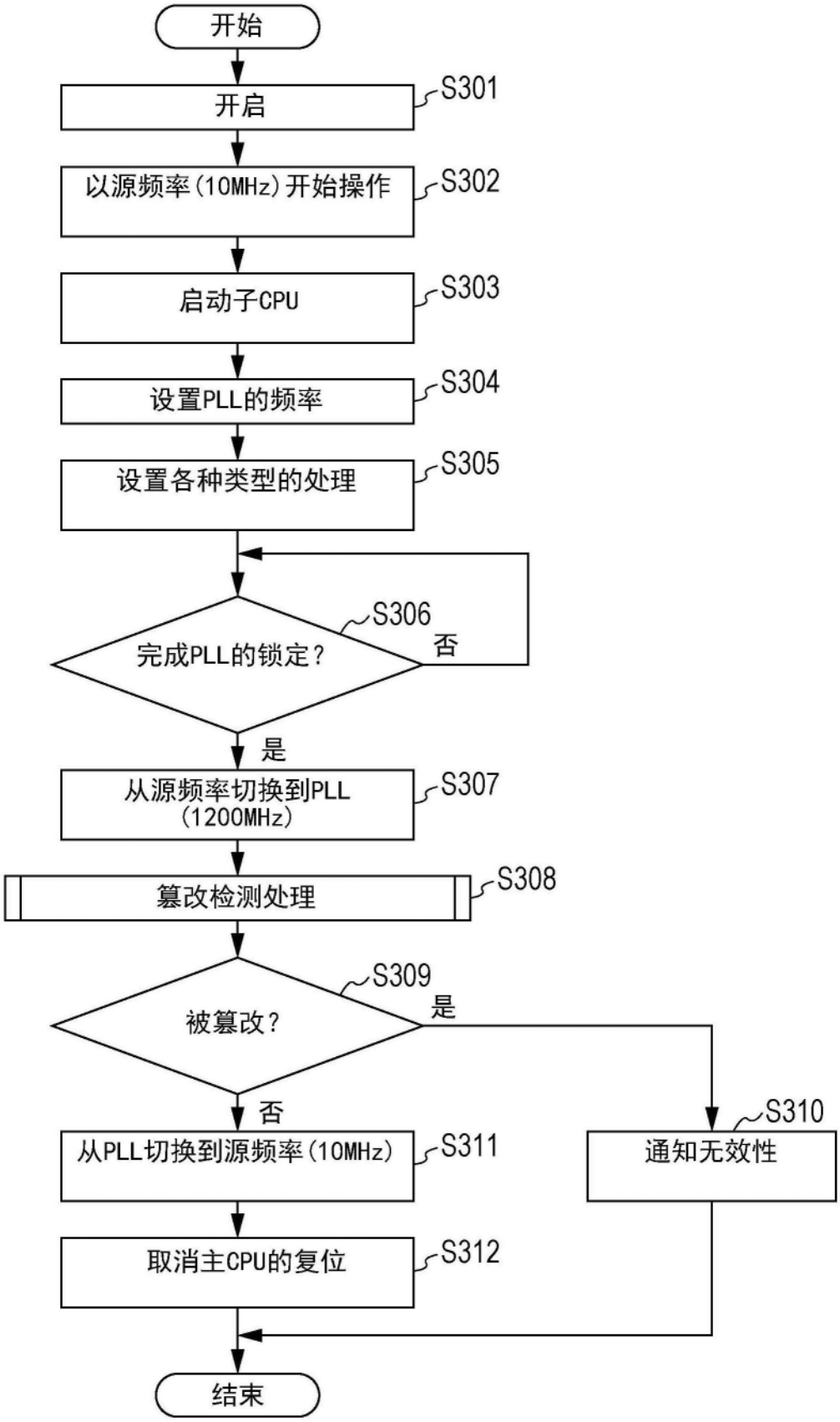

开始
开启
S301
以源频率(10MHz)开始操作
S302
启动子CPU
S303
设置PLL的频率
S304
设置各种类型的处理
S305
完成PLL的锁定？
S306
否
是
从源频率切换到PLL
(1200MHz)
S307
篡改检测处理
S308
被篡改？
S309
是
否
从PLL切换到源频率(10MHz)
S311
通知无效性
S310
取消主CPU的复位
S312
结束

图3

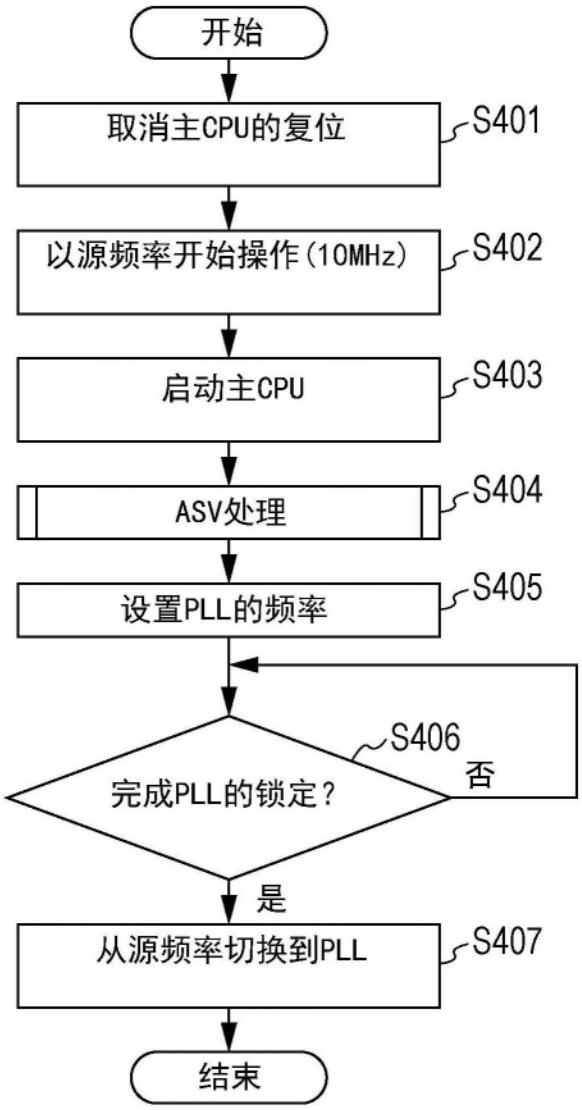

开始
取消主CPU的复位
S401
以源频率开始操作(10MHz)
S402
启动主CPU
S403
ASV处理
S404
设置PLL的频率
S405
S406
完成PLL的锁定？
否
是
从源频率切换到PLL
S407
结束

图4

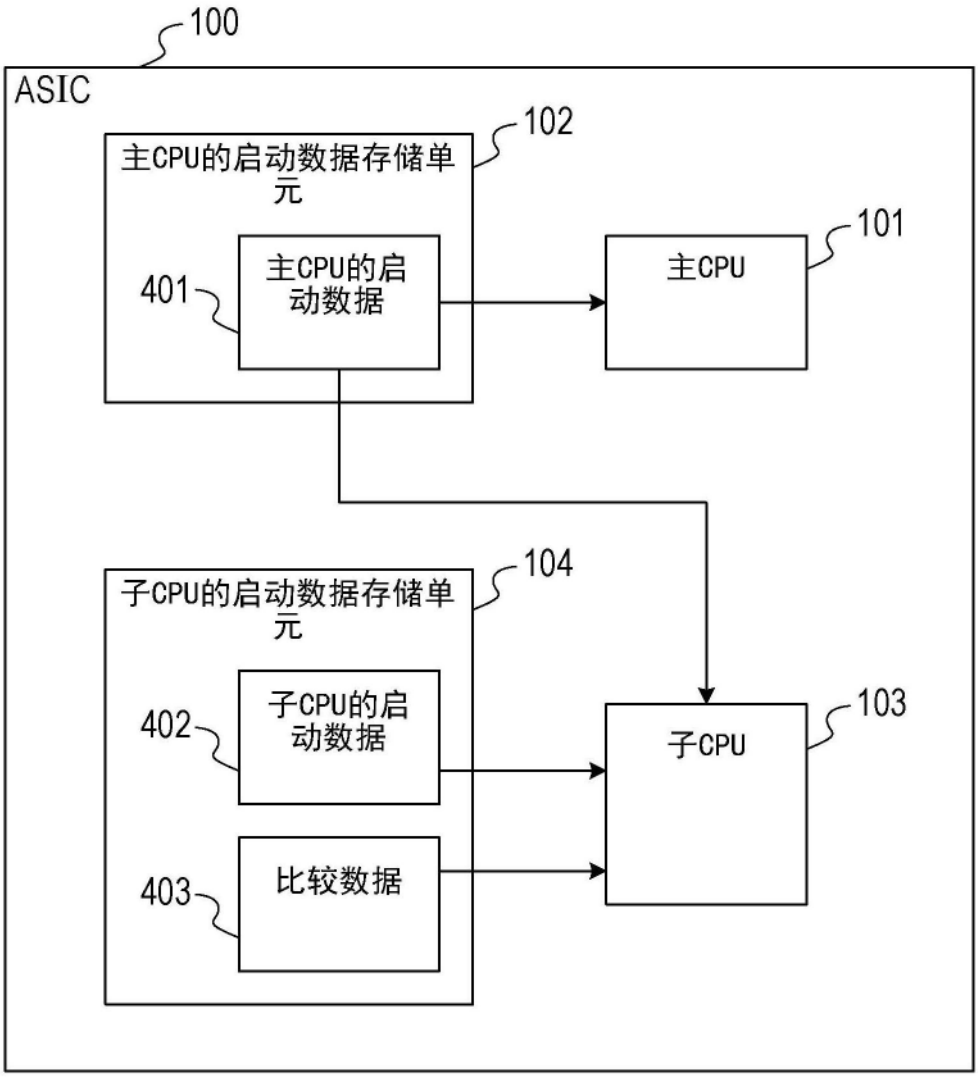

100
ASIC
主CPU的启动数据存储单元
102
401
主CPU的启动数据
主CPU
101
子CPU的启动数据存储单元
104
402
子CPU的启动数据
子CPU
103
403
比较数据

图5

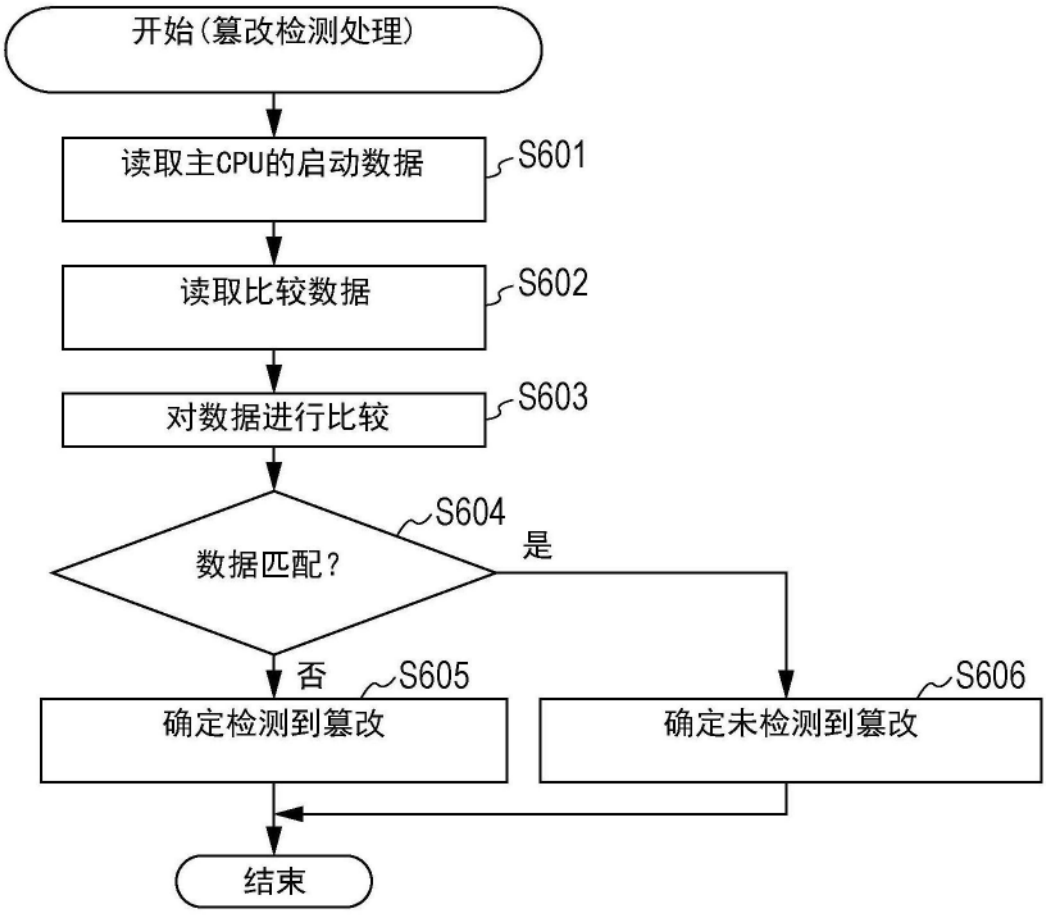

开始(篡改检测处理)
读取主CPU的启动数据
S601
读取比较数据
S602
对数据进行比较
S603
数据匹配?
S604
是
否
S605
确定检测到篡改
S606
确定未检测到篡改
结束

图6

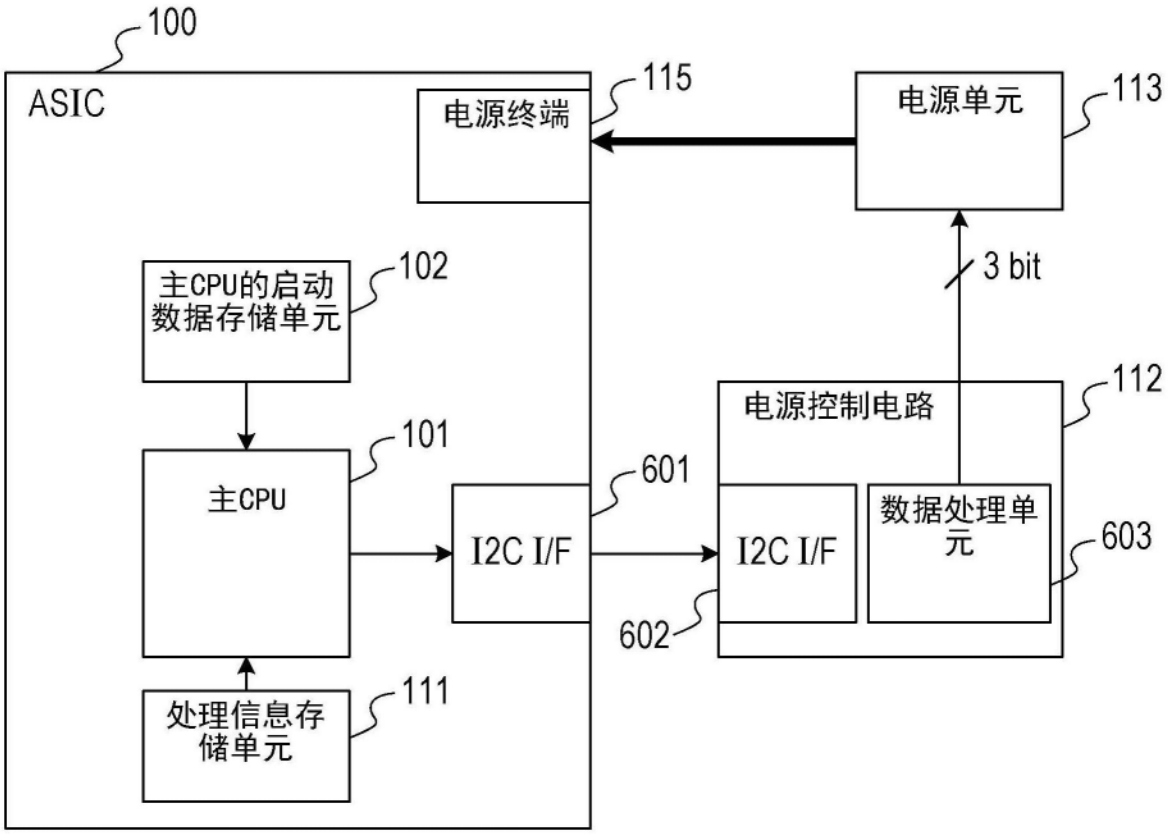


图7

处理	处理阶段	存储的信息(3比特)	电源电压(V)
慢	0	000	1.12
↑	1	001	1.09
↑	2	010	1.06
↑	3	011	1.03
典型的	4	100	1.00
↓	5	101	0.97
↓	6	110	0.94
快	7	111	0.91

图8

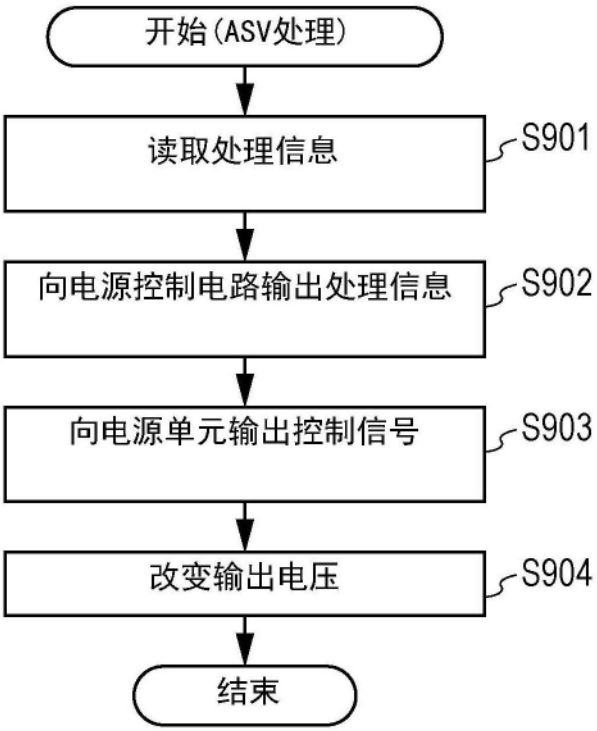

开始(ASV处理)
读取处理信息
S901
向电源控制电路输出处理信息
S902
向电源单元输出控制信号
S903
改变输出电压
S904
结束

图9