



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I686014 B

(45)公告日：中華民國 109 (2020) 年 02 月 21 日

(21)申請案號：104143326

(22)申請日：中華民國 104 (2015) 年 12 月 22 日

(51)Int. Cl. : *H01R11/01 (2006.01)**H05K3/32 (2006.01)*

(30)優先權：2014/12/22 日本

JP2014-259509

(71)申請人：日商迪睿合股份有限公司 (日本) DEXERIALS CORPORATION (JP)

日本

(72)發明人：林慎一 HAYASHI, SHINICHI (JP)；齊藤雅男 SAITO, MASAO (JP)；塚尾怜司

TSUKAO, REIJI (JP)；阿久津恭志 AKUTSU, YASUSHI (JP)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

TW I422294

CN 101512840A

CN 101681855A

審查人員：謝育庭

申請專利範圍項數：15 項 圖式數：14 共 48 頁

(54)名稱

異向導電性膜、連接結構體、及連接結構體之製造方法

(57)摘要

本發明之可用於微間距之 FOG 連接或 COG 連接且可抑制伴隨著導電粒子之密度增加之製造成本之上升的異向導電性膜含有絕緣接著劑層、與配置於該絕緣接著劑層之導電粒子。異向導電性膜具有對應連接之電子零件之端子之排列而配置之導電粒子配置區域。導電粒子配置區域係週期性地形成於異向導電性膜之長邊方向。又，異向性導電膜於相鄰之連接用導電粒子配置區域之間具有未配置導電粒子之緩衝區域。

指定代表圖：

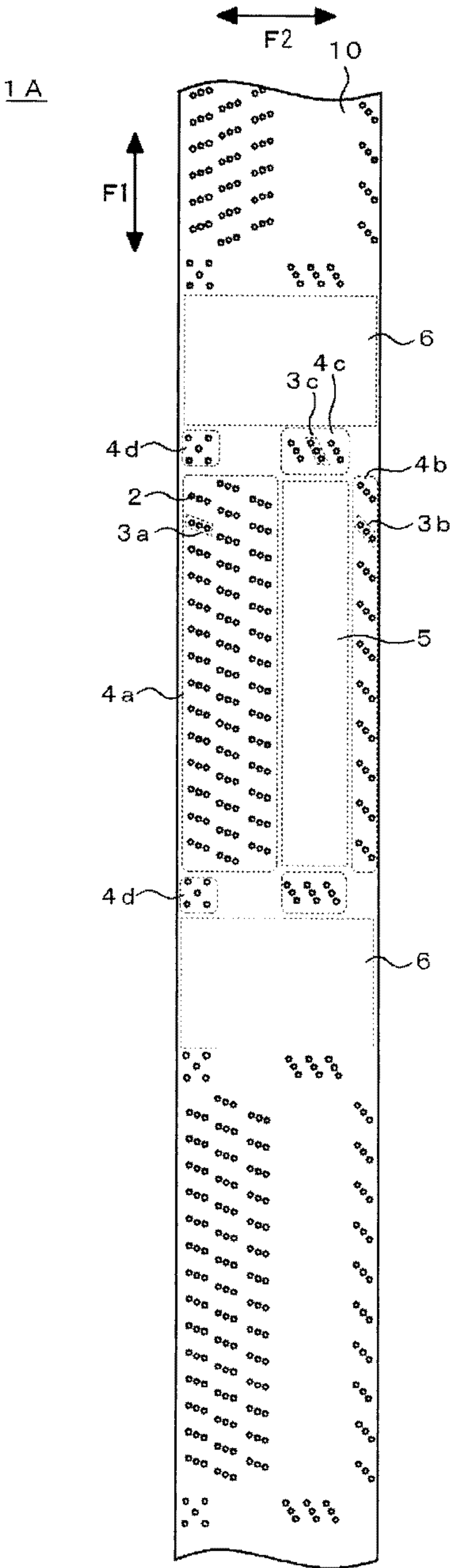


圖1A

符號簡單說明：

1A . . . 異向導電性膜

2 . . . 導電粒子

3a、3b、3c . . . 粒子排列群

4a、4b、4c . . . 連接用導電粒子配置區域

4d . . . 對位用導電粒子配置區域

5 . . . 未配置導電粒子之中央部區域

6 . . . 未配置導電粒子之緩衝區域

10 . . . 絕緣接著劑層

F1 . . . 異向導電性膜之長邊方向

F2 . . . 異向導電性膜之短邊方向

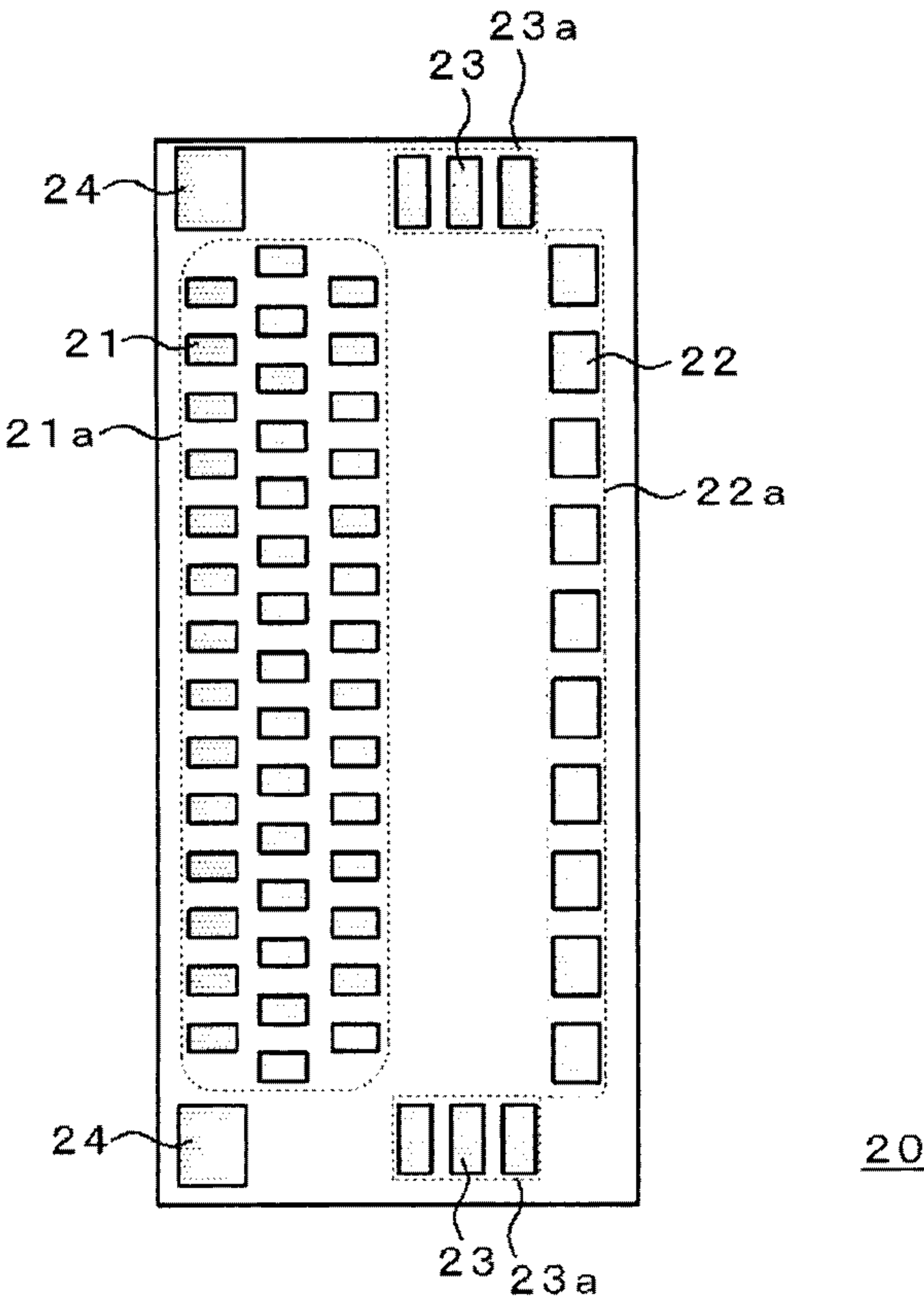


圖1B

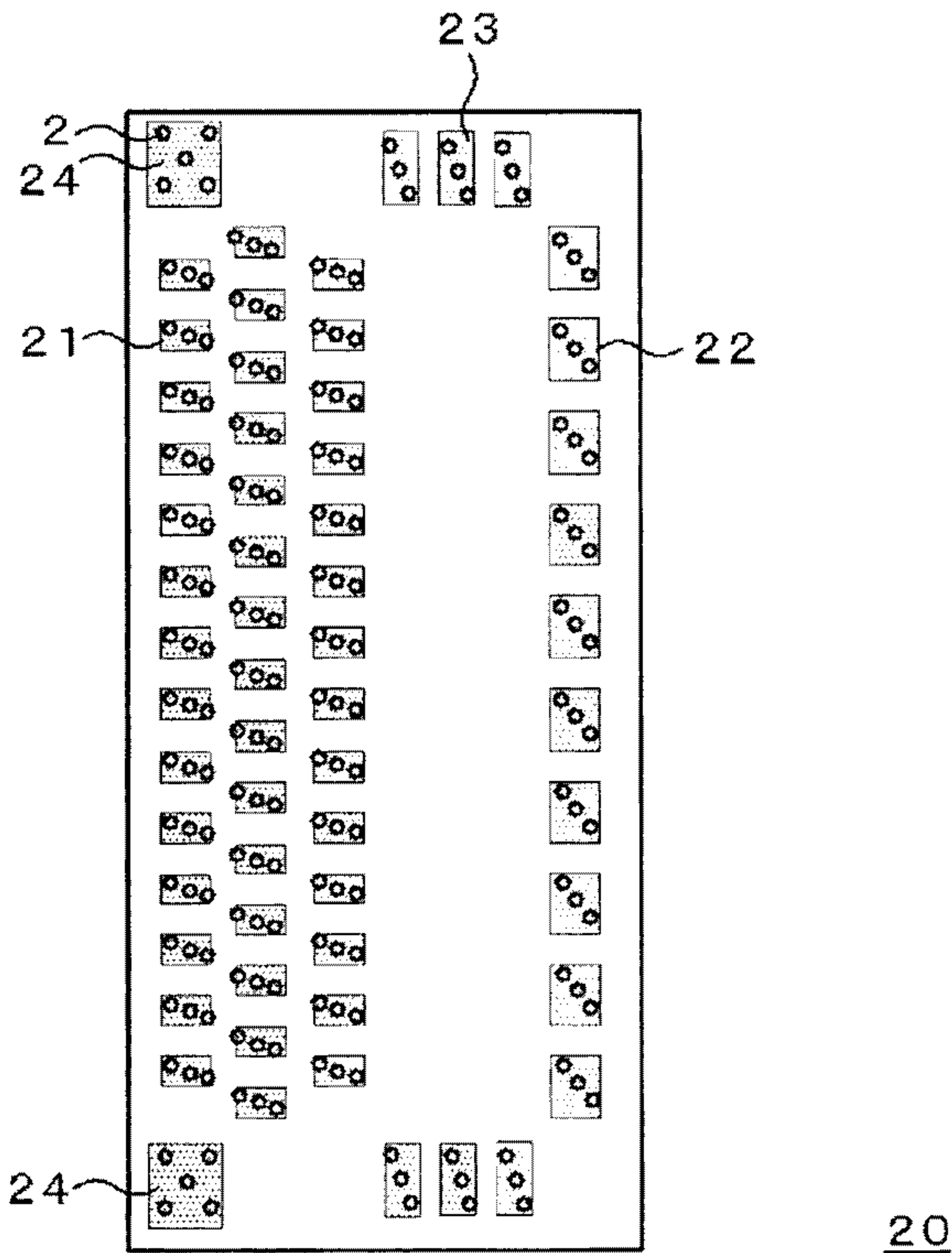


圖1C



I686014

發明摘要

※ 申請案號：104143326

※ 申請日：104年12月22日

※IPC 分類：*H01R 11/01* (2006.01)
H05K 3/32 (2006.01)

【發明名稱】(中文/英文)

異向導電性膜、連接結構體、及連接結構體之製造方法

【中文】

本發明之可用於微間距之FOG連接或COG連接且可抑制伴隨著導電粒子之密度增加之製造成本之上升的異向導電性膜含有絕緣接著劑層、與配置於該絕緣接著劑層之導電粒子。異向導電性膜具有對應連接之電子零件之端子之排列而配置之導電粒子配置區域。導電粒子配置區域係週期性地形成於異向導電性膜之長邊方向。又，異向性導電膜於相鄰之連接用導電粒子配置區域之間具有未配置導電粒子之緩衝區域。

【英文】

無

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

1A：異向導電性膜

2：導電粒子

3a、3b、3c：粒子排列群

4a、4b、4c：連接用導電粒子配置區域

4d：對位用導電粒子配置區域

5：未配置導電粒子之中央部區域

6：未配置導電粒子之緩衝區域

10：絕緣接著劑層

F1：異向導電性膜之長邊方向

F2：異向導電性膜之短邊方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

異向導電性膜、連接結構體、及連接結構體之製造方法

【技術領域】

【0001】 本發明係關於一種異向導電性膜、使用異向導電性膜之連接方法、及以異向導電性膜連接之連接結構體。

【先前技術】

【0002】 異向導電性膜係於將 IC 晶片等電子零件構裝於基板時被廣泛使用。近年來，對於行動電話、筆記型電腦等小型電子機器而言，要求配線之高密度化，作為使異向導電性膜因應該高密度化之方法，已知有將導電粒子呈格子狀地均等配置於異向導電性膜之絕緣接著劑層之技術。

【0003】 然而，存在如下問題：即便均等配置導電粒子，於使用異向導電性膜將上下之端子進行異向導電性連接時，位於端子之邊緣上之導電粒子亦會因絕緣性接著劑之熔融而流向間隙而無法被端子夾持，從而連接電阻不均。針對該問題，提出將導電粒子之第 1 排列方向設為異向導電性膜之長邊方向，且使與第 1 排列方向交叉之第 2 排列方向相對於與異向導電性膜之長邊方向正交之方向以 5°以上且 15°以下傾斜（專利文獻 1）。

[先前技術文獻]

[專利文獻]

【0004】 專利文獻 1：日本專利 4887700 號公報

【發明內容】

[發明欲解決之課題]

【0005】 然而，若以異向導電性膜進行連接之電子零件之凸塊尺寸進一步變小，則可利用凸塊捕捉之導電粒子之數量亦進一步變少，而存在專利文獻 1 所記載之異向導電性膜未充分獲得導通可靠性之情況。尤其是於將液晶畫面等之控制用 IC 連接於玻璃基板上之透明電極之所謂 COG (Chip on Glass) 連接中，因伴隨著液晶畫面之高精細化之多端子化與 IC 晶片之小型化而凸塊尺寸變小，又，即便於進行將電視之顯示器用之玻璃基板與軟性印刷配線板 (FPC: Flexible Printed Circuits) 進行接合之 FOG (Film on Glass) 接合之情形時，連接端子亦成為微間距，從而使可利用連接端子捕捉之導電粒子數增加成為課題。

【0006】 為了使可利用連接端子捕捉之導電粒子增加，而考慮進一步提高異向導電性膜中之導電粒子之密度。然而，若提高異向導電性膜中導電粒子之密度，則異向導電性膜之製造成本變高。

【0007】 針對上述情況，本發明之課題在於提供一種可用於微間距之 FOG 連接或 COG 連接且可抑制伴隨著導電粒子之密度增加之製造成本之上升的異向導電性膜。

[解決課題之技術手段]

【0008】 本發明人發現，(i) 於設置導電粒子之排列態樣、排列位置或密度不同之複數個排列區域作為異向導電性膜中之導電粒子之配置區域的情形時，可形成對應以異向導電性膜連接之對象物之導電粒子的配置區

域，即，可使導電粒子之配置區域對應以該異向導電性膜連接之電子零件之端子之排列區域的外形（例如，於以異向導電性膜進行 COG 連接之情形時，於對應存在凸塊列之 IC 晶片之周邊部之區域配置導電粒子，但於對應不存在凸塊之中央部之區域未配置導電粒子等）；(ii) 藉此，可減少不參與連接之導電粒子之數量，而可抑制異向導電性膜之製造成本；又，(iii) 於將電子零件之端子之排列區域與異向導電性膜中之導電粒子之配置區域進行對位之情形時，於異向導電性膜中必須有成為對準標記者，但若藉由導電粒子之配置而形成對準標記，則相對於先前之異向導電性膜之製造步驟，變得無需用以形成對準標記之追加步驟，而想到本發明。

【0009】 即，本發明提供一種異向導電性膜，其係含有絕緣接著劑層、與配置於該絕緣接著劑層之導電粒子者，

具有配置有複數個導電粒子之第 1 導電粒子配置區域；及導電粒子之排列態樣、排列位置或密度與第 1 導電粒子配置區域不同之第 2 導電粒子配置區域，且第 1 導電粒子配置區域及第 2 導電粒子排列區域週期性地形成於異向導電性膜之長邊方向。

【0010】 又，本發明提供一種異向導電性膜，其含有絕緣接著劑層、與配置於該絕緣接著劑層之導電粒子，

具有對應以異向導電性膜連接之電子零件之端子之排列區域外形而形成之導電粒子配置區域（以下，亦稱為連接用導電粒子配置區域），該導電粒子配置區域週期性地形成於異向導電性膜之長邊方向。

【0011】 此外，本發明提供一種連接結構體，其利用上述之異向導電性膜將第 1 電子零件與第 2 電子零件進行異向導電性連接。

[發明之效果]

【0012】 根據本發明之異向導電性膜，藉由對應端子之排列區域之外形而形成連接用導電粒子配置區域，可減少不參與連接之導電粒子，因此可抑制異向導電性膜之製造成本。

【0013】 尤其是於本發明之異向導電性膜中，形成有成為對準標記之導電粒子配置區域（以下，亦稱為對位用導電粒子配置區域）之情形時，可將應連接用之電子零件之端子之排列區域、與異向導電性膜之連接用導電粒子配置區域進行對位，因此可使端子確實地捕捉導電粒子而確保導通。

【0014】 進而，關於該成為對準標記之導電粒子配置區域之形成，可於先前之異向導電性膜之製造步驟中無需追加步驟而形成。

【圖式簡單說明】

【0015】 圖 1A 係異向導電性膜 1A 中之導電粒子之配置圖。

圖 1B 係以異向導電性膜 1A 連接之 IC 晶片之端子面之俯視圖。

圖 1C 係藉由將異向導電性膜 1A 熱壓接於 IC 晶片而使 IC 晶片之端子捕捉導電粒子之狀態的俯視圖。

圖 2 係異向導電性膜 1B 中之導電粒子之配置圖。

圖 3 係異向導電性膜 1C 中之導電粒子之配置圖。

圖 4 係異向導電性膜 1D 中之導電粒子之配置圖。

圖 5A 係粒子排列群中之導電粒子之配置圖。

圖 5B 係粒子排列群中之導電粒子之配置圖。

圖 5C 係粒子排列群中之導電粒子之配置圖。

圖 5D 係粒子排列群中之導電粒子之配置圖。

圖 5E 係粒子排列群中之導電粒子之配置圖。

圖 6 係異向導電性膜 1E 中之導電粒子之配置圖。

圖 7 係異向導電性膜 1F 中之導電粒子之配置圖。

圖 8A 係形成粒子排列群之導電粒子之配置圖。

圖 8B 係形成粒子排列群之導電粒子之配置圖。

圖 8C 係形成粒子排列群之導電粒子之配置圖。

圖 8D 係形成粒子排列群之導電粒子之配置圖。

圖 9 係形成粒子排列群之導電粒子之配置圖。

圖 10 係形成粒子排列群之導電粒子之配置圖。

圖 11 係異向導電性膜 1G 中之導電粒子之配置圖。

圖 12 係異向導電性膜 1H 中之導電粒子之配置圖。

圖 13 係異向導電性膜 1I 中之導電粒子之配置圖。

圖 14 係異向導電性膜 1J 中之導電粒子之配置圖。

【實施方式】

【0016】 以下，一面參照圖式一面對本發明詳細地進行說明。再者，各圖中，同一符號係表示相同或同等之構成要素。

【0017】 圖 1A 係 COG 連接所使用之本發明之一實施例之異向導電性膜 1A 中之導電粒子 2 的配置圖，圖 1B 係以異向導電性膜 1A 連接之 IC 晶片 20 之端子面之俯視圖，圖 1C 係藉由將異向導電性膜 1A 熱壓接於 IC 晶片 20 而使 IC 晶片 20 之端子捕捉導電粒子之狀態的俯視圖。

【0018】 該異向導電性膜 1A 具有絕緣接著劑層 10、與配置於絕緣接著劑層 10 之導電粒子 2。自圖 1A、圖 1B 及圖 1C 可知，異向導電性膜 1A 中，導電粒子 2 係對應 IC 晶片 20 之端子之排列而進行配置。

【0019】 更具體而言，於對應 IC 晶片 20 之輸出側凸塊 21 之部位，3 個導電粒子 2 排列成一行而形成粒子排列群 3a，粒子排列群 3a 呈鋸齒格子狀地排列而形成連接用導電粒子配置區域 4a。於將異向導電性膜 1A 與 IC 晶片 20 重合之情形時，各粒子排列群 3a 以大致配置於 IC 晶片 20 之各輸出側凸塊 21 內之方式形成，各粒子排列群 3a 中之導電粒子 2 之排列係相對於異向導電性膜 1A 之長邊方向 F1 傾斜，而使利用輸出側凸塊 21 之粒子捕捉性提高。

【0020】 又，連接用導電粒子配置區域 4a 之外形與輸出側凸塊 21 之排列區域 21a 之外形相對應。即，兩者之外形係大致同一形狀，但於將異向導電性膜 1A 與 IC 晶片 20 重合之情形時，以連接用導電粒子配置區域 4a 覆蓋輸出側凸塊 21 之排列區域 21a 之方式，將連接用導電粒子配置區域 4a 形成為略大於輸出側凸塊 21 之排列區域 21a。因此，連接用導電粒子配置區域 4a 與輸出側凸塊 21 之排列區域 21a 均沿著異向導電性膜 1A 之長邊方向延伸。

【0021】 於對應 IC 晶片 20 之輸入側凸塊 22 之部位或對應側凸塊 23 之部位，亦與上述之對應輸出側凸塊 21 之部位同樣地，對應各凸塊 22、23 而形成 3 個導電粒子 2 排列成一行之粒子排列群 3b、3c。

【0022】 並且，對應輸入側凸塊 22 之粒子排列群 3b 沿著異向導電性膜 1A 之長邊方向 F1 排列成一行，藉此形成連接用導電粒子配置區域 4b。

該連接用導電粒子配置區域 4b 之外形係對應輸入側凸塊 22 之排列區域 22a 之外形，以連接用導電粒子配置區域 4b 覆蓋輸入側凸塊 22 之排列區域 22a 之方式形成。

【0023】 又，對應側凸塊 23 之粒子排列群 3c 於異向導電性膜 1A 之短邊方向 F2 排列而形成連接用導電粒子配置區域 4c。連接用導電粒子配置區域 4c 之外形亦對應側凸塊 23 之排列區域 23a 之外形，以連接用導電粒子配置區域 4c 覆蓋側凸塊 23 之排列區域 23a 之方式形成。

【0024】 如上所述，於該異向導電性膜 1A 中形成有導電粒子之排列態樣或排列位置不同之導電粒子配置區域(第 2 導電粒子配置區域)4a、4b、4c，該等導電粒子配置區域 4a、4b、4c 之外形係對應 IC 晶片 20 之凸塊之排列區域 21a、22a、23a 之外形而形成，因此可減少不參與連接之導電粒子之數量，藉此可抑制異向導電性膜之製造成本。

【0025】 進而，於該異向導電性膜 1A 中，各導電粒子配置區域 4a、4b、4c 係由對應各凸塊 21、22、23 而配置之粒子排列群 3a、3b、3c 形成，因此可於確保連接之範圍內減少凸塊 21、22、23 所捕捉之導電粒子之數量。因此，可減少異向導電性膜 1A 所必需之合計之導電粒子之數量，藉此亦可抑制異向導電性膜之製造成本。

【0026】 又，於確保連接之範圍內減少 IC 晶片之凸塊 21、22、23 所捕捉之導電粒子數量之情況可降低連接時以加壓工具施加於 IC 晶片之按壓力。因此，可使 IC 晶片對連接時之按壓力之容許極限所規定之凸塊個數密度增加，藉此可使每個 IC 晶片之凸塊之連接總面積變大。例如，對於通常之 IC 晶片而言，每個 IC 晶片之凸塊之連接總面積為 $5 \times 10^6 \mu\text{m}^2$ 左右，但可

將其設為 1.5~3 倍。藉此，可謀求 IC 晶片之進一步高積體化。

【0027】 另一方面，於該異向導電性膜 1A 中，於對應 IC 晶片 20 之對準標記 24 之部位，由配置在矩形之四角與中央部之導電粒子 2 形成對位用導電粒子配置區域（第 1 導電粒子配置區域）4d。該對應對準標記 24 之對位用導電粒子配置區域 4d 係形成於與對應 IC 晶片 20 之端子之排列區域 21a、22a、23a 之連接用導電粒子配置區域 4a、4b、4c 不同的位置，雖不參與連接，但可用於異向導電性膜 1A 與 IC 晶片 20 之對位。再者，亦可於對位用導電粒子配置區域 4d 內進而配置導電粒子，而使該區域 4d 內之導電粒子之個數密度高於連接用導電粒子配置區域 4a、4b、4c。

【0028】 先前，IC 晶片 20 之對準標記 24 形成為數十 μm ~數百 μm 之大小，使用 CCD 或雷射進行 IC 晶片與基板之對準，但於異向導電性膜中未形成對應 IC 晶片 20 之對準標記 24 之標記。其原因在於：於先前之異向導電性膜中，於其整面單分散或呈格子狀地配置有導電粒子，因此無需將異向導電性膜與基板或 IC 晶片以凸塊尺寸之精度進行貼合，使（用於對準之位置檢測）雷射光等透過異向導電性膜而進行 IC 晶片與基板之對準。

【0029】 另一方面，於如本實施例之異向導電性膜 1A 般於確保連接之範圍內減少凸塊 21、22、23 所捕捉之導電粒子 2 之數量之情形時，存在必須以對應凸塊尺寸之精度將異向導電性膜 1A 與凸塊進行貼合，而必須於異向導電性膜 1A 設置對準標記之情況。

【0030】 又，作為於異向導電性膜 1A 形成對準標記之方法，亦考慮將對應 IC 晶片 20 之對準標記 24 之大小者配置於絕緣接著劑層，但因異向導電性膜之製造步驟上之限制而較為困難。又，亦考慮藉由印刷等而直接

於絕緣接著劑層進行標記，但對準標記過小而實際上之標記之加工困難。

【0031】 針對上述情況，若使用導電粒子之排列作為對準標記，則無需於異向導電性膜之製造步驟中追加新的步驟，又，於將所製造之異向導電性膜用於異向導電性連接之情形時，亦無特別限制，可將異向導電性膜中之導電粒子之配置與對應 IC 晶片之凸塊之基板側之電極的位置進行重合。因此，於本實施例之本發明之異向導電性膜 1A 中，形成有作為對準標記之對位用導電粒子配置區域 4d。又，於如上述般藉由導電粒子 2 而於異向導電性膜 1A 形成對準標記之情形時，於異向導電性膜 1A 中，於確保連接之範圍內減少凸塊 21、22、23 所捕捉之導電粒子 2 之數量，故而異向導電性膜 1A 之穿透性較高。因此，亦可自基板側透視而進行對準作業。因此，可提高 IC 晶片側之對準標記之設計自由度，可將 IC 晶片側之對準標記設置於凸塊之形成區域之附近，從而提高對準精度。

【0032】 作為對位用導電粒子配置區域 4d 之大小，並無特別限制，為了保證檢測精度，於 COG 用之本實施例之異向導電性膜 1A 中，較佳為 $100\ \mu\text{m}^2$ 以上且 $1\ \text{mm}^2$ 以下。再者，於 FOG 及 FOB 用之異向導電性膜，為了保持檢測精度，較佳為設為 $0.01\ \text{mm}^2$ 以上且 $9\ \text{mm}^2$ 以下。

【0033】 另一方面，於該異向導電性膜 1A 中，對應 IC 晶片 20 之輸出側凸塊 21 之排列區域 21a 之導電粒子配置區域 4a、與對應輸入側凸塊 22 之排列區域 22a 之導電粒子配置區域 4b 之間形成有未配置導電粒子之中央部區域 5。又，於異向導電性膜 1A 之長邊方向 F1 週期性地重複形成有對應 IC 晶片 20 之凸塊之排列區域 21a、22a、23a 之上述導電粒子配置區域 4a、4b、4c，於在異向導電性膜 1A 之長邊方向 F1 上鄰接之導電粒子配置區域

4c 彼此之間形成有未配置導電粒子之緩衝區域 6。

【0034】 通常，異向導電性膜 1A 係捲繞成輥狀而保管，於抽出而使用時，緩衝區域 6 係為了於異向導電性膜 1A 之使用時，將捲繞成輥狀之異向導電性膜 1A 抽出，進行切割作業而使用。

【0035】 關於緩衝區域 6 之異向導電性膜 1A 之長邊方向 F1 之長度，並無特別限制，作為一例，就提高異向導電性膜 1A 之抽出或切割等之作業性之方面而言，較佳為 0.1 mm 以上，更佳為 0.2 mm 以上。另一方面，於異向導電性膜 1A 之一個輥體，就確保較多之可助於連接之區域而言，較佳為 10 mm 以下，更佳為 3 mm 以下，進而更佳為 1 mm 以下。

【0036】 如上所述，根據該異向導電性膜 1A，對應 IC 晶片 20 之凸塊之排列區域 21a、22a、23a 而形成有導電粒子配置區域 4a、4b、4c，因此於導電粒子配置區域 4a、4b、4c 中可使導電粒子 2 之密度適當而提高凸塊中之導電粒子 2 之捕捉性，又，於對應無凸塊之區域之中央部區域 5 或緩衝區域 6 中，由於不存在導電粒子，故而可減少不參與連接之導電粒子。進而，於導電粒子配置區域 4a、4b、4c 中，形成有導電粒子 2 對應各凸塊排列而成之粒子排列群 3a、3b、3c，因此可使凸塊 21、22、23 中之粒子捕捉性提高，而抑制於相鄰之凸塊間產生短路。

【0037】 本發明之異向導電性膜可採用各種態樣。例如，亦可如圖 2 所示之異向導電性膜 1B 般，於其長邊方向 F1 週期性地重複形成與上述之異向導電性膜 1A 相同的對應 IC 晶片 20 之凸塊之排列區域之連接用導電粒子配置區域 4a、4b、4c，且於異向導電性膜 1B 之短邊方向 F2 形成複數列之上述連接用導電粒子配置區域 4a、4b、4c 之重複列。該異向導電性膜 1B

係於切縫線 7 之位置上被切縫而使用。

【0038】 又，亦可如圖 3 所示之異向導電性膜 1C 般，將對應輸入側凸塊 22 之粒子排列群 3b 沿異向導電性膜 1C 之短邊方向 F2 進行延長，於切縫線 7a 進行異向導電性膜 1C 之切縫，亦可多留出延長之導電粒子之列之部分而於外側之切縫線 7b 進行切縫。藉此，即便於實際之切縫加工中切縫位置偏移，亦可使用切縫後之異向導電性膜。

【0039】 亦可如圖 4 所示之異向導電性膜 1D 般，將用作對準標記之對位用導電粒子配置區域 4d 形成於沿著異向導電性膜 1D 之長邊方向 F1 之邊緣部之位置。用作對準標記之對位用導電粒子配置區域 4d 之形成配置可視形成於 IC 晶片之對準標記而適當變更。

【0040】 再者，於本發明中，導電粒子配置區域內之導電粒子之配置並無特別限制。可如上述之異向導電性膜 1A~1D 般，導電粒子 2 形成粒子排列群 3a、3b、3c，粒子排列群 3a、3b、3c 進行排列而形成導電粒子配置區域 4a、4b、4c，亦可導電粒子無規則地集合而形成粒子群，該粒子群於導電粒子配置區域內進行排列，可於導電粒子配置區域內單獨之導電粒子呈格子狀地排列，亦可於導電粒子配置區域內導電粒子無規則地配置。關於導電粒子配置區域內之導電粒子之配置，就準確地進行對準之方面而言，較佳為形成導電粒子之集合至可辨識導電粒子配置區域之輪廓的程度。

【0041】 於導電粒子配置區域內導電粒子形成粒子排列群之情形時，粒子排列群內鄰接之導電粒子之間隔可設為未達導電粒子之粒徑之 $1/4$ ，亦可接觸。另一方面，鄰接之粒子排列群彼此之間隔較佳為設為導電粒子之粒徑之 0.5 倍以上。此處，導電粒子之粒徑係形成異向導電性膜 1A

之導電粒子之平均徑。關於導電粒子之平均徑，就防止短路、及連接之端子間接合之穩定性之方面而言，較佳為 $1\sim 30\ \mu\text{m}$ ，更佳為 $1\sim 10\ \mu\text{m}$ 。

【0042】 構成粒子排列群之導電粒子之數量可設為 2 個以上、較佳為 3 個以上。又，各粒子排列群可設為如上述之異向導電性膜 1A 之粒子排列群 3a、3b、3c 般相對於凸塊之長邊方向傾斜之一列直線狀，又，亦可將導電粒子 2 之排列設為橫貫一個凸塊 21（22、23）之直線狀（圖 5A），亦可設為縱貫一個凸塊 21（22、23）之直線狀（圖 5B），亦可針對一個凸塊 21（22、23）設為複數列之直線狀之排列（圖 5C），亦可針對一個凸塊 21（22、23）設為將導電粒子配置於三角形之頂點之形狀（圖 5D），亦可設為配置於四角形等之頂點之形狀（圖 5E）。於如上述般將各粒子排列群之外形設為多角形之情形時，該多角形狀可為正三角形、正方形、長方形等，亦可為因一個以上之頂點突出等而變形之多角形狀或非對稱形狀。通常凸塊為矩形或圓形，因此不具有與其之相似性或類似性者即便於異向導電性連接之按壓時引起不規則之粒子偏移，亦可抑制端子中之導電粒子之捕捉性之降低。

【0043】 又，構成粒子排列群之導電粒子可處於對應一個凸塊之區域內，亦可如圖 6 所示之異向導電性膜 1E 之粒子排列群 3a、3b 般以不被收納於一個凸塊 21、22 內而橫穿該凸塊之方式形成。再者，於圖 6 中，基於點之整面塗抹區域係表示以異向導電性膜 1E 連接之 IC 晶片之凸塊 21、22 或對準標記 24。

【0044】 又，粒子排列群中之導電粒子之排列方向可如圖 6 所示般設為異向導電性膜 1E 之長邊方向，亦可如圖 7 所示般設為異向導電性膜 1F 之短邊方向 F2（即，各凸塊 21、22 之長邊方向）。進而，於凸塊之長邊相

對於導電粒徑充分長之情形時，亦可如圖 7 所示之異向導電性膜 1F 之粒子排列群 3a 般，將多於 3 個之導電粒子 2 於異向導電性膜之短邊方向 F2（即，各凸塊 21、22 之長邊方向）進行排列。構成粒子排列群之導電粒子之配置可視凸塊本身之形狀、或 IC 晶片中之凸塊之配置狀況而適當決定。

【0045】 又，關於粒子排列群之排列態樣，於凸塊之長邊相對於導電粒徑充分長之情形時，亦可如圖 8A～圖 8D 所示般，將構成粒子排列群 3 之導電粒子 2 之外接形狀設為三角形以上之多角形，且將該粒子排列群 3 於凸塊 21 之長邊方向進行排列。該多角形之形狀可為正多角形，亦可為變形之多角形。

【0046】 於該情形時，可如圖 8B 所示般，將粒子排列群 3 之導電粒子 2 所外接之多角形之各邊之朝向設為與異向導電性膜之長邊方向 F1 或短邊方向 F2 交叉之朝向。針對通常之矩形之凸塊 21，如上述般設定導電粒子 2 所外接之多角形之各邊之朝向，藉此可使對異向導電性膜之對準偏移之容許量變大。

【0047】 亦可如圖 8C 所示般，將由以跨過凸塊 21 之方式隔開之一對粒子排列群所構成之導電粒子單元（導電粒子 4 個）3n、與凸塊 21 上導電粒子鄰近之粒子排列群（導電粒子 4 個）3m 進行排列。亦可使粒子排列群 3 之外接形狀之凸塊 21 之短邊方向的長度（異向導電性膜之長邊方向 F1 之長度）長於凸塊短邊方向之長度的粒子排列群 3n、與同以下之粒子排列群 3m 混合存在。再者，於同圖之態樣中，凸塊短邊方向之長度較短之矩形之粒子排列群 3m 的凸塊長邊方向之外接線 Lm、與由凸塊短邊方向之長度較長之矩形之一對粒子排列群所構成之單元 3n 的凸塊長邊方向之內接線

L_n 重合。藉此，即便於異向導電性連接時於異向導電性膜之長邊方向 F1 產生位置偏移，凸塊 21 亦可捕捉一定數量之導電粒子 2。

【0048】 亦可如圖 8D 所示般，使粒子排列群 3 之凸塊短邊方向之長度大於凸塊 21 之短邊方向之長度。若如圖 8C 及圖 8D 所示般，作為粒子排列群 3，存在其凸塊短邊方向之長度大於凸塊 21 之短邊方向之長度者，則即便因膜之彎曲等而粒子排列群 3 相對於凸塊 21 之位置偏離所期望之位置，亦容易利用凸塊 21 捕捉導電粒子 2。

【0049】 為了提高導電粒子 2 之捕捉性，較佳為如圖 9 所示般，使構成粒子排列群 3p 之導電粒子之向沿異向導電性膜之長邊方向 F1 延伸之邊的投影寬度 L1、與相對於該粒子排列群 3p 在異向導電性膜之短邊方向 F2 鄰接之粒子排列群 3q 之相同之投影寬度 L2 相同。

【0050】 又，於如圖 9 所示般，將構成粒子排列群 3 之導電粒子 2 之外接形狀設為三角形之情形時，較佳為使該三角形之頂點向異向導電性膜之長邊側或短邊側突出。藉由使三角形之頂點向異向導電性膜之長邊側突出，而異向導電性膜之短邊方向 F2 之三角形之長度 L3 亦變得長於異向導電性膜之長邊方向 F1 之三角形之長度 L4，若如此，則三角形之邊 3x 與凸塊 21 之邊緣 21x 相交成銳角，因此尤其是於微間距之情形時導電粒子之捕捉性提高。

【0051】 又，粒子排列群 3 內之導電粒子 2 之排列於各粒子排列群 3 中可相同，亦可不同。於導電粒子 2 之排列不同之情形時，可有規則地進行變更。例如，如圖 10 所示般，構成粒子排列群 3 之導電粒子 2 為相同個數且外接形狀相同，但亦可使外接形狀之朝向不同者混合存在。作為粒子

排列群 3，亦可將構成其之導電粒子數不同者有規則地重複排列。

【0052】 圖 11 所示之異向導電性膜 1G 係於橫跨複數個凸塊 21 之粒子排列群 3a 中使導電粒子 2 相對於異向導電性膜之長邊方向 F1 傾斜排列者。就提高凸塊之粒子捕捉性之方面而言，粒子排列群中之導電粒子之排列較佳為相對於異向導電性膜 1G 之長邊方向傾斜。

【0053】 又，圖 11 所示之異向導電性膜 1G 係以藉由粒子排列群 3a 於異向導電性膜之長邊方向 F1 進行排列而形成之導電粒子配置區域 4a 覆蓋 IC 晶片之輸出側凸塊之形成區域之方式而形成，且該導電粒子配置區域 4a 之外形之端部對應半導體晶片之對準標記 24。因此，於該異向導電性膜 1G 中，未形成與對應 IC 晶片之凸塊之導電粒子之排列不同的對應 IC 晶片之對準標記 24 之導電粒子之排列。

【0054】 如圖 12 所示之異向導電性膜 1H 般，橫跨複數個凸塊 21、22 之粒子排列群 3a、3b 亦可為將導電粒子 2 於異向導電性膜 1H 之長邊方向 F1 排列而成者。藉由將該粒子排列群 3a、3b 於異向導電性膜 1H 之短邊方向 F2 進行排列而形成導電粒子配置區域 4a、4b。

【0055】 再者，於任一態樣中，均較佳為以被一個凸塊捕捉之導電粒子之數量成為 3 個以上之方式配置導電粒子，進而較佳為設為 10 個以上。

【0056】 又，於以橫穿一個凸塊之方式形成粒子排列群之情形時，粒子排列群中之鄰接之導電粒子之間隔未達導電粒子之粒徑之 $1/4$ 時，就減少異向導電性連接後之短路之產生之方面而言，粒子排列群之異向導電性膜之長邊方向之長度（凸塊之短邊方向之長度）較佳為未達凸塊間距離之 0.8 倍，更佳為未達 0.5 倍。

【0057】 另一方面，於將異向導電性膜用於 FOG 連接之情形時，亦將配置有複數個導電粒子之第 1 導電粒子配置區域；及導電粒子之排列態樣、排列位置或密度與第 1 導電粒子配置區域不同之第 2 導電粒子配置區域週期性地形成於異向導電性膜之長邊方向。即，將對位用導電粒子配置區域、與對應基板之端子排列區域之外形而形成之連接用導電粒子配置區域週期性地形成於異向導電性膜之長邊方向 F1。例如，如圖 13 所示之異向導電性膜 1I 般，導電粒子 2 於異向導電性膜 1I 之短邊方向 F2 形成排列之粒子排列群 3e 作為對應基板之各端子的粒子排列群，將該粒子排列群 3e 於異向導電性膜 1I 之長邊方向 F1 進行排列而形成連接用導電粒子配置區域 4e，而將該連接用導電粒子配置區域 4e 週期性地形成於異向導電性膜 1I 之長邊方向 F1。該連接用導電粒子配置區域 4e 之外形係對應基板中之端子之排列區域之外形。又，作為對應基板之對準標記 24 之異向導電性膜 1I 之對準標記，將對位用導電粒子配置區域 4d 週期性地形成於異向導電性膜 1I 之長邊方向。

【0058】 亦可如圖 14 所示之異向導電性膜 1J 般，將導電粒子 2 於異向導電性膜 1H 之長邊方向 F1 進行排列而形成粒子排列群 3e，將該粒子排列群 3e 於異向導電性膜 1J 之短邊方向 F2 進行排列而形成導電粒子配置區域 4e，將該導電粒子配置區域 4e 週期性地形成於異向導電性膜 1H 之長邊方向 F1。該導電粒子配置區域 4e 之外形亦對應基板中之端子之排列區域之外形。

【0059】 於該等異向導電性膜 1I、1J 中形成有用以與形成於玻璃基板或軟性印刷配線板之對準標記 24 進行對位的導電粒子配置區域 4d，但於

將異向導電性膜 1I、1J、與玻璃基板或軟性印刷配線板進行對位而重合之情形時，亦可藉由以導電粒子配置區域 4e 之端部與對準標記 24 重合之方式形成而省略對位用導電粒子配置區域 4d 之形成，從而將導電粒子配置區域 4e 之端部用作異向導電性膜側之對準標記。

【0060】 又，存在於電子零件之凸塊排列內，雖與電子零件間之連接無關，但可自壓痕檢查異向導電性連接時之熱壓接條件之方式設置有虛設凸塊之情況，此外，亦存在與微間距之凸塊排列一起設置有相對較大尺寸之輸入輸出用凸塊之情況。因此，亦可將對應虛設凸塊或相對較大尺寸之凸塊之導電粒子配置區域設置於異向導電性膜，而使其代替對準標記。

【0061】 如上所述，構成粒子排列群之導電粒子可採用各種配置，於可確保連接之範圍內減少各凸塊所捕捉之導電粒子數量之情形時，較佳為根據異向導電性連接時之構成異向導電性膜之絕緣接著劑層之樹脂的流動、膜、基板、或 IC 晶片之彎曲等，而針對各凸塊適當地配置導電粒子。

【0062】 本發明中，導電粒子配置區域中之導電粒子 2 之密度並無特別限制，可視對象物而適當設定，可設為較佳為 10 個/mm² 以上、更佳為 1000 個/mm² 以上、進而較佳為 1000 個/mm² 以上、尤佳為 2000 個/mm² 以上。另一方面，上限係根據連接對象物之條件而變更，因此無特別限制，但例如於粒子排列群中使導電粒子連結而進行配置之情形時、或者於對應對準標記或虛設凸塊等而高密度地配置導電粒子之情形等，導電粒子 2 之密度可設為 250000 個/mm² 以下。通常較佳為 100000 個/mm² 以下，更佳為 50000 個/mm² 以下。該粒子密度係藉由導電粒子 2 之粒徑與排列態樣而適當調整。

【0063】 本發明中，關於導電粒子 2 本身之構成或絕緣接著劑層 10 之層構成或構成樹脂，可採用各種態樣。

【0064】 即，作為導電粒子 2，可自公知之異向導電性膜所使用者中適當選擇使用。例如，可列舉：鎳、鈷、銀、銅、金、鈮等金屬粒子、金屬被覆樹脂粒子等。亦可併用 2 種以上。

【0065】 作為絕緣接著劑層 10，可適當採用公知之異向導電性膜所使用之絕緣性樹脂層。例如可使用含有丙烯酸酯化合物與光自由基聚合起始劑之光自由基聚合型樹脂層、含有丙烯酸酯化合物與熱自由基聚合起始劑之熱自由基聚合型樹脂層、含有環氧化合物與熱陽離子聚合起始劑之熱陽離子聚合型樹脂層、含有環氧化合物與熱陰離子聚合起始劑之熱陰離子聚合型樹脂層等。該等樹脂層可視需要，設為各自聚合而成者。又，亦可由複數層樹脂層形成絕緣接著劑層 10。

【0066】 亦可視需要，向絕緣接著劑層 10 添加二氧化矽微粒子、氧化鋁、氫氧化鋁等絕緣性填料。關於絕緣性填料之調配量，較佳為相對於形成絕緣接著劑層之樹脂 100 質量份，設為 3~40 質量份。藉此，即便於異向導電性連接時絕緣接著劑層 10 熔融，亦可抑制導電粒子 2 於熔融之樹脂中不必要之移動。

【0067】 作為絕緣接著劑層整體之最低熔融黏度，較佳為 100~10000 Pa·s，更佳為 500~5000 Pa·s，尤佳為 1000~3000 Pa·s。若在該範圍，則可將導電粒子精密地配置於絕緣接著劑層 10，且可防止由於異向導電性連接時之壓入而樹脂流動對導電粒子之捕捉性帶來阻礙。關於最低熔融黏度之測定，可使用流變計（TA 公司製造之 ARES），於升溫速度 5°C/min、測定溫

度範圍 50～200℃、振動頻率 1 Hz 之條件下求出。

【0068】 作為以上述配置將導電粒子 2 固定於絕緣接著劑層 10 之方法，只要利用機械加工或雷射加工、光微影法等公知之方法製作具有對應導電粒子 2 之配置之凹陷之模具，將導電粒子裝入該模具中，於其上填充絕緣接著劑層形成用組成物，使該絕緣接著劑層形成用組成物硬化，自模具取出即可。亦可自此種模具，進而以剛性較低之材質製作模具。

【0069】 又，為了於絕緣接著劑層 10 將導電粒子 2 設置成上述配置，亦可為如下方法：於絕緣接著劑層形成組成物層之上設置以特定配置形成有貫通孔之構件，自其上供給導電粒子 2，使之通過貫通孔等。

【0070】 於使用本發明之異向導電性膜，而將 FPC、剛性基板、陶瓷基板、塑膠基板、玻璃基板等第 1 電子零件之連接端子、與 IC 晶片、IC 模組、FPC 等第 2 電子零件之連接端子進行異向導電性連接之情形時，例如使異向導電性膜 1A 之長邊方向 F1、與第 1 電子零件或第 2 電子零件之連接端子之短邊方向重合，進而藉由使用 CCD 等之圖像檢測等而使兩者之對準標記重合，並進行加熱加壓。又，亦可應用光硬化而進行連接。又，亦可將 IC 晶片或 IC 模組進行堆疊而將第 2 電子零件彼此進行異向導電性連接。以上述方式獲得之連接結構體亦為本發明之一部分。

【0071】 本發明亦包含以上述方式進行了異向導電性連接之第 1 電子零件與第 2 電子零件之連接結構體。

[實施例]

【0072】 以下，基於實施例，而對本發明具體地進行說明。

實施例 1～4、比較例 1

(1) FOG 連接用之異向導電性膜之製造

製備含有苯氧基樹脂（熱塑性樹脂）（新日鐵住金（股），YP-50）60 份、環氧樹脂（熱硬化性樹脂）（三菱化學（股），jER828）40 份、陽離子系硬化劑（三新化學工業（股），SI-60L）2 份之絕緣性樹脂的混合溶液，將其塗佈於膜厚 50 μm 之 PET 膜上，於 80°C 之烘箱中乾燥 5 分鐘，而於 PET 膜上形成厚度 20 μm 之黏著層。

【0073】 另一方面，對應進行 FOG 連接之基板之電極端子之配置，而製作凸部週期性地具有特定之配置密度之排列圖案之模具（實施例 1~4）或凸部以特定之配置密度無規則配置之模具（比較例 1），使公知之透明性樹脂之顆粒以熔融之狀態流入該模具中，進行冷卻而使之凝固，藉此形成凹部為格子狀之圖案之樹脂模具。向該樹脂模具之凹部填充導電粒子（積水化學工業（股），AUL704，粒徑 4 μm ），於其上覆蓋上述絕緣性樹脂之黏著層，藉由紫外線硬化而使該絕緣性樹脂所含有之硬化性樹脂硬化。然後，自模具剝離絕緣性樹脂，而製造表 1 所示之實施例及比較例之異向導電性膜。

【0074】 此處，進行 FOG 連接之軟性印刷基板係設為如下者：電極之端子寬度 20 μm ，端子長度 1 mm，端子間間隙 20 μm ，且相當於 IC 晶片之凸塊密度之端子之密度每 1 mm² 有 25 根。

玻璃基板係使用 ITO β 玻璃。

【0075】 又，於實施例 1 中，每個電極端子（20 μm ×1 mm）以收納於該電極端子內之方式配置 10 個導電粒子，且以於電極端子間不存在導電粒子之方式週期性地形成粒子排列群。

【0076】 實施例 2 中，每個電極端子（ $20\ \mu\text{m}\times 1\text{mm}$ ）配置 14 個導電粒子，且以於電極端子間不存在導電粒子之方式週期性地形成粒子排列群。於該情形時，於各電極端子中使導電粒子向該端子寬度方向伸出 1 個導電粒徑量。

【0077】 實施例 3 中，將導電粒子於粒子間距離 $4\ \mu\text{m}$ 之四方格子中於端子短邊方向排列成 2 列且於端子長邊方向排列成 40~42 列之粒子排列群以配置於電極端子上之方式週期性地形成粒子排列群。藉此，處於對應 25 根電極端子之導電粒子配置區域（包括端子間區域）（ 1mm^2 ）中之導電粒子的合計成為 2080 個。

【0078】 實施例 4 中，針對各電極端子，形成與實施例 3 大致相同之四方格子之粒子排列群，且於端子短邊方向排列成 4 列，於端子長邊方向排列成 20~24 列之粒子排列群。於該情形時，粒子排列群之端子短邊方向之長度超出端子寬度（端子之短邊方向之長度）。藉此，處於對應 25 根電極端子之導電粒子配置區域（包括端子間）（ 1mm^2 ）中之導電粒子的合計成為 2130 個。

【0079】 比較例 1 中，將導電粒子以導電粒子個數密度成為 5000 個/ mm^2 之方式無規則地進行配置。

【0080】 （2）導通評價

以下述方式，分別對實施例 1~4 及比較例 1 之異向導電性膜之（a）初期導通電阻、（b）導通可靠性、（c）短路產生率進行評價。將結果示於表 1。

【0081】 （a）初期導通電阻

將實施例 1~4 及比較例 1 之異向導電性膜夾於上述之軟性印刷基板與

玻璃基板之間，進行加熱加壓（180℃、5 MPa、5 秒）而獲得各評價用連接物，對該等評價用連接物之導通電阻進行測定。

【0082】 於該情形時，軟性印刷基板、異向導電性膜及玻璃基板之對位係一面使用實體顯微鏡一面以人工作業進行。

【0083】 （b）導通可靠性

將（a）初期導通電阻之評價用連接物於溫度 85℃、濕度 85%RH 之恆溫槽中放置 500 小時，以與（a）相同之方式測定其導通電阻。再者，若該導通電阻為 5 Ω 以上，則就已連接之電子零件之實用上之導通穩定性的方面而言欠佳。

【0084】 （c）短路產生率

準備以下之 IC（7.5 μm 間隙之梳齒 TEG（test element group））作為短路產生率之評價用 IC。

【0085】 外徑 1.5×13 mm

厚度 0.5 mm

凸塊規格 鍍金，高度 15 μm，尺寸 25×140 μm，凸塊間距離 7.5 μm

【0086】 將各實施例及比較例之異向導電性膜夾於短路產生率之評價用 IC、與對應該評價用 IC 之圖案之玻璃基板之間，於與（a）相同之連接條件下進行加熱加壓而獲得連接物，求出該連接物之短路產生率。短路產生率係以「短路之產生數／7.5 μm 間隙總數」算出。若短路產生率為 50 ppm 以上，則就製造實用上之連接結構體之方面而言欠佳。

【0087】 [表 1]

	比較例 1	實施例 1	實施例 2	實施例 3	實施例 4
粒子高密度區域	無規則	週期性	週期性	週期性	週期性
導電粒子個數密度（個數／mm ² ）	5000	250	350	2080	2130
初期導通電阻	2 Ω 以下	←	←	←	←
導通可靠性	10 Ω 以下	←	←	←	←
短路產生率	未達 50 ppm	←	←	←	←

【0088】 自表 1 可知，實施例 1～4 之異向導電性膜之導電粒子配置區域中之導電粒子之個數密度低於比較例 1，但具有與比較例 1 相同之導通特性，可廉價地製造導通特性較佳之異向導電性膜。再者，即便於實施例 3 中於膜之長邊方向有意錯開 8 μm，於實施例 4 中於膜之長邊方向有意錯開 16 μm 左右而進行貼合併以相同方式進行連接，亦可獲得大致相同之結果。

【0089】 於實施例 1～4 中，向絕緣性樹脂 100 份追加二氧化矽填料（二氧化矽微粒子，Aerosil RY200，日本 Aerosil（股））20 份，以相同方式製造異向導電性膜並進行導通評價，結果均良好。

【0090】 實施例 5～9、比較例 2

（1）COG 連接用之異向導電性膜之製造

以與實施例 1 相同之方式，使用苯氧基樹脂（熱塑性樹脂）（新日鐵住金（股），YP－50）60 份、環氧樹脂（熱硬化性樹脂）（三菱化學（股），jER828）40 份、陽離子系硬化劑（三新化學工業（股），SI－60L）2 份，而於 PET 膜上形成厚度 20 μm 之黏著層。

【0091】 另一方面，對應進行 COG 連接之 IC 晶片之凸塊配置，而製作凸部週期性地具有特定之配置密度之排列圖案之模具（實施例 5～9）或凸部為四方格子（格子間距 8 μm）之模具（比較例 2），使公知之透明性

樹脂之顆粒以熔融之狀態流入該模具中，進行冷卻而使之凝固，藉此形成凹部為格子狀之圖案之樹脂模具。向該樹脂模具之凹部填充導電粒子（積水化學工業（股），AUL704，粒徑 4 μm ），於其上覆蓋上述之絕緣性樹脂之黏著層，藉由紫外線硬化而使該絕緣性樹脂所含有之硬化性樹脂硬化。然後，自模具剝離絕緣性樹脂，而製造表 2 所示之實施例及比較例之異向導電性膜。

【0092】 此處，關於進行 COG 連接之 IC 晶片與玻璃基板，其等之端子圖案對應，尺寸係如以下所示。

【0093】	IC 晶片
外形	0.7×20 mm
厚度	0.2 mm

凸塊規格 鍍金，高度 12 μm ，尺寸 15×100 μm ，凸塊間間隙 13 μm ，凸塊個數 1300 個（於 IC 晶片之長邊之對向邊分別有 650 個）

【0094】 於實施例 5～9 中，僅於對應 IC 晶片之凸塊之區域以表 2 所示之導電粒子之配置圖案形成粒子排列群，並使該粒子排列群於凸塊之短邊方向進行排列，藉此於對應 IC 晶片之凸塊形成區域之區域形成如表 2 所示之粒子排列群所構成之導電粒子配置區域。於比較例 2 中，將導電粒子以粒子間距離 4 μm 之四方格子排列配置於 IC 晶片之凸塊形成面之整面。又，於實施例 5～9 中，依據作為對準標記之 100 μm ×100 μm 之外形，以四方格子中一邊 12 個且 12 列(合計 144 個)之方式形成導電粒子配置區域。

【0095】 再者，表 2 中之導電粒子個數係存在於 IC 晶片之凸塊形成區域（（14 μm + 13 μm ）×100 μm ×650×2=3.64 mm²）中之導電粒子數。

【0096】 玻璃基板

玻璃材質	Corning 公司製造
外徑	30×50 mm
厚度	0.5 mm
電極	ITO 配線

【0097】 (2) 導通評價

以下述方式，分別對實施例 5～9 及比較例 2 之異向導電性膜之 (a) 初期導通電阻、(b) 導通可靠性、(c) 短路產生率進行評價。將結果示於表 2。

【0098】 (a) 初期導通電阻

將實施例 5～9 及比較例 2 之異向導電性膜夾於上述之 IC 晶片與對應其之玻璃基板之間，進行加熱加壓（180℃，80 MPa，5 秒）而獲得各評價用連接物，對該評價用連接物之導通電阻進行測定。

【0099】 於該情形時，關於玻璃基板及異向導電性膜之對位，首先，將對應 IC 晶片之對準標記之標記（100 μm×100 μm）設置於玻璃基板。其次，一面利用實體顯微鏡確認該設置於玻璃基板之標記，一面以人工作業進行玻璃基板與異向導電性膜之對位，而進行預貼合。該預貼合係以 60℃、2 Mpa、1 秒進行。然後，將預貼合於玻璃基板之異向導電性膜與 IC 晶片進行對位，進行加熱加壓而連接 IC 晶片。該 IC 晶片之連接係使用倒裝芯片接合機 FC1000（TORAY ENGINEERING（股））。

【0100】 (b) 導通可靠性

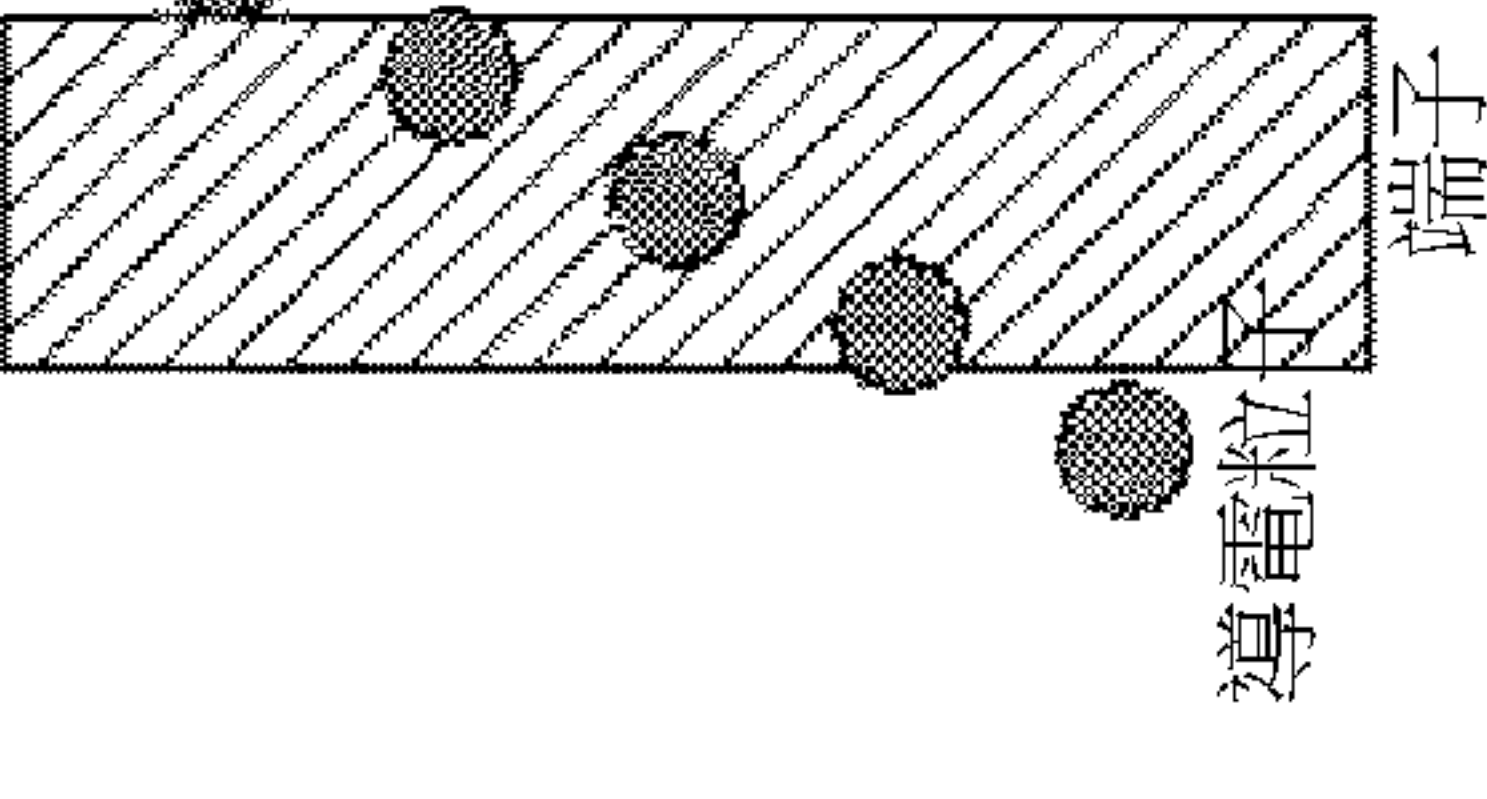
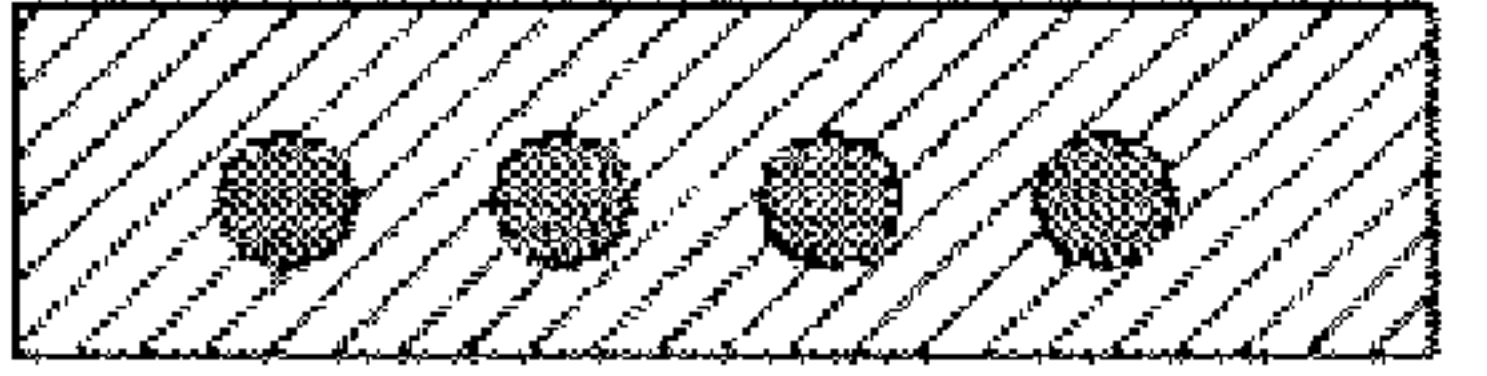
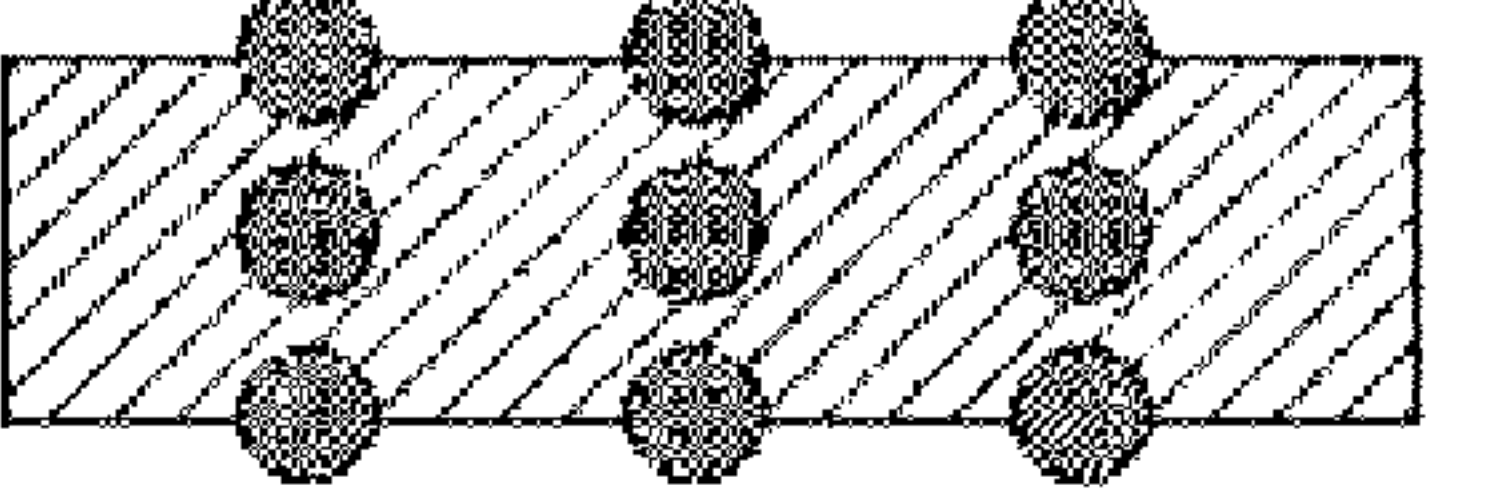
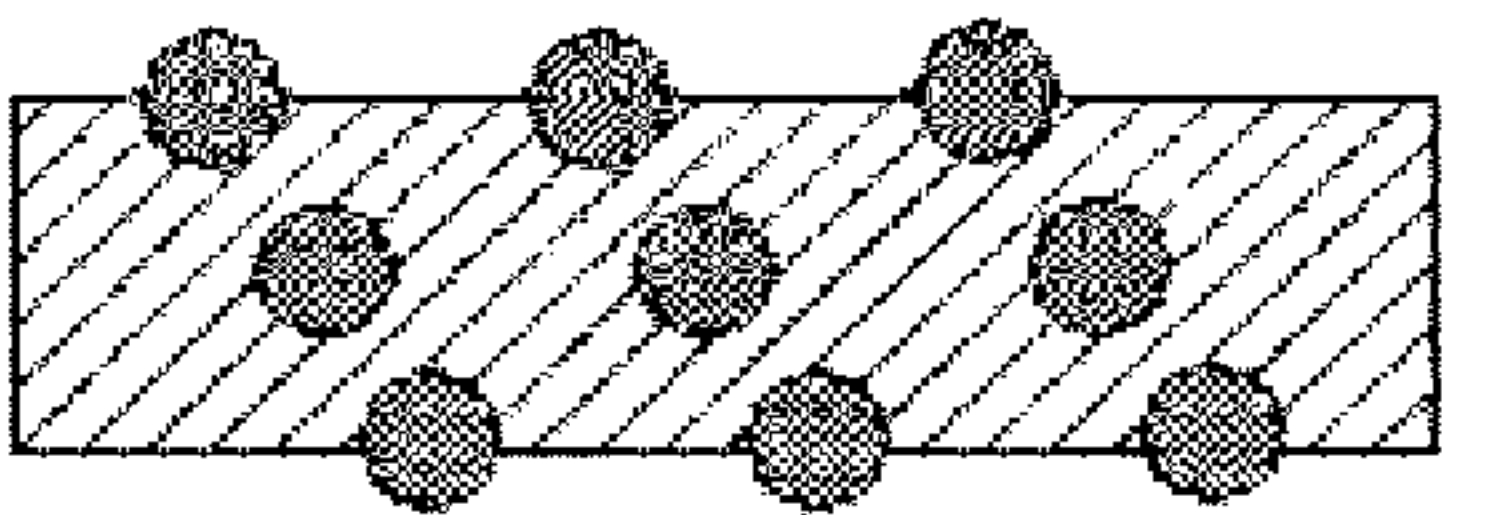
以與實施例 1 相同之方式對短路導通可靠性進行測定。若該導通電阻為 5 Ω 以上，則就已連接之電子零件之實用上之導通穩定性的方面而言欠

佳。

【0101】 (c) 短路產生率

以與實施例 1 相同之方式對短路產生率進行評價。若短路產生率為 50 ppm 以上，則就製造實用上之連接結構體之方面而言欠佳。

【0102】 [表 2]

	比較例 2	實施例 5	實施例 6	實施例 7	實施例 8	實施例 9
粒子排列群中之導電粒子之圖案	均等排列					
IC 晶片之凸塊形成區域中之導電粒子個數	58000	6500	5200	10400	11700	11700
初期導通電阻	1 Ω 以下	←	←	←	←	←
導通可靠性	5 Ω 以下	←	←	←	←	←
短路產生率	未達 50 ppm	←	←	←	←	←

【0103】 自表 2 可知，實施例 5～9 之異向導電性膜之處於 IC 晶片之凸塊形成區域（包括凸塊間間隙）中之導電粒子的個數少於比較例 2，但具有與比較例 2 相同之導通特性，可廉價地製造導通特性較佳之異向導電性膜。

【0104】 實施例 10～14

實施例 5～9 中，向絕緣性樹脂 100 份追加二氧化矽填料（二氧化矽微粒子，Aerosil RY200，日本 Aerosil（股））20 份，以與實施例 5～9 相同之方式製造異向導電性膜，並進行導通評價。其結果為，均良好。

【0105】 實施例 15～19

實施例 5～9 中，省略對準標記之形成，除此以外，以與實施例 5～9 相同之方式製造異向導電性膜，並進行導通評價。其結果為，與實施例 5～9 相比，對準需要時間，但導通評價良好。

【0106】 實施例 20～24

實施例 5～9 中，於初期導通電阻之評價時，對異向導電性膜之導電粒子配置區域與 IC 晶片之凸塊形成區域略微錯開而重合者進行加熱加壓，藉此獲得評價用連接物。可根據該評價用連接物之導通電阻之評價確認下述情況。即，可知於實施例 20（實施例 5 之導電粒子配置）中，即便導電粒子群於矩形之凸塊之寬度方向偏離 1 個粒徑量，亦可連接。

【0107】 實施例 21（實施例 6 之導電粒子配置）中，可知即便導電粒子群之中心自凸塊寬度之中心於凸塊寬方向偏離凸塊寬度之 30%（4.5 μm ），亦可連接。

【0108】 實施例 22（實施例 7 之導電粒子配置）中，可知若配置成

矩形之導電粒子群之長邊中之任一邊在凸塊寬度內，則即便導電粒子群於凸塊寬度方向偏移 2 個導電粒徑量，亦可連接。

【0109】 實施例 23（實施例 8 之導電粒子配置）中，可知即便配置成矩形之導電粒子群之中心相對於凸塊寬度之中心於凸塊寬度方向偏移 3 個導電粒徑量，亦可連接。

【0110】 實施例 24（實施例 9 之導電粒子配置）中，可知即便配置成矩形之導電粒子群之中心相對於凸塊寬度之中心於凸塊寬度方向偏離 3 個導電粒徑量，亦可連接。再者，受到按壓之導電粒子之狀態較實施例 8 良好。

【0111】 實施例 25～29

實施例 15 中，將對應 1 個凸塊之導電粒子之配置設為圖 8A～圖 8D 及圖 10 所示之粒子排列群 3 之排列，以與實施例 15 相同之方式進行導通評價。於該情形時，凸塊之大小係與實施例 15 同樣地為 $15\ \mu\text{m} \times 100\ \mu\text{m}$ ，凸塊間間隙為 $13\ \mu\text{m}$ ，關於每個凸塊之導電粒子之捕捉數，於圖 8A 之態樣中為 12 個，於圖 8B 之態樣中為 16 個，於圖 8C 之態樣中為 12 個，於圖 8D 之態樣中為 15 個，於圖 10 之態樣中為 16 個。該等中均獲得良好之連接狀態。

【符號說明】

【0112】

1A、1B、1C、1D、1E、1F、1G、1H、1I、1J：異向導電性膜

2：導電粒子

3、3a、3b、3c、3e、3m、3p、3q：粒子排列群

4a、4b、4c、4e：連接用導電粒子配置區域

4d：對位用導電粒子配置區域

5：未配置導電粒子之中央部區域

6：未配置導電粒子之緩衝區域

7、7a、7b：狹縫線

10：絕緣接著劑層

20：IC 晶片

21：輸出側凸塊

21a：輸出側凸塊之排列區域

22：輸入側凸塊

22a：輸入側凸塊之排列區域

23：側凸塊

23a：側凸塊之排列區域

24：對準標記

30：基板之電極端子

31：基板之對準標記

F1：異向導電性膜之長邊方向

F2：異向導電性膜之短邊方向

申請專利範圍

1. 一種異向導電性膜，其含有絕緣接著劑層、與配置於該絕緣接著劑層之導電粒子，

具有對應以異向導電性膜連接之電子零件之端子之排列區域外形而形成之導電粒子配置區域（以下，亦稱為連接用導電粒子配置區域），且該導電粒子配置區域週期性地形成於異向導電性膜之長邊方向。

2. 如申請專利範圍第 1 項之異向導電性膜，其於相鄰之連接用導電粒子配置區域之間具有未配置導電粒子之緩衝區域。
3. 如申請專利範圍第 1 或 2 項之異向導電性膜，其具有導電粒子配置區域，該導電粒子配置區域係用作為異向導電性連接之端子與異向導電性膜之對位之對準標記（以下，亦稱為對位用導電粒子配置區域）。
4. 如申請專利範圍第 1 或 2 項之異向導電性膜，其中，對位用導電粒子配置區域與連接用導電粒子配置區域係分開形成。
5. 如申請專利範圍第 1 或 2 項之異向導電性膜，其中，對位用導電粒子配置區域係與連接用導電粒子配置區域重疊而形成。
6. 如申請專利範圍第 1 或 2 項之異向導電性膜，其中，於連接用導電粒子配置區域排列有由複數個導電粒子形成之粒子排列群。
7. 如申請專利範圍第 1 或 2 項之異向導電性膜，其中，於連接用導電粒子配置區域，以異向導電性膜連接之電子零件之每個凸塊配置有 3 個以上之導電粒子。
8. 如申請專利範圍第 1 或 2 項之異向導電性膜，其中，複數個連接用導電粒子配置區域分別週期性地形成於異向導電性膜之長邊方向。

9. 如申請專利範圍第 1 或 2 項之異向導電性膜，其中，沿著異向導電性膜之長邊方向並列形成有連接用導電粒子配置區域。
10. 一種異向導電性膜，其含有絕緣接著劑層、與配置於該絕緣接著劑層之導電粒子，
具有配置有複數個導電粒子之第 1 導電粒子配置區域；及導電粒子之排列態樣、排列位置或密度與第 1 導電粒子配置區域不同之第 2 導電粒子配置區域，且第 1 導電粒子配置區域及第 2 導電粒子排列區域週期性地形成於異向導電性膜之長邊方向。
11. 如申請專利範圍第 10 項之異向導電性膜，其中，於在異向導電性膜之長邊方向相鄰之第 2 導電粒子配置區域之間具有未配置導電粒子之緩衝區域。
12. 如申請專利範圍第 10 或 11 項之異向導電性膜，其中，第 1 導電粒子配置區域為對位用導電粒子配置區域。
13. 如申請專利範圍第 10 或 11 項之異向導電性膜，其中，第 2 導電粒子配置區域為連接用導電粒子配置區域。
14. 一種連接結構體，其利用申請專利範圍第 1 至 13 項中任一項之異向導電性膜將第 1 電子零件與第 2 電子零件異向導電性連接。
15. 一種連接結構體之製造方法，其利用申請專利範圍第 1 至 13 項中任一項之異向導電性膜將第 1 電子零件與第 2 電子零件異向導電性連接。

圖式

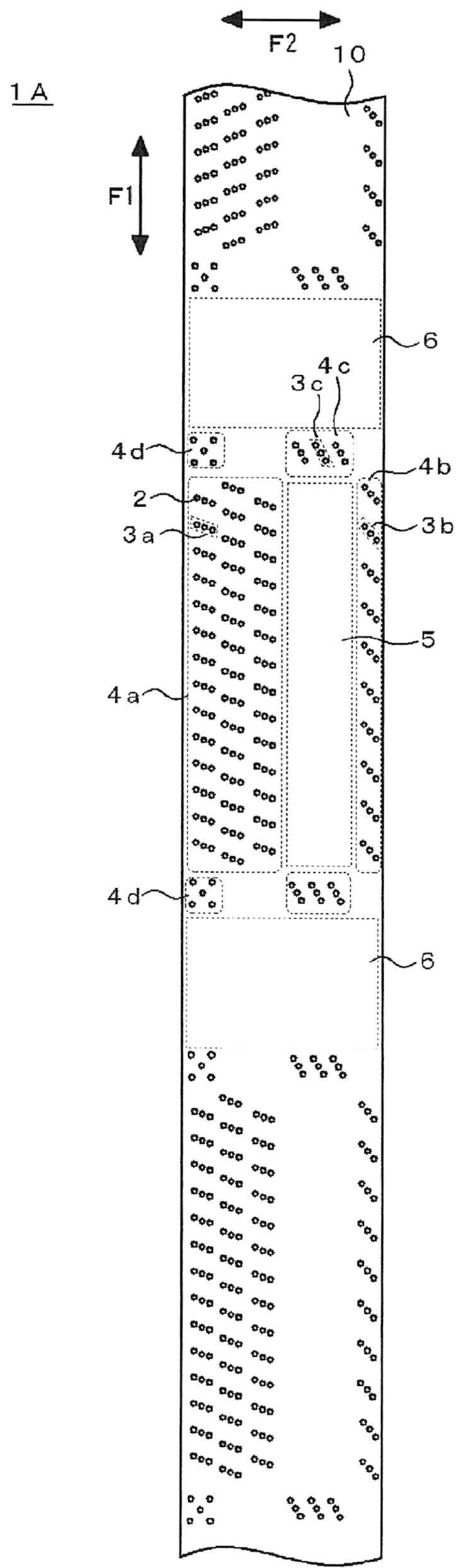


圖1A

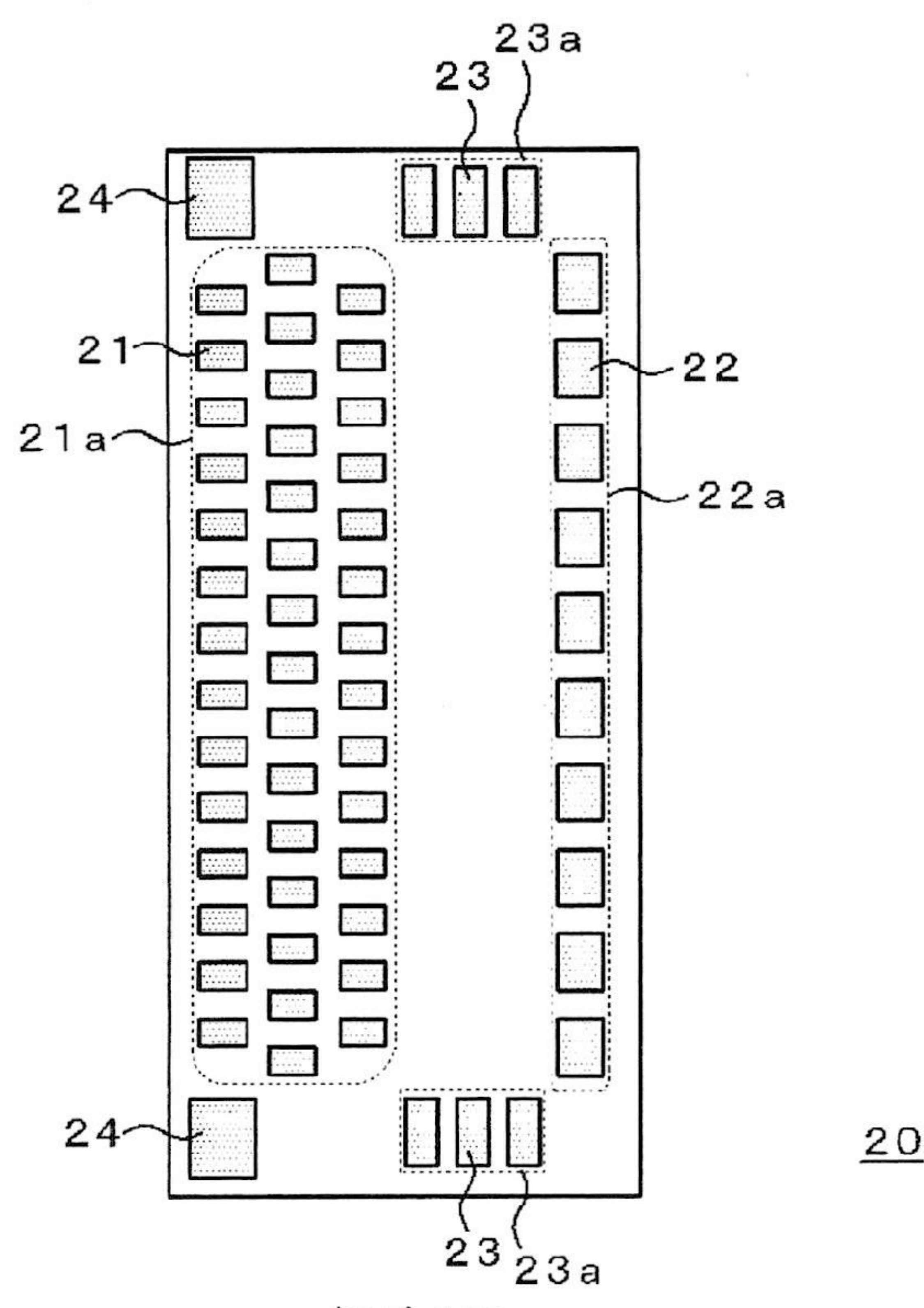


圖1B

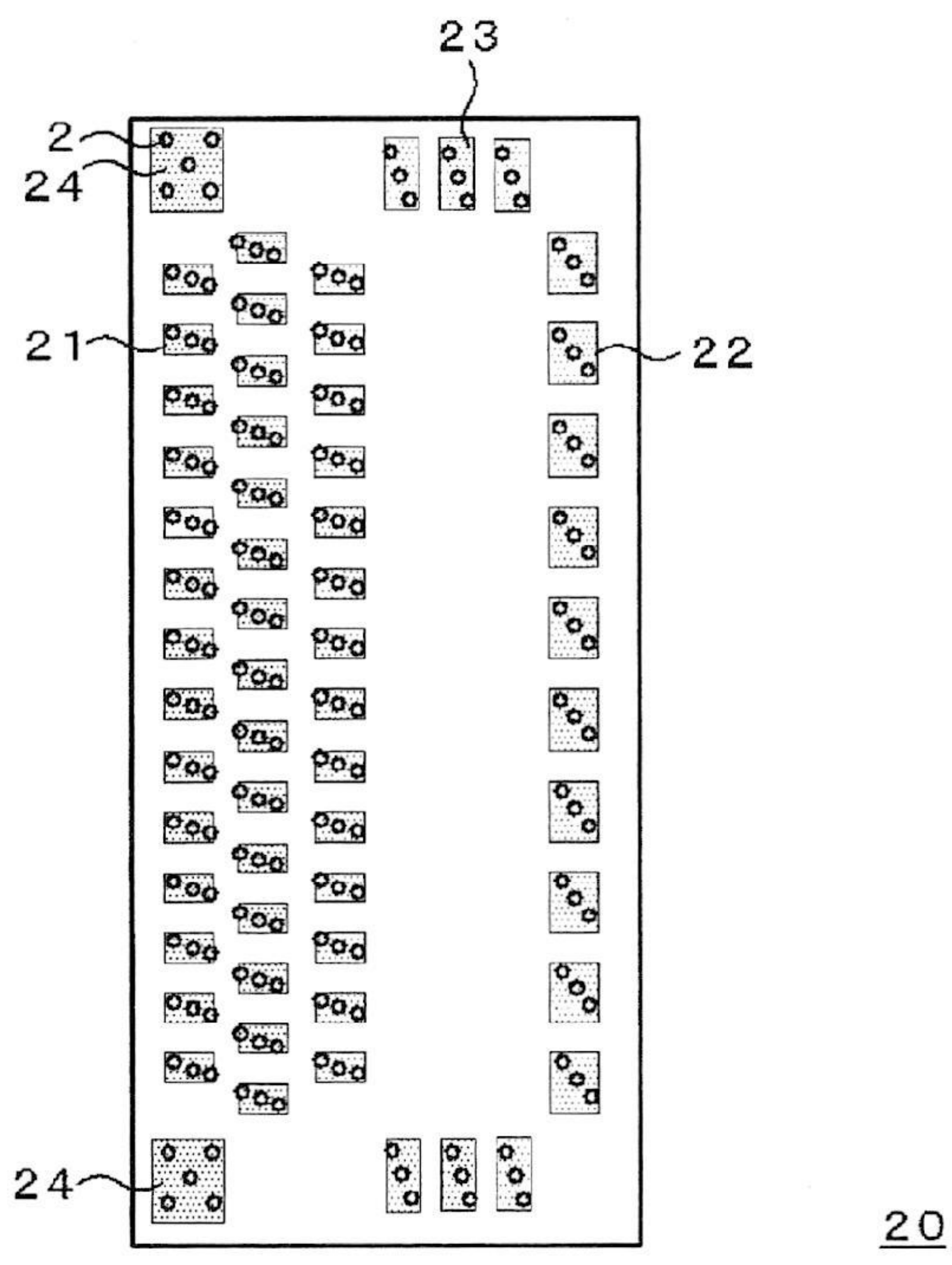


圖1C

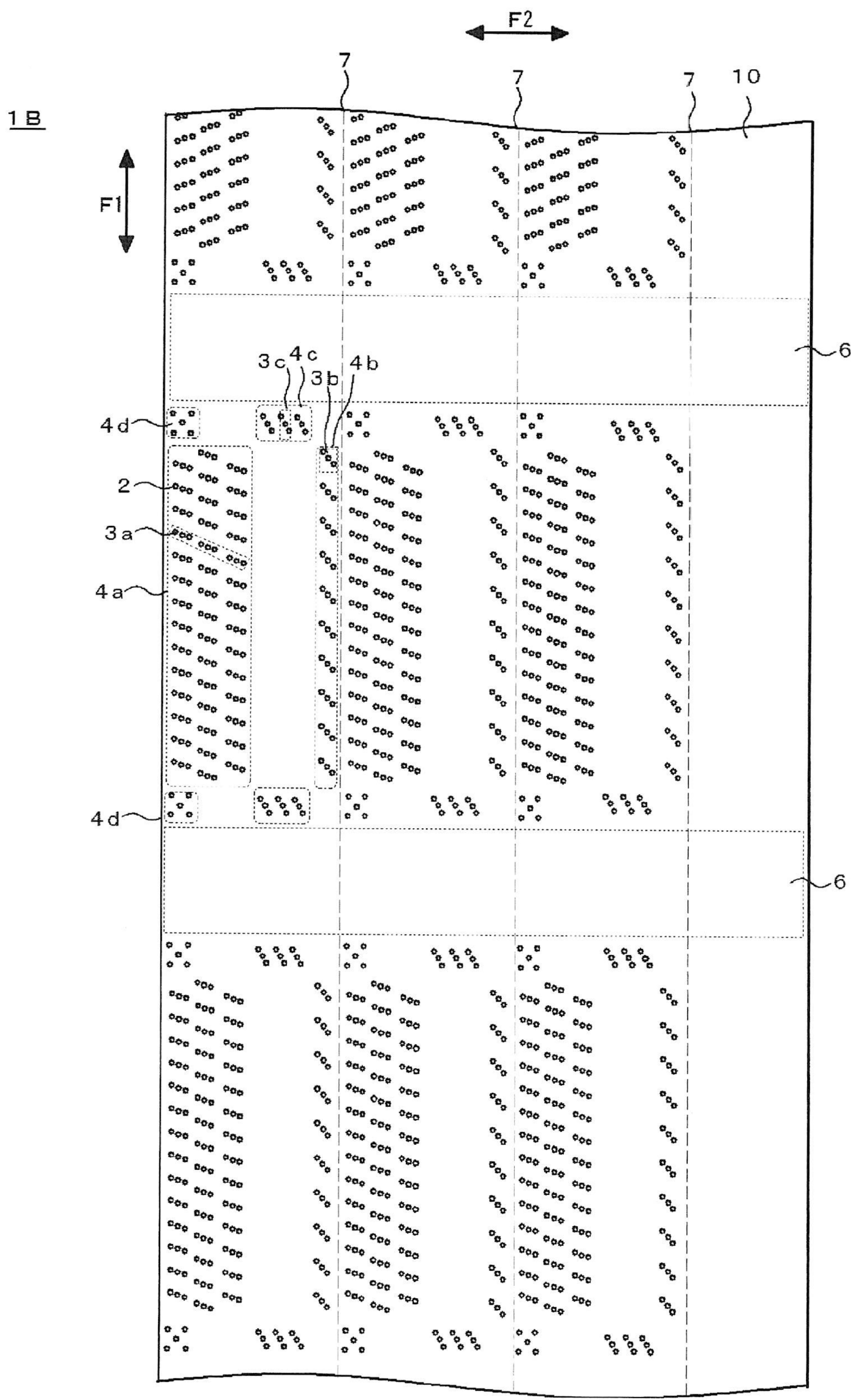


圖2

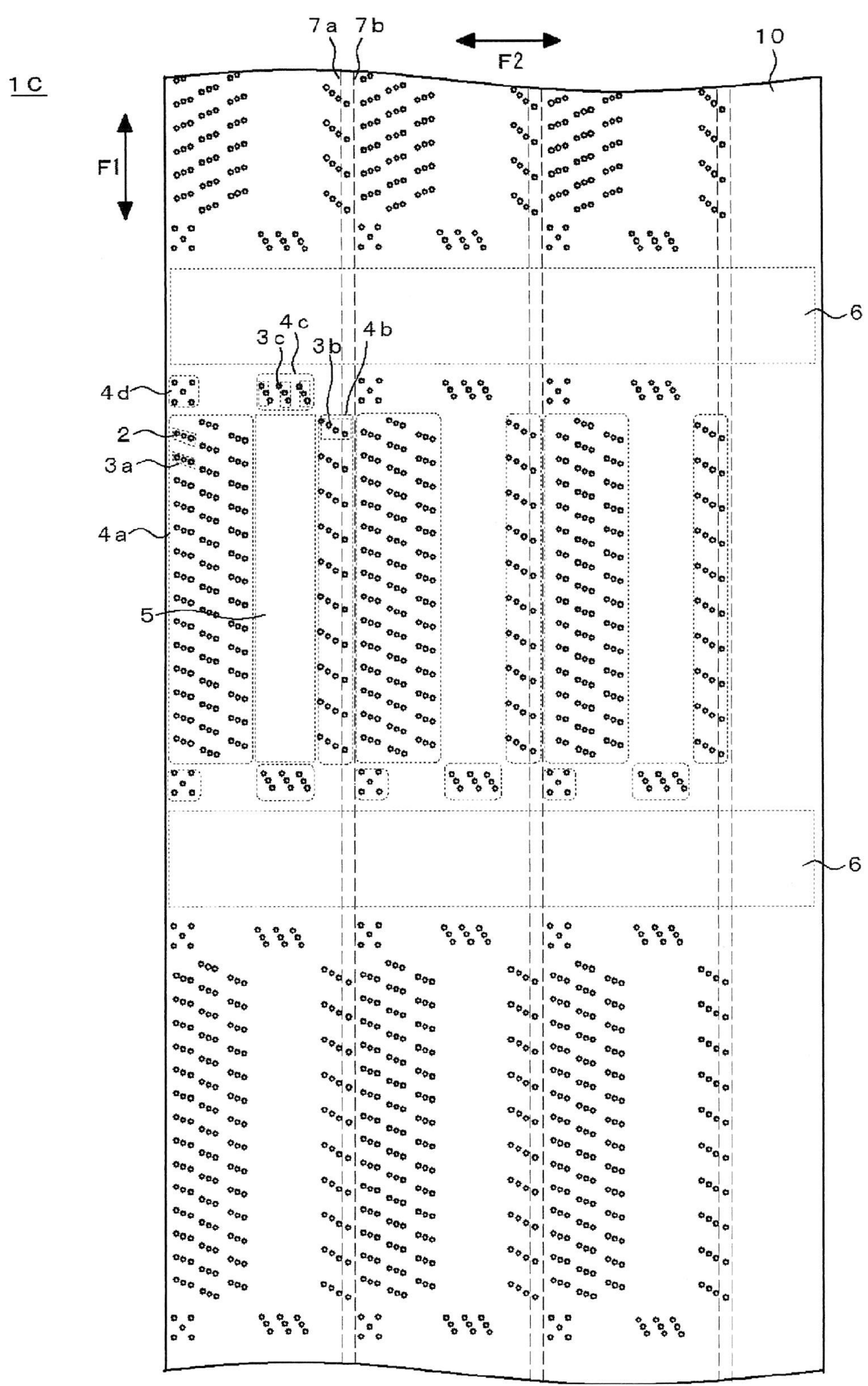


圖3

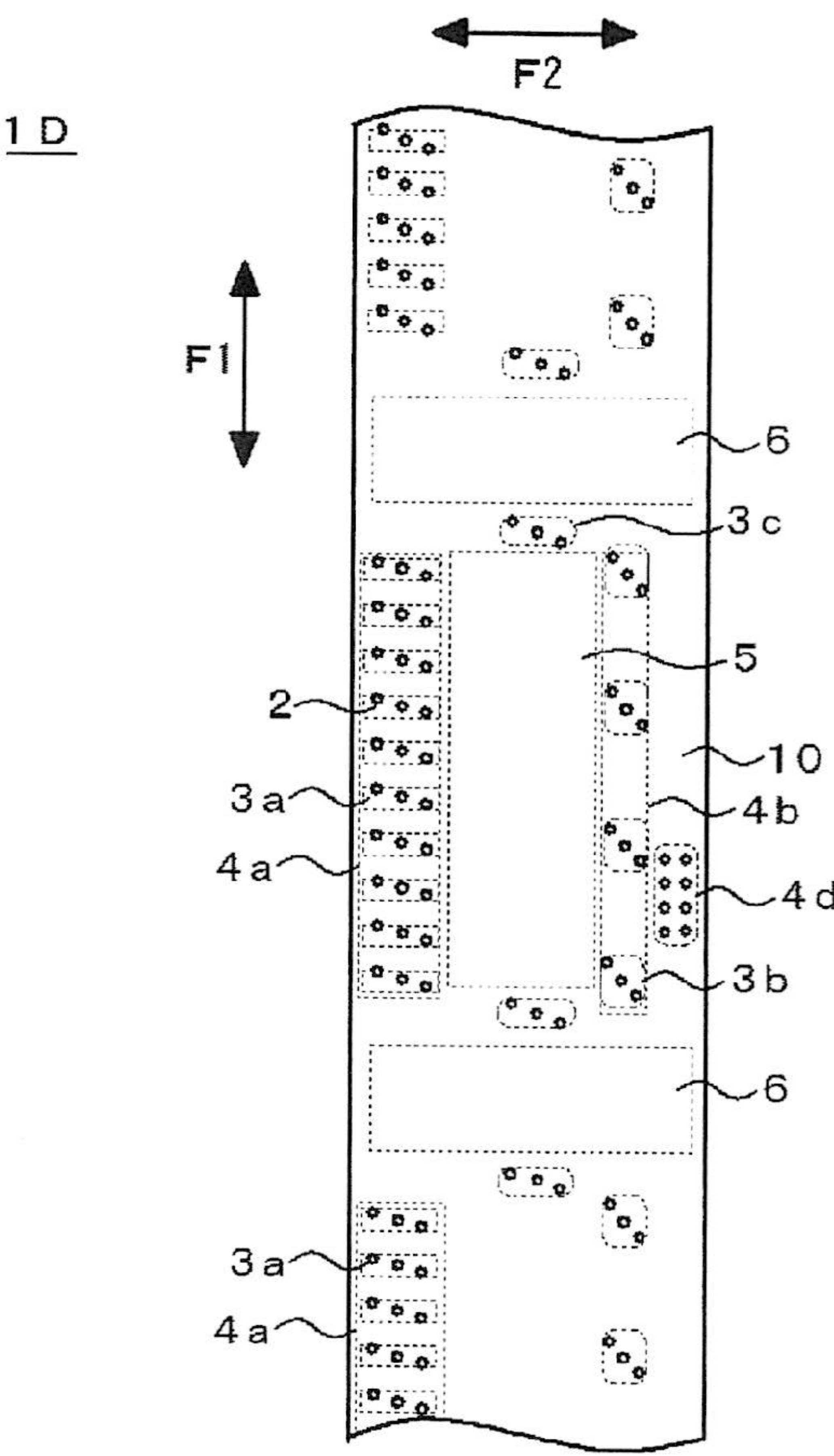


圖4

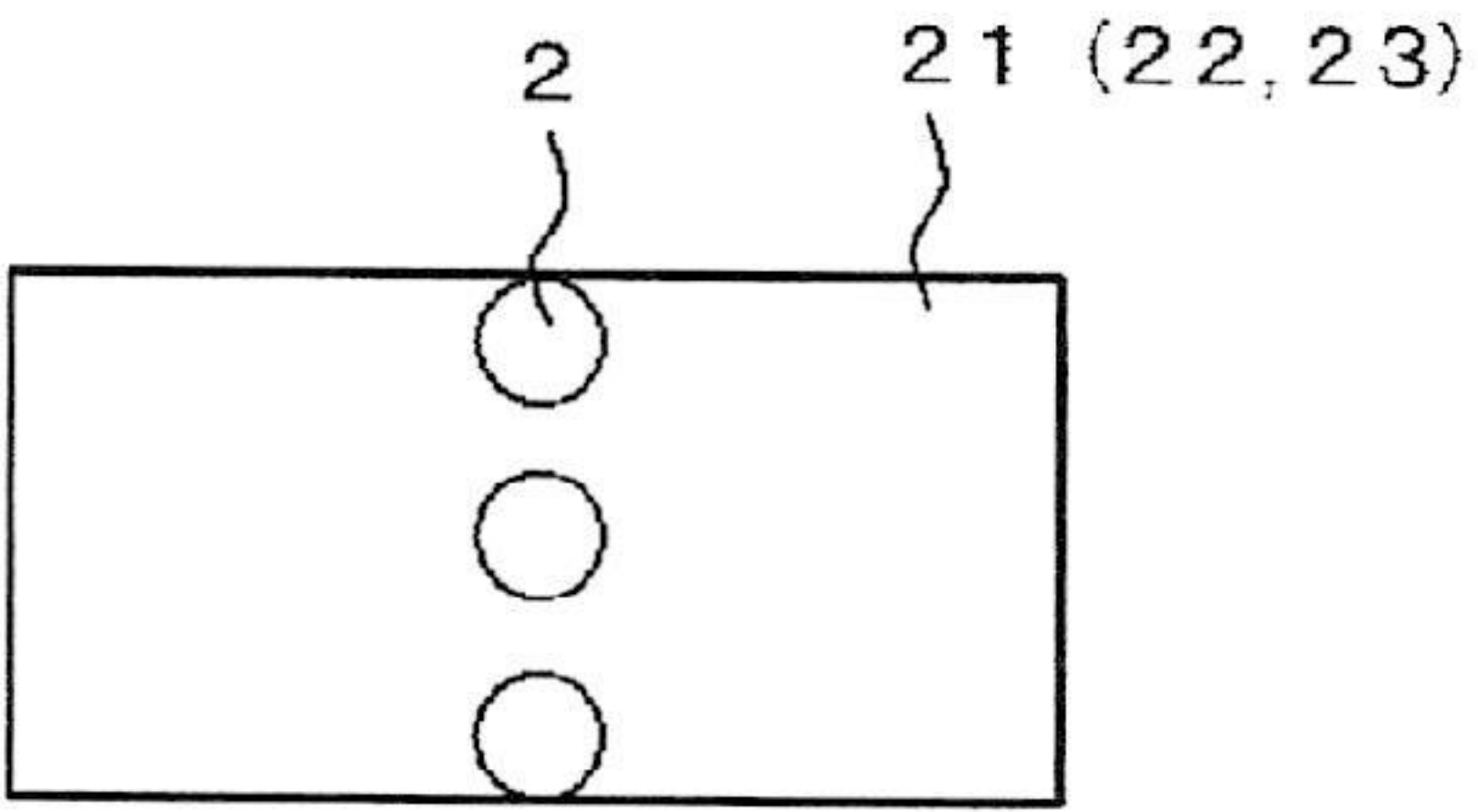


圖5A

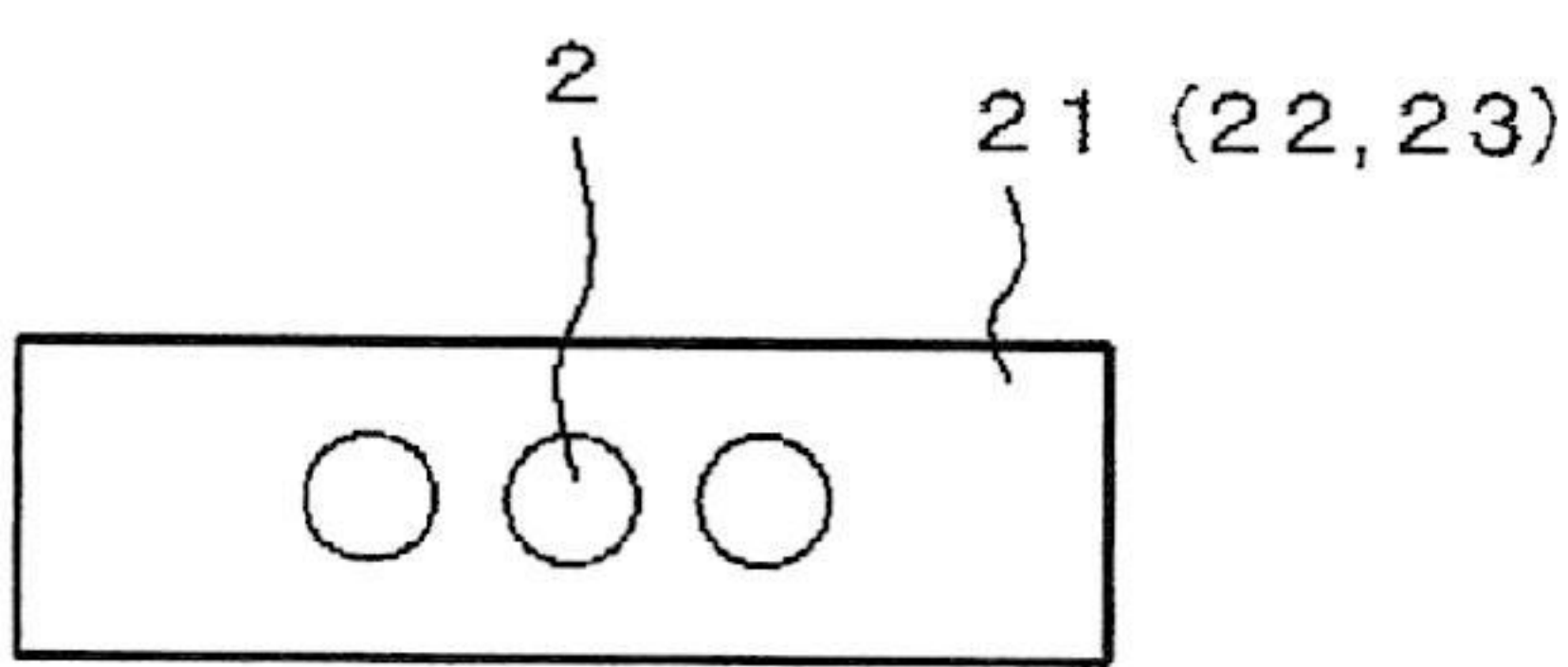


圖5B

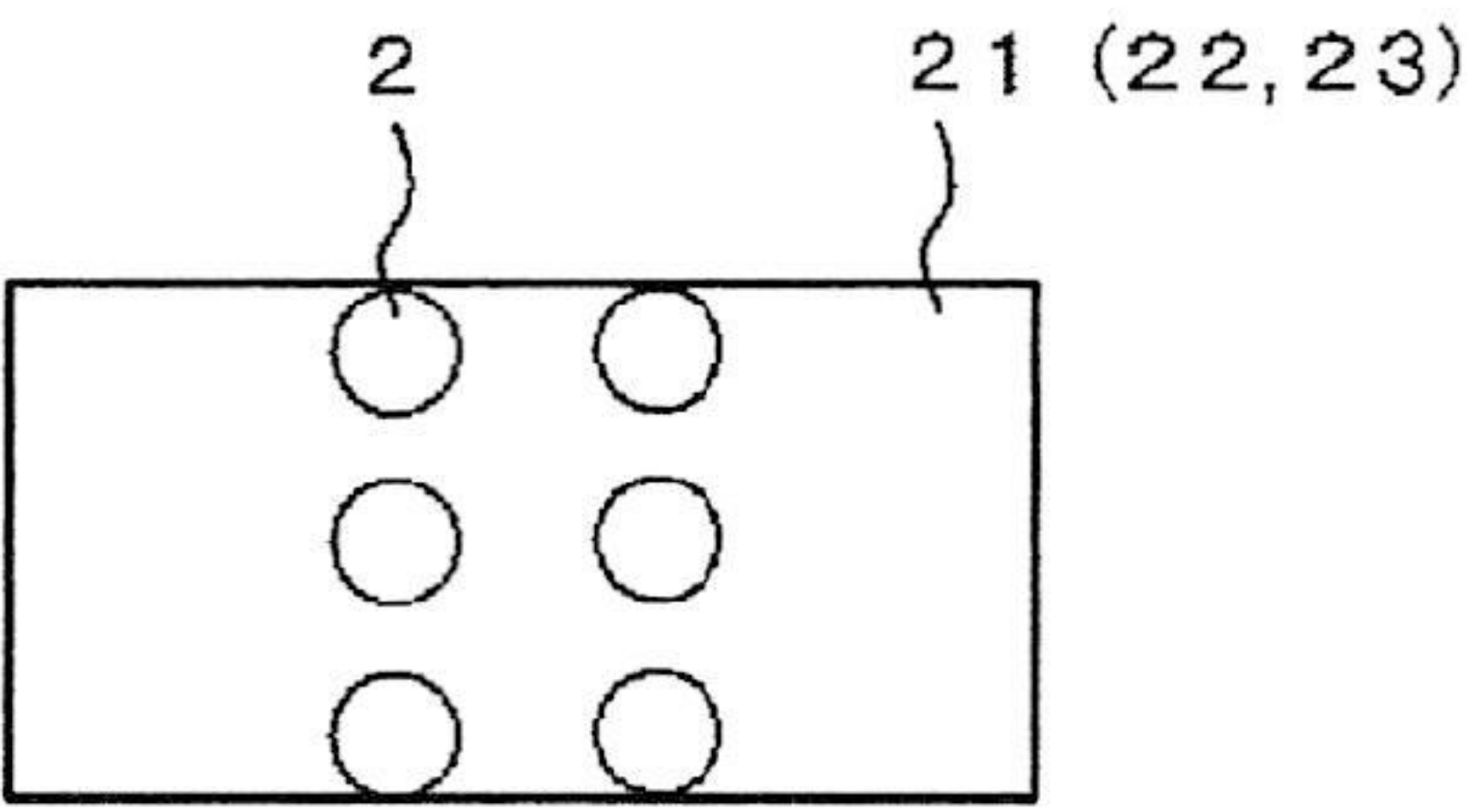


圖5C

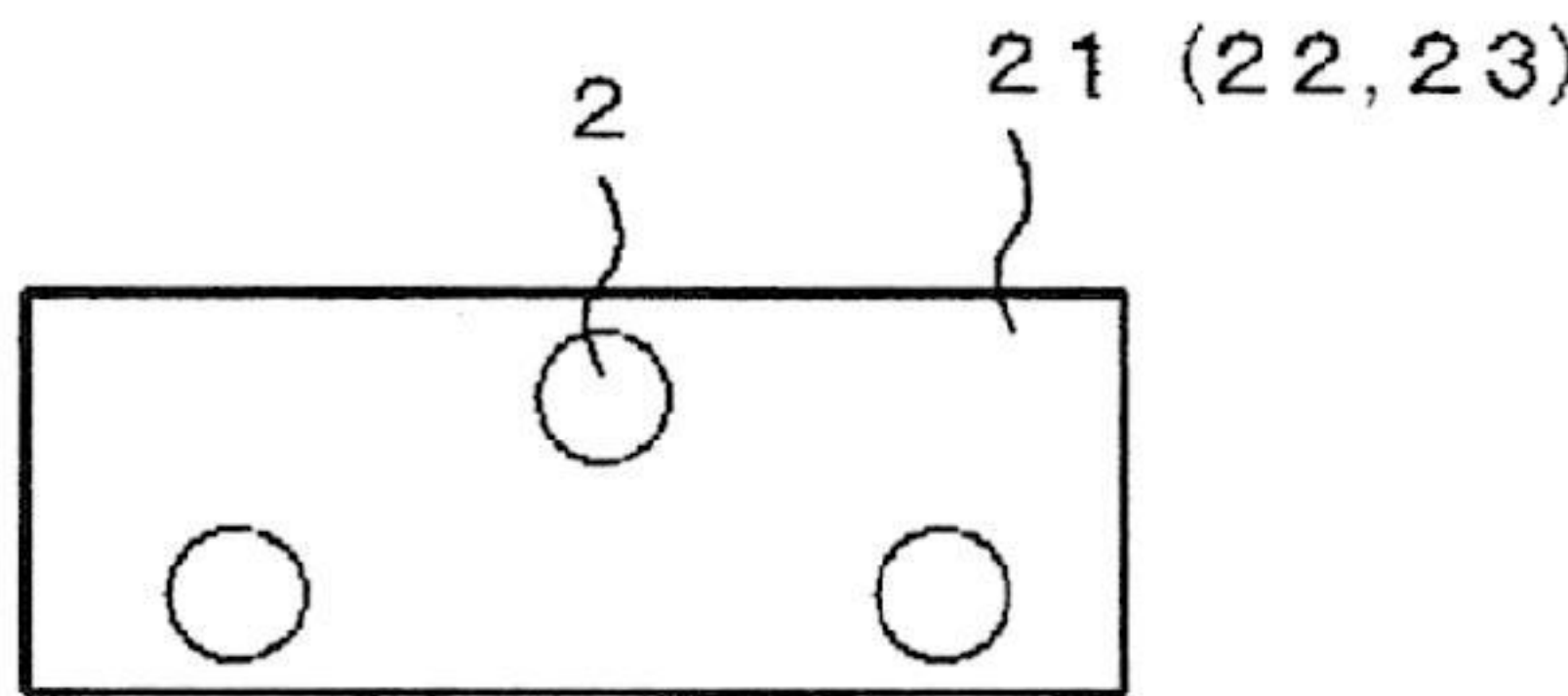


圖5D

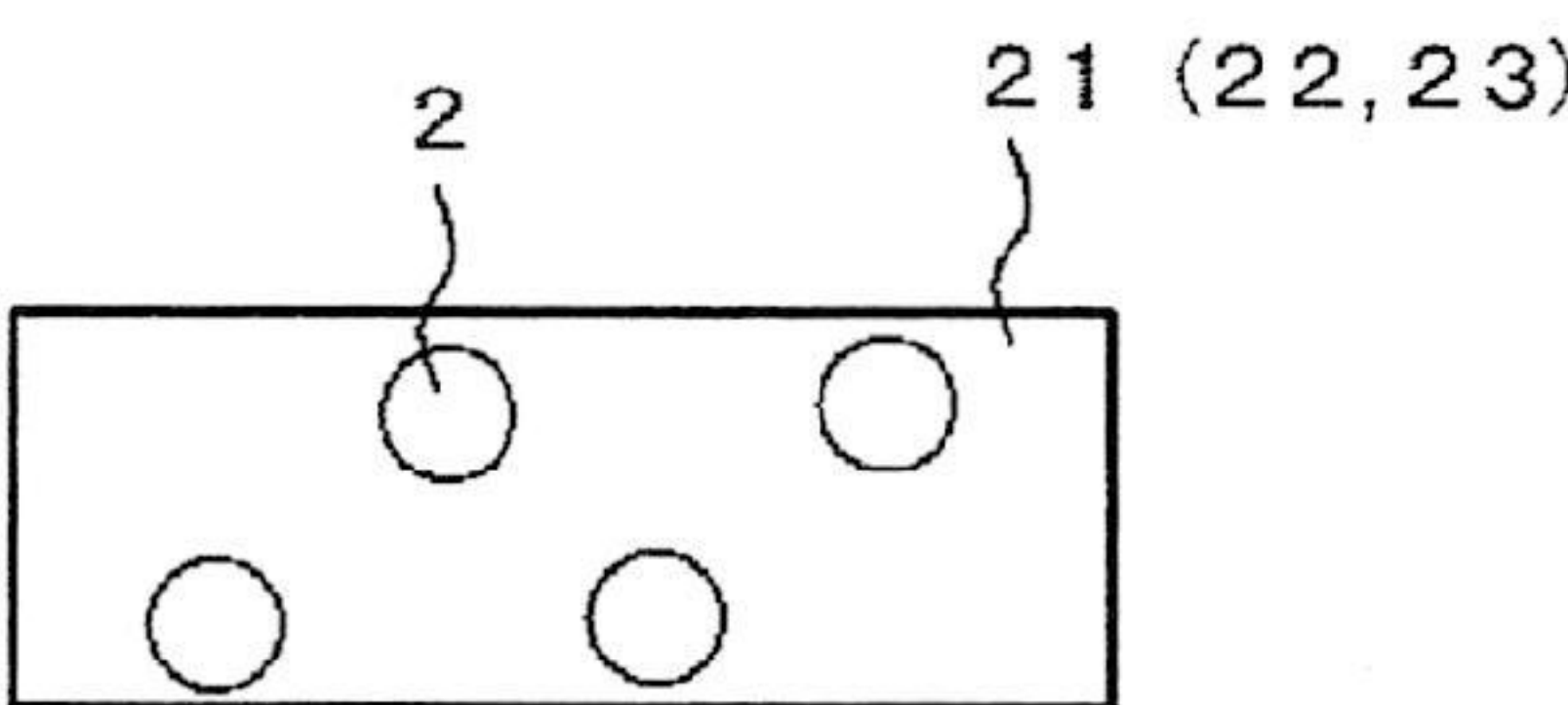


圖5E

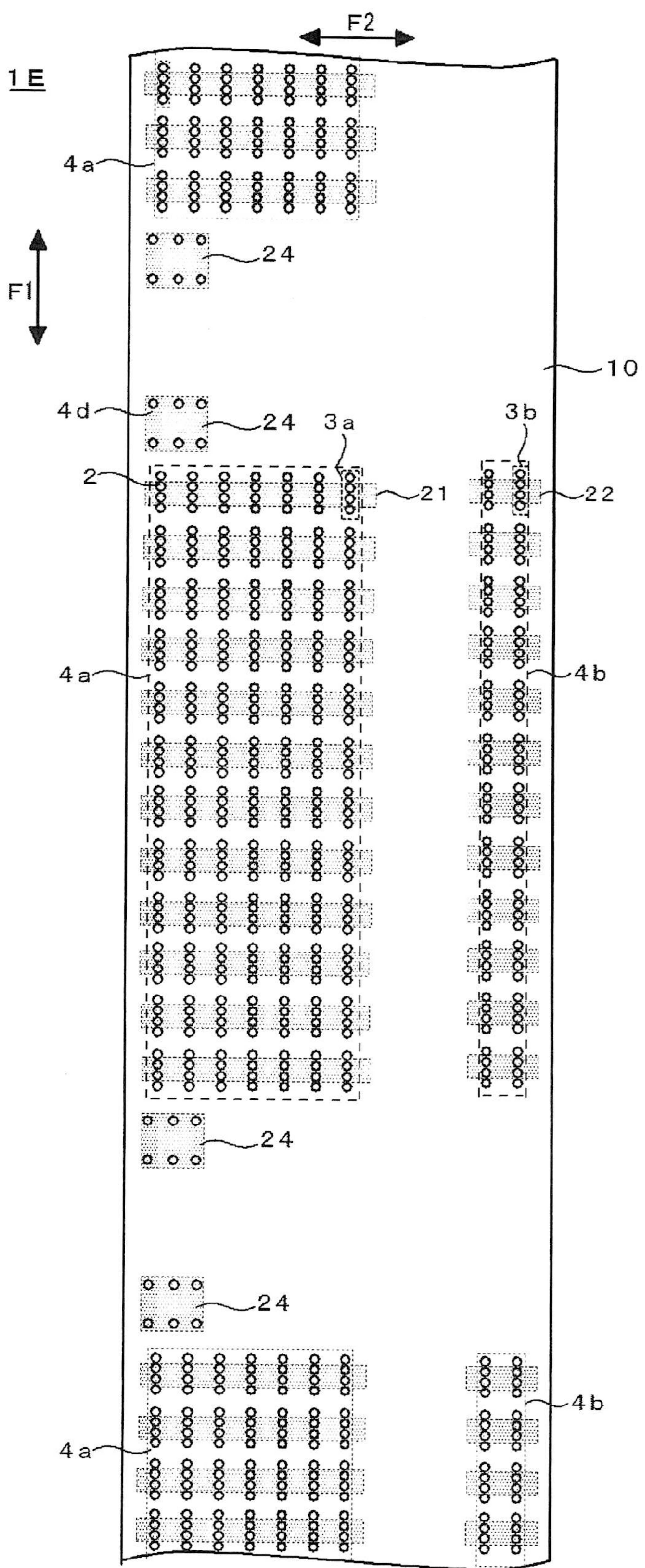


圖6

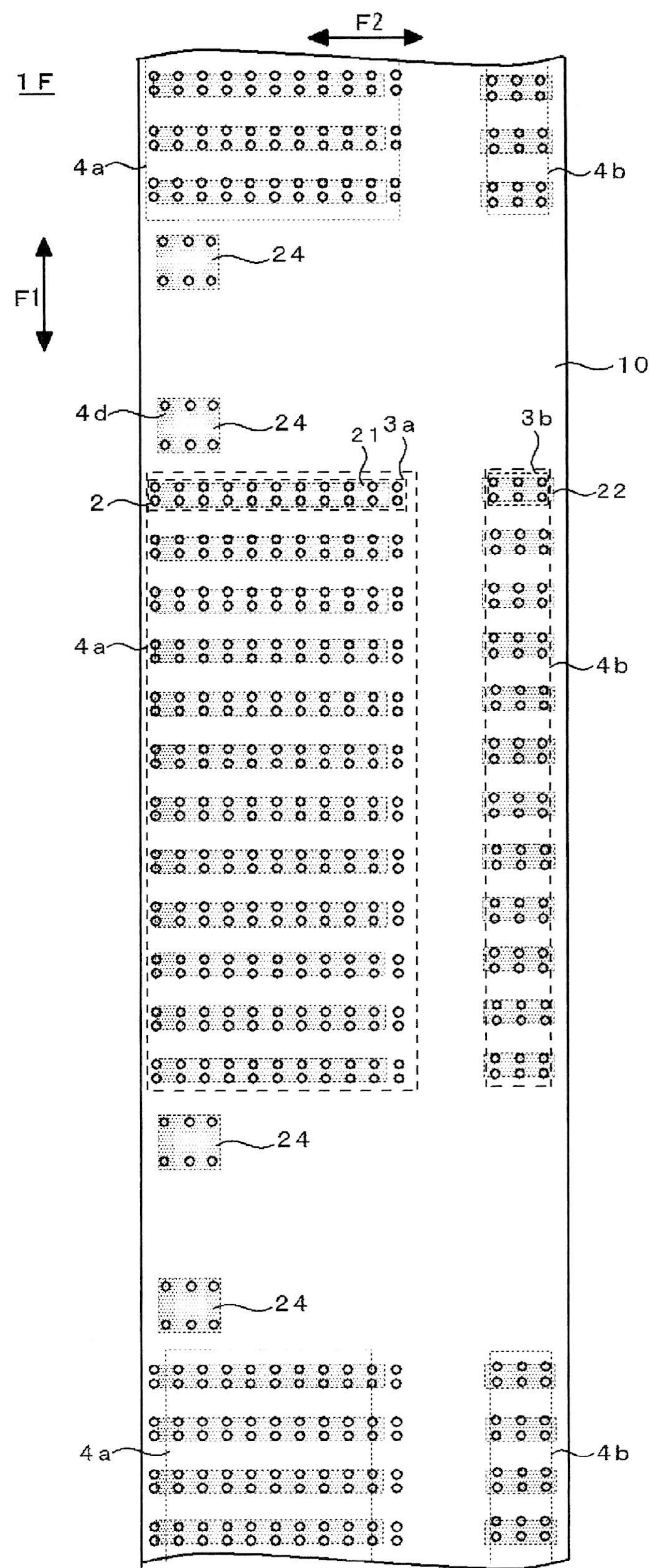


圖7

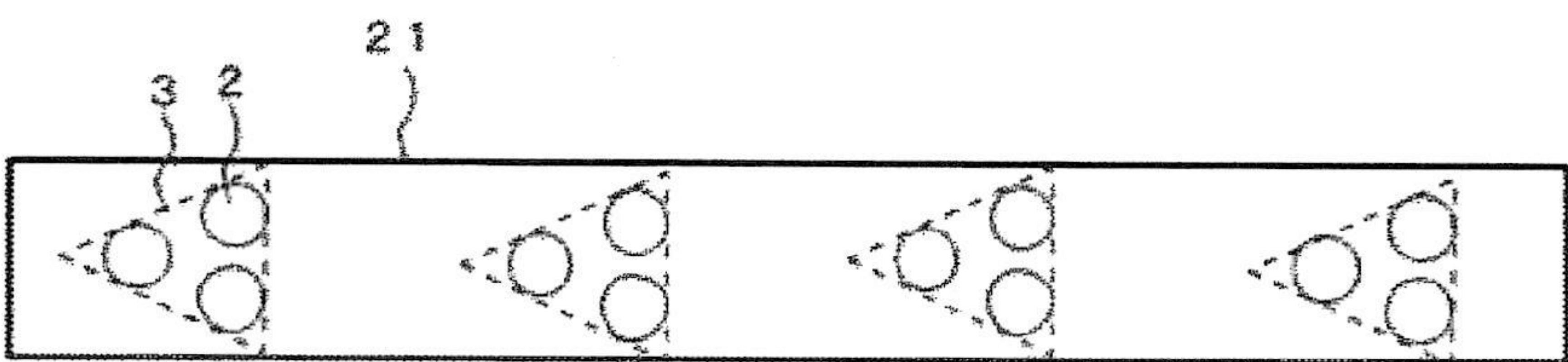


圖8A

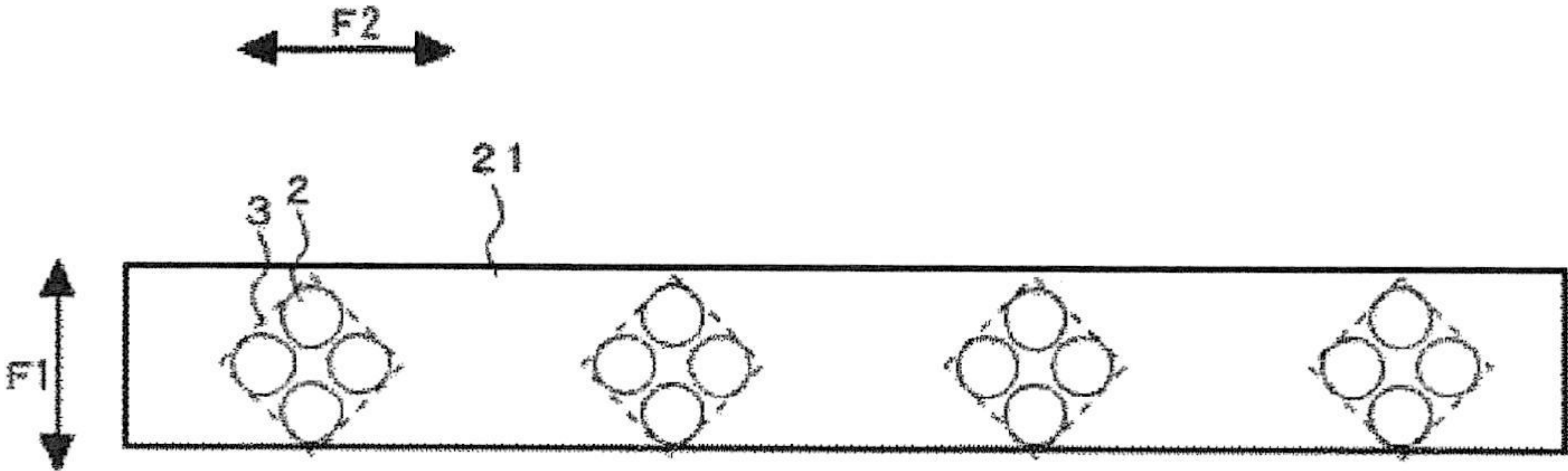


圖8B

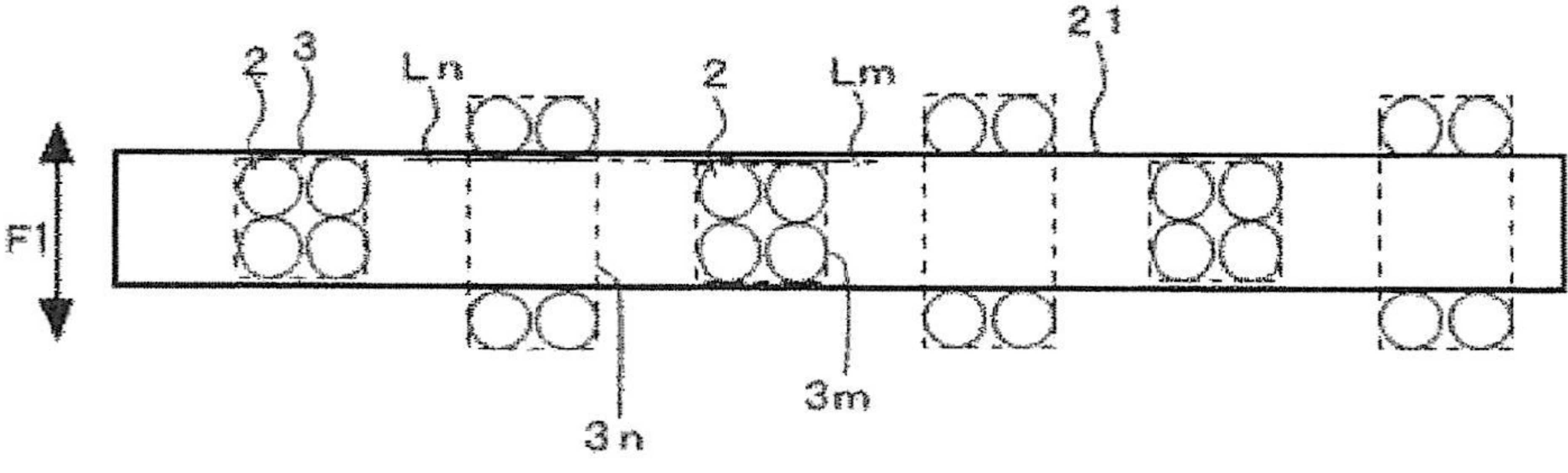


圖8C

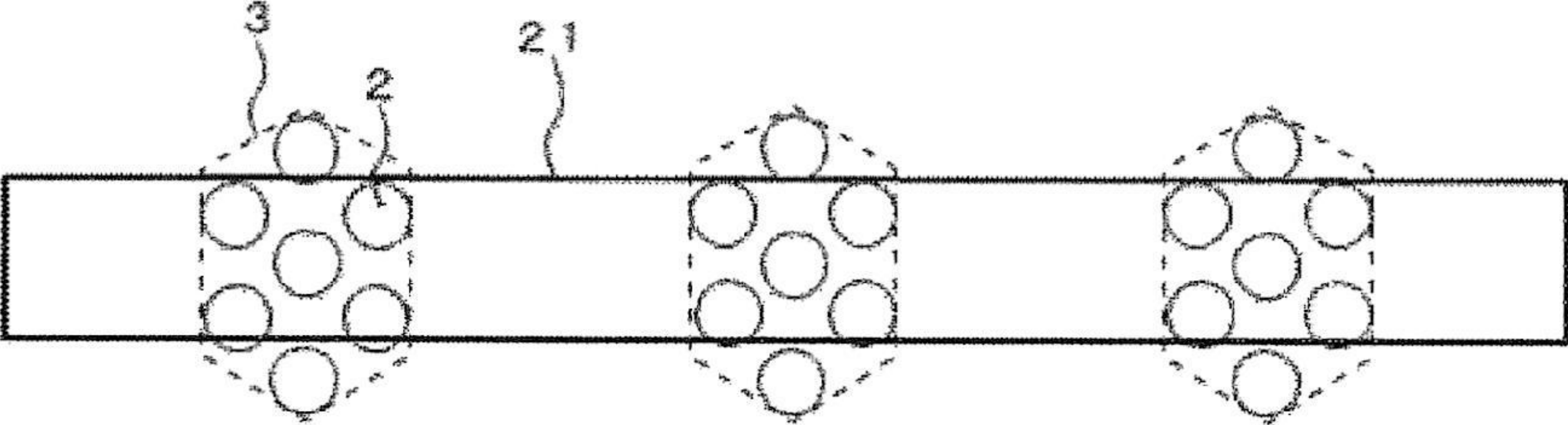


圖8D

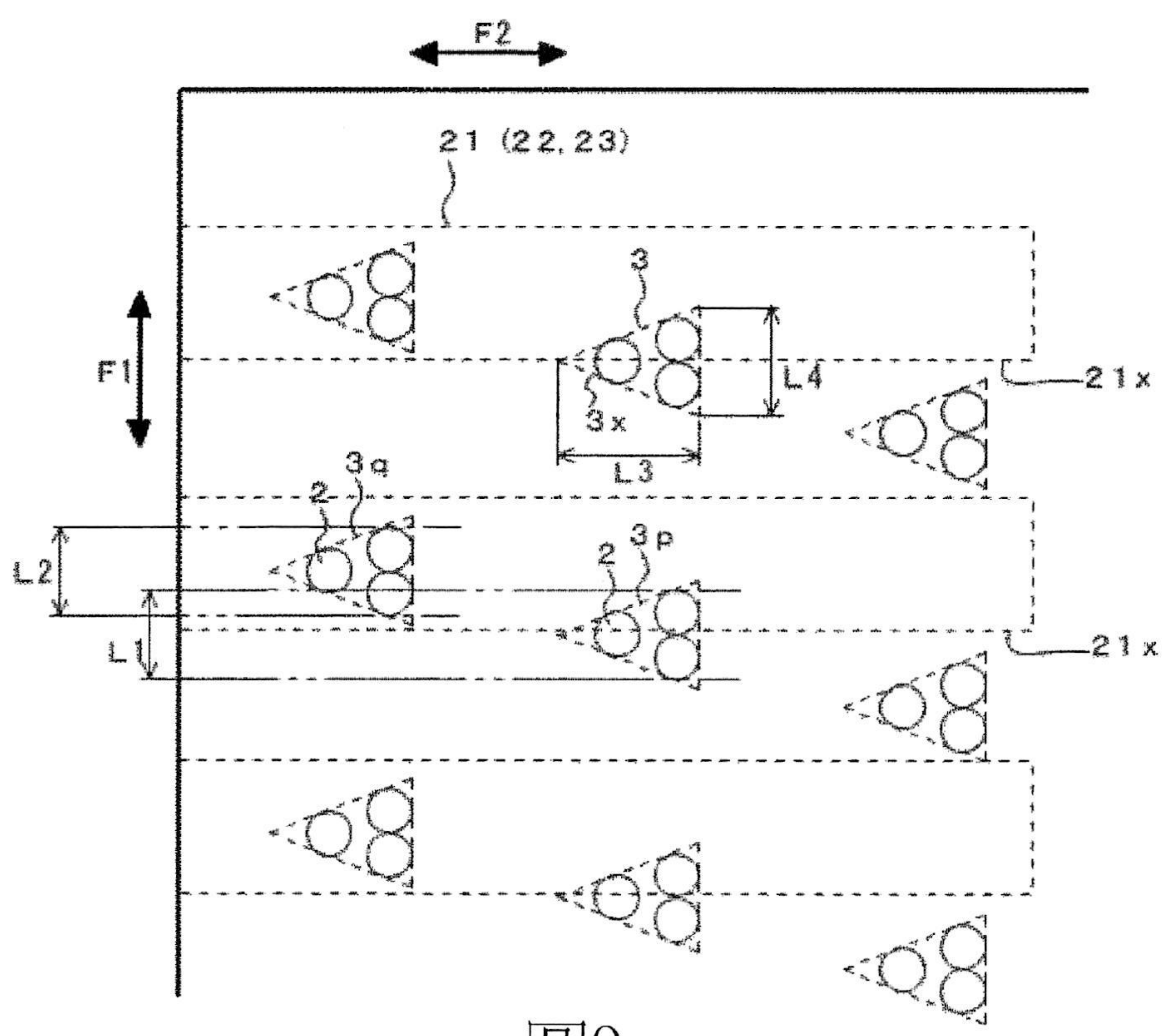


圖9

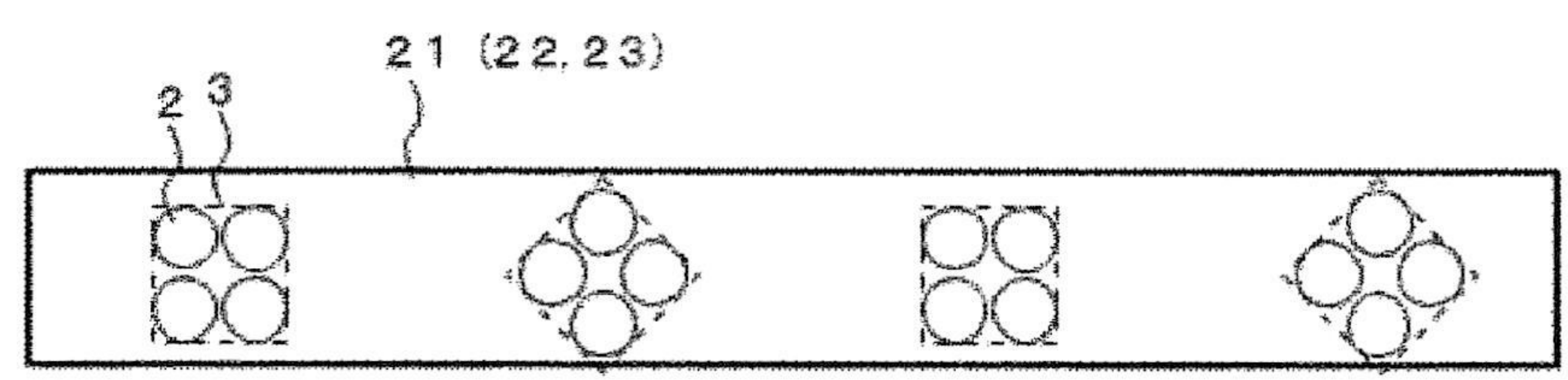


圖10

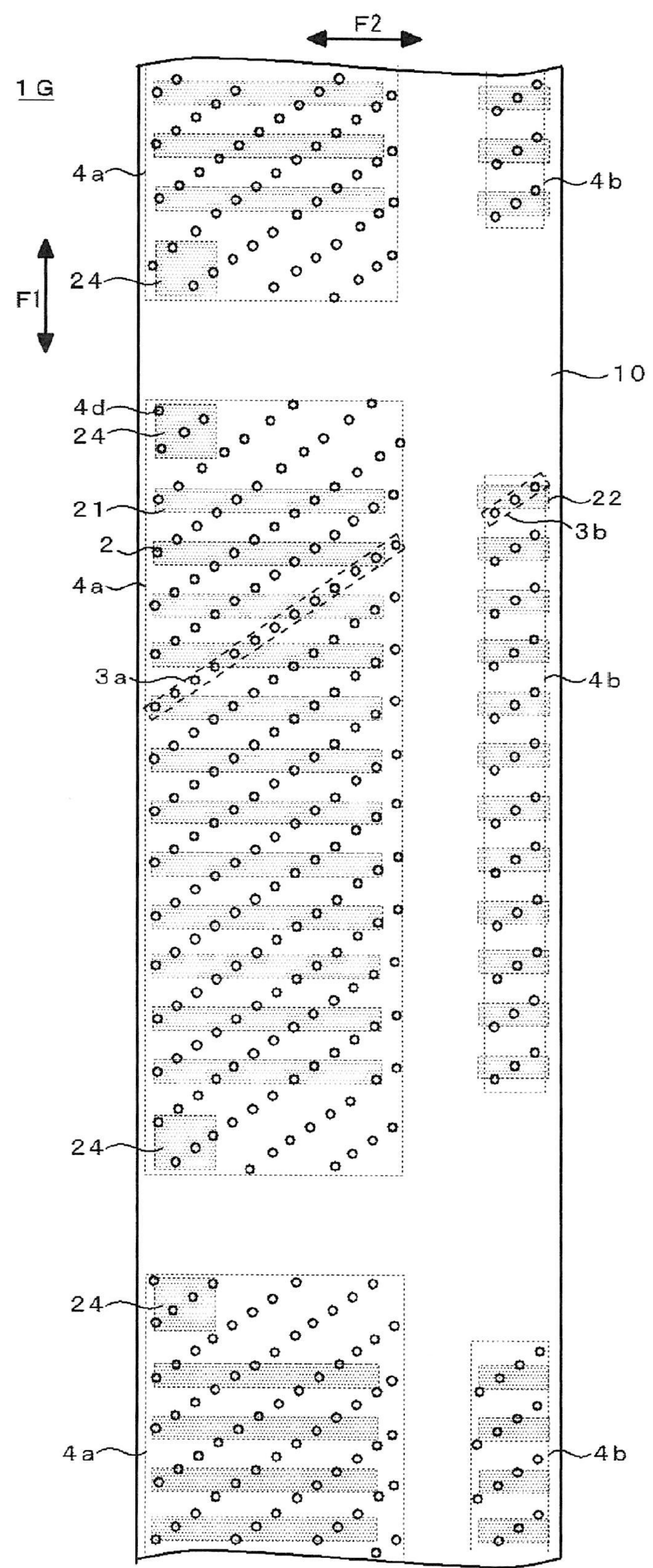


圖11

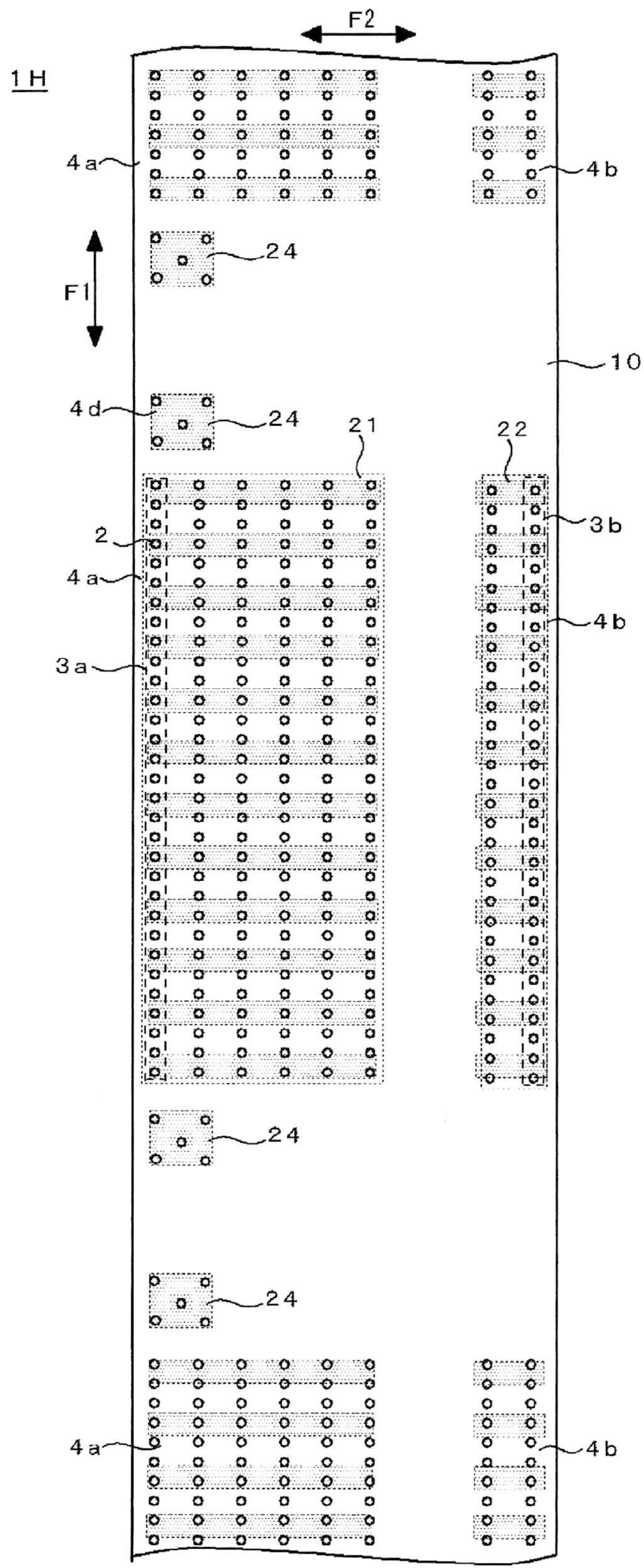


圖12

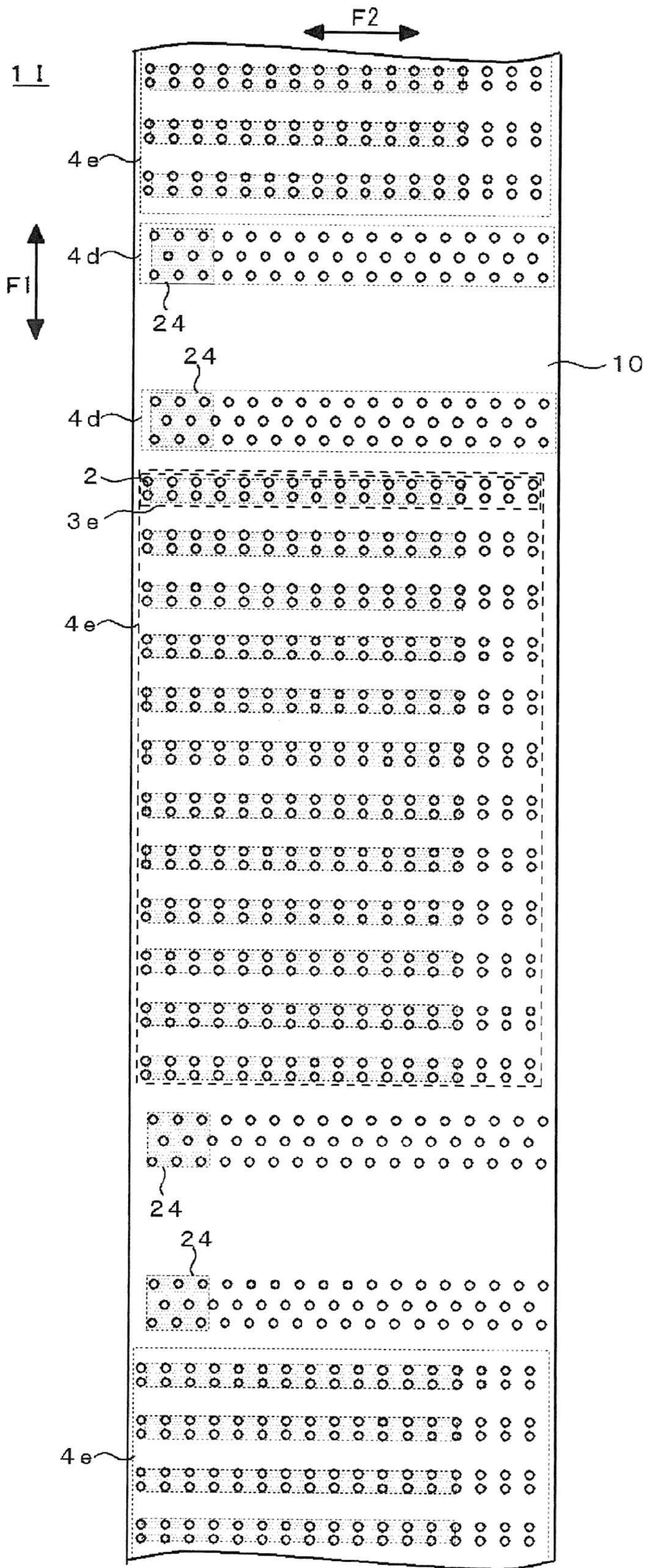


圖13

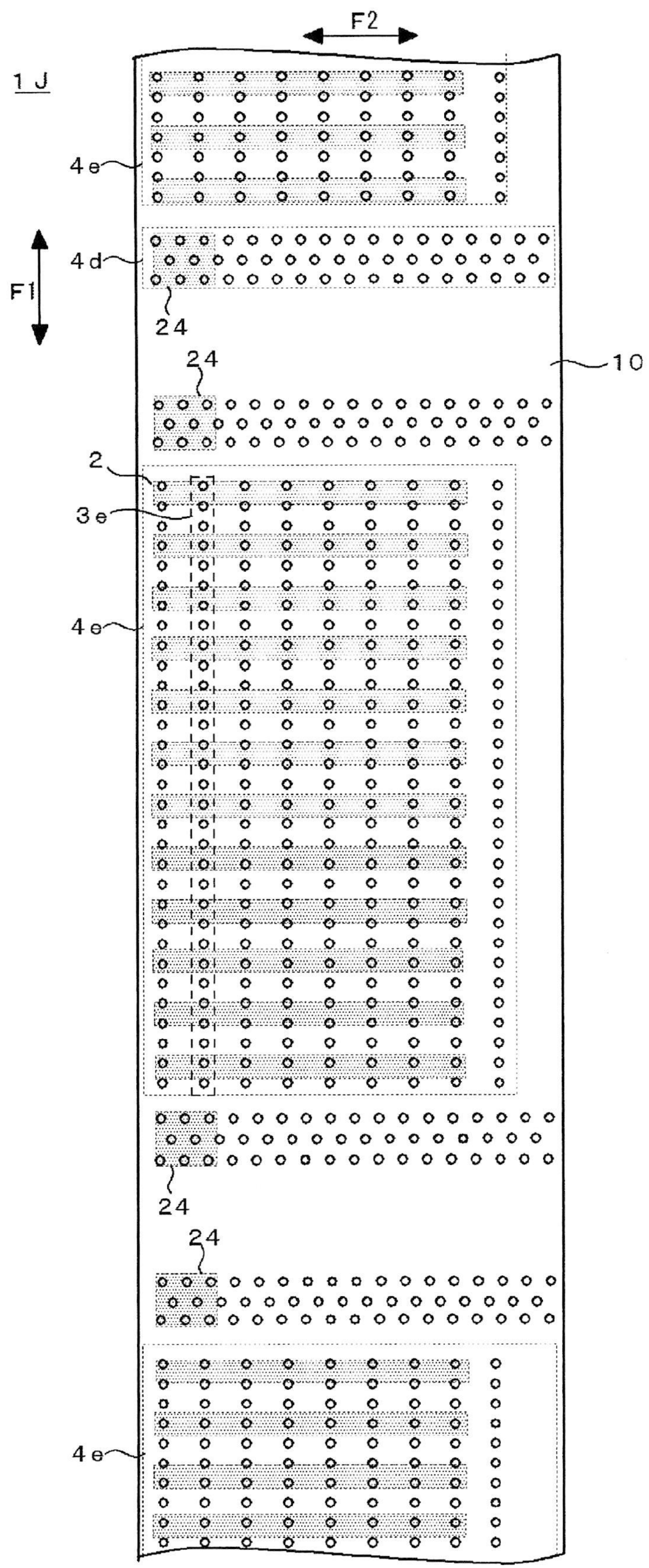


圖14